

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第2区分  
 【発行日】令和6年6月25日(2024.6.25)

【国際公開番号】WO2023/199639  
 【出願番号】特願2024-514840(P2024-514840)

【国際特許分類】  
 H 0 1 L 2 5 / 0 7 ( 2 0 0 6 . 0 1 )  
 H 0 2 M 7 / 4 8 ( 2 0 0 7 . 0 1 )

【 F I 】

H 0 1 L 2 5 / 0 4 C  
 H 0 2 M 7 / 4 8 Z

10

【手続補正書】  
 【提出日】令和6年4月1日(2024.4.1)

【手続補正1】  
 【補正対象書類名】明細書  
 【補正対象項目名】0169  
 【補正方法】変更

【補正の内容】

20

【0169】

また、上記半導体装置1Gと、特許請求の範囲の請求項10に記載される要素との関係は、次の通りである。

OUT端子40が「第1主電流配線」に相当し、外部端子部41が「第1外部端子部」に、延伸部42が「第1延伸部」に、接続部42ba及び接続部42caが「第1接続部及び第2接続部」に、それぞれ相当する。P端子50又はN端子60が「第2主電流配線」に相当する。

【手続補正2】

【補正対象書類名】明細書  
 【補正対象項目名】0180  
 【補正方法】変更

30

【補正の内容】

【0180】

図28は第8の実施の形態に係る半導体装置の第1の例について説明する図である。図28には、半導体装置の一例の要部平面図を模式的に示している。

図28に示す半導体装置1Heは、上記第6の実施の形態で述べた半導体装置1F(図19)に対し、上記図27(B)の例に従い、P端子50及びN端子60が、ケース10の内部を引き回され、絶縁回路基板20Fから離間する方向(紙面手前方向)に向かって外部端子部51及び外部端子部61がケース10の外部に引き出される構成に変更したものの一例である。尚、図28では便宜上、上記図27(B)に示したようなケース10の蓋部13の図示を省略している。P端子50及びN端子60は、この半導体装置1Heのような配置とすることもできる。

40

【手続補正3】

【補正対象書類名】明細書  
 【補正対象項目名】0181  
 【補正方法】変更

【補正の内容】

【0181】

図29は第8の実施の形態に係る半導体装置の第2の例について説明する図である。図29(A)には、半導体装置の一例の要部平面図を模式的に示している。図29(B)に

50

は、図 29 (A) の XXIX - XXIX 断面図を模式的に示している。

図 29 (A) 及び図 29 (B) に示す半導体装置 1 H f は、上記第 6 の実施の形態で述べた半導体装置 1 F (図 19) に対し、平面視で O U T 端子 40 を挟む両側に直線状の P 端子 50 及び N 端子 60 が配置される構成に変更したものの一例である。半導体装置 1 H f の P 端子 50 及び N 端子 60 は、上記図 27 (A) の例に従い、ケース 10 の内部を引き回され、絶縁回路基板 20 F から離間する方向 (紙面手前方向) に向かって外部端子部 51 及び外部端子部 61 がケース 10 の外部に引き出される。尚、図 29 (A) では便宜上、上記図 27 (A) に示したようなケース 10 の蓋部 13 の図示を省略している。図 29 (A) に示すように、O U T 端子 40 を挟む両側に配置される直線状の P 端子 50 及び N 端子 60 は、図 29 (B) に示すように、延伸部 52 及び延伸部 62 が O U T 端子 40 を跨ぐような形状とされ、外部端子部 51 及び外部端子部 61 がケース 10 の蓋部 13 の開口部 13 a から引き出される。P 端子 50 及び N 端子 60 は、この半導体装置 1 H f のような配置とすることもできる。

10

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0183

【補正方法】変更

【補正の内容】

【0183】

図 30 は第 8 の実施の形態に係る半導体装置の第 3 の例について説明する図である。図 30 には、半導体装置の一例の要部平面図を模式的に示している。

20

図 30 に示す半導体装置 1 H g は、P 端子 50 及び N 端子 60 を、平面視で互いに重複しない配置としている点で、上記半導体装置 1 H f (図 29) と相違する。P 端子 50 及び N 端子 60 をこのような配置とすることで、ケース 10 の内部における P 端子 50 及び N 端子 60 の引き回し回避や縮小化、ゲートワイヤ 34 及びセンスエミッタワイヤ 35 との対向回避等が可能になる。P 端子 50 及び N 端子 60 は、上記図 29 (B) の例に従い、O U T 端子 40 を跨ぐような形状とされ、ケース 10 の蓋部 13 の開口部 13 a から引き出される。P 端子 50 及び N 端子 60 は、この半導体装置 1 H g のような配置とすることもできる。

【手続補正 5】

30

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 主面に第 1 電極を有し、前記第 1 主面とは反対側の第 2 主面に第 2 電極を有する複数の半導体素子と、

前記複数の半導体素子の前記第 1 電極と電気的に接続される導電板と、

一方の側と、前記一方の側とは反対の側とを有し、前記複数の半導体素子と前記導電板とを内包するケースと、

40

前記ケースの内部及び外部に配置され、前記ケースの一方の側から前記ケースの内側へ延伸された幹部と、平面視で前記幹部から分岐されて前記複数の半導体素子の前記第 2 電極と電気的に接続される第 1 分岐部及び第 2 分岐部とを有する第 1 延伸部を含む第 1 主電流配線と、

前記ケースの内部及び外部に配置され、前記ケースの内側の前記第 1 分岐部と前記第 2 分岐部とにより挟まれた第 2 延伸部を有し、前記導電板と電気的に接続される第 2 主電流配線と、

を備える半導体装置。

【請求項 2】

50

前記第 2 延伸部は、前記ケースの一方の側とは反対の側から、前記ケースの内側の前記第 1 分岐部と前記第 2 分岐部との間まで延伸され、

平面視で前記第 1 分岐部と前記第 2 分岐部との間に、前記複数の半導体素子が配置される、請求項 1 に記載の半導体装置。

【請求項 3】

平面視で前記第 1 分岐部と前記第 2 主電流配線との間、及び前記第 2 分岐部と前記第 2 主電流配線との間に、それぞれ前記複数の半導体素子のうちの少なくとも 1 つが配置される、請求項 2 に記載の半導体装置。

【請求項 4】

絶縁部材を介して、前記第 2 主電流配線の主面と対向して配置され、前記ケースの外側から前記ケースの内側へ延伸される第 3 主電流配線を備える、請求項 2 又は 3 に記載の半導体装置。

10

【請求項 5】

前記第 2 主電流配線は、第 1 開口部を有し、前記第 1 開口部から前記第 3 主電流配線が露出する、請求項 4 に記載の半導体装置。

【請求項 6】

前記第 3 主電流配線は、前記第 2 主電流配線よりも電位が低い、請求項 5 に記載の半導体装置。

【請求項 7】

絶縁部材を介して、前記第 1 主電流配線の主面と対向して配置され、前記ケースの外側から前記ケースの内側へ延伸される第 3 主電流配線を備える、請求項 2 又は 3 に記載の半導体装置。

20

【請求項 8】

前記第 1 主電流配線は、第 2 開口部を有し、前記第 2 開口部から前記第 3 主電流配線が露出する、請求項 7 に記載の半導体装置。

【請求項 9】

前記第 3 主電流配線は、前記第 1 主電流配線よりも電位が低い、請求項 8 に記載の半導体装置。

【請求項 10】

基板と、  
前記基板が配置されるケースと、  
前記ケースの内部に配置される複数の第 1 半導体素子と、  
前記ケースの内部に配置される複数の第 2 半導体素子と、  
前記基板上に配置され、前記複数の第 1 半導体素子と電氣的に接続される第 1 導電板と

30

、  
前記基板上に配置され、前記複数の第 2 半導体素子と電氣的に接続される第 2 導電板と

、  
前記ケースの外部に配置される第 1 外部端子部と、前記ケースの内部に配置される第 1 延伸部、第 1 接続部及び第 2 接続部とを有し、前記第 1 延伸部は、前記第 1 外部端子部と前記第 1 接続部及び前記第 2 接続部とを互いに接続し、前記第 1 接続部及び前記第 2 接続部は、前記第 1 導電板に電氣的に接続される、第 1 主電流配線と、

40

前記ケースの外部に配置される第 2 外部端子部と、前記ケースの内部に配置される第 2 延伸部及び第 3 接続部とを有し、前記第 2 延伸部は、前記第 2 外部端子部と前記第 3 接続部とを互いに接続し、前記第 3 接続部は、前記第 2 導電板に電氣的に接続される、第 2 主電流配線と、

を備え、

前記第 1 接続部及び前記第 2 接続部は、前記第 2 延伸部を挟むように配置され、

前記第 1 主電流配線及び前記第 2 主電流配線のうちの一方に電源電圧が印加されることで他方に出力電流が流れる半導体装置。

【請求項 11】

50

前記基板は、平面視で第 1 辺、第 2 辺、第 3 辺及び第 4 辺を有し、前記第 1 辺と前記第 3 辺とが対向し、前記第 2 辺と前記第 4 辺とが対向し、

前記ケースは、平面視で前記第 1 辺及び前記第 3 辺を挟み、前記第 1 辺及び前記第 3 辺と平行な第 5 辺及び第 6 辺を有し、前記第 5 辺が前記第 1 辺の側にあり、前記第 6 辺が前記第 3 辺の側にあり、

前記第 1 辺に平行な第 1 方向において、前記第 1 接続部及び前記第 2 接続部が前記第 2 延伸部を挟むように配置され、

前記第 2 辺に平行で前記第 1 方向と垂直な第 2 方向において、前記第 2 導電板及び前記第 1 導電板が並んで配置される、請求項 10 に記載の半導体装置。

【請求項 12】

前記第 1 方向において、前記第 1 接続部及び前記第 2 接続部は、前記複数の第 1 半導体素子を挟むように配置される、請求項 11 に記載の半導体装置。

【請求項 13】

前記基板上に配置される第 3 導電板と、

前記ケースの外部に配置される第 3 外部端子部と、前記ケースの内部に配置される第 3 延伸部、第 4 接続部及び第 5 接続部とを有し、前記第 3 延伸部は、前記第 3 外部端子部と前記第 4 接続部及び前記第 5 接続部とを互いに接続し、前記第 4 接続部及び前記第 5 接続部は、前記第 3 導電板に電氣的に接続される、第 3 主電流配線と、

を備え、

前記第 1 導電板上に前記複数の第 1 半導体素子が配置され、

前記第 2 導電板上に前記複数の第 2 半導体素子が配置され、

前記複数の第 1 半導体素子と前記第 2 導電板とを電氣的に接続する第 1 ワイヤと、

前記複数の第 2 半導体素子と前記第 3 導電板とを電氣的に接続する第 2 ワイヤと、

を更に備え、

前記ケースは、前記第 1 外部端子部が配置される第 1 開口部、及び前記第 2 外部端子部が配置される第 2 開口部を含み、前記第 1 開口部に前記第 3 外部端子部が配置され、

前記第 2 方向において、前記第 3 外部端子部、前記第 3 導電板、前記第 1 導電板、前記第 2 外部端子部の順番で配置され、

高電位側電源電圧が前記第 1 外部端子部から入力され、

低電位側電源電圧が前記第 3 外部端子部から入力され、

出力電流が前記第 2 外部端子部から出力される、請求項 11 に記載の半導体装置。

【請求項 14】

前記第 1 主電流配線は、前記第 3 主電流配線上に配置され、

前記第 1 主電流配線と前記第 3 主電流配線との間には、絶縁部材が配置される、請求項 13 に記載の半導体装置。

【請求項 15】

前記第 1 主電流配線は、第 3 開口部及び第 4 開口部を有し、

前記絶縁部材は、前記第 3 開口部内及び前記第 4 開口部内にそれぞれ第 5 開口部及び第 6 開口部を有し、前記第 5 開口部及び前記第 6 開口部からそれぞれ前記第 4 接続部及び前記第 5 接続部が露出し、

前記第 4 接続部及び前記第 5 接続部はそれぞれ、前記第 3 導電板に配置される導電ブロックに溶接され、前記導電ブロックを介して前記第 3 導電板に電氣的に接続される、請求項 14 に記載の半導体装置。

【請求項 16】

前記複数の第 1 半導体素子の各々のエミッタに電氣的に接続される複数の第 1 センスエミッタワイヤと、

前記複数の第 2 半導体素子の各々のエミッタに電氣的に接続される複数の第 2 センスエミッタワイヤと、

前記複数の第 1 半導体素子の各々のゲートに電氣的に接続される複数の第 1 ゲートワイヤと、

10

20

30

40

50

前記複数の第 2 半導体素子の各々のゲートに電氣的に接続される複数の第 2 ゲートワイヤと、

前記複数の第 1 センスエミッタワイヤの各々に電氣的に接続される第 1 外部センスエミッタ端子と、

前記複数の第 2 センスエミッタワイヤの各々に電氣的に接続される第 2 外部センスエミッタ端子と、

前記複数の第 1 ゲートワイヤの各々に電氣的に接続される第 1 外部ゲート端子と、

前記複数の第 2 ゲートワイヤの各々に電氣的に接続される第 2 外部ゲート端子と、

を備え、

前記第 3 延伸部の直下に前記複数の第 2 センスエミッタワイヤ及び前記複数の第 2 ゲートワイヤが配置され、 10

前記第 2 延伸部の直下に前記複数の第 1 センスエミッタワイヤ及び前記複数の第 1 ゲートワイヤが配置される、請求項 14 に記載の半導体装置。

【請求項 17】

前記ケースの内部に配置される複数の第 3 半導体素子と、

前記ケースの内部に配置される複数の第 4 半導体素子と、

前記基板上に配置され、前記複数の第 3 半導体素子と電氣的に接続される第 4 導電板と

、

前記基板上に配置され、前記複数の第 4 半導体素子と電氣的に接続される第 5 導電板と

、

前記基板上に配置される第 6 導電板と、

前記ケースの外部に配置される第 4 外部端子部と、前記ケースの内部に配置される第 4 延伸部、第 6 接続部及び第 7 接続部とを有し、前記第 4 延伸部は、前記第 4 外部端子部と前記第 6 接続部及び前記第 7 接続部とを互いに接続し、前記第 6 接続部及び前記第 7 接続部は、前記第 4 導電板に電氣的に接続される、第 4 主電流配線と、

前記ケースの外部に配置される第 5 外部端子部と、前記ケースの内部に配置される第 5 延伸部及び第 8 接続部とを有し、前記第 5 延伸部は、前記第 5 外部端子部と前記第 8 接続部とを互いに接続し、前記第 8 接続部は、前記第 5 導電板に電氣的に接続される、第 5 主電流配線と、

前記ケースの外部に配置される第 6 外部端子部と、前記ケースの内部に配置される第 6 延伸部、第 9 接続部及び第 10 接続部とを有し、前記第 6 延伸部は、前記第 6 外部端子部と前記第 9 接続部及び前記第 10 接続部とを互いに接続し、前記第 9 接続部及び前記第 10 接続部は、前記第 6 導電板に電氣的に接続される、第 6 主電流配線と、

を備え、

前記第 6 接続部及び前記第 7 接続部は、前記第 5 延伸部を挟むように配置され、

前記第 4 導電板上に前記複数の第 3 半導体素子が配置され、

前記第 5 導電板上に前記複数の第 4 半導体素子が配置され、

前記複数の第 3 半導体素子と前記第 5 導電板とを電氣的に接続する第 3 ワイヤと、

前記複数の第 4 半導体素子と前記第 6 導電板とを電氣的に接続する第 4 ワイヤと、

を更に備え、

前記ケースは、前記第 4 外部端子部が配置される第 7 開口部、及び前記第 5 外部端子部が配置される第 8 開口部を含み、前記第 7 開口部に前記第 6 外部端子部が配置され、

前記第 2 方向において、前記第 6 外部端子部、前記第 6 導電板、前記第 4 導電板、前記第 5 外部端子部の順番で配置され、

高電位側電源電圧が前記第 4 外部端子部から入力され、

低電位側電源電圧が前記第 6 外部端子部から入力され、

出力電流が前記第 5 外部端子部から出力され、

前記第 1 延伸部と前記第 4 延伸部とが連続し、

前記第 3 延伸部と前記第 6 延伸部とが連続する、請求項 13 に記載の半導体装置。

【請求項 18】

10

20

30

40

50

- 前記基板上に配置される第3導電板と、  
 前記ケースの外部に配置される第3外部端子部と、前記ケースの内部に配置される第3  
 延伸部及び第4接続部とを有し、前記第3延伸部は、前記第3外部端子部と前記第4接続  
 部とを互いに接続し、前記第4接続部は、前記第3導電板に電氣的に接続される、第3主  
 電流配線と、  
 を備え、  
 前記第1導電板上に前記複数の第1半導体素子が配置され、  
 前記第2導電板上に前記複数の第2半導体素子が配置され、  
 前記複数の第1半導体素子と前記第3導電板とを電氣的に接続する第1ワイヤと、  
 前記複数の第2半導体素子と前記第1導電板とを電氣的に接続する第2ワイヤと、  
 を更に備え、  
 前記ケースは、前記第1外部端子部が配置される第1開口部、及び前記第2外部端子部  
 が配置される第2開口部を含み、前記第2開口部に前記第3外部端子部が配置され、  
 前記第2方向において、前記第3外部端子部、前記第3導電板、前記第1導電板、前記  
 第1外部端子部の順番で配置され、  
 高電位側電源電圧が前記第2外部端子部から入力され、  
 低電位側電源電圧が前記第3外部端子部から入力され、  
 出力電流が前記第1外部端子部から出力される、請求項11に記載の半導体装置。
- 【請求項19】  
 前記第2主電流配線は、前記第3主電流配線上に配置され、  
 前記第2主電流配線と前記第3主電流配線との間には、絶縁部材が配置される、請求項  
 18に記載の半導体装置。
- 【請求項20】  
 前記第2主電流配線は、第3開口部を有し、  
 前記絶縁部材は、前記第3開口部内に第4開口部を有し、前記第4開口部から前記第4  
 接続部が露出し、  
 前記第4接続部は、前記第3導電板に配置される導電ブロックに溶接され、前記導電ブ  
 ロックを介して前記第3導電板に電氣的に接続される、請求項19に記載の半導体装置。
- 【請求項21】  
 前記複数の第1半導体素子の各々のエミッタに電氣的に接続される複数の第1センスエ  
 ミッタワイヤと、  
 前記複数の第2半導体素子の各々のエミッタに電氣的に接続される複数の第2センスエ  
 ミッタワイヤと、  
 前記複数の第1半導体素子の各々のゲートに電氣的に接続される複数の第1ゲートワイ  
 ヤと、  
 前記複数の第2半導体素子の各々のゲートに電氣的に接続される複数の第2ゲートワイ  
 ヤと、  
 前記複数の第1センスエミッタワイヤの各々に電氣的に接続される第1外部センスエミ  
 ッタ端子と、  
 前記複数の第2センスエミッタワイヤの各々に電氣的に接続される第2外部センスエミ  
 ッタ端子と、  
 前記複数の第1ゲートワイヤの各々に電氣的に接続される第1外部ゲート端子と、  
 前記複数の第2ゲートワイヤの各々に電氣的に接続される第2外部ゲート端子と、  
 を備え、  
 前記第3延伸部の直下に前記複数の第1センスエミッタワイヤ及び前記複数の第1ゲ  
 ートワイヤが配置され、  
 前記第1延伸部の直下に前記複数の第2センスエミッタワイヤ及び前記複数の第2ゲ  
 ートワイヤが配置される、請求項19に記載の半導体装置。
- 【請求項22】  
 前記第1導電板は、互いに分離された、前記複数の第1半導体素子の一部が上部に配置

10

20

30

40

50

される第 1 出力導電パターンと、前記複数の第 1 半導体素子の残りが上部に配置される第 2 出力導電パターンとを有し、

前記第 1 出力導電パターンに前記第 1 接続部が電氣的に接続され、

前記第 2 出力導電パターンに前記第 2 接続部が電氣的に接続され、

前記第 1 出力導電パターンと前記第 2 出力導電パターンとの間に、前記第 2 導電板の一部、前記第 3 導電板の一部、前記第 2 延伸部、前記第 3 延伸部、前記第 3 接続部、前記第 4 接続部が配置される、請求項 19 に記載の半導体装置。

【請求項 23】

前記基板上に配置される第 3 導電板と、

前記ケースの外部に配置される第 3 外部端子部と、前記ケースの内部に配置される第 3 延伸部及び第 4 接続部とを有し、前記第 3 延伸部は、前記第 3 外部端子部と前記第 4 接続部とを互いに接続し、前記第 4 接続部は、前記第 3 導電板に電氣的に接続される、第 3 主電流配線と、

を備え、

前記第 2 導電板上に前記複数の第 1 半導体素子が配置され、

前記第 3 導電板上に前記複数の第 2 半導体素子が配置され、

前記複数の第 1 半導体素子と前記第 1 導電板とを電氣的に接続する第 1 ワイヤと、

前記複数の第 2 半導体素子と前記第 2 導電板とを電氣的に接続する第 2 ワイヤと、

を更に備え、

前記ケースは、前記第 1 外部端子部が配置される第 1 開口部、及び前記第 2 外部端子部が配置される第 2 開口部を含み、前記第 1 開口部に前記第 3 外部端子部が配置され、

前記第 2 方向において、前記第 3 外部端子部、前記第 3 導電板、前記第 1 導電板、前記第 2 外部端子部の順番で配置され、

高電位側電源電圧が前記第 3 外部端子部から入力され、

低電位側電源電圧が前記第 1 外部端子部から入力され、

出力電流が前記第 2 外部端子部から出力される、請求項 11 に記載の半導体装置。

【請求項 24】

前記第 1 主電流配線は、前記第 3 主電流配線上に配置され、

前記第 1 主電流配線と前記第 3 主電流配線との間には、第 1 絶縁部材が配置され、

前記第 3 主電流配線と前記複数の第 2 半導体素子との間には、第 2 絶縁部材が配置され

、前記第 2 主電流配線と前記複数の第 1 半導体素子との間には、第 3 絶縁部材が配置される、請求項 23 に記載の半導体装置。

【請求項 25】

前記第 1 主電流配線は、第 3 開口部を有し、

前記第 1 絶縁部材は、前記第 3 開口部内に第 4 開口部を有し、前記第 4 開口部から前記第 4 接続部が露出し、

前記第 4 接続部は、前記第 3 導電板に配置される導電ブロックに溶接され、前記導電ブロックを介して前記第 3 導電板に電氣的に接続される、請求項 24 に記載の半導体装置。

【請求項 26】

前記複数の第 1 半導体素子の各々のエミッタに電氣的に接続される複数の第 1 センスエミッタワイヤと、

前記複数の第 2 半導体素子の各々のエミッタに電氣的に接続される複数の第 2 センスエミッタワイヤと、

前記複数の第 1 半導体素子の各々のゲートに電氣的に接続される複数の第 1 ゲートワイヤと、

前記複数の第 2 半導体素子の各々のゲートに電氣的に接続される複数の第 2 ゲートワイヤと、

前記複数の第 1 センスエミッタワイヤの各々に電氣的に接続される第 1 外部センスエミッタ端子と、

10

20

30

40

50

前記複数の第 2 センスエミッタワイヤの各々に電氣的に接続される第 2 外部センスエミッタ端子と、

前記複数の第 1 ゲートワイヤの各々に電氣的に接続される第 1 外部ゲート端子と、

前記複数の第 2 ゲートワイヤの各々に電氣的に接続される第 2 外部ゲート端子と、  
を備え、

前記第 3 絶縁部材の直下に前記複数の第 1 センスエミッタワイヤ及び前記複数の第 1 ゲートワイヤが配置され、

前記第 2 絶縁部材の直下に前記複数の第 2 センスエミッタワイヤ及び前記複数の第 2 ゲートワイヤが配置される、請求項 2 4 に記載の半導体装置。

【手続補正 6】

10

【補正対象書類名】図面

【補正対象項目名】図 1 9

【補正方法】変更

【補正の内容】

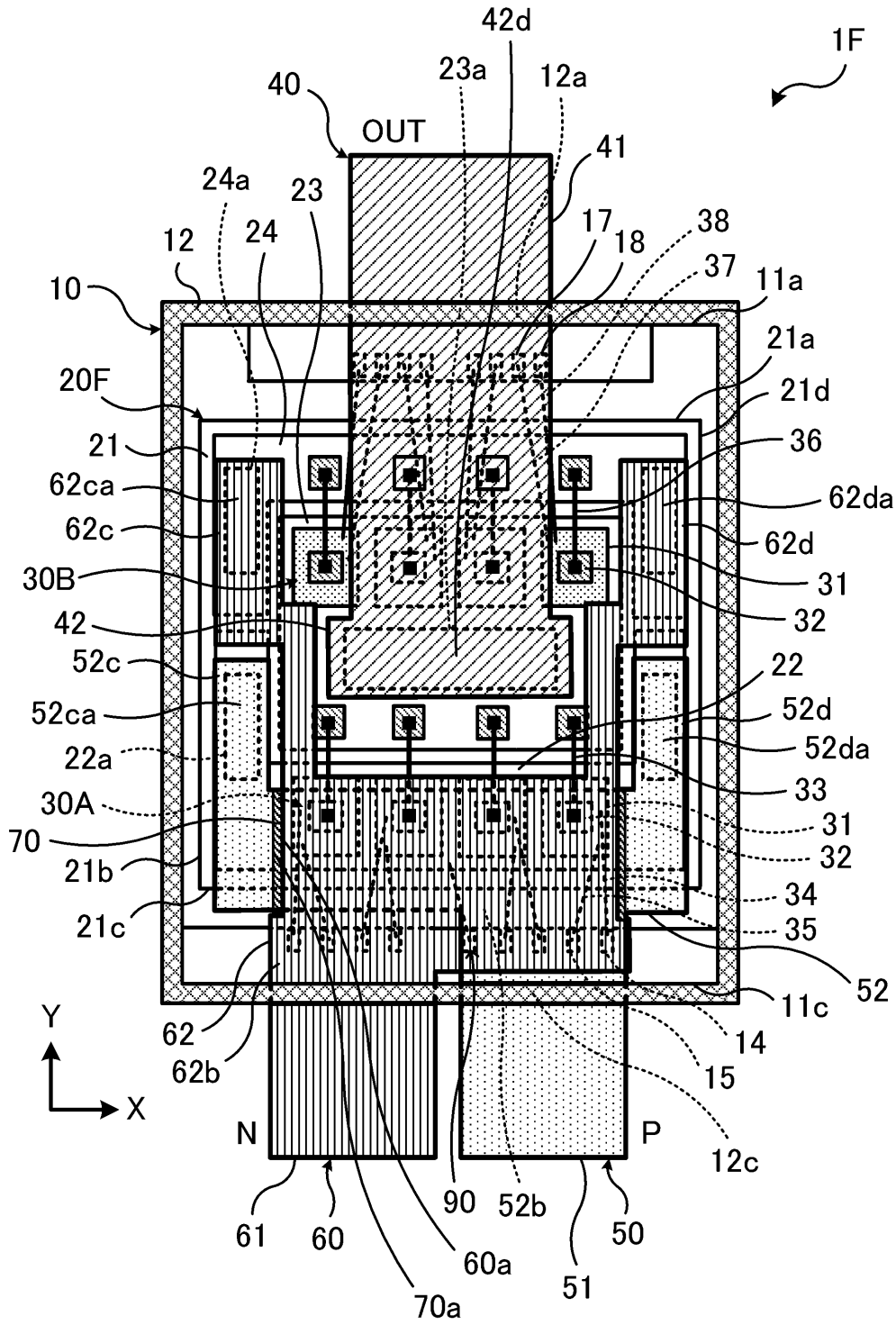
20

30

40

50

【図19】



10

20

30

40

50