



(12) 发明专利申请

(10) 申请公布号 CN 101923895 A

(43) 申请公布日 2010.12.22

(21) 申请号 201010133293.2

(22) 申请日 2010.03.12

(30) 优先权数据

10-2009-0052726 2009.06.15 KR

(71) 申请人 海力士半导体有限公司

地址 韩国京畿道利川市

(72) 发明人 朴海赞 李世昊

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 杨林森 康建峰

(51) Int. Cl.

G11C 11/56 (2006.01)

G11C 16/10 (2006.01)

G11C 16/24 (2006.01)

权利要求书 5 页 说明书 9 页 附图 11 页

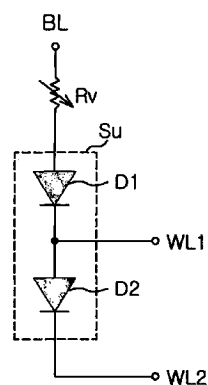
(54) 发明名称

具有多电平的相变存储器设备及其驱动方法

(57) 摘要

提出了一种具有多电平的相变存储器设备及其驱动方法。所公开的相变存储器设备包括可变电阻器和偏移单元。可变电阻器响应于所施加的电流而相互转换为置位和复位状态。连接到可变电阻器的偏移单元将可变电阻器的置位和复位状态中的电阻分布偏移预定水平。

MC



1. 一种相变存储器设备,包括:
可变电阻器,其配置用来响应于所施加的电流而变为置位和复位状态;以及
偏移单元,其耦合到所述可变电阻器,以使得所述偏移单元配置用来将所述可变电阻器的所述置位和复位状态中的电阻分布偏移预定水平。
2. 根据权利要求1所述的相变存储器设备,其中所述偏移单元包括多个串联连接的开关元件。
3. 根据权利要求2所述的相变存储器设备,其中所述开关元件包括二极管。
4. 根据权利要求2所述的相变存储器设备,其中所述开关元件包括晶体管。
5. 根据权利要求2所述的相变存储器设备,其中所述偏移单元配置用来通过选择性地使能的多个控制信号来改变所述偏移单元中的电流路径。
6. 根据权利要求5所述的相变存储器设备,还包括多条字线,每条所述字线传送所述多个控制信号。
7. 根据权利要求6所述的相变存储器设备,还包括配置用来选择所述字线之一的控制块。
8. 根据权利要求7所述的相变存储器设备,其中所述控制块包括:
解码单元,其配置用来选择性地将使能的控制信号和禁止的控制信号提供到所述字线;以及
开关,其连接到所述字线,并且配置用来将所述控制信号传送到所述字线。
9. 根据权利要求8所述的相变存储器设备,其中每个开关是晶体管。
10. 根据权利要求1所述的相变存储器设备,还包括耦合到所述可变电阻器的位线,其中电流通过所述位线被提供到所述可变电阻器。
11. 根据权利要求1所述的相变存储器设备,其中每个可变电阻器包括相变材料。
12. 一种相变存储器设备,包括:
单元阵列,其包括多个存储器单元;
其中所述存储器单元包括:
第一开关元件,其连接到第一字线;
第二开关元件,其连接在所述第一开关元件和第二字线之间;以及
可变电阻器,其连接在所述第一开关元件和位线之间。
13. 根据权利要求12所述的相变存储器设备,其中所述第一和第二开关元件具有门限电压。
14. 根据权利要求13所述的相变存储器设备,其中所述第一和第二开关元件是二极管。
15. 根据权利要求14所述的相变存储器设备,其中每个可变电阻器连接到所述第一开关元件的第一二极管的阳极,
所述第一开关元件的第一二极管的阴极连接到所述第二开关元件的第二二极管的阳极并且连接到所述第一字线之一,并且
所述第二开关元件的第二二极管的阴极连接到所述第二字线之一。
16. 根据权利要求12所述的相变存储器设备,其中所述第一和第二字线被配置成选择性地接地或者浮置。

17. 根据权利要求 12 所述的相变存储器设备,还包括配置用来选择性地驱动所述第一和第二字线的开关。

18. 根据权利要求 17 所述的相变存储器设备,其中所述开关被安装成对应于所述第一和第二字线中的每个。

19. 一种相变存储器设备,包括:

单元阵列,其包括多个存储器单元,所述存储器单元包括与位线相交的第一和第二字线;以及

控制块,其布置在所述单元阵列的外侧,并且配置用来控制所述位线和所述字线;

其中所述存储器单元包括连接到所述位线的可变电阻器以及连接到所述可变电阻器的偏移单元,并且所述偏移单元被配置成由所述第一和第二字线控制。

20. 根据权利要求 19 所述的相变存储器设备,其中每个偏移单元配置用来将所述可变电阻器的置位状态和复位状态的电阻分布偏移预定水平。

21. 根据权利要求 20 所述的相变存储器设备,其中每个偏移单元包括串联连接的第一和第二开关元件。

22. 根据权利要求 21 所述的相变存储器设备,其中每个开关元件是二极管。

23. 根据权利要求 22 所述的相变存储器设备,其中所述第一字线连接到每个偏移单元的第一二极管的阴极,并且

所述第二字线连接到每个偏移单元的第二二极管的阴极,以使得所述第二字线配置用来改变每个偏移单元中的电流路径。

24. 根据权利要求 19 所述的相变存储器设备,其中所述控制块包括:

行控制块,其配置用来控制所述字线;以及

列控制块,其配置用来控制所述位线。

25. 根据权利要求 24 所述的相变存储器设备,其中所述行控制块包括:

第一行控制块,其配置用来控制所述第一字线;以及

第二行控制块,其配置用来控制所述第二字线。

26. 根据权利要求 25 所述的相变存储器设备,其中所述第一和第二行控制块中的每个包括:

解码单元,其配置用来选择所述多条第一或者第二字线之一来提供接地电压;以及

开关阵列,其配置用来选择性地提供所述接地电压到所选择的字线。

27. 根据权利要求 25 所述的相变存储器设备,其中所述第一行控制块布置在所述单元阵列的基本垂直于所述第一和第二字线的一侧,并且

所述第二控制块布置在所述单元阵列的相对于布置所述第一行控制块的对侧,所述第二行控制块也基本垂直于所述第一和第二字线。

28. 根据权利要求 24 所述的相变存储器设备,其中所述列控制块包括:

第一列控制块,其配置用来控制奇数位线;以及

第二列控制块,其配置用来控制偶数位线,

其中所述单元阵列布置在所述第一和第二列控制块之间,以使得所述第一和第二列控制块彼此面对。

29. 根据权利要求 20 所述的相变存储器设备,其中所述偏移单元包括串联连接的晶体

管。

30. 根据权利要求 19 所述的相变存储器设备,其中每个所述可变电阻器包括相变材料。

31. 一种相变存储器设备,包括:

半导体基片,其具有外围区域以及外围区域之间的单元区域;

第一和第二字线选择开关,其位于所述外围区域中的所述半导体基片的上部上;

第一字线,其电连接到所述第一字线选择开关,所述第一字线位于其上形成有所述第一字线选择开关的半导体基片的上部上;

第一二极管,其位于所述第一字线的上部上;

第二字线,其位于所述第一二极管的上部上;

第二二极管,其位于所述第二字线的上部上,对应地排列在所述第一二极管之上;

加热电极,其对应地耦合到所述第二二极管的上部;

相变图案,其对应地耦合到所述加热电极的上部;以及

位线,其对应地耦合到所述相变图案的上部。

32. 根据权利要求 31 所述的相变存储器设备,其中所述第一和第二字线选择开关是 MOS 晶体管。

33. 根据权利要求 31 所述的相变存储器设备,还包括:

第一绝缘层,其插入在其上形成有所述第一和第二字线选择开关的半导体基片上;

第二绝缘层,其插入在所述第一字线和所述第二字线之间;

第三绝缘层,其插入在所述第二字线和所述加热电极之间;以及

第四绝缘层,其插入在所述加热电极和所述位线之间。

34. 根据权利要求 31 所述的相变存储器设备,其中所述第一和第二字线中的至少一个包括包含导电材料的硅。

35. 根据权利要求 34 所述的相变存储器设备,其中第一和第二 pn 二极管中的至少一个是硅基肖特基二极管。

36. 根据权利要求 31 所述的相变存储器设备,其中所述第一和第二字线中的至少一个包括金属材料。

37. 根据权利要求 36 所述的相变存储器设备,其中所述第一或者第二 pn 二极管是金属肖特基二极管。

38. 根据权利要求 31 所述的相变存储器设备,其中所述第一字线的下部形成有配置外围电路的器件。

39. 一种驱动相变存储器设备的方法,所述相变存储器设备包括:可变电阻器,其响应于从位线施加的电流而可逆地相互转换为置位和复位状态;偏移单元,其连接到所述可变电阻器并且呈现在所述可变电阻器的所述置位和复位状态中偏移了预定水平的电阻分布;以及存储器单元,其包括多条控制所述偏移单元的字线,所述驱动相变存储器设备的方法包括:

当写入和读取所述存储器单元时,选择所述字线之一并且将其接地,以及

经由所述位线将写入和读取电压提供到其余处于浮置状态的字线。

40. 根据权利要求 39 所述的驱动相变存储器设备的方法,还包括:当写入所述存储器

单元时,顺序地将所述字线接地,以偏移所述可变电阻器的置位和复位电阻分布。

41. 根据权利要求 39 所述的驱动相变存储器设备的方法,还包括:当写入所述存储器单元时,通过所述位线施加具有保持电压或者小于门限电压的不同水平的读取电压,以基于所施加的读取电压来确定每个水平,其中所施加的读取电压不引起所述可变电阻器改变固态相。

42. 根据权利要求 39 所述的驱动相变存储器设备的方法,还包括:

当读取所述存储器单元时,通过所述位线施加与保持电压或者小于门限电压对应的第一读取电压,以将所述可变电阻器划分成置位组和复位组,以使得所述第一读取电压不引起所述可变电阻器改变固态相;

当将所述可变电阻器划分为所述置位组时,通过所述位线施加第二读取电压,以划分详细的置位状态,其中所述第二读取电压具有比所述第一读取电压更低的电压;以及

当将所述可变电阻器划分为所述复位组时,通过所述位线施加第三读取电压,以划分详细的复位状态,其中所述第三读取电压具有比所述第一读取电压更大的电压。

43. 根据权利要求 42 所述的驱动相变存储器设备的方法,其中当将不同的字线接地时,执行划分所述置位组和所述复位组以及划分所述详细的置位和复位状态。

44. 一种驱动相变存储器设备的方法,所述相变存储器设备包括:位线;可变电阻器,其电连接到所述位线;第一开关元件,其连接到所述可变电阻器;第二开关元件,电连接到所述第一开关元件;以及存储器单元,其包括控制所述第一开关元件的第一字线和控制所述第二开关元件的第二字线,所述驱动相变存储器设备的方法包括:

当写入所述存储器单元时,将所述第一字线接地,并且通过经由所述位线施加置位电压和复位电压来写入第一置位状态和第一复位状态,所述第二字线浮置;以及

当将所述第二字线接地时,浮置所述第一字线,并且通过经由所述位线施加所述置位电压和所述复位电压来写入第二置位状态和第二复位状态。

45. 根据权利要求 44 所述的驱动相变存储器设备的方法,还包括:当读取所述存储器单元时,在不引起所述可变电阻器改变相的情况下,施加具有保持电压或者小于门限电压的不同水平的第一至第三读取电压,以便通过所述位线施加所述第一至第三读取电压,以基于所输入的读取电压确定每个水平。

46. 根据权利要求 44 所述的驱动相变存储器设备的方法,还包括:

当读取所述存储器单元时,在不引起所述可变电阻改变相的情况下,通过所述位线施加具有保持电压或者更小电压的第一读取电压,以划分置位组和复位组,其中所述保持电压为门限电压;

当划分为所述置位组时,通过所述位线施加具有比所述第一读取电压更低的电压的第二读取电压,以划分详细的置位状态;以及

当划分为所述复位组时,通过所述位线施加具有比所述第一读取电压更大的电压的第三读取电压,以划分详细的复位状态。

47. 根据权利要求 46 所述的驱动相变存储器设备的方法,其中当将不同字线接地时,执行划分所述置位组和所述复位组以及划分所述详细的置位和复位状态。

48. 根据权利要求 47 所述的驱动相变存储器设备的方法,其中划分所述置位组和所述复位组将所述第一字线接地并且浮置所述第二字线。

49. 根据权利要求 48 所述的驱动相变存储器设备的方法,其中划分所述详细的置位状态和复位状态浮置所述第一字线并且将所述第二字线接地。

50. 根据权利要求 46 所述的驱动相变存储器设备的方法,其中所述第三读取电压位于大于所述保持电压并且小于相变最大电压的范围中。

具有多电平的相变存储器设备及其驱动方法

[0001] 相关专利申请的交叉引用

[0002] 本申请要求在 2009 年 6 月 15 日向韩国专利局提交的韩国申请 10-2009-0052726 号的 35U. S. C 119(a) 下的优先权,在此通过引用将其全文合并于此。

技术领域

[0003] 本发明涉及一种存储器设备及其驱动方法,并且更具体地,涉及一种具有多电平的相变存储器设备及其驱动方法。

背景技术

[0004] 选择用于相变存储器设备(诸如 PRAM(相变随机存取存储器, Phase-Change Random Access Memory))的材料是那些能够通过经过温度改变或者由温度改变驱动而容易地并且可逆地在不同的固态相之间相互转换的材料类型。对未来的相变存储器设备中的材料的另一期望性质是不同的固态相呈现出可测量的不同电阻。由于这些和其它生化性质,可以认为相变材料可以用作能够经由相变材料的所测量的电阻和相应的固态相之间的关联存储海量数据的未来存储器设备的关键成分。

[0005] 典型的相变存储器设备可以被配置成包括多条字线、与限定单位存储器单元的多条字线相交的多条位线、选择字线的一个开关元件、以及通过驱动开关元件接收并且存储来自位线的数据的可变电阻器。

[0006] 已经报告了这种相变存储器设备可以获得中间态的值以及二元状态(即,可以根据相变材料层的特定固态相与“0”和“1”相关的状态)。

[0007] 然而,目前流行的 GST 基的相变材料层通常呈现出对应于高度有序晶体态和高度无序无定形态的两种离散线性电阻类型。然而,呈现中间电平固态的相变材料的电阻分布可以是非线性的。

[0008] 为此,为了实现多电平,用于写入置位(0)或者复位(1)数据的电流条件以及具有多种电平的电流应该被提供到相变材料。为此,需要单独的泵电路(pumping circuit)。尽管由另外的泵电路来提供多种电流,但是相变材料在除置位和复位电平之外的电平没有清晰的电阻分布,使得可能发生读取错误。

[0009] 因此,存在如下问题:要求具有多电平电流的相变存储器设备具有如上所述地布置多个泵电路的布局,这不能获得完整的多电平。

发明内容

[0010] 相变存储器设备可以包括:可变电阻器,其根据所施加的电流而变成置位和复位状态;以及偏移单元,其连接到可变电阻器,并且将可变电阻器的置位和复位状态中的电阻分布偏移预定水平。

[0011] 相变存储器设备还可以包括:包括多个存储器单元的单元阵列,其中该存储器单元包括:第一开关元件,其连接到第一字线;第二开关元件,其连接在第一开关元件和第二

字线之间；以及可变电阻器，其连接在第一开关元件和位线之间。

[0012] 相变存储器设备还可以包括：单元阵列，其包括多个存储器单元，该存储器单元包括位线以及与位线相交的第一和第二字线；以及控制块，其布置在单元阵列外侧并且配置用来控制位线和字线。此时，存储器单元包括连接到位线的可变电阻器以及连接到可变电阻器并且由第一和第二字线控制的偏移单元。

[0013] 另一变型是相变存储器设备可以包括：半导体基片，其中划分单元区域和外围区域；第一和第二字线选择开关，其在基于单元区域的两侧的外围区域的半导体基片的上部上形成；第一字线，其形成为电连接到在形成有第一字线选择开关的半导体基片的上部上的第一字线选择开关；多个第一二极管，其在第一字线的上部上形成；第二字线，其在多个第一二极管的上部上形成；第二二极管，其在第二字线的上部上形成，以对应于第一二极管；加热电极，其在第二二极管的上部上形成，以对应于每个第二二极管；相变图案，其在加热电极的上部上形成，以与每个加热电极接触；以及位线，其在相变图案的上部上形成，并且形成为电连接到相变图案。

[0014] 还提供了一种驱动相变存储器设备的方法，该相变存储器设备包括：可变电阻器，其根据从位线施加的电流而变为置位和复位状态；偏移单元，其连接到可变电阻器，并且将可变电阻器的置位和复位状态中的电阻分布偏移预定水平；以及存储器单元，其包括多条控制偏移单元的字线，驱动相变存储器设备的方法包括：当写入和读取存储器单元时，选择多条字线之一并将其接地，并且在浮置其余字线的状态中，经由位线提供对写入和读取必要的电压。

[0015] 提供的另一驱动相变存储器设备的方法是该相变存储器设备可以包括：位线；可变电阻器，其电连接到位线；第一开关元件，其连接到可变电阻器；第二开关元件，其电连接到第一开关元件；以及存储器单元，其包括控制第一开关元件的第一字线以及控制第二开关元件的第二字线，驱动相变存储器设备的方法包括：当写入存储器单元时，在浮置第二字线的状态中，将第一字线接地，并且通过经由位线施加预先设置的置位电压和复位电压来写入第一置位状态和第一复位状态，以及在将第二字线接地的状态中，浮置第一字线，并且通过经由位线施加置位电压和复位电压来写入第二置位状态和第二复位状态。

[0016] 以下在“具体实施方式”部分描述这些和其它特征、方面和实施例。

附图说明

[0017] 结合附图描述特征、方面和实施例，其中：

[0018] 图 1 是示出根据一个实施例的相变存储器设备的构造的图；

[0019] 图 2 是示出根据一个实施例的相变存储器装置的存储器单元的电路图；

[0020] 图 3A 至 3D 是示出用于将第一置位和复位状态写入根据实施例的存储器单元的过程的图，其中图 3A 是用于将第一置位状态写入存储器单元的电路图，图 3B 是用于将第一复位状态写入存储器单元的电路图，图 3C 是示出存储器单元的电阻分布的图，并且图 3D 是示出相对于存储器单元的电压的电流特性的图；

[0021] 图 4A 至 4D 是示出用于将第二置位和复位状态写入根据实施例的存储器单元的过程的图，其中图 4A 是用于将第二置位状态写入存储器单元的电路图，图 4B 是用于将第二复位状态写入存储器单元的电路图，图 4C 是示出存储器单元的电阻分布的图，并且图 4D 是示

出相对于存储器单元的电压的电流特性的图；

[0022] 图 5A 是用于说明根据一个实施例的读取存储器单元的方法的电路图；

[0023] 图 5B 是用于说明根据另一实施例的读取存储器单元的方法的电路图；

[0024] 图 6A 至 6C 是示出根据电压的电阻分布的、用于说明根据一个实施例的取决于读取电压确定电平的方法的图；

[0025] 图 7 是示出用于示出根据一个实施例的读取电压分布的电流特性的图；

[0026] 图 8 是用于说明根据另一实施例的驱动相变存储器设备的方法的流程图；

[0027] 图 9A 和 9B 是用于说明根据另一实施例的读取存储器单元的方法的电路图；

[0028] 图 10A 至 10C 是示出根据电压的电阻分布的、用于说明根据另一实施例取的取决于读取电压确定电平的方法的图；

[0029] 图 11 是示出用于示出根据另一实施例的读取电压分布的电流特性的图；

[0030] 图 12 是示出根据另一实施例的、包括四个写入驱动器的相变存储器设备的电阻分布的图；

[0031] 图 13 是根据一个实施例的相变存储器设备的横截面图；

[0032] 图 14 是根据另一实施例的相变存储器设备的横截面图；以及

[0033] 图 15 是根据另一实施例的相变存储器设备的存储器单元电路图。

具体实施方式

[0034] 在下文中，将参照附图描述本发明的示例性实施例。

[0035] 图 1 是示意性地示出根据一个实施例的相变存储器设备的构造的图。

[0036] 参照图 1，相变存储器设备 10 可以被划分为单元阵列“CA”和外围区域“PA”。

[0037] 单元阵列“CA”被配置成包括由多条字线“WL1_0 到 WL1_n 和 WL2_1 到 WL2_n”以及多条位线“BL0 到 BLn”的相交限定的多个存储器单元“MC”。

[0038] 如图 2 所示，存储器单元“MC”可以被配置成包括可变电阻器“Rv”和偏移单元“Su”。可变电阻器“Rv”耦合在一条位线“BL0 到 BLn”和偏移单元“Su”之间，以根据从位线“BL0 到 BLn”提供的电流而允许相变，从而存储数据。

[0039] 偏移单元“Su”耦合到第一字线“WL1_0 到 WL1_n”和第二字线“WL2_0 到 WL2_n”中的每个，并且从第一字线“WL1_0 到 WL1_n”和第二字线“WL2_0 到 WL2_n”接收信号作为控制信号。根据对第一和第二字线“WL1_0 到 WL1_n 和 WL2_0 到 WL2_n”的选择性驱动，偏移单元“Su”将针对可变电阻器“Rv”的置位和复位状态的电阻分布分别分布为正常状态或者偏移了预定电压的状态。因此，相变存储器设备可以实现多种电平。

[0040] 偏移单元“Su”可以被配置成包括多个具有门限电压的开关元件。根据实施例的偏移单元“Su”可以被配置成包括串联耦合的第一和第二二极管“D1 和 D2”。第一二极管“D1”耦合在可变电阻器“Rv”和第二二极管“D2”之间。可变电阻器“Rv”耦合到第一二极管“D1”的阳极侧，并且第二二极管“D2”的阳极连接到第一二极管“D1”的阴极侧。另外，为了控制通过偏移单元“Su”的电流路径，第一字线“WL1”连接到第一二极管“D1”的阴极，并且第二字线“WL2”连接到第二二极管“D2”的阴极。第一和第二字线“WL1 和 WL2”选择性地浮置或者接地，以改变通过偏移单元“Su”的电流路径，从而偏移可变电阻器“Rv”的置位 / 复位电阻分布。

[0041] 同时,外围区域“PA”布置在单元阵列“CA”的外侧并且放置有控制多条字线“WL1_0 到 WL1_n 和 WL2_0 到 WL2_n”以及多条位线“BL0 到 BLn”的块。更具体地,外围区域“PA”可以被配置成包括控制多条字线“WL1_0 到 WL1_n 和 WL2_0 到 WL2_n”的第一和第二行控制块 20a 和 20b 以及控制多条位线“BL0 到 BLn”的第一和第二列控制块 40a 和 40b。

[0042] 第一行控制块 20a 配置用来控制对第一字线“WL1_0 到 WL1_n”的驱动。第一行控制块 20a 可以被配置成包括第一列解码单元 25a、第一开关阵列 30a、以及第一选择器 35a。第一行控制块 20a 被布置在单元阵列“CA”的通常垂直于第一和第二字线“WL1_0 到 WL1_n 和 WL2_0 到 WL2_n”的一个边缘。

[0043] 第一行解码单元 25a 选择多条第一字线“WL1_0 到 WL1_n”中的任何一条来提供接地电压。其余未被选择的第一字线“WL1_0 到 WL1_n”被配置成不施加任何信号。

[0044] 第一开关阵列 30a 被配置成包括开关“SW1_0 到 SW1_n”,每个开关“SW1_0 到 SW1_n”安装在每条第一字线“WL1_0 到 WL1_n”处。开关“SW1_0 到 SW1_n”选择性地用于将从第一行解码单元 25a 传送的信号提供到每个存储器单元“MC”。开关“SW1_0 到 SW1_n”可以是任何类型的开关,其中优选地其由例如 nMOS(金属氧化物半导体, MetalOxide Semiconductor)晶体管构成。第一开关阵列 30a 优选地与单元阵列“CA”相邻,并且可以布置在单元阵列“CA”和第一行解码单元 25a 之间。

[0045] 第一选择器 35a 配置用来控制对第一开关阵列 30a 的驱动。换言之,形成第一开关阵列 30a 的开关“SW1_0 到 SW1_n”响应于从第一选择器 35a 提供的信号而同时导通或者关断。

[0046] 第二行控制块 20b 配置用来控制对第二字线“WL2_0 到 WL2_n”的驱动。与第一行控制块 20a 的布局类似,第二行控制块 20b 可以被配置成包括第二行解码单元 25b、第二开关阵列 30b、以及第二选择器 35b。第二行控制块 20b 优选地布置在单元阵列“CA”的通常垂直于第一和第二字线“WL1_0 到 WL1_n 和 WL2_0 到 WL2_n”的另一边缘。

[0047] 第二行解码单元 25b 选择多条第二字线“WL2_0 到 WL2_n”中的任何一条来提供接地电压。其余未被选择的第二字线“WL2_0 到 WL2_n”然后被配置成不施加任何信号。

[0048] 第二开关阵列 30b 可以由多个开关“SW2_0 到 SW2_n”构成,其中每个开关 SW2_0 到 SW2_n”单独地安装在每条相应的第二字线“WL2_0 到 WL2_n”处。与第一开关阵列 30a 类似,第二开关阵列 30b 可以由 nMOS 晶体管构成。第二开关阵列 30b 优选地放置成与单元阵列“CA”相邻,并且可以布置在单元阵列“CA”和第二行解码单元 25b 之间。

[0049] 第二选择器 35b 配置用来控制对第二开关阵列 30b 的驱动。

[0050] 第一列控制块 40a 配置用来控制例如对偶数位线“BL0、BL2...”的驱动。第二列控制块 40b 配置用来控制例如对奇数位线“BL1、BL3...”的驱动。第一列控制块 40a 可以布置在单元阵列“CA”的垂直于位线“BL0 到 BLn”的一侧,而第二列控制块 40b 可以布置在单元阵列“CA”的垂直于位线“BL0 到 BLn”的另一侧。第一和第二列控制块 40a 和 40b 可以包括提供用于存储数据“0(置位)”的电压、用于存储数据“1(复位)”的电压、以及读取电压的电压源。

[0051] 将通过分成写入操作和读取操作来描述对具有上述构造的相变存储器设备的驱动。

[0052] 首先将参照图 3A 至 3D 描述存储(写入)第一置位/复位状态“SET1 和 RESET1”

的方法。

[0053] 如图 3A 所示,将用于使可变电阻器 (R_v) (即,相变材料) 变成置位状态的电压 (在下文中,称作置位电压 “ V_{set} ”) 施加到将存储数据的相应存储器单元 “MC” 的位线 “BL”。同时,将接地电压 “GND” 施加到相应存储器单元 “MC” 的第一字线 “WL1”,并且使第二字线 “WL2” 浮置。可以通过第一和第二行控制块 20a 和 20b 来实现对第一和第二字线 “WL1 和 WL2” 的选择性驱动。

[0054] 因而,存储器单元 “MC” 的电流 (在下文中,称作第一置位电流 “ I_{set1} ”) 从位线 “BL” 经由第一二极管 “D1” 流到接地的第一字线 “WL1”。

[0055] 因此,通过第一置位电流 “ I_{set1} ” 将可变电阻器 “ R_v ” (即相变材料) 的相变成置位状态。置位状态 “SET1” 意味着相变材料处于本领域内公知的有序晶体固态。因此,如图 3C 所示,置位状态具有相对低的电阻分布。此外,置位状态具有如上所述的低电阻分布。因此,如图 3D 所示,具有陡坡的置位电流 “ I_{set1} ” 在第一二极管 “D1” 的门限电压 “ V_{t1} ” 或者更大处迅速地增加。这里,第一置位状态 “SET1” 可以是通用相变存储器设备的置位状态。

[0056] 同时,在如图 3A 所示的第一字线 “WL1” 接地的状态中,如图 3B 所示,通过位线 “BL” 施加用于使相变材料 (可变电阻器, “ R_v ”) 变成复位状态 “RESET1” 的电压 (在下文中,称作复位电压 “ V_{reset} ”)。这里,可以根据从位线 “BL” 施加的电压电平以及如上所述的位线 “BL” 电压的施加方法划分置位和复位状态。

[0057] 然后,将根据复位电压 “ V_{reset} ” 的电流 “ I_{reset1} ” 提供到可变电阻器 “ R_v ”,以使得可变电阻器 “ R_v ” 具有复位状态 (即,无序无定形固态)。如所知道的那样,无序无定形固态呈现了相对高于晶体态的电阻,使得如图 3C 所示复位状态 “RESET1” 中的电阻分布相对高于置位状态 “SET1”。此外,如图 3D 所示,在复位状态 “RESET1” 的情况下,在相同电压下具有相对低的电流值 “ I_{reset1} ”。

[0058] 接下来,将参照图 4A 至 4D 描述存储 (写入) 第二置位 / 复位状态 “SET2 和 RESET2” 的方法。

[0059] 如图 4A 所示,将置位电压 “ V_{set} ” 施加到将存储数据的相应存储器单元 “MC” 的位线 “BL”。同时,将接地电压 “GND” 施加到相应存储器单元 “MC” 的第二字线 “WL2”,并且使第一字线 “WL1” 浮置。可以通过第一和第二行控制块 20a 和 20b 来实现对第一和第二字线 “WL1 和 WL2” 的选择性驱动。此外,用于产生第二置位状态 “SET2” 的电压 “ V_{set} ” 与用于产生第一置位状态 “SET1” 的电压 “ V_{set} ” 相同。

[0060] 然后,存储器单元 “MC” 的电流 (在下文中,称作第二置位电流 “ I_{set2} ”) 从位线 “BL” 经由第一和第二二极管 “D1 和 D2” 流到接地的第二字线 “WL2”。

[0061] 因此,通过施加第二置位电流 “ I_{set2} ” 将可变电阻器 “ R_v ” (即,相变材料) 的相变成置位状态。

[0062] 然而,如图 4C 所示,第二置位状态 “SET2” 的电阻分布在从第一置位状态 “SET1” 的电压分布偏移了第二二极管 “D2” 的门限电压 “ V_{t2} ” 的位置处产生。

[0063] 另外,如图 4D 所示,第二置位电流 “ I_{set2} ” 在对应于第一和第二二极管 “D1 和 D2” 的门限电压之和 “ $V_{t1}+V_{t2}$ ” 的电压或者更大电压处迅速增加,以使得第二置位电流 “ I_{set2} ” 分布在从第一置位电流 “ I_{set1} ” 的分布偏移了第二二极管 “D2” 的门限电压 “ V_{t2} ” 的状态中。

[0064] 此时,向可变电阻器“Rv”施加相同的置位电压“Vset”而与第一置位状态“SET1”和第二置位状态“SET2”无关,以使得可变电阻器的物理性质(即,晶体态)相同。然而,与第一置位电流“Iset1”路径不同,第二置位电流“Iset2”路径穿过全部第二二极管“D1和D2”,以使得电流和电阻分布在偏移了第二二极管“D2”的门限电压“Vt”时的位置。因此,根据开关元件的独有门限电压的使用,可以在不引起可变电阻器“Rv”的物理性质改变的情况下实现具有清晰电阻(电流)分布的多电平。

[0065] 在下文中,将参照图 5A、5B、6A 至 6C 以及 7 描述使用一条字线读取数据的方法。

[0066] 首先,为了读取存储在可变电阻器“Rv”中的数据,如图 5A 所示,将第一字线“WL1”接地,使第二字线“WL2”浮置,然后经由位线“BL”将第一读取电压“Vread1”提供到存储器单元“MC”。如图 7 所示,第一读取电压“Vread1”可以是低于第一保持电压“Vh1”的值(例如,可以划分置位和复位的参考电压)。另外,第一保持电压“Vh1”可以为不引起相变材料的晶体态的形态改变的门限电压。

[0067] 如上所述,当通过位线“BL”施加第一读取电压“Vread1”时,如图 6A 所示,基于第一读取电压“Vread1”确定可变电阻器“Rv”属于置位组还是复位组。更具体地,基于第一读取电压“Vread1”确定可变电阻器“Rv”是否对应于第二置位状态“SET2”和第一复位状态“RESET1”。

[0068] 这里,置位组可以包括第一置位状态“SET1”和第二置位状态“SET2”,而复位组可以包括第一复位状态“RESET1”和第二复位状态“RESET2”。

[0069] 另外,可以根据在接地的第一字线“WL1”中流动的电流(在下文中,称作读取电流“Iread”)的值来确定置位组和复位组的划分。例如,当发现读取电流“Iread”的值在阈值或者更大处时,确定电阻分布较低,从而将可变电阻器划分为置位状态“SET1 和 SET2”。当发现读取电流“Iread”的值在阈值或者更小处时,确定电阻分布较高,从而将可变电阻器划分为复位状态“RESET1 和 RESET2”。

[0070] 参照图 6B,通过位线“BL”施加第二读取电压“Vread2”。例如,第二读取电压“Vread2”可以低于第一读取电压“Vread1”。然后,基于第二读取电压“Vread2”确定分布电阻是否位于低于第二读取电压“Vread2”的带,以便将其划分为第一置位状态“SET1”或者第二置位状态“SET2”。此时,可以如上所述根据读取电流“Iread”的值来划分第一置位状态“SET1”和第二置位状态“SET2”。

[0071] 参照图 6C,通过位线“BL”施加第三读取电压“Vread3”。此时,第三读取电压“Vread3”应该例如大于第一读取电压“Vread1”而小于保持电压“Vh1”。然后,基于第三读取电压“Vread3”确定分布电阻是否位于低于第三读取电压“Vread3”的带,以便将其划分为第一复位状态“RESET1”或者第二复位状态“RESET2”(S8)。也可以根据读取电流“Iread”的值之间的差来划分第一和第二复位状态“RESET1 和 RESET2”。

[0072] 尽管实施例描述了将第一字线“WL1”接地并且浮置第二字线“WL2”的示例,但是如在描述图 5B 所示的、浮置第一字线“WL1”并且将第二字线“WL2”接地的状态的实施例中那样,可以通过提供第一至第三读取电压“Vread1、Vread2 和 Vread3”来读取多电平。

[0073] 另外,可以通过使用典型的参考电压生成方法而无需安装单独的电压驱动器来提供第一至第三读取电压“Vread1、Vread2 和 Vread3”。

[0074] 此外,为了方便说明,实施例描述了如下示例:该示例顺序地提供第一至第三读取

电压“Vread1、Vread2 和 Vread3”以划分置位组和复位组,然后再划分置位组并再划分复位组。然而,该顺序是仅作为示例来示出的,并且由于使用在不同电平的读取电压“Vread1、Vread2 和 Vread3”检测电阻分布,因此实施例不限于上述顺序。换言之,可以首先输入第二读取电压“Vread2”或者第三读取电压“Vread3”来再划分置位或者复位组。为此,第一至第三读取电压“Vread1、Vread2 和 Vread3”应该为低于保持电压“Vh1”的电平。

[0075] 使用该实施例,可以在选择性地将第一字线“WL1”或者第二字线“WL2”接地的状态中提供具有不同电平的读取电压“Vread1、Vread2 和 Vread3”,以有效地划分第一和第二置位状态以及第三和第四置位状态。

[0076] 另外,将参照图 8、9A、9B、10A 至 10C 以及 11 描述使用两条字线读取数据的方法。

[0077] 首先参照图 8 和 9A,将第一字线“WL1”接地,使第二字线“WL2”浮置,然后经由位线“BL”将第一读取电压“Vread1”提供到存储器单元“MC”(S1)。如图 11 所示,第一读取电压“Vread1”可以为低于第一保持电压“Vh1”的值(例如,可以划分置位和复位的参考电压)。

[0078] 如上所述,当通过位线“BL”施加第一读取电压“Vread1”时,如图 10A 所示,基于第一读取电压“Vread1”确定可变电阻器“Rv”对应于置位组还是复位组(S2)。更具体地,基于第一读取电压“Vread1”确定可变电阻器“Rv”是否对应于第二置位状态“SET2”和第一复位状态“RESET1”。

[0079] 接下来,参照图 9B 和 10B,划分置位组和复位组,使第一字线“WL1”浮置,并且将第二字线“WL2”接地。此后,为了划分第一和第二置位状态“SET1 和 SET2”,通过位线“BL”施加低于第一读取电压“Vread1”的第二读取电压“Vread2”(S3)。然后,基于第二读取电压“Vread2”确定分布电阻是否位于低于第二读取电压“Vread2”的带(S4),以便将其划分为第一置位状态“SET1”或者第二置位状态“SET2”(S5)。此时,可以如上所述根据读取电流“Iread”的值划分第一置位状态“SET1”和第二置位状态“SET2”。

[0080] 然后,如图 10C 所示,在将第二字线“WL2”接地的状态中,通过位线“BL”施加高于第一读取电压“Vread1”的第三读取电压“Vread3”(S6)。此时,第三读取电压“Vread3”是确定为复位组的状态中输入的电压,它不一定是保持电压“Vh1”。然而,由于第三读取电压“Vread3”应该位于相变发生的电压间隔内,因此它应该被设置为低于相变最大电压“Vh2”的电压。因此,由于可以充分地维持第一至第三读取电压 Vread1、Vread2 和 Vread3 之间的间隔,因此与使用一条字线的情况相比,其在感测容限方面比较出色。

[0081] 同样,当输入第三读取电压“Vread3”时,基于第三读取电压“Vread3”确定分布可变电阻器“Rv”的电阻是否位于低于第三读取电压“Vread3”的带(S7),以便将其划分为第一复位状态“RESET1”或者第二复位状态“RESET2”(S8)。也可以根据读取电流“Iread”的值之间的差划分第一和第二复位状态“RESET1 和 RESET2”。

[0082] 实施例将第一字线“WL1”接地,划分置位组和复位组,然后将第二字线“WL2”接地,以再划分置位组并且再划分复位组。由于用于划分复位组的第三读取电压“Vread3”是先前将可变电阻器“Rv”设置为复位状态之后输入的电压,因此不必仅限制在保持电压“Vh1”的范围内。因此,如果选择第三读取电压“Vread3”位于保持电压“Vh1”和相变最大电压“Vh2”之间,那么全部读取电压 Vread1、Vread2 和 Vread3 的感测容限足够。

[0083] 另外,具有一个二极管和一个可变电阻器的典型相变存储器设备仅可以表示两

相,即,置位和复位。近来,为了通过将四个不同的电压提供到典型相变存储器设备来实现多电平,如图 12 所示,可以使用四个写入驱动器(或者泵)来设置四个电平“A(SET1)、B(SET2)、C(RESET1)和 D(RESET2)”。

[0084] 当通过考虑典型的相变存储器设备包括四个泵的事实而针对根据实施例的相变存储器设备施加四个写入驱动器时,如图 12 所示,可以获得总共 8 个电平“A(SET1)、A'(SET3)、B(SET2)、B'(SET4)、C(RESET1)、C'(RESET3)、D(RESET2)以及 D'(RESET4)”。

[0085] 图 13 是根据一个实施例的相变存储器设备的横截面图。图 13 示出了沿着单位单元列得到的横截面,其中列表示字线的前进方向。

[0086] 参照图 13,基于半导体基片 100 的单元区域“CA”,作为用于选择第一字线“WL1”的第一开关“SW1”的 MOS 晶体管在一个外围区域“PA”处形成,而作为用于选择第二字线“WL2”的第二开关“SW2”的 MOS 晶体管在另一外围区域“PA”处形成。导电阱 115 在与形成有第一和第二开关“SW1 和 SW2”的外围区域“PA”对应的半导体基片 100 上形成,以提供最佳晶体管条件,并且在单元区域“CA”中形成用于限定有源区域(未示出)的器件隔离层 110。

[0087] 第二字线“WL2”在形成有第一和第二开关“SW1 和 SW2”的半导体基片 100 的上部上形成,其间放置有第一绝缘层 120。第二字线“WL2”电连接到第二开关“SW2”的源极,并且在第一绝缘层 120 的上部上形成。第二字线“WL2”可以由具有良好的热阻性质的掺杂多晶硅线或者金属线形成。

[0088] 第二绝缘层 130 在第二字线“WL2”的上部上形成,并且多个第二二极管“D2”在第二绝缘层 130 中形成,以与第二字线“WL2”接触。这里,第二二极管“D2”可以布置在预定间隔处,以便可以在每个存储器单元“MC”处一个接一个地提供第二二极管。第二二极管“D2”具有垂直 pn 二极管结构,并且可以根据第二字线“WL2”的物理性质而划分成肖特基二极管(当第二字线由掺杂多晶硅膜形成时)或者金属肖特基二极管(当第二字线是金属膜时)。

[0089] 接下来,第一字线“WL1”在第二绝缘层 130 的上部上形成,以使得其可以电连接到第二二极管“D2”。第一字线“WL1”可以使用穿过第一和第二绝缘层 120 和 130 的导电塞 132 而电连接到第一开关“SW1”。与第二字线“WL2”相同,第一字线“WL1”可以由具有良好热阻性质的掺杂多晶硅线或者导电线形成。

[0090] 第三绝缘层 135 在第一字线“WL1”的上部上形成,并且多个第一二极管“D1”在第三绝缘层 135 中形成,以与第一字线“WL1”接触。第一二极管“D1”可以沿着对应于第二二极管“D2”的预定间隔布置,以便可以在每个存储器单元“MC”处一个接一个地提供第二二极管。第一二极管“D1”也可以是垂直 pn 二极管结构,并且可以根据较低第一字线“WL1”的物理性质而划分成硅肖特基二极管(当第一字线由掺杂多晶硅膜形成时)或者金属肖特基二极管(当第二字线是金属膜时)。

[0091] 第四绝缘层 140 在其上形成有第一二极管“D1”的第三绝缘层 135 的上部上形成。加热电极 150 在第四绝缘层 140 中形成,以电连接到每个第一二极管“D1”。可以使用具有相对较高电阻率的传导层(例如,掺杂多晶硅层、硅锗层、或者金属钛层等)作为加热电极 150。

[0092] 作为可变电阻器“Rv”的相变图案 160 在第四绝缘层 140 的上部上形成,以对应于

每个加热电极 150, 并且上部电极 165 在相变图案 160 的上部上形成。

[0093] 第五绝缘层 170 在其上形成有上部电极 165 和相变图案 160 的第四绝缘层 140 的上部上形成, 并且位线 180 在第五绝缘层 170 的上部上形成, 以对应于每个相变图案 160。这里, 位线 180 和上部电极 165 通过塞 175 而电连接在一起。

[0094] 由于相变存储器设备将相当多的器件布置在第二字线“WL2”的上部上, 因此在单元区域“CA”中的半导体基片 100 和第二字线“WL2”之间不存在器件。如图 14 所示, 当在外围区域“PA”中形成的器件“PD”集成在单元区域“CA”的半导体基片 100 上时, 外围区域“PA”的面积可以大大减小, 并且单元区域“CA”的面积可以增加外围区域“PA”所减小的面积。

[0095] 如上所述, 使用该实施例, 安装了包括多个开关元件的偏移单元, 该开关元件串联连接到可变电阻器, 以偏移电阻分布。

[0096] 结果, 具有清晰电阻分布的两相偏移了开关元件的门限电压, 使得有可能获得多个清晰的电阻分布。因此, 可以在不包括单独的写入驱动器的情况下实现多电平。

[0097] 实施例不限于上述实施例。

[0098] 尽管实施例描述了串联连接作为偏移单元的二极管“D1 和 D2”作为示例, 但是如图 15 所示, MOS 晶体管 N1 和 N2 可以取代二极管“D1 和 D2”用作开关元件。在该情况下, 单独的控制信号“CG1 和 CG2”应该被提供到每个 MOS 晶体管 N1 和 N2 的栅极。

[0099] 此外, 尽管实施例描述了作为偏移单元的两个二极管“D1 和 D2”以及用于控制该偏移单元的两条字线“WL1 和 WL2”作为示例, 但是实施例不限于此并且可以改变二极管和字线的数量。

[0100] 尽管以上描述了某些实施例, 但是应理解, 所描述的实施例仅作为示例。因此, 这里所述描述的设备和方法不应当基于所描述的实施例而受到限制。确切地, 当结合以上描述和附图时, 这里所描述的设备和方法仅根据所附权利要求而受到限制。

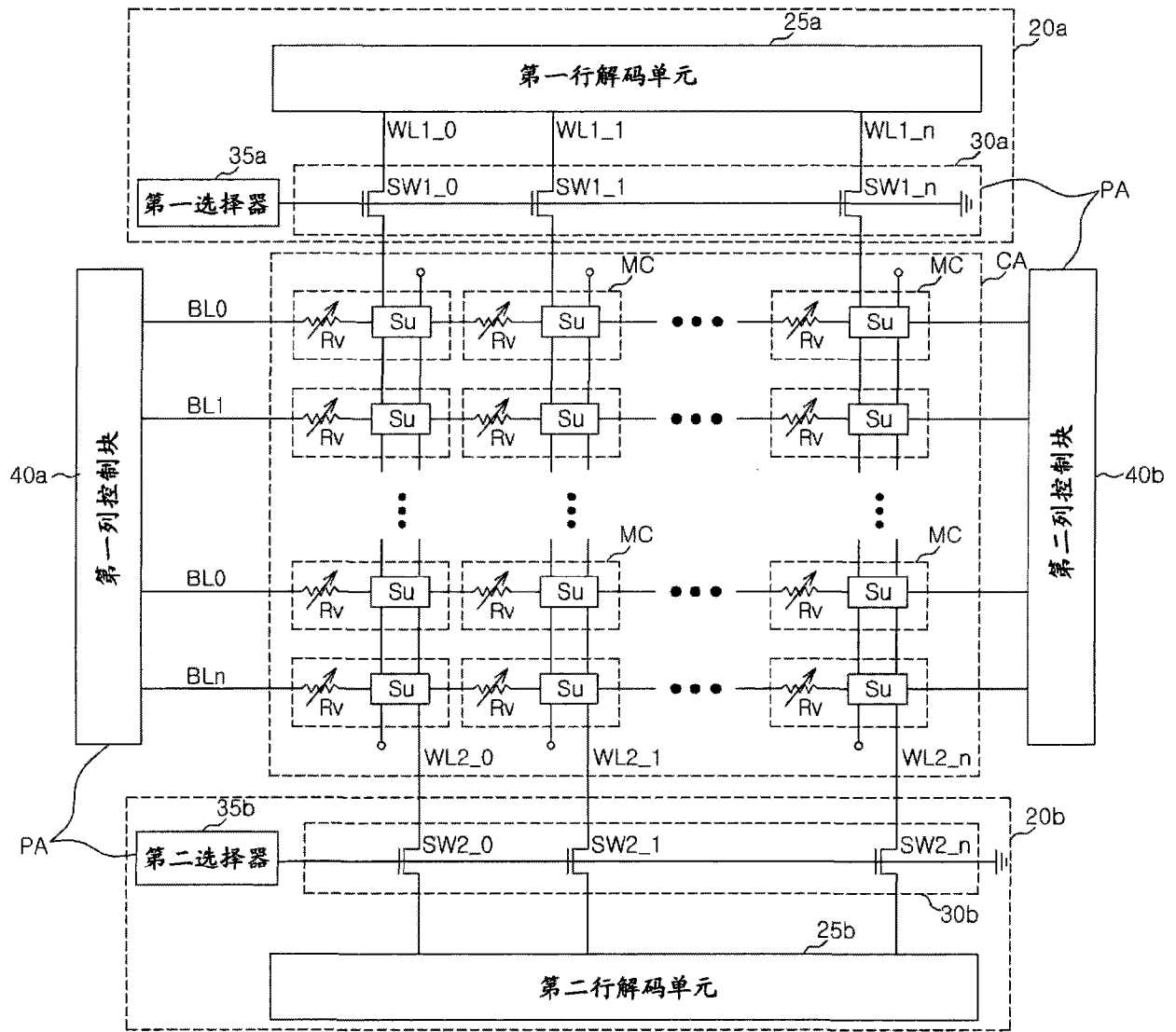


图 1

MC

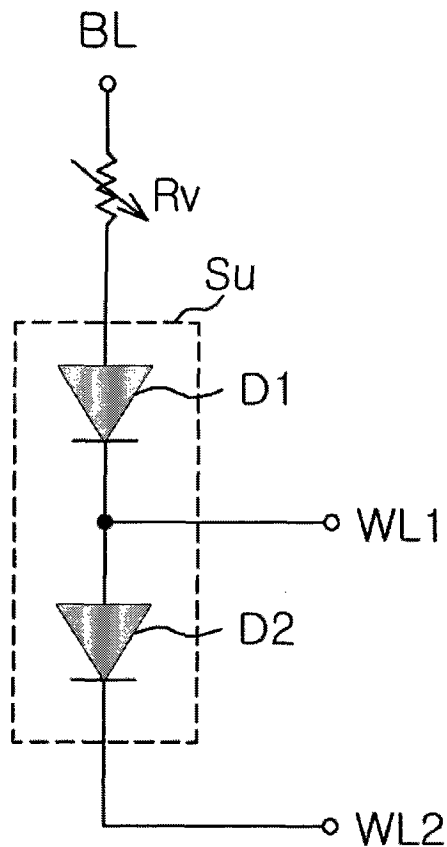


图 2

MC

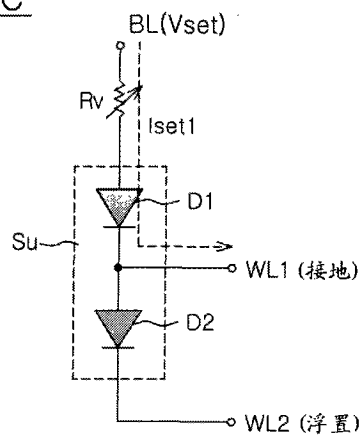


图 3A

MC

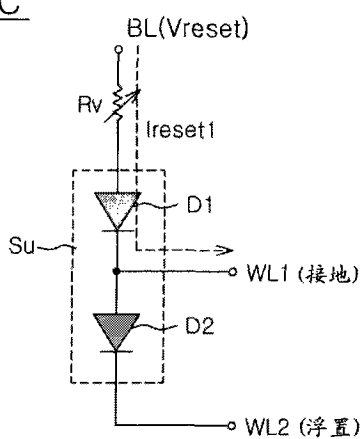


图 3B

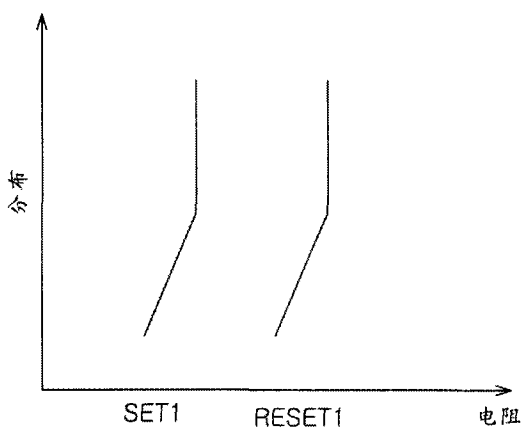


图 3C

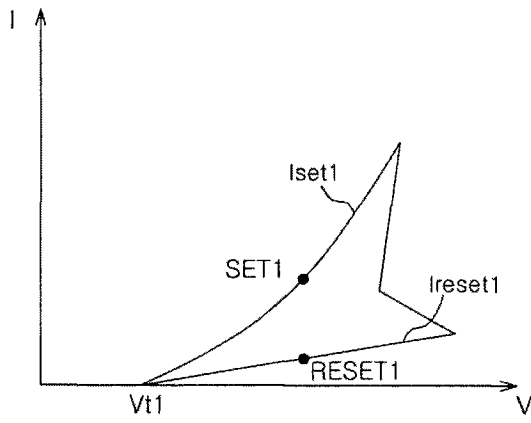


图 3D

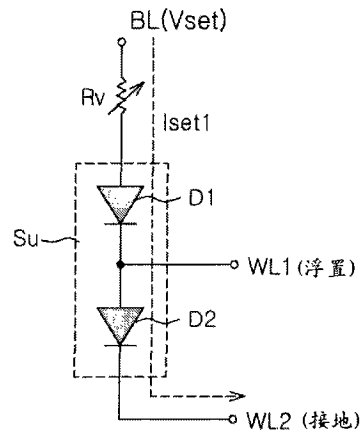


图 4A

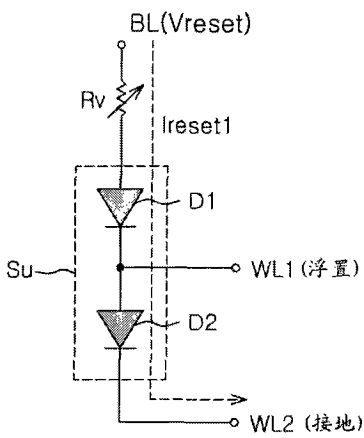


图 4B

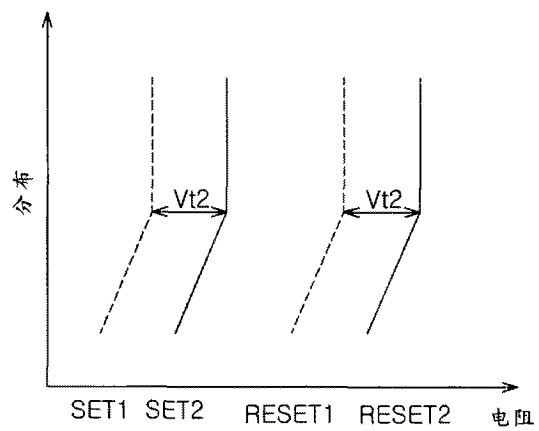


图 4C

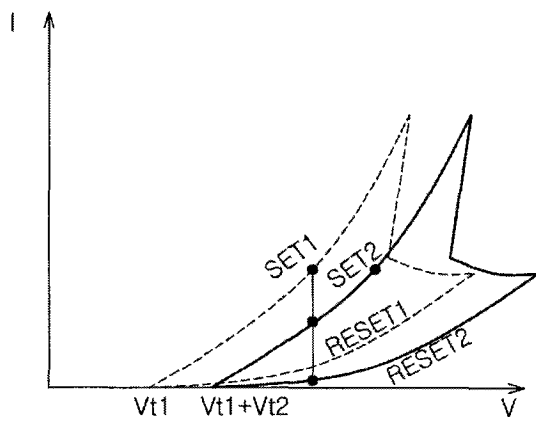


图 4D

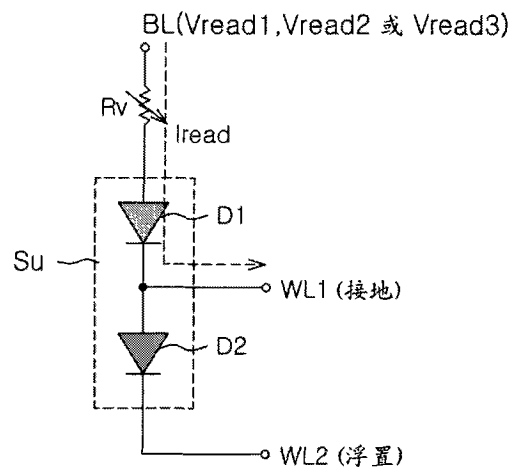


图 5A

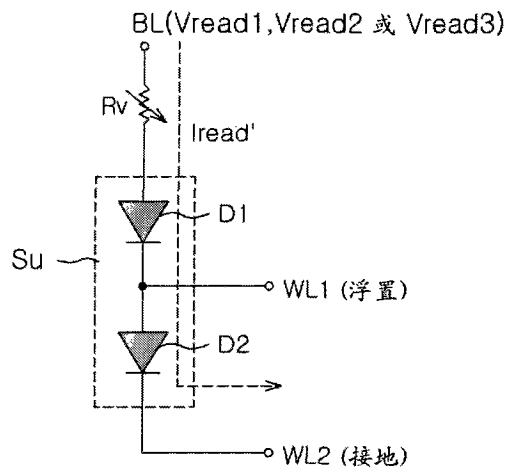


图 5B

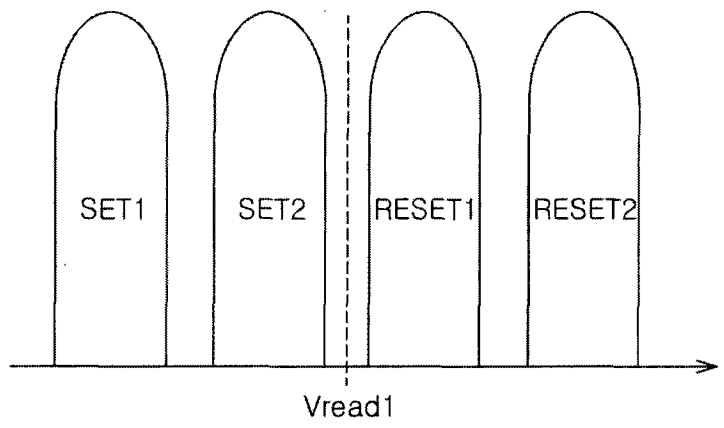


图 6A

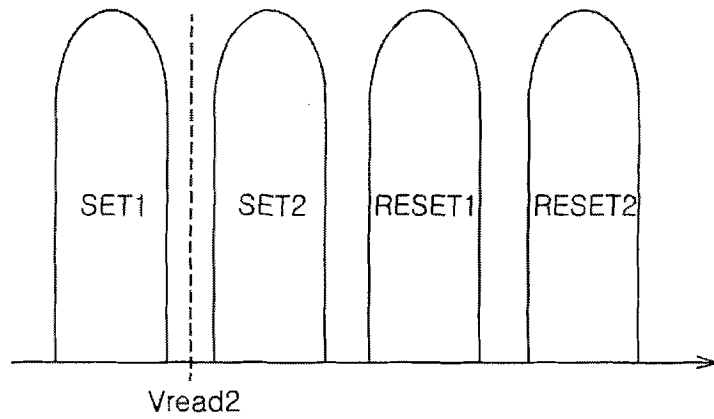


图 6B

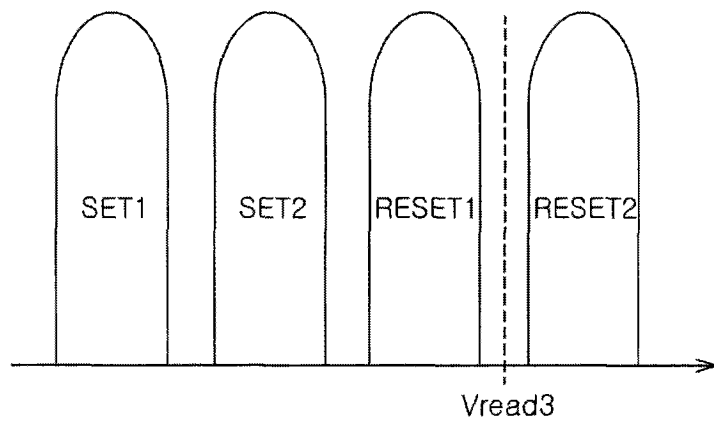


图 6C

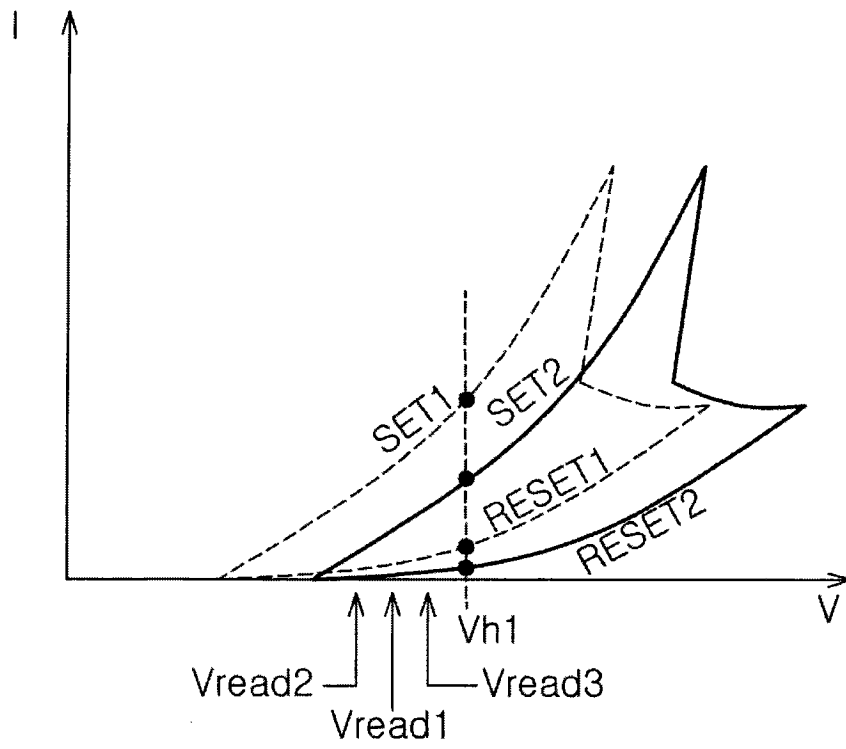


图 7

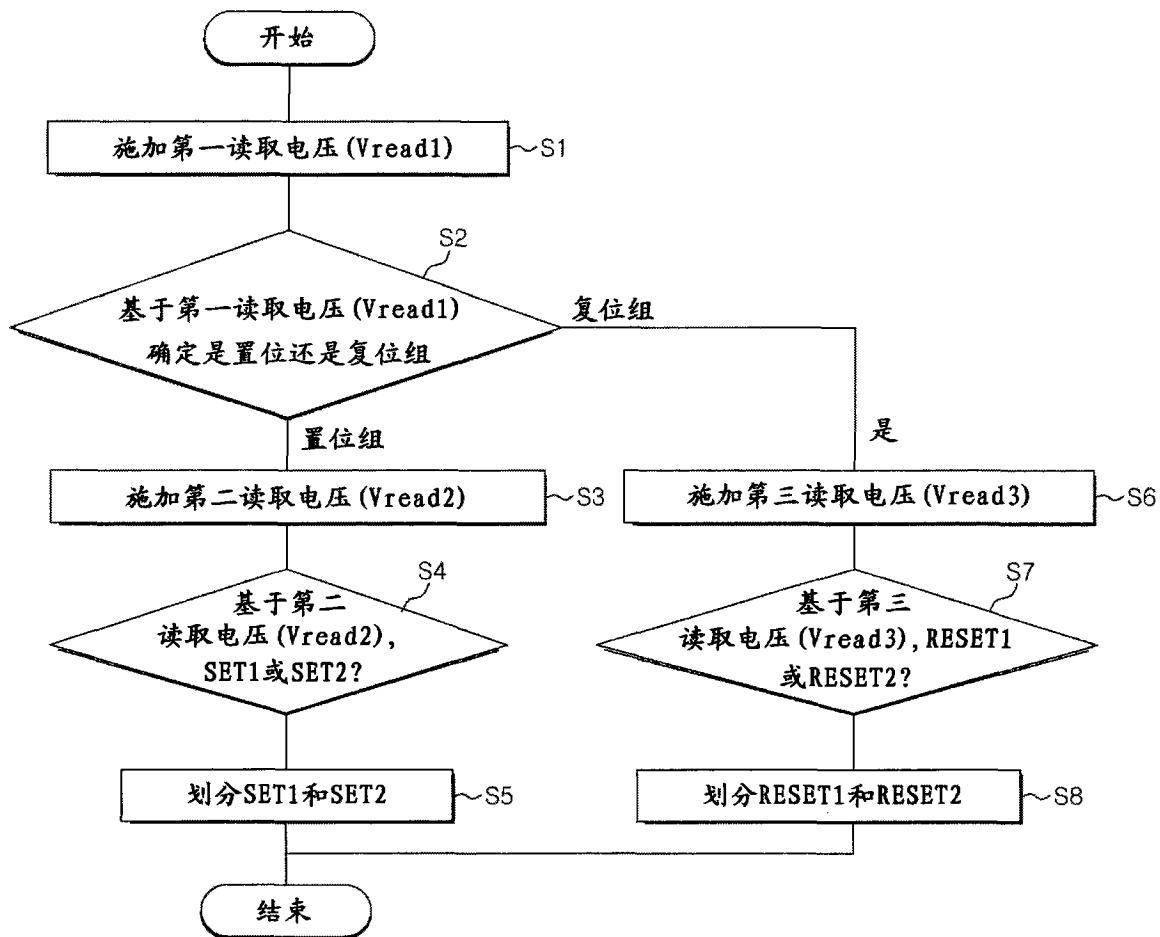


图 8

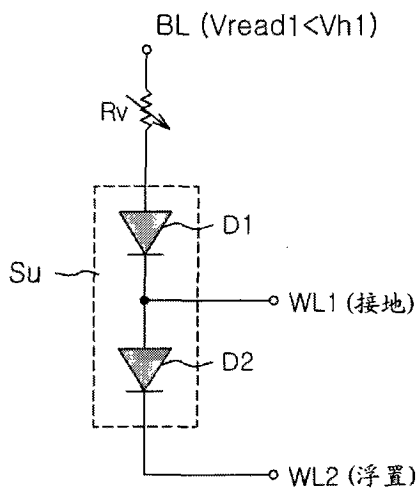


图 9A

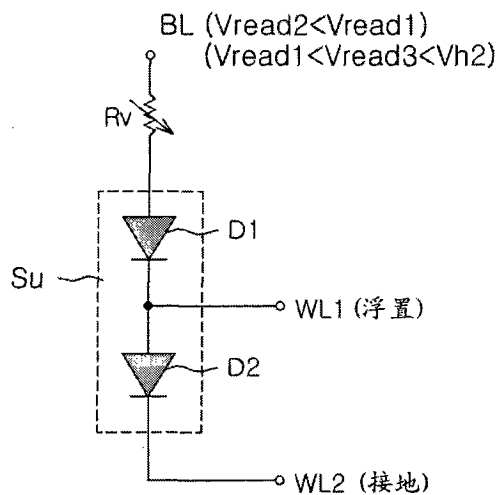


图 9B

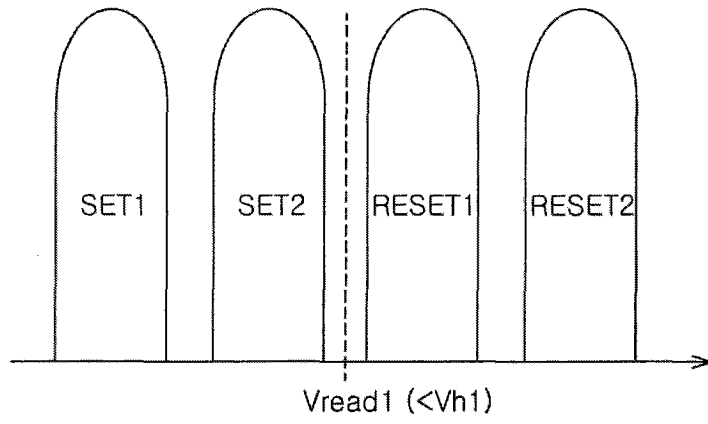


图 10A

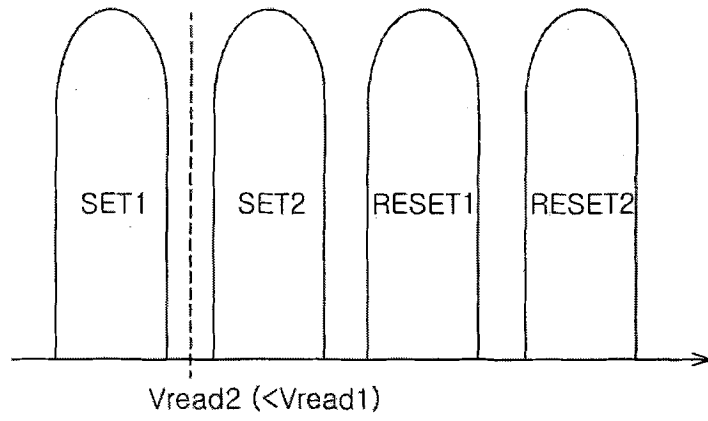


图 10B

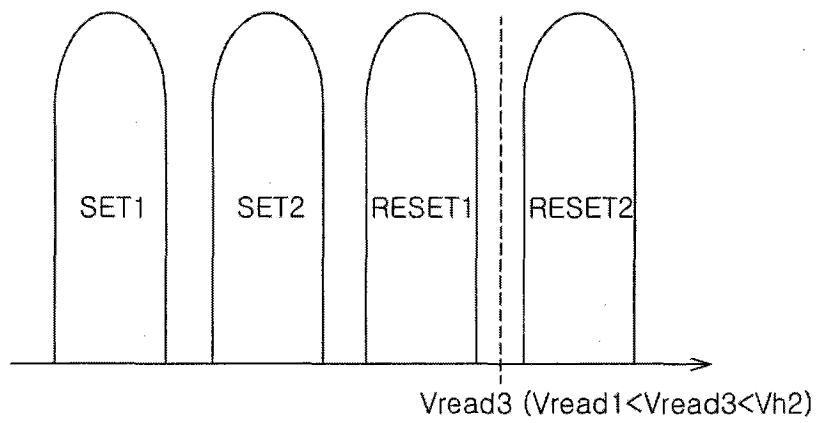


图 10C

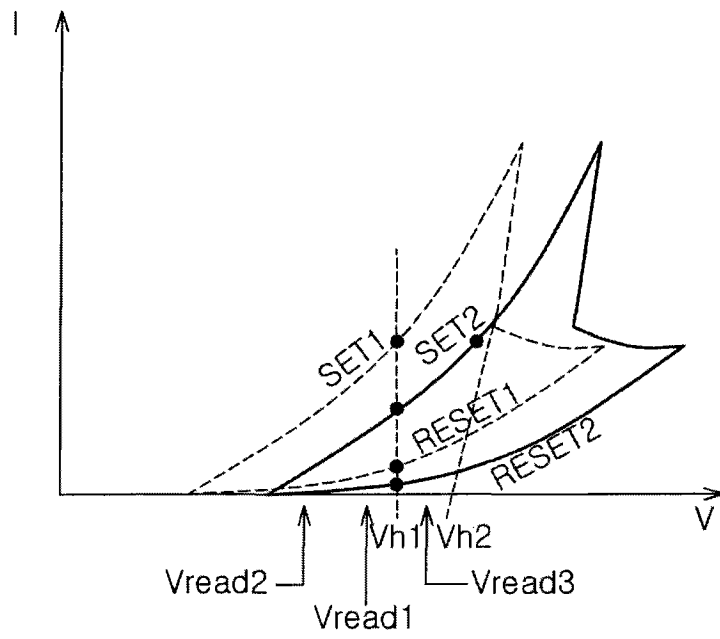


图 11

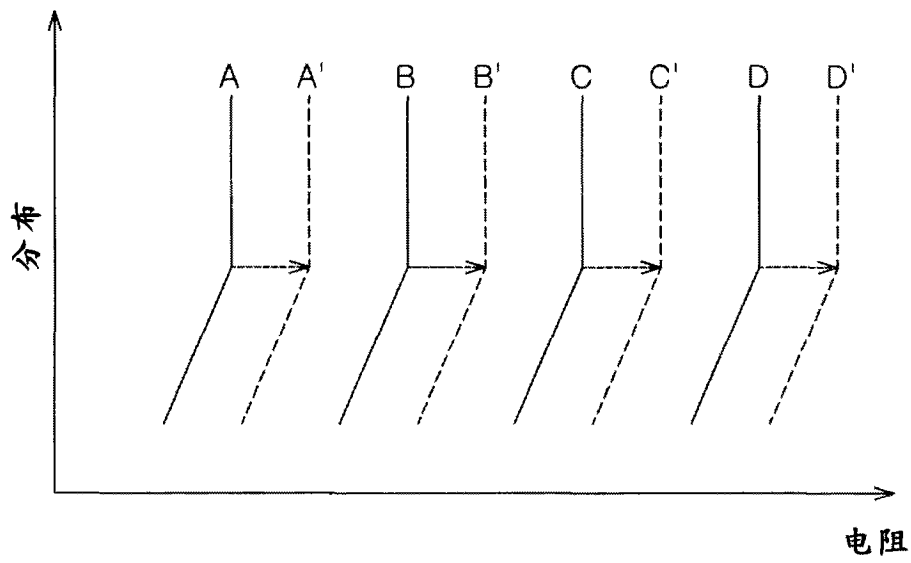


图 12

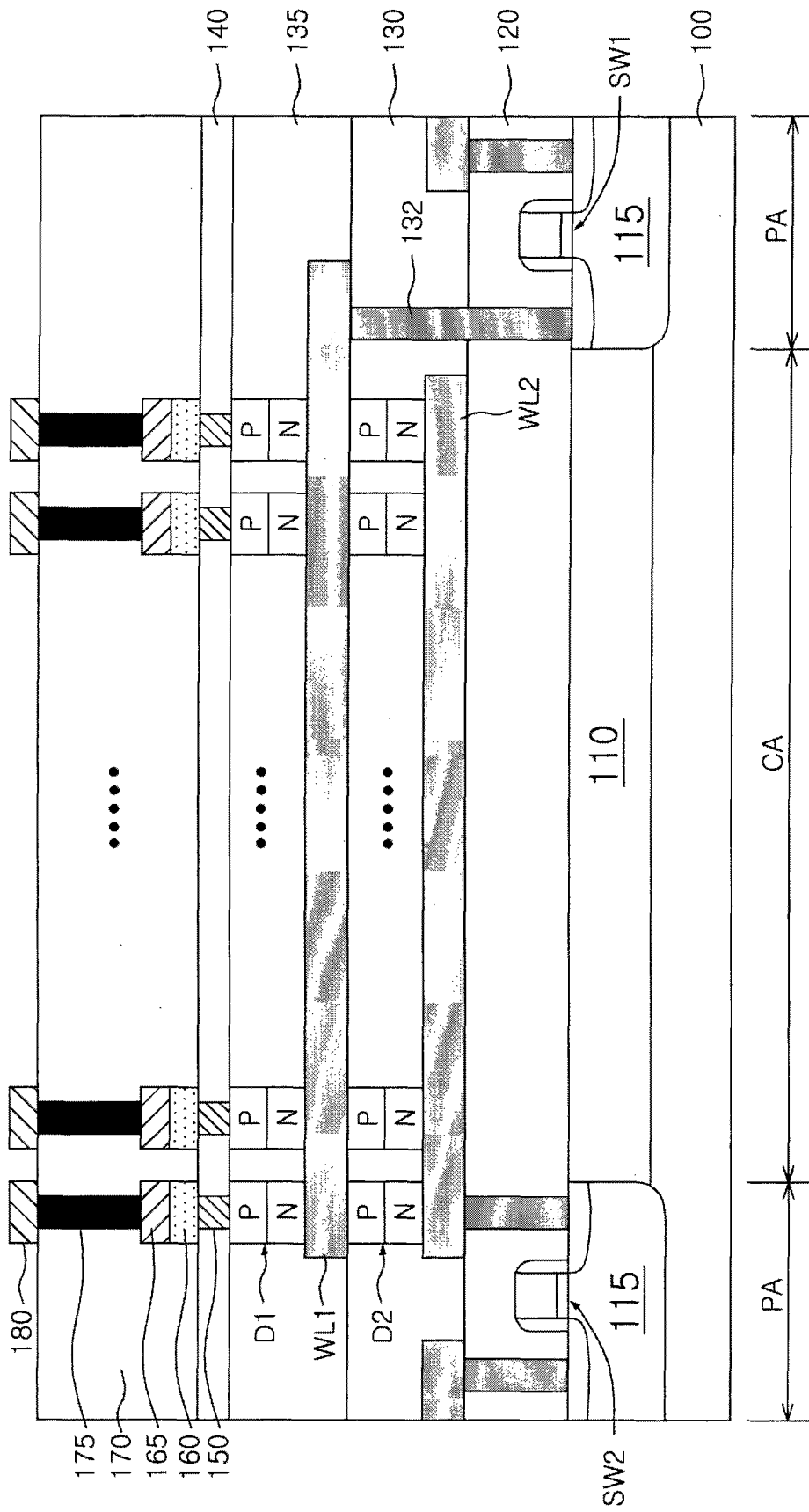


图 13

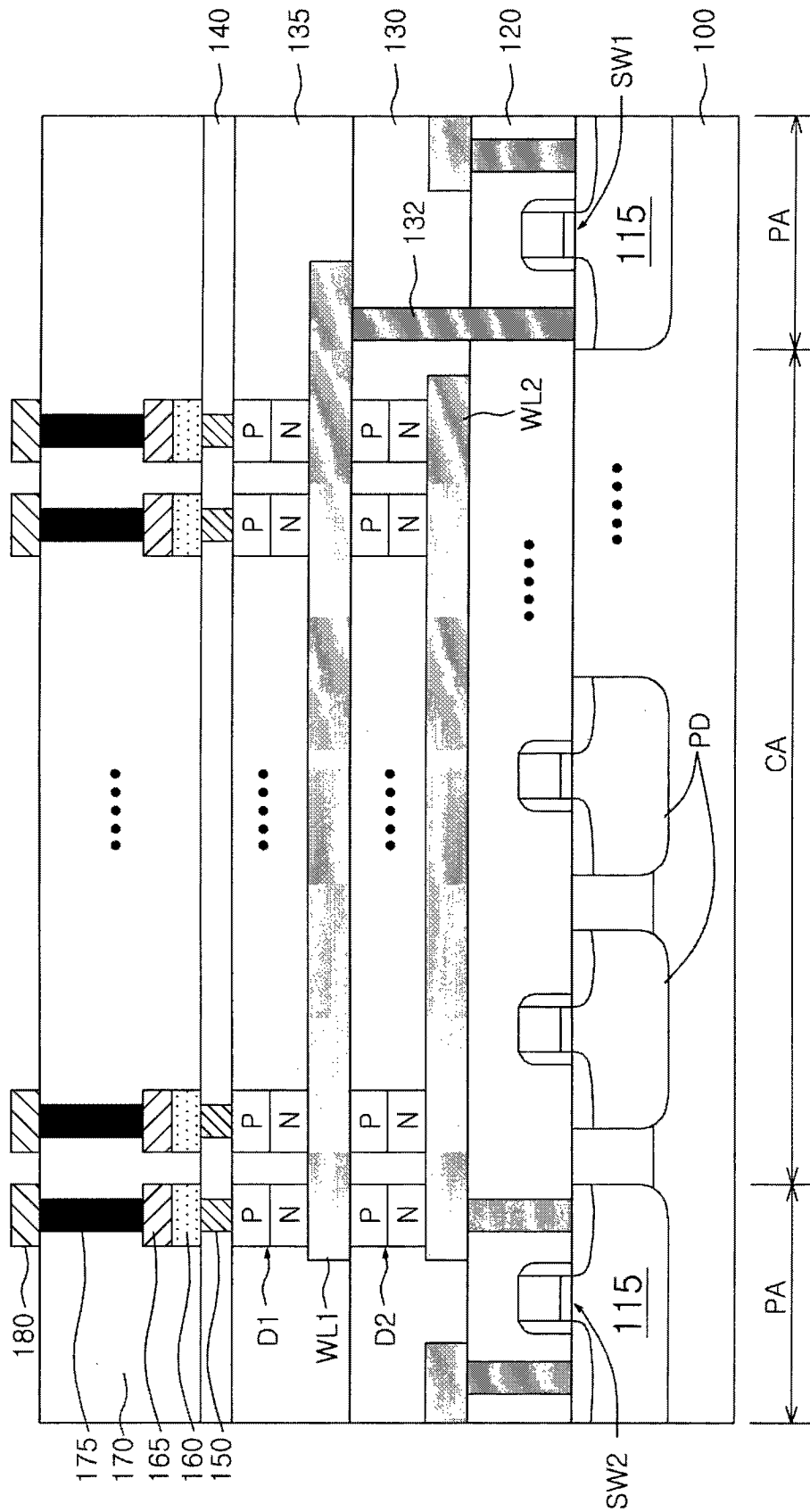


图 14

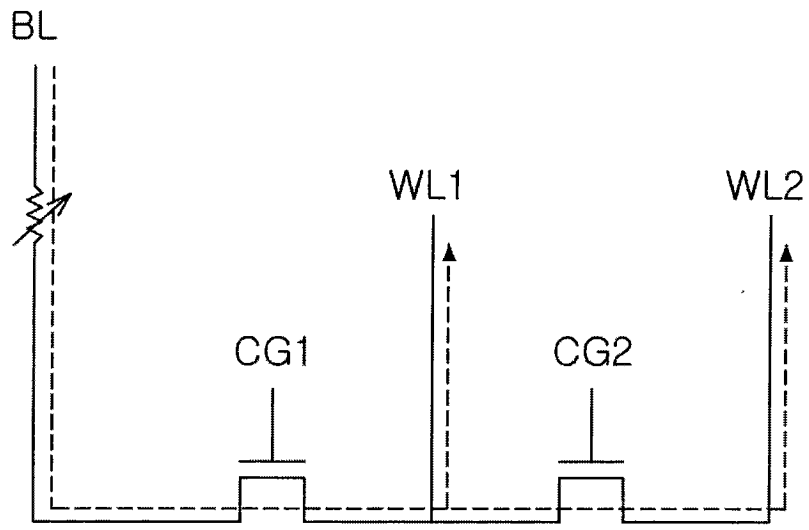


图 15