

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4166044号
(P4166044)

(45) 発行日 平成20年10月15日(2008.10.15)

(24) 登録日 平成20年8月8日(2008.8.8)

(51) Int.Cl. F I
 H O 3 F 1/00 (2006.01) H O 3 F 1/00 A
 H O 3 F 3/217 (2006.01) H O 3 F 3/217

請求項の数 3 (全 8 頁)

(21) 出願番号	特願2002-193189 (P2002-193189)	(73) 特許権者	000191238 新日本無線株式会社 東京都中央区日本橋横山町3番10号
(22) 出願日	平成14年7月2日(2002.7.2)	(74) 代理人	100083194 弁理士 長尾 常明
(65) 公開番号	特開2004-40364 (P2004-40364A)	(72) 発明者	伊理 哲郎 埼玉県上福岡市福岡2丁目1番1号 新日本無線株式会社 川越製作所 内
(43) 公開日	平成16年2月5日(2004.2.5)	(72) 発明者	河野 智行 埼玉県上福岡市福岡2丁目1番1号 新日本無線株式会社 川越製作所 内
審査請求日	平成17年6月3日(2005.6.3)	審査官	儀同 孝信

最終頁に続く

(54) 【発明の名称】 ポップ音防止回路

(57) 【特許請求の範囲】

【請求項1】

入力信号をPWM変調するPWM発生回路と、該PWM発生回路で発生したPWM信号が一端に入力するカップリングコンデンサと、該カップリングコンデンサの他端に一端が接続されたローパスフィルタと、該ローパスフィルタの他端に接続されたスピーカとを有する増幅器のポップ音を防止するためのポップ音防止回路であって、

出力側が前記カップリングコンデンサの前記一端に直接接続されたアナログスイッチ回路と、制御信号が入力することにより前記アナログスイッチ回路の内部抵抗が徐々に減少するように可聴域よりも低い周波数に相当する時定数で前記アナログスイッチ回路を制御するコンデンサと定電流回路を備えるゲート電圧制御回路とを有し、

前記PWM発生回路は電源投入から所定時間の後に動作を開始し、前記アナログスイッチ回路は前記カップリングコンデンサの前記一端に入力する前記PWM信号と同じ振幅で且つ周期が前記PWM信号より小さなクロックが入力し、前記ゲート電圧制御回路は前記制御信号が電源投入時に入力することを特徴とするポップ音防止回路。

【請求項2】

入力信号をPWM変調するPWM発生回路と、該PWM発生回路で発生したPWM信号が一端に入力するカップリングコンデンサと、該カップリングコンデンサの他端に一端が接続されたローパスフィルタと、該ローパスフィルタの他端に接続されたスピーカとを有する増幅器のポップ音を防止するためのポップ音防止回路であって、

出力側が前記カップリングコンデンサの前記一端に直接接続されたアナログスイッチ回

路と、制御信号が入力することにより前記アナログスイッチ回路の内部抵抗が徐々に減少するように可聴域よりも低い周波数に相当する時定数で前記アナログスイッチ回路を制御するコンデンサと定電流回路を備えるゲート電圧制御回路とを有し、

前記PWM発生回路は電源投入から所定時間の間にパルス幅が最小値から徐々にキャリアパルスまで増大するPWM信号を発生すると共に該所定時間中は前記カップリングコンデンサの前記一端への出力を停止し、前記アナログスイッチ回路は前記PWM発生回路で発生したPWM信号を入力し、前記ゲート電圧制御回路は前記制御信号が電源投入時に入力することを特徴とするポップ音防止回路。

【請求項3】

入力信号をPWM変調するPWM発生回路と、該PWM発生回路で発生したPWM信号が一端に入力するカップリングコンデンサと、該カップリングコンデンサの他端に一端が接続されたローパスフィルタと、該ローパスフィルタの他端に接続されたスピーカとを有する増幅器のポップ音を防止するためのポップ音防止回路であって、

出力側が前記カップリングコンデンサの前記一端に直接接続されたアナログスイッチ回路と、制御信号が入力することにより前記アナログスイッチ回路の内部抵抗が徐々に減少するように可聴域よりも低い周波数に相当する時定数で前記アナログスイッチ回路を制御するコンデンサと定電流回路を備えるゲート電圧制御回路とを有し、

前記アナログスイッチ回路は電源遮断時に接地電圧を入力し、前記ゲート電圧制御回路は前記制御信号が電源遮断時に入力することを特徴とするポップ音防止回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はPWM方式を利用した増幅器において、起動時や停止時に流れる突入電流によって発生するノイズ（ポップ音）を防止するポップ音防止回路に関するものである。

【0002】

【従来の技術】

図4は従来の増幅器の構成を示すブロック図である。図4において、C11はカップリングコンデンサ、L11はローパスフィルタを構成するインダクタ、C12は同ローパスフィルタを構成するコンデンサ、SPはスピーカ、10は入力信号をPWM変調し増幅するPWM発生回路、20はPWM信号を増幅する電力増幅回路である。PWM発生回路10は、イネーブル端子1の電圧ENpwmがHレベルになると動作して図示しない入力端子に入力された信号をPWM変調する。発生したPWM信号は、電力増幅回路20で増幅されてから、カップリングコンデンサC11を介してインダクタL11とコンデンサC12からなるローパスフィルタに入力することによりそこで平滑され、スピーカSPを駆動する。

【0003】

しかし、起動前はカップリングコンデンサC11の両端の電位差はゼロであるが、起動時には信号の中心電圧まで充電が行われる。また、停止時には、カップリングコンデンサC11の両端の電位差がゼロになるまで放電が行われる。このようなときに発生する突入電流がスピーカSPに流れるとポップ音が発生する。

【0004】

そこで、このポップ音を低減させるために、従来では、スピーカSPに並列にトランジスタQ11を接続し、トランジスタ制御回路50によってそのトランジスタQ11を起動時や停止時に導通させることにより、スピーカSPを短絡させることが行われていた。

【0005】

図5は別の従来の増幅器の構成を示す図である。70は出力トランジスタを複数個に分割したPWM出力部、60はPWM出力部70のトランジスタの数を制御するトランジスタ数制御回路である。

【0006】

この構成では、起動時には、トランジスタ数制御回路60によりPWM出力部70の出力部トランジスタの合計サイズと数をゼロから徐々に増加してカップリングコンデンサC1

10

20

30

40

50

1を徐々に充電し、停止時は、P W M出力部70のトランジスタの合計サイズと数を徐々に減らす事でカップリングコンデンサC11を徐々に放電し、スピーカS Pに流れる突入電流を抑えることが行われていた。

【0007】

【発明が解決しようとする課題】

しかし、図4に示した方法は、トランジスタQ11ならびにトランジスタ制御回路50を別途設ける必要があり、実装面積が大きくなるという問題があった。

【0008】

また、図5に示した方法は、P W M出力部70のトランジスタの数を細かく制御する必要があり、電源電圧が3.3Vの場合、10ビットで制御しても3.2mV程度のステップとなる。よって、数mVでの制御を行うとすると、トランジスタ数制御回路60の規模が大きくなりI C化した場合にチップ面積及び消費電流の増加を招くという問題があった。また、P W M出力部70のトランジスタの配線が複雑になり、配線容量の増加により特性の劣化を招く問題もあった。

【0009】

本発明の目的は、小規模な回路で、消費電流も増加させずに、起動時、停止時におけるポップ音を防止できるようにしたポップ音防止回路を提供することである。

【0010】

【課題を解決するための手段】

請求項1にかかる発明は、入力信号をP W M変調するP W M発生回路と、該P W M発生回路で発生したP W M信号が一端に入力するカップリングコンデンサと、該カップリングコンデンサの他端に一端が接続されたローパスフィルタと、該ローパスフィルタの他端に接続されたスピーカとを有する増幅器のポップ音を防止するためのポップ音防止回路であって、出力側が前記カップリングコンデンサの前記一端に直接接続されたアナログスイッチ回路と、制御信号が入力することにより前記アナログスイッチ回路の内部抵抗が徐々に減少するように可聴域よりも低い周波数に相当する時定数で前記アナログスイッチ回路を制御するコンデンサと定電流回路を備えるゲート電圧制御回路とを有し、前記P W M発生回路は電源投入から所定時間の後に動作を開始し、前記アナログスイッチ回路は前記カップリングコンデンサの前記一端に入力する前記P W M信号と同じ振幅で且つ周期が前記P W M信号より小さなクロックが入力し、前記ゲート電圧制御回路は前記制御信号が電源投入時に入力することを特徴とするポップ音防止回路とした。

【0011】

請求項2にかかる発明は、入力信号をP W M変調するP W M発生回路と、該P W M発生回路で発生したP W M信号が一端に入力するカップリングコンデンサと、該カップリングコンデンサの他端に一端が接続されたローパスフィルタと、該ローパスフィルタの他端に接続されたスピーカとを有する増幅器のポップ音を防止するためのポップ音防止回路であって、出力側が前記カップリングコンデンサの前記一端に直接接続されたアナログスイッチ回路と、制御信号が入力することにより前記アナログスイッチ回路の内部抵抗が徐々に減少するように可聴域よりも低い周波数に相当する時定数で前記アナログスイッチ回路を制御するコンデンサと定電流回路を備えるゲート電圧制御回路とを有し、前記P W M発生回路は電源投入から所定時間の間にパルス幅が最小値から徐々にキャリアパルスまで増大するP W M信号を発生すると共に該所定時間中は前記カップリングコンデンサの前記一端への出力を停止し、前記アナログスイッチ回路は前記P W M発生回路で発生したP W M信号を入力し、前記ゲート電圧制御回路は前記制御信号が電源投入時に入力することを特徴とするポップ音防止回路とした。

【0012】

請求項3にかかる発明は、入力信号をP W M変調するP W M発生回路と、該P W M発生回路で発生したP W M信号が一端に入力するカップリングコンデンサと、該カップリングコンデンサの他端に一端が接続されたローパスフィルタと、該ローパスフィルタの他端に接続されたスピーカとを有する増幅器のポップ音を防止するためのポップ音防止回路であ

10

20

30

40

50

って、出力側が前記カップリングコンデンサの前記一端に直接接続されたアナログスイッチ回路と、制御信号が入力することにより前記アナログスイッチ回路の内部抵抗が徐々に減少するように可聴域よりも低い周波数に相当する時定数で前記アナログスイッチ回路を制御するコンデンサと定電流回路を備えるゲート電圧制御回路とを有し、前記アナログスイッチ回路は電源遮断時に接地電圧を入力し、前記ゲート電圧制御回路は前記制御信号が電源遮断時に入力することを特徴とするポップ音防止回路とした。

【 0 0 1 3 】

【 発明の実施の形態 】

ポップ音を抑制するためには、スピーカに流れる電流を制御して、そのスピーカによる空気振動が可聴域の範囲外（ 20 Hz 以下、 20 kHz 以上）になるようにするか、あるいは可聴域（ $20\text{ Hz} \sim 20\text{ kHz}$ ）であっても人間が聞き取れるエネルギー以下にする必要がある。前者の場合、スピーカに流れ込む電流の周波数成分が 10 Hz であったとしても、通常では可聴域の周波数成分をもつ高調波成分が生成されるが、そのエネルギーが小さければ、音は実質的に聞こえない。そして、高調波成分を少なくするためには、 10 Hz 程度あるいはより低い周波数を基本波とし、カップリングコンデンサに充電を開始する時とカップリングコンデンサの両端の電位差が信号中点の電圧とほぼ等しくなるまで充電された時点の充電電流の変化を少なくし、スピーカの両端の電位差を大きくしないことが効果的である。

【 0 0 1 4 】

そこで、本発明では、起動時にスピーカに流れる突入電流の基本波成分が充分低い周波数領域になるように制御して、起動時のポップ音の発生を防止する。また、停止時のポップ音の発生防止は、カップリングコンデンサの端子をフローティングにして電荷を自然放電させたり、あるいは該端子を緩やかに接地に接続して電荷を放電させることにより実現する。以下、詳しく説明する。

【 0 0 1 5 】

[第 1 の実施形態]

図 1 は本発明の第 1 の実施形態のポップ音防止回路を具備する増幅器のブロック図である。10 は図示しない入力端子から入力するアナログ又はデジタルの信号を PWM 変調し増幅する PWM 発生回路、20 はその PWM 変調信号を増幅する電力増幅回路、30 は PMOS と NMOS のトランジスタからなるアナログスイッチ回路、40 はこのアナログスイッチ回路 30 のゲート電圧を制御するゲート電圧制御回路である。また、1 は H レベルになることにより PWM 発生回路 10 を動作させるイネーブル端子、2 は PWM 発生回路 10 のマスタクロック等が入力する入力端子、3 は H レベルになることによりゲート電圧制御回路 40 を動作させるイネーブル端子である。さらに、INV 1 はパルス信号の振幅を所定の振幅に増幅するドライバとしてのインバータ、C 1 1 はカップリングコンデンサ、L 1 1 はローパスフィルタを構成するインダクタ、C 1 2 は同ローパスフィルタを構成するコンデンサ、SP はスピーカである。このうち、ポップ音防止回路は、アナログスイッチ回路 30 とゲート電圧制御回路 40 とインバータ INV 1 とで構成される。

【 0 0 1 6 】

PWM 発生回路 10 はイネーブル端子 1 の電圧 EN_{pwm} が L レベルのときは非動作状態にあり、H レベルになっている時に動作する。動作中は、図示しない入力端子から入力する信号を PWM 変調し出力するが、入力信号がないときはキャリアパルス（ 50% デューティのパルス）を出力する。そのキャリアパルスの平均電圧（直流電圧）は信号の中心電圧であるバイアス電圧 V_{bias} である。

【 0 0 1 7 】

入力端子 2 に入力する信号はインバータ INV 1 によって所定の駆動レベルにまで増幅されアナログスイッチ回路 30 に入力する。ゲート電圧制御回路 40 は、制御端子 3 が H レベルになると徐々にアナログスイッチ回路 30 の制御電圧を変化させ、そのアナログスイッチ回路 30 の内部抵抗を徐々に減少させ、所定時間が経過するとそのアナログスイッチ回路 30 を今度は遮断する。これにより、アナログスイッチ回路 30 は、インバータ IN

10

20

30

40

50

V1とカップリングコンデンサC11の間に流れる電流を徐々に増加させる。

【0018】

図2は上記したアナログスイッチ回路30とゲート電圧制御回路40の部分の具体的な回路図である。アナログスイッチ回路30は、PMOSトランジスタQ1とNMOSトランジスタQ2の並列接続回路からなる。ゲート電圧制御回路40は、PMOSトランジスタQ3、NMOSトランジスタQ4、インバータINV2、同一容量値のコンデンサC1、C2、および同一電流値の定電流源回路I1、I2からなる。

【0019】

さて、電源投入時には、図3の時刻t1でイネーブル端子3の電圧ENccがLレベルからHレベルに変化する。これにより、ゲート電圧制御回路40では、トランジスタQ3が遮断し、またインバータINV2の出力がHレベルからLレベルに変化するのでトランジスタQ4が遮断する。よって、コンデンサC1が定電流源回路I1の電流により充電されて電圧Vpが徐々に低下し、またコンデンサC2が定電流源回路I2の電流により充電されて電圧Vnが徐々に上昇する。このため、アナログスイッチ回路30の内部抵抗が徐々に減少する。

10

【0020】

一方、入力端子2は、時刻t1から前記PWM発生回路10で発生するPWM信号の周期よりも十分に短い周期のシステムクロックが入力し、インバータINV1の出力側には、通常動作時の電力増幅器20の出力電圧(PWM信号)と同じ振幅のクロックが出力しアナログスイッチ回路30に入力する。

20

【0021】

よって、そのアナログスイッチ30からそのシステムクロックが出力するときは、徐々にその出力レベルが増大し、これにより出力端子4に接続されているカップリングコンデンサC11が充電される。

【0022】

このとき、アナログスイッチ回路30を制御するゲート電圧Vp、Vnの時定数を、可聴域の低い側(20Hz)に相当する50msの2倍程度にしておくこと、カップリングコンデンサC11の充電電圧が10Hz程度の周波数の変化率で緩やかに上昇する。そして、カップリングコンデンサC11の電圧が前記バイアス電圧Vbiasに達し、これ以降は充電が進行しなくなる。

30

【0023】

この後、時刻t2でイネーブル端子3の電圧ENccがLレベルに切り替えられ、トランジスタQ3、Q4が導通となり、コンデンサC1、C2の電荷が放電されると共にゲート電圧VpはHレベル、VnはLレベルとなって、アナログスイッチ回路30が遮断する。また、入力端子2へのシステムクロックの入力も停止する。さらに、イネーブル端子1の電圧ENpwmがLレベルからHレベルに切り替えられPWM発生回路10の動作が開始する。このPWM発生回路10の出力信号は無入力ときはデューティ50%のパルス(平均値はVbias)であるので、カップリングコンデンサC11での極端な充放電は起こらない。

【0024】

以上から、カップリングコンデンサC11の電圧Voutは、図3の波形図に示すように、イネーブル端子3の電圧ENccがLレベル Hレベルに切り替わると可聴周波数より充分低い10Hz以下の周波数で変化してゆっくり上昇し、その電圧ENccがHレベル Lレベルに切り替わる直前にゆっくりバイアス電圧Vbiasに落ち着く。また、スピーカSPに印加する電圧Vspは電圧Voutの変化時点で緩やかに変化する電圧となり、ポップ音が発生することはない。また、この後は、カップリングコンデンサC11に接続される出力端子4からアナログスイッチ回路30側をみたインピーダンスは高インピーダンスであり、PWM発生回路10がスピーカSPを駆動する動作に影響を与えることはない。

40

【0025】

次に、動作を停止するとき、カップリングコンデンサC11には電圧が残ることになるが、アナログスイッチ回路30の出力が高インピーダンスであり、また電力増幅回路20

50

の出力側も高インピーダンス状態となるので、自然放電が行われ、ポップ音の発生を防止することができる。

【 0 0 2 6 】

[第 2 の実施形態]

なお、動作の停止時に、入力端子 2 を H レベルに設定してインバータ I N V 1 の出力を L レベルとし、イネーブル端子 3 の電圧 ENcc を所定時間だけ H レベルにすれば、アナログスイッチ回路 3 0 が徐々に内部抵抗を減少するので、カップリングコンデンサ C 1 1 の電荷を前記した充電時と同様な時定数でインバータ I N V 1 の出力側に放電することができ、これによっても、ポップ音の発生を防止することができる。

【 0 0 2 7 】

[第 3 の実施形態]

また、上記の実施形態では、電源投入時に、時刻 $t_1 \sim t_2$ の期間中、システムクロックを入力端子 2 に入力したが、このシステムクロックに代えて、P W M 発生回路 1 0 で発生する P W M 信号を入力端子 2 に入力することもできる。

【 0 0 2 8 】

この場合は、P W M 発生回路 1 0 は電源投入時から入力信号を遮断して動作を開始させ、時刻 t_1 で最小のパルス幅、時刻 t_2 で非変調時のキャリアパルスとなるようにパルス幅が順次大きくなる P W M 信号を発生させる。また、電力増幅回路 2 0 はイネーブル端子 1 の電圧 ENpwm により時刻 $t_1 \sim t_2$ の期間だけ停止させる。時刻 t_2 以降では P W M 信号発生回路 1 0 に P W M 変調すべき信号を入力させ且つ電力増幅器 2 0 も動作させる。また、インバータ I N V 1 は信号反転を行わないドライバと置き換える。

【 0 0 2 9 】

これにより、P W M 発生回路 1 0 で発生する P W M 信号がオフセットをもつ場合（前記 V bias が 0 から正側又は負側にずれている場合）であっても、時刻 t_2 の切替時において、出力端子 4 の電位が変化することはなく、ポップ音の発生を防止することができる。

【 0 0 3 0 】

なお、P W M 信号はインバータ I N V 1 と置換したドライバによってその振幅が大きくなっているため、最初の 1 発目のパルスがカップリングコンデンサ C 1 1 に充電されるとインパルスとして働きノイズ発生の危険性があるが、電源投入時の時刻 t_1 ではアナログスイッチ回路 3 0 の内部抵抗が大きいため、その恐れはない。また、この場合はカップリングコンデンサ C 1 1 の充電に、アナログスイッチ回路 3 0 の内部抵抗変化の時定数に加えて P W M 信号のパルス幅増大変化の時定数も関連するので、両時定数の設定によりその充電時定数の設定が容易となる。

【 0 0 3 1 】

【発明の効果】

以上説明したように、本発明によれば、簡単な回路構成で低消費電流、小面積を実現でき、また起動時や停止時のポップ音を防止する事が可能となる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態のポップ音防止回路を具備する増幅器のブロック図である。

【図 2】 図 1 のポップ音防止回路部分の具体的な回路図である。

【図 3】 図 2 のポップ音防止回路の動作の波形図である。

【図 4】 従来のポップ音防止回路を具備する増幅器のブロック図である。

【図 5】 別の従来の 8 ビットで制御するポップ音防止回路を具備する増幅器のブロック図である。

【符号の説明】

1 0 : P W M 発生回路

2 0 : 電力増幅回路

3 0 : アナログスイッチ回路

4 0 : ゲート電圧制御回路

10

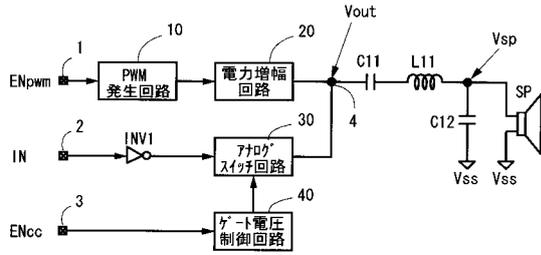
20

30

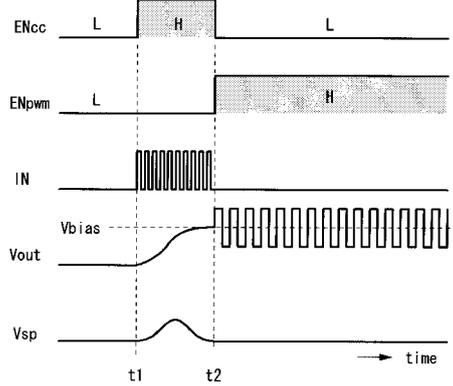
40

50

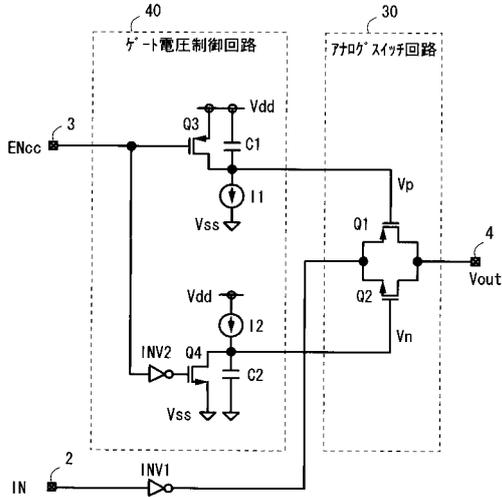
【図1】



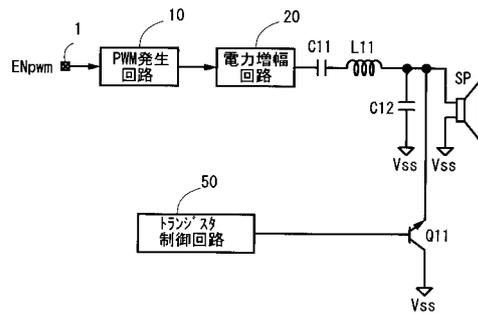
【図3】



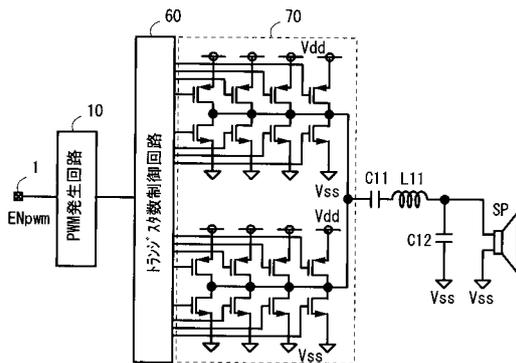
【図2】



【図4】



【図5】



フロントページの続き

- (56)参考文献 特開2001-223536(JP,A)
特開2000-278049(JP,A)
特開2002-111390(JP,A)
特開2001-223538(JP,A)
特開2001-223537(JP,A)
特開平08-032356(JP,A)
特開2000-341047(JP,A)

(58)調査した分野(Int.Cl., DB名)

- H03F 1/00- 3/45、 3/50- 3/52、
3/62- 3/64、 3/68- 3/72、
H03G 1/00-99/00