(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2022 年 11 月 3 日 (03.11.2022)

WIPO | PCT

(10) 国际公布号
WO 2022/227671 A1

(51) 国际专利分类号:
G06F 15/78 (2006.01)

(21) 国际申请号: PCT/CN2021/142830

(22) 国际申请日: 2021 年 12 月 30 日 (30.12.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202110485283.3 2021年4月30日 (30.04.2021) CN

(71) 申请人: 展讯通信（上海）有限公司 (SPREADTRUM COMMUNICATIONS (SHANGHAI) CO., LTD.) [CN/CN]; 中国上海市（上海）自由贸易试验区祖冲之路2288弄展讯中心1号楼, Shanghai 201203 (CN)。

(72) 发明人: 张慧敏 (ZHANG, Huimin); 中国上海市（上海）自由贸易试验区祖冲之路2288弄展讯中心1号楼, Shanghai 201203 (CN)。 饶国明 (RAO, Guoming); 中国上海市（上海）自由贸易试验区祖冲之路2288弄展讯中心1号楼, Shanghai 201203 (CN)。 杨鹤 (YANG, He); 中国上海市（上海）自由贸易试验区祖冲之路2288弄展讯中心1号楼, Shanghai 201203 (CN)。

(74) 代理人: 上海弼兴律师事务所 (SHANGHAI BESHINING LAW OFFICE); 中国上海市小木桥路681号外经大厦21楼, Shanghai 200032 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT,

(54) **Title:** PROCESSOR MICRO-ARCHITECTURE, SOC CHIP AND LOW-POWER-CONSUMPTION INTELLIGENT DEVICE

(54) 发明名称: 处理器微架构、SoC芯片及低功耗智能设备

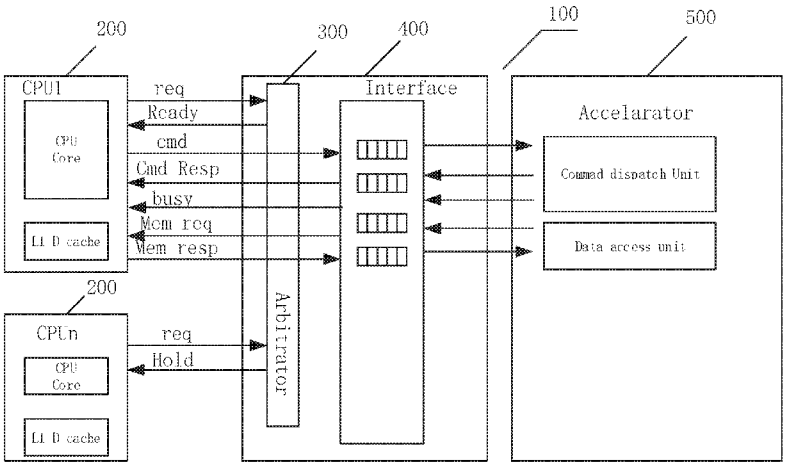


图 3

(57) **Abstract:** Disclosed in the present invention are a processor micro-architecture, an SoC chip and a low-power-consumption intelligent device. The processor micro-architecture comprises a co-processor and at least two master processors, wherein each master processor is connected to the co-processor by means of a request processing unit; the request processing unit is used for determining, when a usage request that is initiated by the two master processors has been received, a processing sequence for the master processors that initiate the request, and generating and sending a feedback instruction to different master processors according to the processing sequence; and the master processor is used for sending a processing instruction to the co-processor for processing when the feedback instruction represents that usage is allowed. According to the present invention, a usage request is sent according to a CPU of each master controller, and instruction-level mutually exclusive access is realized by means of an arbitration unit, such that a plurality of master controllers access the same co-processor in a shared manner, thereby satisfying an instruction-level delay, achieving the optimum balance between performance and power consumption, realizing the requirement of a processor CPU micro-architecture being customizable, and satisfying a product configuration requirement of a low-power-consumption intelligent system.

WO 2022/227671 A1

[见续页]

JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明：

— 关于申请人有权申请并被授予专利(细则4.17(ii))

— 发明人资格(细则4.17(iv))

本国际公布：

— 包括国际检索报告(条约第21条(3))。

(57) 摘要：本发明公开了一种处理器微架构、SoC芯片及低功耗智能设备，该处理器微架构包括协处理器和和至少两个主处理器，每个主处理器通过请求处理单元与协处理器连接；请求处理单元用于在接收到两个主处理器发起的使用请求时确定发起请求的主处理器的处理顺序，并根据处理顺序生成并发送反馈指令至不同的主处理器；主处理器用于在反馈指令表征允许使用时，则将处理指令发送至协处理器进行处理。本发明根据各主控制器CPU发出使用请求，由仲裁单元实现指令级互斥访问，从而实现多个主控制器共享访问同一个协处理器，满足指令级的延时，达到性能和功耗的最佳平衡，且实现对处理器CPU微架构的可定制化需求，满足低功耗智能系统的产品配置要求。

处理器微架构、SoC 芯片及低功耗智能设备

本申请要求申请日为 2021 年 4 月 30 日的中国专利申请 CN202110485283.3 的优先权。本申请引用上述中国专利申请的全文。

技术领域

本发明涉及智能终端技术领域，特别涉及一种处理器微架构、SoC（系统级芯片）芯片及低功耗智能设备。

背景技术

目前，在低功耗智能终端（如智能手表）的系统架构设计中，需要在芯片中集成多个 MCU（微控制单元），以达到通过多个功能子模块共同实现复杂功能的目的。例如用于用户应用程序控制的 APCPU（应用处理器主控系统）、用于低功耗控制及传感器处理的 Sensor Hub（副控子系统）、用于无线蜂窝通信的 Modem（调制解调器）子系统、用于蓝牙连接与控制的 BTCPU 子系统（一种子系统）等。

在传统的 CPU（中央处理器）架构实现中，一般会以 Cortex-M（一种处理器微架构）系列微架构授权方案作为 MCU 核实现，但这样做的方式会带来几个不利因素：（1）MCU 微架构灵活性不足：只能在可选的 MCU 架构上进行选择，这样往往导致性能过剩或者性能不足。例如针对 APCPU 子系统来说，需要采用虚拟内存体系以扩展可用地址空间；而 ARM MCU 不具备 MMU（内存管理单元），因而无法满足要求。针对 BTCPU 子系统，要求功耗最低，CodeSize（代码长度）最小，性能上并不追求更高，而 ARM MCU 往往会因多方面受限于，无法采用最合适的 MCU 核；（2）多处理器核架构无法达到最优解：例如在智能手表架构中，APCPU、MMCPU(多媒体子系统 CPU)都可能需要 AI 处理加速能力。ARM MCU 架构中，为每个 core 都提供了一个 DSP 协处理单元(SIMD)，但无法实现 DSP 资源共享，从而造成资源浪费；另外，主处理器实现基本的流水线部件和 L1 Cache 等单元，协处理器基于需求进行单独设计并采用标准的总线接口；主处理器、协处理器、DDR（双倍速率）主存储器等都挂载在总线(如 AXI 等)上；这样架构设计的好处在于设计简单，能够快速扩充协处理器功能；但缺点是总线传输延时非常大，执行效率非常低，远非指令级的交互延时，无法达到高性能的要求；（3）无法根据客户需求扩展自定义指令，传统基于 ARM 的 MCU 只能处理通用指令，而无法根据客户需求自行扩展指令集。

发明内容

本发明要解决的技术问题是为了克服现有技术中处理器微架构要么存在执行效率非常低，无法达到高性能的要求，要么无法实现协处理器的共享使用，且主处理器无法根据实际业务需求进行灵活配置，易造成无法实现微架构最佳性能或者发生微架构性能过剩的缺陷，提供一种处理器微架构、SoC 芯片及低功耗智能设备。

本发明是通过下述技术方案来解决上述技术问题：

本发明提供一种处理器微架构，所述处理器微架构包括协处理器和和至少两个主处理器，每个所述主处理器通过请求处理单元与所述协处理器连接；

所述请求处理单元用于在接收到至少两个主处理器发起的使用请求时，根据第一预设条件确定发起请求的每个主处理器对应的处理顺序，并根据所述处理顺序生成并发送反馈指令至不同的主处理器；

所述主处理器用于在接收的所述反馈指令表征允许使用时，则将处理指令发送至所述协处理器进行处理。

较佳地，所述协处理器包括访问接口单元和协处理单元；

所述主处理器用于将所述处理指令发送至所述访问接口单元；

所述访问接口单元用于将所述处理指令传送至所述协处理单元进行处理；

其中，所述请求处理单元独立设置在所述访问接口单元和每个所述主处理器之间；或，所述请求处理单元集成设置在所述访问接口单元中。

较佳地，所述第一预设条件包括预先设定的每个所述主处理器对应的处理优先级。

较佳地，所述请求处理单元用于根据所述处理顺序生成表征允许使用的第一反馈指令和表征继续等待的第二反馈指令，并将所述第一反馈指令发送至排序最靠前的所述主处理器，且将所述第二反馈指令分别发送至其他排序靠后的所述主处理器。

较佳地，所述请求处理单元还用于在正在处理的所述主处理器取消发起使用请求时，将所述第一反馈指令发送至排序在下一位的所述主处理器，且将所述第二反馈指令分别发送至其他排序靠后的所述主处理器。

较佳地，每个所述主处理器对应不同的电源域；和/或，

所述访问接口单元和所述协处理单元划分在同一电源域中。

较佳地，所述主处理器用于通过命令流方式将所述处理指令发送至所述访问接口单元；和/或，

所述协处理单元用于在所述处理指令满足第二预设条件时确定采用阻塞式指令处理方式对所述处理指令进行处理；否则，采用流水线式的指令处理方式对所述处理指令进

行处理。

较佳地，所述协处理单元用于根据所述处理指令向对应的所述主处理器发送数据存储单元的访问请求并读取目标数据，以根据所述目标数据进行指令处理操作；所述协处理单元还用于将根据所述目标数据进行指令处理操作的计算结果写回至所述处理指令对应的原始寄存器，并在接收到所述主处理器的指令响应后，将所述原始寄存器中存储的所述计算结果写回至所述主处理器的寄存器中。

较佳地，所述协处理器支持用户自定义指令和/或 Vector 向量指令。

较佳地，所述主处理器包括多个可配置的功能架构，每个所述功能架构基于开源指令集架构进行配置。

较佳地，所述开源指令集架构包括基于精简指令集原则的开源指令集架构 RISC-V；

其中，所述开源指令集架构 RISC-V 支持多种指令集；

根据每种所述指令集配置对应的计算单元和流水线架构。

较佳地，所述指令集包括基础指令集、浮点指令集、压缩指令集或扩展指令集；和/或，

配置后的所述流水线架构支持三级流水线架构或五级流水线架构。

较佳地，所述功能架构包括多级存储器结构。

较佳地，配置后的所述多级存储器结构中的每级存储器架构对应不同类别的多个存储器；

其中，所述存储器包括 L1 Cache、I-Cache、D-Cache、I-TCM、D-TCM（L1 Cache、I-Cache、D-Cache、I-TCM、D-TCM 均为一种存储器）或 MMU。

较佳地，所述主处理器还包括扩展指令接口和扩展指令协处理单元，所述扩展指令协处理单元分别与扩展指令接口和系统总线通信连接，所述扩展指令协处理单元用于基于所述扩展指令接口和所述系统总线对所述指令集进行扩展。

本发明还提供一种 SoC 芯片，所述 SoC 芯片包括上述的处理器微架构。

本发明还提供一种低功耗智能设备，所述低功耗智能设备包括上述的 SoC 芯片。

较佳地，所述低功耗智能设备包括智能手表。

在符合本领域常识的基础上，所述各优选条件，可任意组合，即得本发明各较佳实施例。

本发明的积极进步效果在于：

（1）通过每个主处理器与请求处理单元（即仲裁器/仲裁单元）连接，使得在多个主处理器同时向请求处理单元发起使用协处理器的使用请求时，根据预先优先级设置，只

返回一个主控制器 CPU 一个 Ready 信号，向其余的主控制器 CPU 分别返回一个 Hold 信号；当正在处理的主控制器 CPU 取消使用请求时则向排序在下一位的主控制器 CPU 返回一个 Ready 信号，同时向其余的主控制器 CPU 分别返回一个 Hold 信号，依次类推，即根据使用场景需求进行划分，各主控制器 CPU 发出使用请求，由仲裁单元实现指令级互斥访问，从而实现协处理器作为共享资源，多个主控制器共享访问同一个协处理器，满足指令级的延时，达到性能和功耗的最佳平衡，有效地提高了资源利用率。

（2）协处理器由用户自定义指令和 Vector 向量指令实现，可实现数据级并行处理；指令取指和译码单元由统一的 CPU 流水线架构所实现；指令执行、数据读取和写回由协处理器完成，并通过专用接口与主控制器 CPU 实现指令传输和数据访问互通。该 CPU 微架构设计中，以 RISC-V 为代表的开源 CPU 项目，允许用户根据业务需求自行增加并设计指令，以提供最佳的任务处理能力。

（3）共享协处理器单元的各子系统 CPU（即多个主控制器），采用哈佛结构，需要实现独立的 L1 指令 Cache 和 L1 数据 Cache；整个多核处理器架构实现统一的 L2 Cache；另外，协处理器通过专用接口访问主控制器的 L1 D-cache。

（4）用低功耗设计，各个主控制器划分为独立的供电域，协处理器也采用独立的供电域设计；在无需使用协处理器时可显性切断电源，以达到提升共享效率、降低功耗的目的，能够更好地满足智能穿戴设备对性能功耗比的要求。

（5）根据实际需求基于开源指令集架构 RISC-V 对不同功能结构（如等流水线架构、存储器架构等）进行灵活配置，搭配组合，可用于实现复杂的 SoC 系统中多功能子系统的 MCU 需求，从而提供了可精确配置、可调整功能特性、性能与功耗最优解的 CPU 微架构，满足对处理器 CPU 微架构的可定制化需求，进而满足低功耗智能手表系统的产品配置要求。

附图说明

图 1 为本发明实施例 1 的处理器微架构的第一结构示意图。

图 2 为本发明实施例 1 的处理器微架构的第二结构示意图。

图 3 为本发明实施例 1 的处理器微架构的第三结构示意图。

图 4 为本发明实施例 1 的处理器微架构的原理框架示意图。

图 5 为本发明实施例 1 的处理器微架构的第四结构示意图。

图 6 为本发明实施例 2 的处理器微架构中主处理器的架构示意图。

图 7 为本发明实施例 2 的扩展向量指令和用户自定义指令内核架构的框架示意图。

具体实施方式

下面通过实施例的方式进一步说明本发明，但并不因此将本发明限制在所述的实施例范围之中。

实施例 1

本实施例的处理器微架构应用在低功耗智能设备（如智能手表）的 SoC 芯片中，该处理器微架构即为低功耗智能设备的 CPU 微架构。以智能手表为代表的可穿戴芯片设计中，基于不同的功能需求，会设计多个主处理器以承载不同的系统功能，例如用于应用处理的 APCPU、用于多媒体和 Camera 控制的 MMCPU，用于 SensorHub 的 SPCPU 等。

如图 1 和图 2 所示，本实施例的处理器微架构包括协处理器（Co-Processor Unit）100 和和至少两个主处理器（CPU）200，每个主处理器 200 通过请求处理单元 300（或称为 Arbitrator，仲裁器/仲裁单元）与协处理器 100 连接。请求处理单元设置在每个主处理器和协处理器之间，或者设置在协处理器中。

具体地，每个主处理器 200 通过 Req（请求）线和 Response（响应）线连接到请求处理单元 300，Req 线和 Response 线的数量可以根据实际情况进行设计或者调整。

每个 CPU 设有 CPU Core（处理器核）和 L1 D-Cache（一种存储器）等。CPU 通过 CPU Core 发送使用请求（req）以及接收反馈指令（resp，包括 Ready/Hold）、发送处理指令（cmd）以及接收指令响应（cmd resp）；通过 L1 D-Cache 接收 Mem req（数据请求）以及发送 Mem resp（数据响应）。具体地：请求处理单元 300 用于在接收到至少两个主处理器 200 发起的使用请求时，根据第一预设条件确定发起请求的每个主处理器 200 对应的处理顺序，并根据处理顺序生成并发送反馈指令至不同的主处理器 200；

其中，第一预设条件包括但不限于预先设定的每个主处理器 200 对应的处理优先级。

主处理器 200 用于在接收的反馈指令表征允许使用时，则将处理指令发送至协处理器 100 进行处理。

根据使用场景需求进行划分，各子系统 CPU（即主处理器 200）同时发出使用协处理器 100 的使用请求，由仲裁单元实现指令级互斥访问，最终实现支持多个子系统 CPU 共享访问同一个协处理器 100 单元，协处理器 100 作为共享资源，有效地提高了资源利用率。

在一可实施的方案中，协处理器 100 支持自定义扩展指令和 Vector 向量处理指令，以 RISC-V 指令集为例，其规定了可用于用户扩展的自定义指令和 Vector 向量指令。根据这些指令集的规范设计实现协处理器 100 架构，可用于处理自定义指令和向量乘法，

向量加法等。

如图 3 所示，本实施例的协处理器 100 包括访问接口单元 400 和协处理单元 500。协处理单元 500 即为 Accelarator（加速器），具体包括 Commad dispatch Unit（指令分配单元）以及 Data access unit（数据存储单元）等。

主处理器 200 用于将处理指令发送至访问接口单元 400；

访问接口单元 400 用于将处理指令传送至协处理单元 500 进行处理；

在一可实施例的方案中，请求处理单元 300 独立设置在访问接口单元 400 和每个主处理器 200 之间。在一可实施例的方案中，请求处理单元 300 集成设置在访问接口单元 400 中。优选地，将请求处理单元 300 集成设置访问接口单元 400 中。

具体地，请求处理单元 300 用于根据处理顺序生成表征允许使用的第一反馈指令（如 Ready 信号）和表征继续等待的第二反馈指令（如 Hold 信号），并将第一反馈指令发送至排序最靠前的主处理器 200，且将第二反馈指令分别发送至其他排序靠后的主处理器 200。

请求处理单元 300 还用于在正在处理的主处理器 200 取消发起使用请求时，将第一反馈指令发送至排序在下一位的主处理器 200，且将第二反馈指令分别发送至其他排序靠后的主处理器 200。

在一可实施例的方案中，主处理器 200 用于通过命令流方式将处理指令发送至访问接口单元 400。

在一可实施例的方案中，协处理单元 500 用于在处理指令满足第二预设条件时确定采用阻塞式指令处理方式对处理指令进行处理；否则，采用流水线式的指令处理方式对处理指令进行处理。

其中，第二预设条件对应处理指令所属类别，具体可以根据实际需求设定某种类别的处理指令需要采用阻塞式指令处理方式，某种类别的处理指令需要采用流水线式的指令处理方式。

在采用阻塞式指令处理方式时，主控制器 CPU 每发一条指令后，协处理器 100 将返回 Busy 信号，以通过访问接口单元 400Interface 通知对应的主控制器 CPU，主控制器 CPU 在一条指令执行完毕后才能继续发送剩余指令。

在采用流水线式指令处理方式时，主控制器 CPU 可以持续按照流程线方式发送指令，无需等待。

协处理单元 500 用于根据处理指令向对应的主处理器 200 发送数据存储单元的访问请求并读取目标数据，以根据目标数据进行指令处理操作；协处理单元 500 还用于将根据目标数据进行指令处理操作的计算结果写回至处理指令对应的原始寄存器，并在接收

到主处理器 200 的指令响应后，将原始寄存器中存储的计算结果写回至主处理器 200 的寄存器中。

协处理器 100 待处理的指令包括用户自定义指令或者向量指令。当用户自定义指令中包含有寄存器值时，该指令将通过专用通道同时传送 2 个源寄存器值到协处理器 100 中。协处理器 100 后继通过 mem req 请求向主处理器 200 请求访问 L1-Dcache 数据，读取寄存器指向的 Mem 数据，访问 Cache 的指令传递通过 mem_req 和 mem_resp 来进行。

另外，协处理器 100 通过专用接口访问主控制器的 L1 D-cache。另外，每个主处理器 200 对应不同的电源域，以实现每个主处理器 200 的单独上下电；访问接口单元 400 和协处理单元 500 划分在同一电源域中。若有主处理器 200 需要使用协处理器 100 时，则需要提前将协处理器 100 的电源开关打开。

即采用低功耗设计，各个主控制器划分为独立的供电域，协处理器 100 也采用独立的供电域设计；在无需使用协处理器 100 时可显性切断电源，以达到提升共享效率、降低功耗的目的，能够更好地满足智能穿戴设备对性能功耗比的要求。

另外，由于 AI 应用的扩展，以上主处理器 200 都有进行 AI 处理的需求，而向量协处理器 100 能够提供符合性能功耗比的 AI 计算能力。

下面结合图 4 具体说明本实施例的处理器微架构的工作原理：

（1）每个主处理器 200 通过程序处理器 PC 产生执行指令并发送至 instruction Cache（指令存储器），然后进入指令分发队列，如属于主处理器 200 自身完成的指令则分发至 register file（寄存器堆）、ALU 执行以将执行结构存储至 Data Memory 数据存储单元中；若属于需要协处理器 100 处理的指令，则统一向访问接口单元 400（interface）中包含的请求处理单元 300 即仲裁器发起使用协处理器 100 的使用请求；

（2）N 个主处理器 200 中的 n 个主处理器 200（CPU1、CPU2...、CPUn）同时发起使用协处理器 100 的使用请求；（N、n 均为正数器且 N≥n）；

（3）协处理器 100 根据 n 个主处理器 200 预设的请求响应优先级生成处理顺序，首先给排序最靠前的一个主处理器 200 返回一个 Ready 信号，并向其他 n-1 个排序靠后的主处理器 200 返回 Hold 信号；

（4）接收 Ready 信号的主处理器 200 采用命令流方式将处理指令通过访问接口单元 400 传送至协处理器 100 的协处理单元 500 进行处理；其中处理指令可以采用阻塞式处理方式或流水线式处理方式；

处理指令依次经过协处理器 100 的协处理器 100 存取单元和指令分配单元，指令分配单元根据设定条件判断当前处理指令属于向量处理指令还是用户自定义指令，并在确

定后分别分配至对应的指令单元进行处理；

以向量处理器单元为例，分析输入的处理指令写回数据请求指令依次通过协处理器100存取单元和访问接口单元400传输访问主处理器200的数据存储单元Data Memory并读取对应的目标数据，进而通过访问接口单元400和协处理器100存取单元完成向量寄存器的填充，以保证向量处理器单元基于加法流水线、向量寄存器堆、乘法流水线等得到指令处理结果，最后通过协处理器100存取单元和访问接口单元400将该指令处理结果存储至主处理器200的数据存储单元Data Memory。

对于用户自定义协处理单元500的指令处理原理与上述向量处理器单元的指令处理原理类似，因此此处就不再赘述。

（5）协处理器100待处理的指令可能为用户自定义指令或者向量指令。当用户自定义指令中包含有寄存器值时，该指令将通过专用通道，同时传送2个源寄存器值到协处理器100中，协处理器100后继通过mem req请求，向主处理器200请求访问L1-Dcache数据，读取寄存器指向的Mem数据，访问Cache的指令传递通过mem_req和mem_resp来进行。

协处理单元500根据处理指令向对应的主处理器200发送数据存储单元的访问请求并读取目标数据，以根据目标数据进行指令处理操作；将根据目标数据进行指令处理操作的计算结果写回至处理指令对应的原始寄存器，并在接收到主处理器200的指令响应后，将原始寄存器中存储的计算结果写回至主处理器200的寄存器中。

（6）若当前正在处理的主处理器200取消发起使用请求时，请求处理单元300则向排序在下一位的主处理器200返回一个Ready信号，并向其他n-2个排序靠后的主处理器200返回Hold信号；依次类推，直至完成所有主处理器200的Ready信号反馈。

依次类推，直至完成n个主处理器CPU1、CPU2...、CPUn的处理指令的处理操作，以实现多个主控制器共享访问同一个协处理器100。

在一可实施的方案中，如图5所示的多核共享协处理器架构，共享协处理器100的多个主控制器采用哈佛结构，需要实现独立的L1指令Cache和L1数据Cache，整个多核处理器架构实现统一的L2 Cache。每个主控制器采用Extension Interface（扩展接口）与协处理器进行连接。

本实施例中，通过每个主处理器与请求处理单元连接，使得在多个主处理器同时向请求处理单元发起使用协处理器的使用请求时，根据预先优先级设置，只返回一个主控制器CPU一个Ready信号，向其余的主控制器CPU分别返回一个Hold信号；当正在处理的主控制器CPU取消使用请求时则向排序在下一位的主控制器CPU返回一个Ready

信号，同时向其余的主控制器 CPU 分别返回一个 Hold 信号，依次类推，即根据使用场景需求进行划分，各主控制器 CPU 发出使用请求，由仲裁单元实现指令级互斥访问，从而实现协处理器作为共享资源，多个主控制器共享访问同一个协处理器，满足指令级的延时，达到性能和功耗的最佳平衡，有效地提高了资源利用率。

实施例 2

本实施例的处理器微架构是对实施例 1 的进一步改进，具体地：

如图 6 所示，本实施例的每个主处理器 200 包括多个可配置的功能架构，该功能架构包括设置在主 Core（处理器核）中的流水线架构 1、扩展指令接口 2、存储器架构 3 和 TEE4，以及设于主 Core 外的扩展指令协处理单元 5005。每个功能架构基于开源指令集架构进行配置。

其中，开源指令集架构包括基于精简指令集原则的开源指令集架构 RISC-V，开源指令集架构 RISC-V 支持多种指令集；根据每种指令集配置对应的计算单元和流水线架构。

采用开源指令集架构 RISC-V 根据实际设计需求进行针对性设计、灵活搭配各种功能架构组合以应用在低功耗智能设备中，以满足不同客户的不同设计需求，实现处理器微架构的定制化需求。

处理器微结构可支持的指令集包括基础指令集、浮点指令集、压缩指令集、扩展指令集等。其中，基础指令集包括加法、减法、乘法、除法、原子交换、访问存储器等指令；浮点指令集包括单精度、双精度浮点计算；压缩指令集包括 16bit，扩展指令集包括向量指令、SIMD（单指令多数据流）指令等。具体地，根据上述不同的指令集设计不同的 ALU（计算单元），并设计不同的流水线架构。

另外，本实施例的处理器微架构包括扩展指令接口和扩展指令协处理单元 500，扩展指令协处理单元 500 分别与扩展指令接口和系统总线通信连接，扩展指令协处理单元 500 用于基于扩展指令接口和系统总线对指令集进行扩展。

具体地，CPU 处理器微架构设计中的主 Core 用于支持基础指令集、浮点指令集和压缩指令集等指令集，而扩展指令集的实现则需要依赖于主 Core 外部的扩展指令协处理单元 500。例如向量指令协处理单元 500 就是用于处理扩展的向量指令，这样可以采用性能功耗比更优的逻辑单元来处理所需求的领域计算要求，即可以通过扩展指令接口以及扩展指令协处理单元 500 实现用户自定义优化指令集的目的。

可针对 FPU（浮点运算的处理器）设计专门的浮点处理流水线，增加了浮点处理的计算单元，其与整型处理流水线共享指令预取和译码单元；当然可根据产品配置的需求，选择支持或不支持浮点处理指令集，保证了配置的灵活性，更好地满足更高的设计需求。

本实施例的功能架构包括但不限于流水线架构、存储器结构等。

具体地，流水线架构为多级流水线架构，配置后的多级流水线架构支持三级流水线架构或五级流水线架构。当然可以为其他级别的流水线架构，具体可以根据实际设计需求进行调整配置。

如图 7 所示，根据实现复杂度的不同，设计多级流水线架构。例如：一种可配置的多级流水线架构的方式为：在处理性能较高的应用处理器中使用经典的 5 级流水线架构；在处理性能要求较低，功耗面积要求达到最优的 MCU 控制器设计中，使用简单的 3 级流水线架构；由于流水线设计的基本原理，在 3 级流水线中，最高可支持的主频率低于 5 级流水线，这样牺牲了处理的能力，换来芯片面积和功耗的优化。

其中，本实施例可以对整型流水线、浮点流水线、3 级流水线、5 级流水线等形成独立可配置特性，也可以根据系统复杂度进行搭配组合设计。

功能架构包括多级存储器结构。配置后的多级存储器结构中的每级存储器架构对应不同类别的多个存储器；

其中，存储器包括 L1 Cache、I-Cache、D-Cache、I-TCM、D-TCM 或、MMU。

本实施例中的处理器微架构支持 L1 Cache、I-Cache、D-Cache、I-TCM、D-TCM 或 MMU 等存储器的灵活配置。根据不同的使用需求进行组合，例如在 AP 应用处理器环境中，需要将 I-Cache、D-Cache、L2 Cache 和 MMU 虚拟内存等进行组合配置；在低功耗要求更高的 Sensor Hub 需求中，则仅需要将 I-Cache 和 D-TCM 进行组合配置即可满足需求。

本实施例中的处理器微架构支持 MMU 架构，MMU 是内存管理单元，位于 CPU core 与外部主存储器之间，通过加载页表的方式进行内存管理，主要实现虚拟地址到实际物理地址的变换。通过 MMU 可以实现虚拟内存的技术，这在扩展内存不足的嵌入式系统(如智能手表)中非常有效。MPU（微处理器）可以实现不同协处理单元 500 和不同 MCU 对主存空间的访问保护。只要将主存空间划分为不同的区域，并且配置 MPU 的读写权限，越权访问的请求则会被有效阻止。

另外，处理器微架构支持可信执行环境 TEE。

本实施例中的处理器微架构支持实现 TEE 设计，采用特权模式设计，当设置特殊的指令时，系统则进入特权模式。此时在与正常模式完全隔离的硬件环境中执行可信的运行系统，包括独立的寄存器，独立且隔离的存储空间，独立且隔离的器件和 TOS（可信操作系统）等。

对于 SoC 芯片系统，图 1 中处理器核中的 Extension Interface 表示扩展指令接口、

FIQ-CTL 表示快速后中断请求控制模块、IRQ-CTL 表示中断请求控制模块、Debug 表示调试模块、JTAG 表示调试接口、IRQ_src 表示中断相应模块、Timer 表示计时模块；Per1、Pern、Dev1 均表示与总线连接的接线端、SRAM 表示静态随机存取存储器、Ext MEM（一种寄存器）。

本实施例中的处理器微架构可以经上述的指令集设计、流水线设计、寄存器设计、Cache 设计、扩展指令单元设计等，在同等条件下，本处理器微架构的功耗能力必然优于现有其他的 CPU 架构的实现。例如，对于本实施例的处理器微架构对应对的特定应用场景(如智能手表的心率检测功能)计算需求，采用现有的 ARM 架构编译指令，可能需要多条汇编指令。而通过本实施例重新设计的处理器微架构的扩展指令，仅需采用更小的指令数就可以实现相同的功能；由于执行时钟周期减小，对应的功耗也随之得到优化，通过功能单元模块的搭配组合，以及用户自定义扩展指令等优化设计，有效降低了芯片面积和运行主频，从而达到功耗优化的目的。

对于复杂的嵌入式 SoC 系统，例如用于低功耗智能手表的 SoC 设计，很适合采用本实施例的处理器微架构进行模块化组合和定制化设计。下表为例如低功耗智能手表的 SoC 设计中各项参数的配置数据：

	流水线	主频	FPU	MMU	TEE	Cache	TCM	扩展指令
主控AP	5级	800MHz	单精度	Yes	Yes	I/D	No	Vector扩展
副控 SensorHub	3级	96MHz	No	No	No	I	D	No
BT子系统	3级	128MHz	No	No	No	I	D	No
Audio子系统	3级	256MHz	单/双	No	No	No	I/D	No

本实施例中，可根据客户需求定制，设计多主处理器 CPU 共享同一个协处理器单元的 CPU 微架构，同时根据实际需求基于开源指令集架构 RISC-V 对不同功能结构（如实现 L1Cache、L2 Cache、MMU、TEE、浮点运算单元、向量运算单元等流水线架构、存储器架构等）进行灵活配置，搭配组合，可用于实现复杂的 SoC 系统中多功能子系统的 MCU 需求，从而提供了可精确配置、可调整功能特性、性能与功耗最优解的 CPU 微架构，满足对处理器 CPU 微架构的可定制化需求，进而满足低功耗智能手表系统的产品配置要求。

实施例 3

本实施例的 SoC 芯片包括实施例 1 或 2 中的处理器微架构。

本实施例的 SoC 芯片包括上述的处理器微架构，可根据客户需求定制，设计多主处理器 CPU 共享同一个协处理器单元的 CPU 微架构，同时根据实际需求基于开源指令集

架构 RISC-V 对不同功能结构进行灵活配置，搭配组合，可用于实现复杂的 SoC 系统中多功能子系统的 MCU 需求，从而提供了可精确配置、可调整功能特性、性能与功耗最优解的 CPU 微架构，满足对处理器 CPU 微架构的可定制化需求，进而满足低功耗智能手表系统的产品配置要求。

实施例 4

本实施例的低功耗智能设备包括 SoC 芯片。其中，低功耗智能设备包括智能手表。

本实施例的低功耗智能设备包括上述的 SoC 芯片，可根据客户需求定制，设计多主处理器 CPU 共享同一个协处理器单元的 CPU 微架构，同时根据实际需求基于开源指令集架构 RISC-V 对不同功能结构进行灵活配置，搭配组合，可用于实现复杂的 SoC 系统中多功能子系统的 MCU 需求，从而提供了可精确配置、可调整功能特性、性能与功耗最优解的 CPU 微架构，满足对处理器 CPU 微架构的可定制化需求，进而满足低功耗智能手表系统的产品配置要求。

虽然以上描述了本发明的具体实施方式，但是本领域的技术人员应当理解，这仅是举例说明，本发明的保护范围是由所附权利要求书限定的。本领域的技术人员在不背离本发明的原理和实质的前提下，可以对这些实施方式做出多种变更或修改，但这些变更和修改均落入本发明的保护范围。

权利要求

1.一种处理器微架构，其特征在于，所述处理器微架构包括协处理器和和至少两个主处理器，每个所述主处理器通过请求处理单元与所述协处理器连接；

所述请求处理单元用于在接收到至少两个主处理器发起的使用请求时，根据第一预设条件确定发起请求的每个主处理器对应的处理顺序，并根据所述处理顺序生成并发送反馈指令至不同的主处理器；

所述主处理器用于在接收的所述反馈指令表征允许使用时，则将处理指令发送至所述协处理器进行处理。

2.如权利要求 1 所述的处理器微架构，其特征在于，所述协处理器包括访问接口单元和协处理单元；

所述主处理器用于将所述处理指令发送至所述访问接口单元；

所述访问接口单元用于将所述处理指令传送至所述协处理单元进行处理；

其中，所述请求处理单元独立设置在所述访问接口单元和每个所述主处理器之间；或，所述请求处理单元集成设置在所述访问接口单元中。

3.如权利要求 1 或 2 所述的处理器微架构，其特征在于，所述第一预设条件包括预先设定的每个所述主处理器对应的处理优先级。

4.如权利要求 3 所述的处理器微架构，其特征在于，所述请求处理单元用于根据所述处理顺序生成表征允许使用的第一反馈指令和表征继续等待的第二反馈指令，并将所述第一反馈指令发送至排序最靠前的所述主处理器，且将所述第二反馈指令分别发送至其他排序靠后的所述主处理器。

5.如权利要求 4 所述的处理器微架构，其特征在于，所述请求处理单元还用于在正在处理的所述主处理器取消发起使用请求时，将所述第一反馈指令发送至排序在下一位的所述主处理器，且将所述第二反馈指令分别发送至其他排序靠后的所述主处理器。

6.如权利要求 2 所述的处理器微架构，其特征在于，每个所述主处理器对应不同的电源域；和/或，

所述访问接口单元和所述协处理单元划分在同一电源域中。

7.如权利要求 2 所述的处理器微架构，其特征在于，所述主处理器用于通过命令流方式将所述处理指令发送至所述访问接口单元；和/或，

所述协处理单元用于在所述处理指令满足第二预设条件时确定采用阻塞式指令处理方式对所述处理指令进行处理；否则，采用流水线式的指令处理方式对所述处理指令进

行处理。

8.如权利要求 2 所述的处理器微架构，其特征在于，所述协处理单元用于根据所述处理指令向对应的所述主处理器发送数据存储单元的访问请求并读取目标数据，以根据所述目标数据进行指令处理操作；所述协处理单元还用于将根据所述目标数据进行指令处理操作的计算结果写回至所述处理指令对应的原始寄存器，并在接收到所述主处理器的指令响应后，将所述原始寄存器中存储的所述计算结果写回至所述主处理器的寄存器中。

9.如权利要求 1 所述的处理器微架构，其特征在于，所述协处理器支持用户自定义指令和/或 Vector 向量指令。

10.如权利要求 1 所述的处理器微架构，其特征在于，所述主处理器包括多个可配置的功能架构，每个所述功能架构基于开源指令集架构进行配置。

11.如权利要求 10 所述的处理器微架构，其特征在于，所述开源指令集架构包括基于精简指令集原则的开源指令集架构 RISC-V；

其中，所述开源指令集架构 RISC-V 支持多种指令集；

根据每种所述指令集配置对应的计算单元和流水线架构。

12.如权利要求 11 所述的处理器微架构，其特征在于，所述指令集包括基础指令集、浮点指令集、压缩指令集或扩展指令集；和/或，

配置后的所述流水线架构支持三级流水线架构或五级流水线架构。

13.如权利要求 10 所述的处理器微架构，其特征在于，所述功能架构包括多级存储器结构。

14.如权利要求 13 所述的处理器微架构，其特征在于，配置后的所述多级存储器结构中的每级存储器架构对应不同类别的多个存储器；

其中，所述存储器包括 L1 Cache、I-Cache、D-Cache、I-TCM、D-TCM 或 MMU。

15.如权利要求 10 所述的处理器微架构，其特征在于，所述主处理器还包括扩展指令接口和扩展指令协处理单元，所述扩展指令协处理单元分别与扩展指令接口和系统总线通信连接，所述扩展指令协处理单元用于基于所述扩展指令接口和所述系统总线对所述指令集进行扩展。

16.一种 SoC 芯片，其特征在于，所述 SoC 芯片包括权利要求 1-15 中任一项所述的处理器微架构。

17.一种低功耗智能设备，其特征在于，所述低功耗智能设备包括权利要求 16 所述的 SoC 芯片。

18.如权利要求 17 所述的低功耗智能设备，其特征在于，所述低功耗智能设备包括智

能手表。

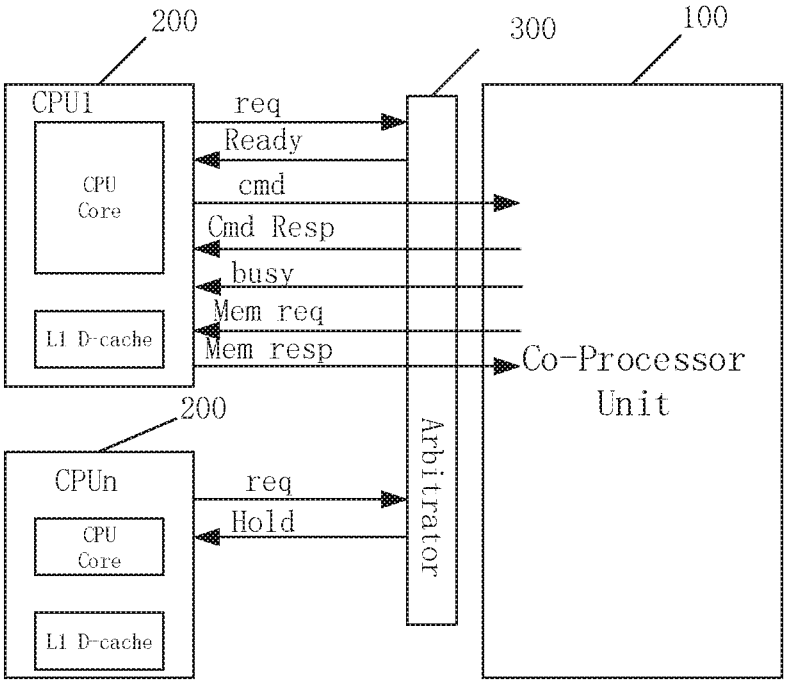

200
300
100
CPU1
CPU Core
L1 D-cache
req
Ready
cmd
Cmd Resp
busy
Mem req
Mem resp
Co-Processor Unit
Arbitrator
200
CPUn
CPU Core
L1 D-cache
req
Hold

图 1

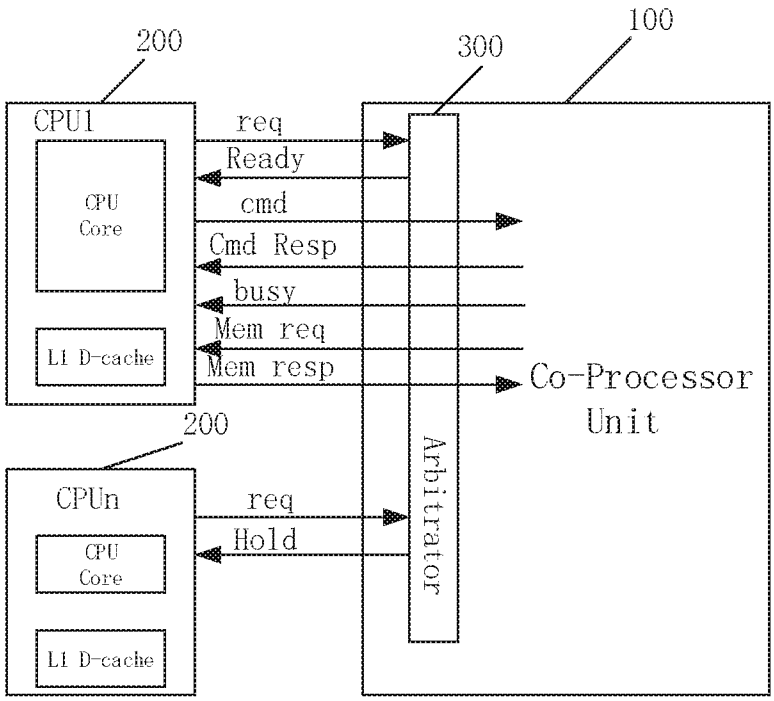

200
300
100
CPU1
CPU Core
L1 D-cache
req
Ready
cmd
Cmd Resp
busy
Mem req
Mem resp
Co-Processor Unit
Arbitrator
200
CPUn
CPU Core
L1 D-cache
req
Hold

图 2

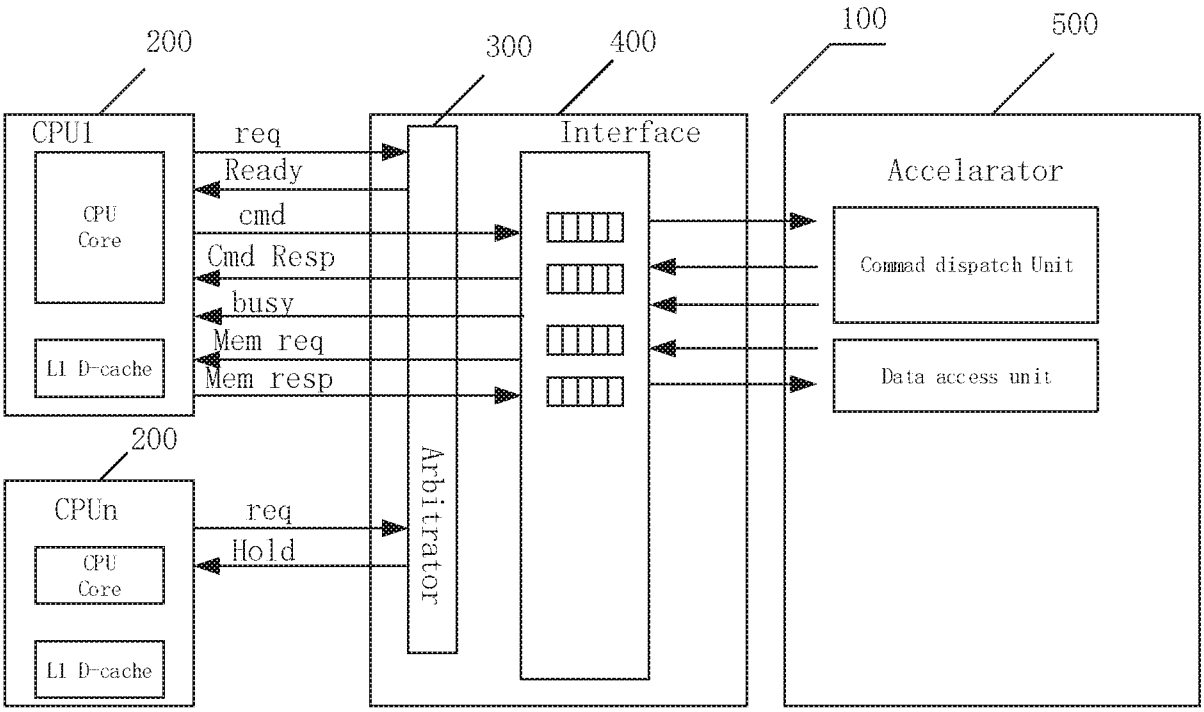

200
300
400
100
500
CPU1
CPU Core
L1 D-cache
req
Ready
cmd
Cmd Resp
busy
Mem req
Mem resp
Interface
Accelarator
Commad dispatch Unit
Data access unit
200
CPUn
CPU Core
L1 D-cache
req
Hold
Arbitrator

图 3

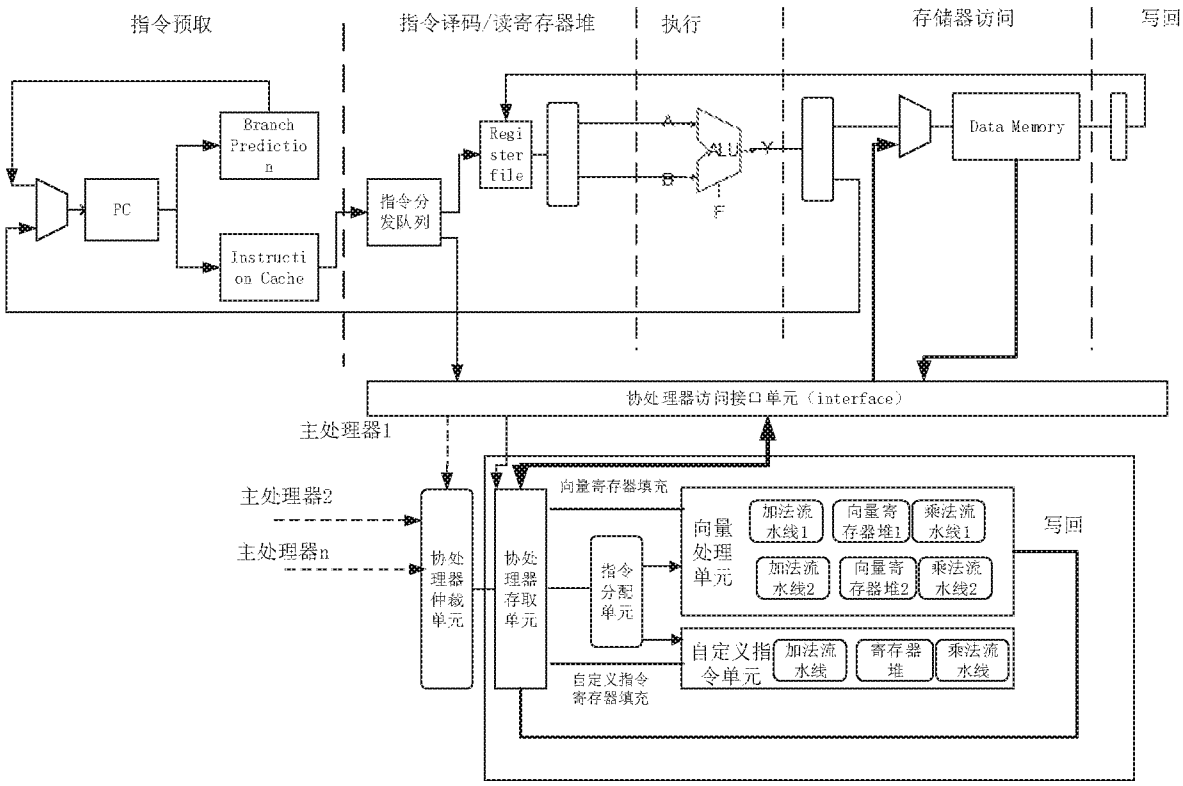

指令预取
指令译码/读寄存器堆
执行
存储器访问
写回
Branch Predictio n
PC
Instructi on Cache
指令分发队列
Regi ster file
ALU
Data Memory
协处理器访问接口单元（interface）
主处理器1
主处理器2
主处理器n
协处理器仲裁单元
协处理器存取单元
向量寄存器填充
指令分配单元
向量处理单元
加法流水线1
向量寄存器堆1
乘法流水线1
加法流水线2
向量寄存器堆2
乘法流水线2
自定义指令单元
加法流水线
寄存器堆
乘法流水线
自定义指令寄存器填充
写回

图 4

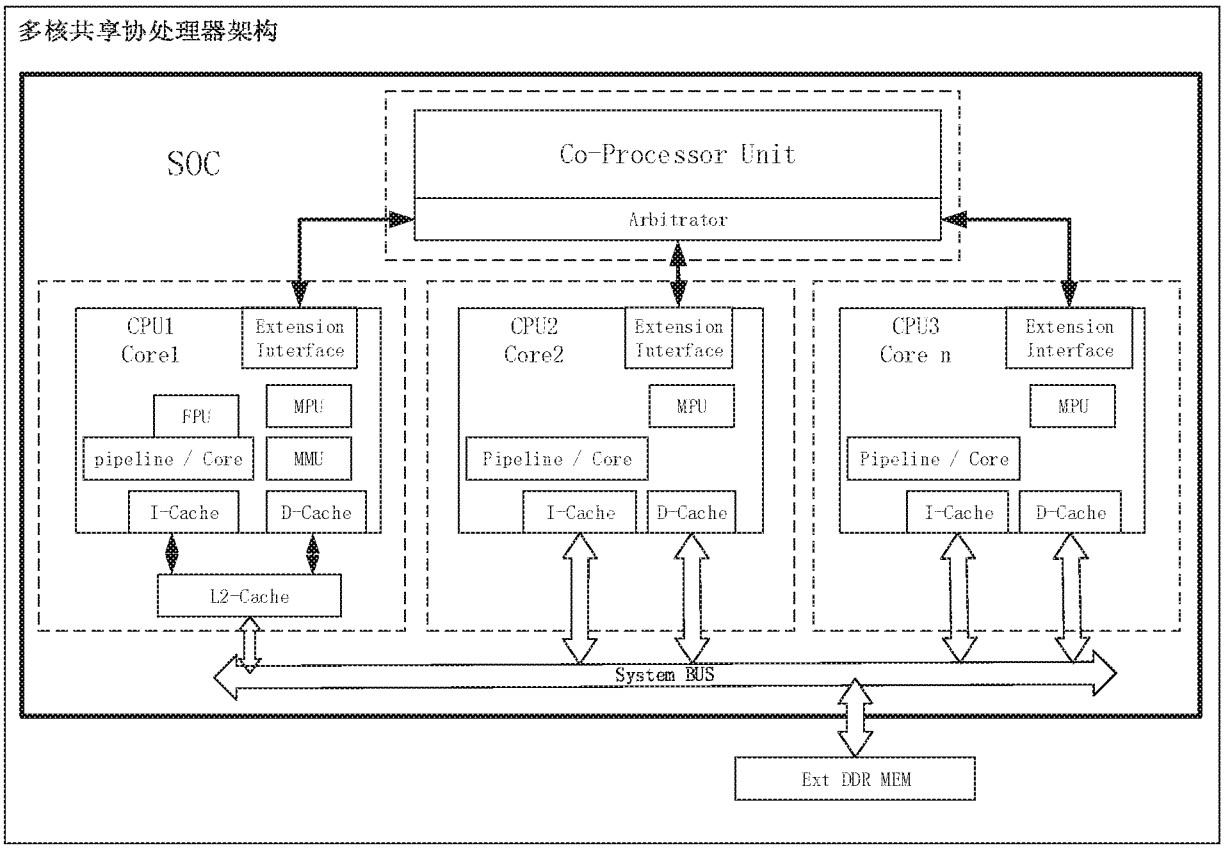

多核共享协处理器架构
SOC
Co-Processor Unit
Arbitrator
CPU1 Core1
Extension Interface
FPU
MPU
pipeline / Core
MMU
I-Cache
D-Cache
L2-Cache
CPU2 Core2
Extension Interface
MPU
Pipeline / Core
I-Cache
D-Cache
CPU3 Core n
Extension Interface
MPU
Pipeline / Core
I-Cache
D-Cache
System BUS
Ext DDR MEM

图 5

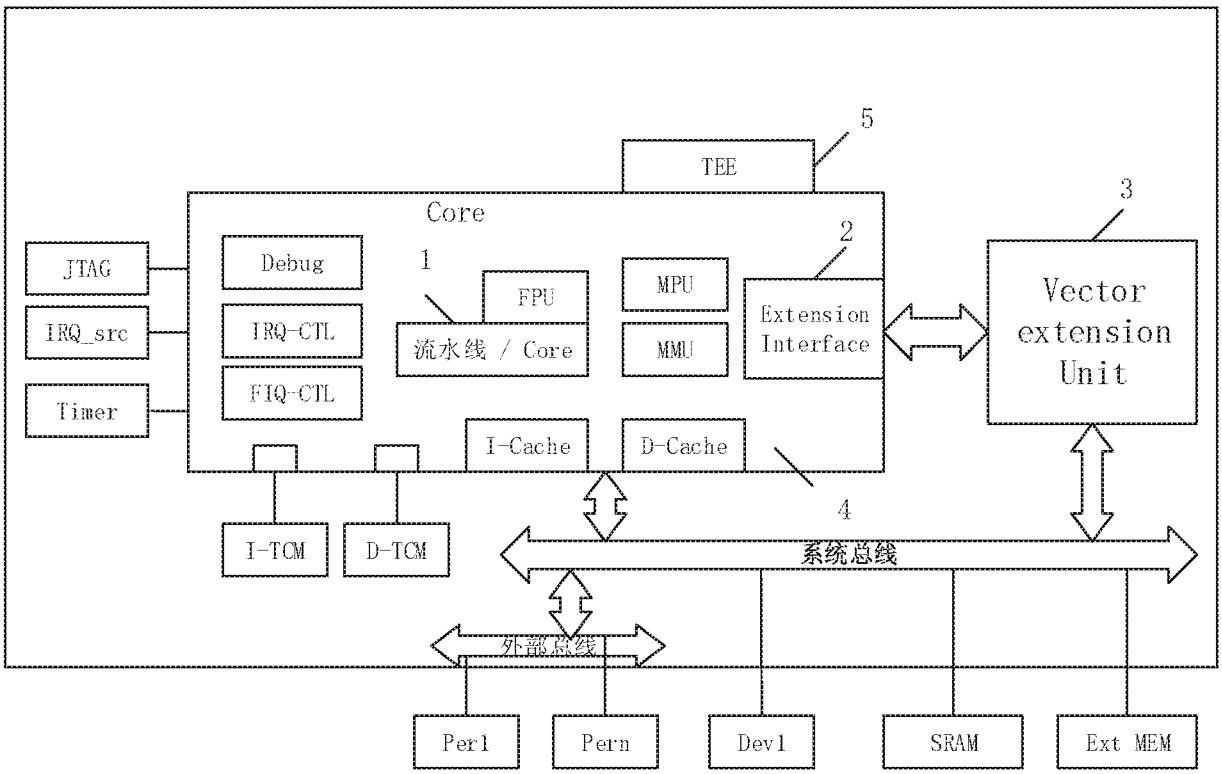

5
TEE
Core
3
2
JTAG
Debug
1
FPU
MPU
Extension Interface
Vector extension Unit
IRQ_src
IRQ-CTL
流水线 / Core
MMU
Timer
FIQ-CTL
I-Cache
D-Cache
4
I-TCM
D-TCM
系统总线
外部总线
Per1
Pern
Dev1
SRAM
Ext MEM

图 6

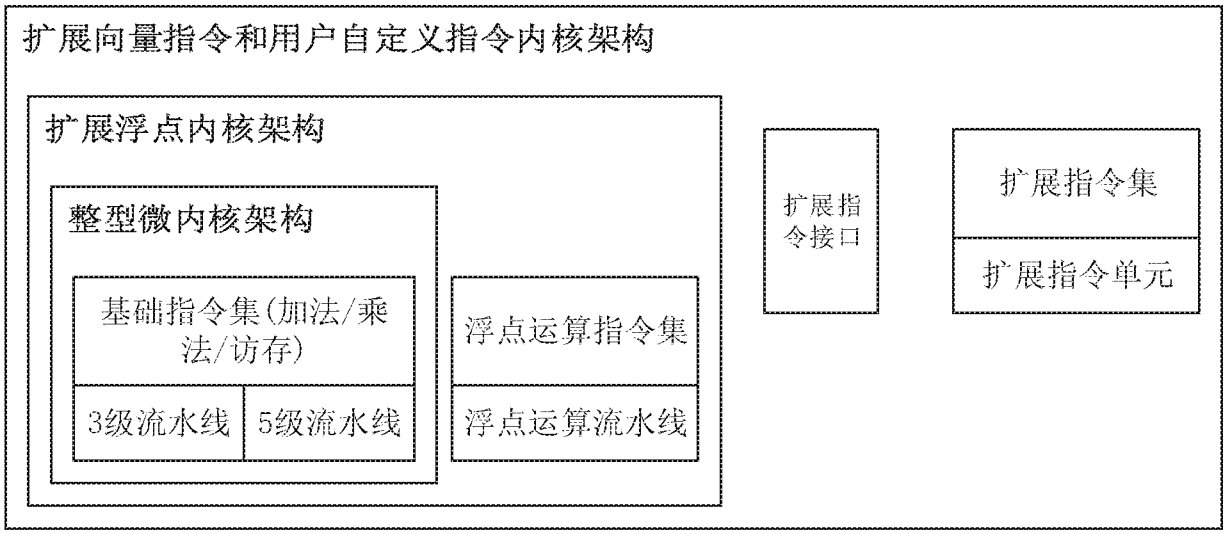

扩展向量指令和用户自定义指令内核架构
扩展浮点内核架构
整型微内核架构
基础指令集(加法/乘法/访存)
3级流水线
5级流水线
浮点运算指令集
浮点运算流水线
扩展指令接口
扩展指令集
扩展指令单元

图 7

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2021/142830

A. CLASSIFICATION OF SUBJECT MATTER

G06F 15/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; WPABSC; CNTXT; OETXT; USTXT; ENTXTC; CNKI: 处理器, 主, 顺序, 请求, 反馈, 仲裁, processor, main, sequence, represent, feedback, arbitrate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 113312303 A (SPREADTRUM COMMUNICATIONS SHANGHAI INC.) 27 August 2021 (2021-08-27) description, paragraphs 2-118, and figures 1-7	1-18
X	US 2009024834 A1 (NEC ELECTRONICS CORP.) 22 January 2009 (2009-01-22) description, paragraphs 47-97, and figures 1-12	1-18
X	CN 102110072 A (ZTE CORP.) 29 June 2011 (2011-06-29) description, paragraphs 45-114, and figures 1-7	1-18
A	CN 101667165 A (CHINA ELECTRIC POWER RESEARCH INSTITUTE) 10 March 2010 (2010-03-10) entire document	1-18
A	CN 102402422 A (BEIJING VIMICRO CO., LTD.) 04 April 2012 (2012-04-04) entire document	1-18
A	US 2020097395 A1 (HEWLETT PACKARD ENTERPRISE DEVELOPMENT LP) 26 March 2020 (2020-03-26) entire document	1-18

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
15 February 2022	**09 March 2022**
Name and mailing address of the ISA/CN **China National Intellectual Property Administration (ISA/CN)** **No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China** Facsimile No. **(86-10)62019451**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2021/142830

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	113312303	A	27 August 2021	None			
US	2009024834	A1	22 January 2009	JP	2009026135	A	05 February 2009
				US	8055882	B2	08 November 2011
CN	102110072	A	29 June 2011	WO	2010148931	A1	29 December 2010
				CN	102110072	B	05 June 2013
				US	2012290763	A1	15 November 2012
				JP	2013516010	A	09 May 2013
				JP	5700582	B2	15 April 2015
				KR	20120092176	A	20 August 2012
				KR	101472644	B1	15 December 2014
				EP	2506150	A1	03 October 2012
CN	101667165	A	10 March 2010	CN	101667165	B	05 September 2012
CN	102402422	A	04 April 2012	CN	102402422	B	13 April 2016
US	2020097395	A1	26 March 2020	US	11169916	B2	09 November 2021

国际检索报告

国际申请号
PCT/CN2021/142830

A. 主题的分类

G06F 15/78(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G06F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNABS;WPABSC;CNTXT;OETXT;USTXT;ENTXTC;CNKI：处理器，主，顺序，请求，反馈，仲裁， processor， main, sequence, represent, feedback, arbitrate

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
PX	CN 113312303 A (展讯通信上海有限公司) 2021年8月27日 (2021-08-27) 说明书第2-118段，图1-7	1-18
X	US 2009024834 A1 (NEC ELECTRONICS CORPORATION) 2009年1月22日 (2009-01-22) 说明书第47-97段，图1-12	1-18
X	CN 102110072 A (中兴通讯股份有限公司) 2011年6月29日 (2011-06-29) 说明书第45-114段，图1-7	1-18
A	CN 101667165 A (中国电力科学研究院) 2010年3月10日 (2010-03-10) 全文	1-18
A	CN 102402422 A (北京中星微电子有限公司) 2012年4月4日 (2012-04-04) 全文	1-18
A	US 2020097395 A1 (HEWLETT PACKARD ENTPRPRISE DEVELOPMENT LP) 2020年3月26日 (2020-03-26) 全文	1-18

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2022年2月15日	2022年3月9日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 黄琳 电话号码 86-(20)-28958964

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2021/142830

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	113312303	A	2021年8月27日	无			
US	2009024834	A1	2009年1月22日	JP	2009026135	A	2009年2月5日
				US	8055882	B2	2011年11月8日
CN	102110072	A	2011年6月29日	WO	2010148931	A1	2010年12月29日
				CN	102110072	B	2013年6月5日
				US	2012290763	A1	2012年11月15日
				JP	2013516010	A	2013年5月9日
				JP	5700582	B2	2015年4月15日
				KR	20120092176	A	2012年8月20日
				KR	101472644	B1	2014年12月15日
				EP	2506150	A1	2012年10月3日
CN	101667165	A	2010年3月10日	CN	101667165	B	2012年9月5日
CN	102402422	A	2012年4月4日	CN	102402422	B	2016年4月13日
US	2020097395	A1	2020年3月26日	US	11169916	B2	2021年11月9日