



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201727732 A

(43) 公開日：中華民國 106 (2017) 年 08 月 01 日

(21) 申請案號：105103057

(22) 申請日：中華民國 105 (2016) 年 01 月 30 日

(51) Int. Cl. :

*H01L21/306 (2006.01)**B81B3/00 (2006.01)**B81B7/00 (2006.01)**B81C1/00 (2006.01)*

(71) 申請人：國立清華大學 (中華民國) NATIONAL TSING HUA UNIVERSITY (TW)

新竹市光復路 2 段 101 號

(72) 發明人：李昇憲 LI, SHENG-SHIAN (TW)；陳昭瑜 CHEN, CHAO-YU (TW)；李銘晃 LI, MING-HUANG (TW)

(74) 代理人：楊長峯；李國光；張仲謙

申請實體審查：有 申請專利範圍項數：13 項 圖式數：9 共 34 頁

(54) 名稱

CMOS-MEMS 諧振換能器及其製造方法

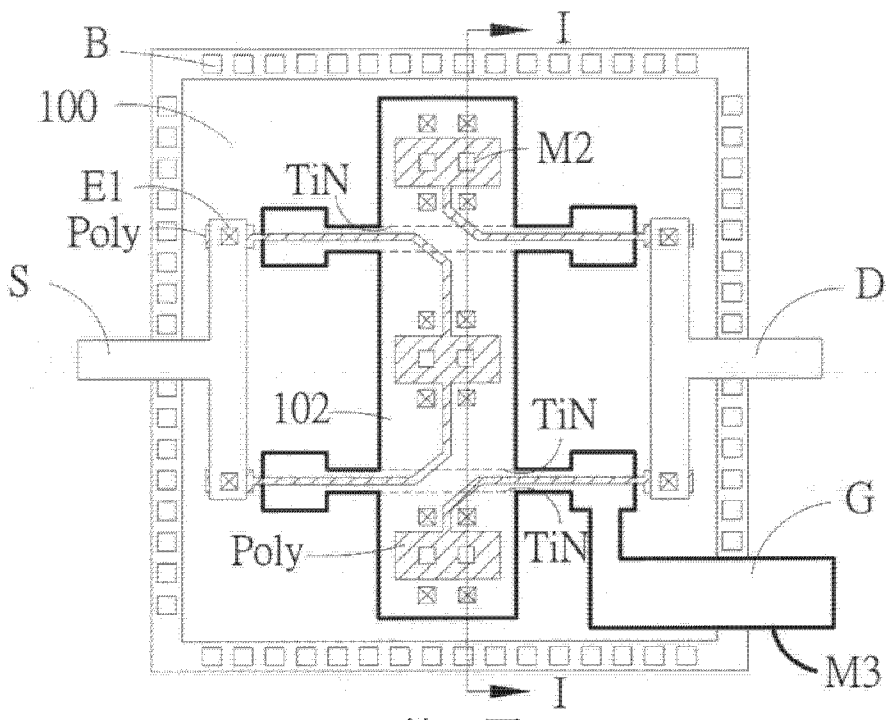
CMOS-MEMS RESONANT TRANSDUCER AND METHOD FOR FABRICATING THE SAME

(57) 摘要

本發明提供一種 CMOS-MEMS 諧振換能器及其製造方法，藉由精確蝕刻的雙端自由樑結構，可以高良率製程提供具有窄間隙(< 500nm)的 CMOS-MEMS 諧振換能器，此外，透過設置在諧振主體底部的氮化鈦材料層，可有效降低因靜電導致的頻率偏移，本發明還適用於各式尺度之 CMOS-MEMS 平台製程，提供製程以及結構設計上的靈活性。

Disclosed is a CMOS-MEMS resonant transducer and a method fabricating the same, which provides the CMOS-MEMS resonant transducer having narrow transducer gaps (< 500nm) with high yield by etching a well-defined free-free beam, furthermore, TiN layers disposed under the main body of the resonant transducer may efficiently reduce the frequency drift due to electrostatic charges. The method for fabricating the CMOS-MEMS resonant transducer is also adapted to the processes of CMOS-MEMS platform with various scales, which provides routing and MEMS design flexibility.

指定代表圖：



第 1 圖

符號簡單說明：

- 1 . . . CMOS-MEMS 諧振換能器
- G . . . 閘極
- S . . . 源極
- D . . . 汲極
- B . . . 基極
- 100 . . . 矽基板
- Poly . . . 多晶矽電極
- 102 . . . 諧振主體
- VIA . . . 金屬接線
- E1、M1、M2、M3、M4、M5 . . . 電極
- SUP . . . 支撐樑

2017.27732

專利案號: 105103057



申請日: 105.1.30

201727732

【發明摘要】

IPC分類: H01L 21/306 (2006.01)

B81B 3/07 (2006.01)

B81B 7/00 (2006.01)

B81C 1/07 (2006.01)

【中文發明名稱】 CMOS-MEMS諧振換能器及其製造方法

【英文發明名稱】 CMOS-MEMS RESONANT TRANSDUCER AND METHOD

FOR FABRICATING THE SAME

【中文】

本發明提供一種 CMOS-MEMS 諧振換能器及其製造方法，藉由精確蝕刻的雙端自由樑結構，可以高良率製程提供具有窄間隙(<500nm)的 CMOS-MEMS 諧振換能器，此外，透過設置在諧振主體底部的氮化鈦材料層，可有效降低因靜電導致的頻率偏移，本發明還適用於各式尺度之 CMOS-MEMS 平台製程，提供製程以及結構設計上的靈活性。

【英文】

Disclosed is a CMOS-MEMS resonant transducer and a method fabricating the same, which provides the CMOS-MEMS resonant transducer having narrow transducer gaps(<500nm) with high yield by etching a well-defined free-free beam, furthermore, TiN layers disposed under the main body of the resonant transducer may efficiently reduce the frequency drift due to electrostatic charges. The method for fabricating the CMOS-MEMS resonant transducer is also adapted to the processes of CMOS-MEMS platform with various scales, which provides routing and MEMS design flexibility.

【指定代表圖】第1圖。

【代表圖之符號簡單說明】

1: CMOS-MEMS諧振換能器

G：閘極

S：源極

D：汲極

B：基極

100：矽基板

Poly：多晶矽電極

102：諧振主體

VIA：金屬接線

E1、M1、M2、M3、M4、M5：電極

SUP：支撐樑

【特徵化學式】

無

【發明說明書】

【中文發明名稱】CMOS-MEMS諧振換能器及其製造方法

【英文發明名稱】CMOS-MEMS RESONANT TRANSDUCER AND METHOD FOR FABRICATING THE SAME

【技術領域】

【0001】本發明係關於一種CMOS-MEMS諧振換能器及其製造方法，更精確的，係關於一種藉由基於現有COMS-MEMS平台之製程，在諧振主體設置氮化鈦層以提昇靜電傳導以及頻率穩定性的CMOS-MEMS諧振換能器及其製造方法。

【先前技術】

【0002】過去幾年，對於將物聯網以及穿戴式裝置的需求提高，且成為發展智慧型感測系統的主要助力。受益於大量生產能力以及電路整合能力，可商業化的CMOS-MEMS平台提供實現整合感測系統的具有成本效益的方案，其包含計時參考、訊號處理以及多感測器建構功能。

【0003】然而，對於目前實際應用層面而言，弱的靜電耦合能力仍然是一項重大阻礙，特別是對於電容性諧振換能器。為了解決這些問題，必須仰賴在可動件及驅動電極之間設計相當小的空氣間隙，可減少其共振器等效運動阻抗，並增加輸出訊號。

【0004】因此，雖有在 $0.35\mu\text{m}$ 的COMS-MEMS製程中使用雙多晶矽配置來達成 40nm 的微小轉換器間隙，然而耗費了有限的轉換器面積且良率較低。另一

方面，近來雖有發展帶有180nm的間隙的富氧化物的高品質因數的諧振換能器，然而受限於單晶-多晶矽製程，難以進一步延伸至先進製程。

【0005】因此，亟需一種具有高精度的製程，能提供窄間隙、高良率以及有效的靜電傳導能力的COMS-MEMS諧振換能器及其製造方法。

【發明內容】

【0006】為了解決上述問題，本發明的目的在於提供一種CMOS-MEMS諧振換能器之製造方法，係基於CMOS-MEMS平台製作，CMOS-MEMS平台至少依序包含鈍化層、複數個介電質層及位於介電質層中複數個氮化鈦-金屬-氮化鈦複合層及複數個金屬-氮化鈦複合層，方法包含下列步驟：以蝕刻製程蝕刻位於CMOS-MEMS平台中心處之一諧振主體區域兩側的區域上之鈍化層，以定義出諧振主體區域，鄰近諧振主體區域兩側之一蝕刻區域，以及鄰近於蝕刻區域之一打線區域；以蝕刻製程蝕刻蝕刻區域中之複數個氮化鈦-金屬-氮化鈦複合層及複數個金屬-氮化鈦複合層以露出蝕刻區域中之介電質層；使用蝕刻製程蝕刻打線區域中之鈍化層，以及諧振主體區域兩側的蝕刻區域中暴露之介電質層，使打線區域中之金屬-氮化鈦複合層暴露，以及使蝕刻區域及諧振主體區域底部之氮化鈦-金屬-氮化鈦複合層暴露蝕刻區域之部份；使用蝕刻製程蝕刻位於蝕刻區域中的氮化鈦-金屬-氮化鈦複合層上部之氮化鈦層；使用蝕刻製程蝕刻打線區域、諧振主體區域及蝕刻區域之金屬層，使一諧振主體懸浮，且形成相對之氮化鈦層，其位於諧振主體之底部及經蝕刻之CMOS-MEMS平台對應於諧振主體之部份；使用蝕刻製程蝕刻打線區域及蝕刻區域中之氮化鈦層，以露出打線區域及蝕刻區域中之介電質層；使用蝕刻製程蝕刻打線區域及蝕刻區域中之介電

質層，使位於打線區域中之氮化鈦-金屬-氮化鈦複合層暴露以作為後續打線用之點針墊(Probing Pad)。

【0007】較佳者，在定義出諧振主體區域、蝕刻區域及打線區域之步驟中，係進一步以蝕刻製程同時蝕刻諧振主體區域、蝕刻區域及打線區域頂部之鈍化層，以及蝕刻蝕刻區域中介電質層，以暴露打線區域中之金屬-氮化鈦層以及使蝕刻區域及諧振主體區域底部之氮化鈦-金屬-氮化鈦複合層暴露蝕刻區域之部份。

● 【0008】較佳者，位於介電質層中之複數個氮化鈦-金屬-氮化鈦複合層及複數個金屬-氮化鈦複合層之間進一步包含連接彼此之複數個金屬接線。

【0009】較佳者，諧振主體係透過至少一介電質層與經蝕刻之CMOS-MEMS平台連接，使諧振主體懸浮地附接於經蝕刻之CMOS-MEMS平台。

【0010】較佳者，諧振主體之底部以及CMOS-MEMS平台對應於諧振主體之部份處之等氮化鈦層之面積為相等的。

● 【0011】較佳者，諧振主體之底部以及CMOS-MEMS平台對應於諧振主體之部份處之等氮化鈦層之間之間隔小於500nm。

【0012】較佳者，在定義出諧振主體區域、蝕刻區域及打線區域之步驟中，進一步包含定義複數個諧振主體區域，穿插於複數個諧振主體區域之間且環設複數個諧振主體區域之蝕刻區域，以及環設於等複數個諧振主體區域及等蝕刻區域之打線區域，以形成複數個諧振主體。

【0013】較佳者，在使諧振主體懸浮之步驟中，可進一步包含利用半導體製程製作額外之諧振主體，並採用低溫沉積氮化物或鎢化物於打線區域以作為電極。

【0014】 根據本發明的另一目的，在於提供一種CMOS-MEMS諧振換能器，其包含矽基板、第一介電質層、第二介電質層、第三介電質層、一對氮化鈦層及複數個氮化鈦-金屬-氮化鈦複合層。矽基板上定義有懸浮主體區域、環繞懸浮主體區域之蝕刻區域及環繞蝕刻區域之打線區域。第一介電質層設置在矽基板上並覆蓋矽基板，其包含設置在懸浮主體區域中之多晶矽層。第二介電質層設置於打線區域中。第三介電質層設置在第一介電質層上且在懸浮主體區域中，並透過至少一懸浮主體支撐部與第一介電質層連接以形成在懸浮主體區域中懸浮之懸浮主體。一對氮化鈦層分別覆蓋懸浮主體之底部以及第三介電質層中對應於懸浮主體且在至少一懸浮主體支撐部以外之部份。複數個氮化鈦-金屬-氮化鈦複合層彼此透過金屬接線連接，係設置在第二介電質層中及懸浮主體中，第二介電質層及懸浮主體之頂部暴露複數個氮化鈦-金屬-氮化鈦複合層之頂部，且在打線區域中暴露之複數個氮化鈦-金屬-氮化鈦複合層係作為後續打線用之點針墊。

【0015】 較佳者，諧振主體之底部以及CMOS-MEMS平台對應於諧振主體之部份處之等氮化鈦層之面積為相等的。

【0016】 較佳者，諧振主體之底部以及CMOS-MEMS平台對應於諧振主體之部份處之等氮化鈦層之間之間隔小於500nm。

【0017】 較佳者，在矽基板上可進一步包含複數個諧振主體區域，穿插於複數個諧振主體區域之間且環設複數個諧振主體區域之蝕刻區域，以及環設於等複數個諧振主體區域及等蝕刻區域之打線區域，以形成複數個諧振主體。

【0018】較佳者，CMOS-MEMS諧振換能器可進一步包含利用半導體製程製作另一諧振主體，並藉由低溫沉積在打線區域上形成氮化物或鎢化物以作為電極。

【0019】綜上所述，根據本發明的CMOS-MEMS諧振換能器及其製造方法，可高良率及精確的製造諧振換能器，其同時具有雙端自由樑結構、介電質構成之支撐樑、小於500nm之間隙設計，以及以TiN層覆蓋二氧化矽形成的諧振主體結構之底部，除可提供具有低運動阻抗之諧振換能器外，還可消除電荷累積在諧振主體底部造成的頻率偏移效應，此外，本發明的CMOS-MEMS諧振換能器亦對於各尺度的CMOS-MEMS平台製程具有高度的適應性，並可涵蓋不同於廠商製程之商用平台。

【圖式簡單說明】

【0020】本發明之上述及其他特徵及優勢將藉由參照附圖詳細說明其例示性實施例而變得更顯而易知，其中：

【0021】第1圖示出根據本發明的CMOS-MEMS諧振換能器之配置俯視圖

【0022】第2圖係為沿著第1圖的CMOS-MEMS諧振換能器的線I-I擷取的剖面圖。

【0023】第3A-3B圖，其分別為根據本發明的CMOS-MEMS諧振換能器之諧振主體之透視圖及諧振主體之運作示意圖。

【0024】4A及第4B圖，其係分別為沿著第2A圖的CMOS-MEMS諧振換能器的線II-II擷取的剖面圖。

【0025】第5A-5E圖係分別為根據本發明的CMOS-MEMS諧振換能器之製造方法之實施例繪示的各步驟的剖面圖。

【0026】第6A至第6C圖係分別為藉由本發明的CMOS-MEMS諧振換能器的製造方法製造之諧振換能器之俯視SEM(scanning electron microscope, SEM)圖，沿線III-III擷取的側視SEM圖以及局部放大剖面SEM圖。

【0027】第7A-7E圖係分別為根據本發明的CMOS-MEMS諧振換能器之製造方法之另一實施例繪示的各步驟的剖面圖。

【0028】第8A圖至第8E圖係分別為本發明的CMOS-MEMS諧振換能器的頻率特性量測實驗架構以及頻率特性量測結果。

【實施方式】

【0029】為利 貴審查員瞭解本發明之技術特徵、內容與優點及其所能達成之功效，茲將本發明配合附圖，並以實施例之表達形式詳細說明如下，而其中所使用之圖式，其主旨僅為示意及輔助說明書之用，未必為本發明實施後之真實比例與精準配置，故不應就所附之圖式的比例與配置關係解讀、侷限本發明於實際實施上的權利範圍，合先敘明。

【0030】於此使用，詞彙“與/或”包含一或多個相關條列項目之任何或所有組合。當“至少其一”之敘述前綴於一元件清單前時，係修飾整個清單元件而非修飾清單中之個別元件。

【0031】請參考第1圖及第2圖，其示出根據本發明的CMOS-MEMS諧振換能器之配置俯視圖以及沿著第1圖的CMOS-MEMS諧振換能器的線I-I擷取的剖面圖。如圖所示，本案之CMOS-MEMS諧振換能器1係以四接點配置的雙端自由

梁(free-free beam)結構設置在p型矽基板100上，而矽基板100上方進一步以二氧化矽層覆蓋以作為電性絕緣(insulation)電晶體陣列被放置在雙端自由梁共振器陣列的下方，使用CMOS-MEMS製程平台，可以利用佈局技巧得到相當優異的設計結果。換言之，可藉由此設置獲得共振式電晶體，其主要係由一個共振器及電晶體所組成，其具有可震動之閘極G，並直接影響通道內電流訊號。具體而言，CMOS-MEMS諧振換能器係分別具有閘極G、源極S及汲極D，且分別透過埋入式多晶矽電極Poly以及電極E1分別連接至主要由二氧化矽構成的諧振主體102內部，此外，諧振主體102包含複數個氮化鈦-金屬-氮化鈦複合層構成之電極，如表面由第三電極M3覆蓋，並進一步透過金屬接線VIA連接至第二電極M2。諧振主體102係藉由SiO₂構成之支撐樑SUP懸浮於矽基板100上，除產生空氣間隙GAP減少其共振器等效運動阻抗，並增加輸出訊號之外，支撐樑SUP還可減少震動損失，並作為諧振主體102上固定之節點，以進一步增加品質參數。根據本發明的較佳實施例，空氣間隙GAP係小於500nm之間隙範圍，以涵蓋不同於廠商製程之商用平台(例如，台積電之製程之商用平台，聯電、格羅方德等)。在本發明的最佳實施例中，空氣間隙GAP可精確的達到400nm。再者，矽基板100周側具有複數個作為基極B之接地端，以降低雜訊。

【0032】進一步，由於在電極與電極之間存在的氧化物會導致的諧振主體102在以直流電運作時，靜電耦合效應造成的頻率偏移。雖可採用交流電工作方式來消除此頻率偏移，交流電工作方式並不適用此電晶體架構，且需要進一步設置額外的電源控制元件來達成，而造成許多不便。為了解決此問題，本發明的諧振主體102的底部係以氮化鈦層TiN覆蓋，且同

樣的，位於諧振主體102的底部的二氧化矽層對應於諧振主體102的部份亦同時以氮化鈦層TiN覆蓋，且兩者的面積相等，以提昇在該處的靜電傳導，並消除頻率偏移現象。需要說明的是，此氮化鈦層在CMOS-MEMS平台中係作為進行微影製程時的抗反射層，因此，藉由此架構無須進一步濺鍍額外的TiN層，提昇了製程的靈活性。

【0033】請參考第3A-3B圖，其分別為根據本發明的CMOS-MEMS諧振換能器之諧振主體之透視圖及諧振主體之運作示意圖。進一步參考第3A圖所示，諧振主體102係為雙端自由樑結構，並分別具有長度 $L=60\mu\text{m}$ ，寬度 $W=9\mu\text{m}$ ，高度 $h=3.4\mu\text{m}$ ，以及間隙長度 d 為400nm的尺度。當閘極G端施加電壓後，受到諧振主體102底部的靜電效應，諧振主體102將會如第3B圖所示彎曲，支撐樑放置在雙端自由樑的節點上，可以減少共振能量的損失，增加品質因數。

【0034】請參考第4A及第4B圖，其係分別為沿著第2A圖的CMOS-MEMS諧振換能器的線II-II擷取的剖面圖。如圖所示，由雙端自由樑結構的另一側可觀察到，設置於矽基板100上的諧振主體102可被分為諧振主體區域R1、蝕刻區域R2以及打線區域R3，其中各包含複數個TiN-Al-TiN複合層，並分別作為電極M1、M2及M3。在打線區域R3中，TiN-Al-TiN複合層暴露以作為點針墊(Probing Pad)。其中，諧振主體102之高度 h 可為 $3.4\mu\text{m}$ ，且此結構之諧振頻率約為13MHz。類似前述，諧振主體102的底部係以氮化鈦層TiN覆蓋，且同樣的，位於諧振主體102的底部的 SiO_2 層對應於諧振主體102的部份亦同時以氮化鈦層TiN覆蓋，且兩者的面積相等以提昇在該處的靜電傳導，並消除頻率偏移現象。較佳者，本實施例可適用於 $0.35\mu\text{m}$ 之CMOS-MEMS平台製程，此外，還可進一步延伸至其他Al-Cu之線路後段(Back End Of the Line,

BEOL)CMOS製程，例如， $0.25\mu\text{m}$ 及 $0.18\mu\text{m}$ 等製程。其詳細製程將在下文中進一步描述。

【0035】除上述結構外，CMOS-MEMS諧振換能器亦可採用如第4B圖之配置，與前述實施例不同之處在於，透過蝕刻諧振主體102中間處的TiN-Al-TiN複合層，同樣可形成類似上述具有以TiN層覆蓋的諧振主體102的底部，以及以TiN層覆蓋的，位於諧振主體102的底部的SiO₂層上，支撐樑SUP以外的部份，且對應於諧振主體102的部份。此結構同樣可提昇靜電傳導以消除頻率偏移現象。其中，諧振主體102之高度h可為 $1.76\mu\text{m}$ ，且此結構之諧振頻率約為13MHz。因此，藉由調節諧振主體102之高度h，可進一步根據使用者需求製造具有不同的諧振頻率的CMOS-MEMS諧振換能器。

【0036】以下將根據附圖，說明本發明的CMOS-MEMS諧振換能器之製造方法，本方法係基於CMOS-MEMS平台製作，且目的在於製作出如第4A圖所示的CMOS-MEMS諧振換能器之架構。請參考第5A-5E圖，其係分別為根據本發明的CMOS-MEMS諧振換能器之製造方法之實施例繪示的各步驟的剖面圖。其中，未經釋出的CMOS-MEMS平台至少依序包含鈍化層PAS、複數個SiO₂層及位於SiO₂層中複數個TiN-Al-TiN複合層，以及複數個Al-TiN複合層。方法包含下列步驟：

【0037】步驟S501：以蝕刻製程蝕刻位於CMOS-MEMS平台上，諧振主體區域R1兩側的區域上之鈍化層，以定義出如第5A圖中所示之諧振主體區域R1，鄰近諧振主體區域R1兩側之蝕刻區域R2，以及鄰近於蝕刻區域之打線區域R3；

【0038】步驟S502：以蝕刻製程蝕刻蝕刻區域R2中之複數個TiN-Al-TiN複合層及複數個Al-TiN複合層，以露出蝕刻區域R2底部之SiO₂層，如第5B圖中所

示。較佳者，本步驟可採用金屬溼式蝕刻製程，並且蝕刻液可使用 H_2O_2 加上 H_2SO_4 ，但不限於此；

【0039】步驟S503：使用蝕刻製程蝕刻打線區域R3中之鈍化層PAS，以及諧振主體區域R1兩側的蝕刻區域R2中暴露之 SiO_2 層，使打線區域R3中之Al-TiN複合層暴露，以及使蝕刻區域R2及諧振主體區域R1底部之TiN-Al-TiN複合層暴露蝕刻區域R2之部份，如第5C圖中所示。本步驟可採用介電層反應離子蝕刻系統（Dielectric RIE-10NR），但不限於此；

【0040】步驟S504：使用蝕刻製程蝕刻位於蝕刻區域R2中的TiN-Al-TiN複合層上部之TiN層，使Al層露出，預備作後續使諧振主體懸浮之用，如第5D圖所示，本步驟可採用金屬反應離子蝕刻系統（Metal RIE-200L），其反應氣體為Ar及 Cl_2 ，但不限於此；

【0041】步驟S505：使用蝕刻製程蝕刻打線區域R3、諧振主體區域R1及蝕刻區域R2之Al層，使諧振主體懸浮，且形成相對之TiN層，其位於諧振主體之底部及經蝕刻之CMOS-MEMS平台對應於諧振主體之部份，並形成前述實施例中之支撐樑，如第5E圖所示，本實施例可採用金屬溼式蝕刻製程，並採用Al之蝕刻液，並可在 $35^\circ C$ 下進行，但不限於此；

【0042】步驟S506：使用蝕刻製程蝕刻打線區域R3及蝕刻區域R2中之TiN層，以露出打線區域R3及蝕刻區域R2中之 SiO_2 層，並接續使用蝕刻製程蝕刻打線區域R3及蝕刻區域R2中之 SiO_2 層，使位於打線區域R3中之TiN-Al-TiN複合層暴露以作為點針墊(Probing Pad)，並完成如第4A圖所示之CMOS-MEMS諧振換能器結構，本步驟中，可先後分別採用金屬反應離子蝕刻系統（Metal RIE-200L）以及介電層反應離子蝕刻系統（Dielectric RIE-10NR）進行蝕刻，但不限於此。

【0043】請參考第6A至第6C圖，其分別為藉由本發明的CMOS-MEMS諧振換能器的製造方法製造之諧振換能器之俯視SEM(scanning electron microscope, SEM)圖，沿線III-III擷取的側視SEM圖以及局部放大剖面SEM圖。如圖所示，藉由上述製程，可獲得前述之雙端自由樑結構、支撐樑、透過金屬接線與多晶矽電極連接之TiN層，以及約400nm的空氣間隙。其中，如第6C圖所示，TiN層具有約120nm之厚度。

【0044】續言之，請參考第7A-7E圖，其係分別為根據本發明的CMOS-MEMS諧振換能器之製造方法之另一實施例繪示的各步驟的剖面圖。其中，未經釋出的CMOS-MEMS平台至少依序包含鈍化層PAS、複數個SiO₂層及位於SiO₂層中複數個TiN-Al-TiN複合層，以及複數個Al-TiN複合層。方法包含下列步驟：

【0045】步驟S701：以蝕刻製程蝕刻位於CMOS-MEMS平台上，諧振主體區域R1兩側的區域上之鈍化層，以定義出如第7A圖中所示之諧振主體區域R1，鄰近諧振主體區域R1兩側之蝕刻區域R2，以及鄰近於蝕刻區域之打線區域R3；

【0046】步驟S702：以蝕刻製程蝕刻蝕刻區域R2中之SiO₂層以及打線區域R3中之鈍化層PAS，使打線區域R3中之Al-TiN複合層暴露，以及使蝕刻區域R2及諧振主體區域R1底部之TiN-Al-TiN複合層暴露蝕刻區域R2之部份，如第7B圖中所示。本步驟可採用介電層反應離子蝕刻系統（Dielectric RIE-10NR），但不限於此；

【0047】步驟S703：使用蝕刻製程蝕刻位於蝕刻區域R2中的TiN-Al-TiN複合層上部之TiN層，使Al層露出，預備作後續使諧振主體懸浮之用，如第7C圖所示，本步驟可採用金屬反應離子蝕刻系統（Metal RIE-200L），其反應氣體為Ar及Cl₂，但不限於此；

【0048】步驟S704：使用蝕刻製程蝕刻打線區域R3、諧振主體區域R1及蝕刻區域R2之Al層，使諧振主體懸浮，且形成相對之TiN層，其位於諧振主體之底部及經蝕刻之CMOS-MEMS平台對應於諧振主體之部份，並形成前述實施例中之支撐樑，如第7D圖所示，本實施例可採用金屬溼式蝕刻製程，並採用Al之蝕刻液，並可在35°C下進行，但不限於此；

【0049】步驟S705：使用蝕刻製程蝕刻打線區域R3及蝕刻區域R2中之TiN層，以露出打線區域R3及蝕刻區域R2中之SiO₂層，並接續使用蝕刻製程蝕刻打線區域R3及蝕刻區域R2中之SiO₂層，使位於打線區域R3中之TiN-Al-TiN複合層暴露以作為點針墊(Probing Pad)，並完成如第4A圖所示之CMOS-MEMS諧振換能器結構，本步驟中，可先後分別採用金屬反應離子蝕刻系統(Metal RIE-200L)以及介電層反應離子蝕刻系統(Dielectric RIE-10NR)進行蝕刻，但不限於此。如圖所示，藉由上述製程，亦可獲得前述之雙端自由樑結構、支撐樑、透過金屬接線與多晶矽電極連接之TiN層，以及小於約500nm的空氣間隙。

【0050】為了讓諧振換能器可懸浮，整體元件包含部份電晶體都會經過溼式蝕刻的後製程，為了確認蝕刻後的電晶體特性，製程前後電晶體的特性觀察是必要的。請參考第8A圖至第8E圖，其分別為本發明的CMOS-MEMS諧振換能器的頻率特性量測實驗架構以及頻率特性量測結果。如圖所示，實驗架構可如第8A圖，源極及汲極分別連接一電壓源以及接地端，而基極如前述實施例中之矽基板接地。閘極施加一定電壓V_p，並在各電壓V_p下測量頻率特性。如第8B及8C圖所示，其示出將基極接地後，並且施加於閘極之電壓為V_p=70V時，可降低基極的浮接效應造成的雜訊，並且品質因數Q可達1400，運動阻抗R_m可為約390kΩ。

【0051】此外，如第8D及8E圖所示，施加於閘極之電壓為 $V_p = \pm 70V$ 時，相對於未以TiN層覆蓋二氧化矽包覆的諧振主體結構的情形，其明顯可消除因靜電效應導致的頻率偏移。但本發明不限於此，本發明之CMOS-MEMS諧振換能器之製造方法係適用於以一般介電質層包覆結構，且如第8F圖所示，透過持續追蹤施加電壓 V_p 的本發明的結構以及以氧化物-金屬為基底的諧振換能器40分鐘，亦可見到透過本發明的CMOS-MEMS諧振換能器，可消除因長時間電荷累積造成的頻率偏移效應。因此，在本發明的CMOS-MEMS諧振換能器下，均未從其特性曲線觀察到明顯的頻率偏移，可知透過小於500nm(本實施例為400nm)的空氣間隙以及TiN層的配置，已明確解決了前述之頻率偏移之問題。

【0052】請參考第9圖，其係為根據本發明的CMOS-MEMS諧振換能器的再一實施例所繪示之剖面圖。如圖所示，CMOS-MEMS諧振換能器可適用於180nm之CMOS-MEMS製程平台，其進一步包含複數個諧振主體102'，且在此情形下，所需要的施加於閘極之電壓 V_p 可進一步降低，齊進一步提昇了此架構對於各式CMOS-MEMS平台製程的靈活性。此外，在本發明的CMOS-MEMS諧振換能器及製造方法中，亦適用於CMOS-MEMS平台上，利用半導體製程製作額外之諧振主體。例如，採用非晶矽或其他種類之介電材料向上堆疊結構，並在以不傷害底層之CMOS電路為原則下，採用低溫沉積法將氮化物(如: TiN, TaN及SiON)或鎢化物(如: TiW)沈積於打線區域中，以作為傳感電極，並能夠實現較佳之頻率穩定度

【0053】綜上所述，根據本發明的CMOS-MEMS諧振換能器及其製造方法，可高良率及精確的製造諧振換能器，其同時具有雙端自由樑結構、介

電質構成之支撐樑、小於500nm之間隙設計，以及以TiN層覆蓋二氧化矽形成的諧振主體結構之底部，除可提供具有低運動阻抗之諧振換能器外，還可消除電荷累積在諧振主體底部造成的頻率偏移效應，此外，本發明的CMOS-MEMS諧振換能器亦對於各尺度的CMOS-MEMS平台製程具有高度的適應性，並可涵蓋不同於廠商製程之商用平台。

【符號說明】

【0054】

1：CMOS-MEMS諧振換能器

G：閘極

S：源極

D：汲極

B：基極

100：矽基板

Poly：多晶矽電極

102：諧振主體

VIA：金屬接線

E1、M1、M2、M3、M4、M5：電極

SUP：支撐樑

GAP：間隙

L：長度

W：寬度

h：高度

d：間隙長度

R1：諧振主體區域

R2：蝕刻區域

R3：打線區域

PAS：鈍化層

Vp：電壓

【發明申請專利範圍】

【第1項】一種 CMOS-MEMS 諧振換能器之製造方法，係基於 CMOS-MEMS 平台製作，該 CMOS-MEMS 平台至少依序包含鈍化層、複數個介電質層及位於該介電質層中複數個氮化鈦-金屬-氮化鈦複合層及複數個金屬-氮化鈦複合層：

以蝕刻製程蝕刻位於該 CMOS-MEMS 平台中心處之一諧振主體區域兩側的區域上之鈍化層，以定義出該諧振主體區域，鄰近該諧振主體區域兩側之一蝕刻區域，以及鄰近於該蝕刻區域之一打線區域；

以蝕刻製程蝕刻該蝕刻區域中之該複數個氮化鈦-金屬-氮化鈦複合層及該複數個金屬-氮化鈦複合層以露出該蝕刻區域中之介電質層；

使用蝕刻製程蝕刻該打線區域中之鈍化層，以及該諧振主體區域兩側的該蝕刻區域中暴露之介電質層，使該打線區域中之金屬-氮化鈦複合層暴露，以及使該蝕刻區域及該諧振主體區域底部之該氮化鈦-金屬-氮化鈦複合層暴露該蝕刻區域之部份；

使用蝕刻製程蝕刻位於該蝕刻區域中的氮化鈦-金屬-氮化鈦複合層上部之氮化鈦層；

使用蝕刻製程蝕刻該打線區域、諧振主體區域及蝕刻區域之金屬層，形成以介電質層包覆之一諧振主體懸浮，且形成相對之該氮化鈦層，其位於該諧振主體之該底部及經蝕刻之該 CMOS-MEMS 平台對應於該諧振主體之部份；

使用蝕刻製程蝕刻該打線區域及該蝕刻區域中之該氮化鈦層，
以露出該打線區域及該蝕刻區域中之該介電質層；

使用蝕刻製程蝕刻該打線區域及該蝕刻區域中之該介電質層，
使位於打線區域中之該氮化鈦-金屬-氮化鈦複合層暴露以
作為後續打線用之點針墊(Probing Pad)。

【第2項】如申請專利範圍第 1 項所述之 CMOS-MEMS 諧振換能器之製造方法，其中在定義出該諧振主體區域、該蝕刻區域及該打線區域之步驟中，係進一步以蝕刻製程同時蝕刻該諧振主體區域、該蝕刻區域及該打線區域頂部之該鈍化層，以及蝕刻該蝕刻區域中該介電質層，以暴露該打線區域中之該金屬-氮化鈦層以及該使該蝕刻區域及該諧振主體區域底部之該氮化鈦-金屬-氮化鈦複合層暴露該蝕刻區域之部份。

【第3項】如申請專利範圍第 1 項所述之 CMOS-MEMS 諧振換能器之製造方法，其中位於該介電質層中之該複數個氮化鈦-金屬-氮化鈦複合層及該複數個金屬-氮化鈦複合層之間進一步包含連接彼此之複數個金屬接線。

【第4項】如申請專利範圍第 1 項所述之 CMOS-MEMS 諧振換能器之製造方法，其中該諧振主體係透過至少一介電質層與經蝕刻之該 CMOS-MEMS 平台連接，使該諧振主體懸浮地附接於經蝕刻之該 CMOS-MEMS 平台。

【第5項】如申請專利範圍第 4 項所述之 CMOS-MEMS 諧振換能器之製造方法，其中該諧振主體之該底部以及該 CMOS-MEMS 平台對應於該諧振主體之部份處之該等氮化鈦層之面積為相等的。

【第6項】如申請專利範圍第 1 項所述之 CMOS-MEMS 諧振換能器之製

造方法，其中該諧振主體之該底部以及該 CMOS-MEMS 平台對應於該諧振主體之部份處之該等氮化鈦層之間之間隔小於 500nm。

【第7項】如申請專利範圍第 1 項所述之 CMOS-MEMS 諧振換能器之製造方法，其中在定義出該諧振主體區域、該蝕刻區域及該打線區域之步驟中，進一步包含定義複數個諧振主體區域，穿插於該複數個諧振主體區域之間且環設該複數個諧振主體區域之該蝕刻區域，以及環設於該等複數個諧振主體區域及該等蝕刻區域之該打線區域，以形成複數個諧振主體。

【第8項】如申請專利範圍第 1 項所述之 CMOS-MEMS 諧振換能器之製造方法，其中在使該諧振主體懸浮之步驟中，進一步包含利用半導體製程製作額外之諧振主體，並採用低溫沉積氮化物或鎢化物於該打線區域以作為電極。

【第9項】一種 CMOS-MEMS 諧振換能器，其包含：

一矽基板，其上定義有一懸浮主體區域、環繞該懸浮主體區域之一蝕刻區域及環繞該蝕刻區域之一打線區域；

一第一介電質層，係設置在該矽基板上並覆蓋該矽基板，其包含設置在該懸浮主體區域中之一多晶矽層；

一第二介電質層，係設置於該打線區域中；

一第三介電質層，係設置在該第一介電質層上且在該懸浮主體區域中，並透過至少一懸浮主體支撐部與該第一介電質層連接以形成在該懸浮主體區域中懸浮之以介電質層包覆之一懸浮主體；

一對氮化鈦層，係分別覆蓋該懸浮主體之底部以及該第三介電

質層中對應於該懸浮主體且在至少一懸浮主體支撐部以外之部份；以及

複數個氮化鈦-金屬-氮化鈦複合層彼此透過金屬接線連接，係設置在該第介電質層中及該懸浮主體中，該第介電質層及該懸浮主體之頂部暴露該複數個氮化鈦-金屬-氮化鈦複合層之頂部，且在該打線區域中暴露之該複數個氮化鈦-金屬-氮化鈦複合層係作為後續打線用之點針墊。

【第10項】如申請專利範圍第9項所述之 CMOS-MEMS 諧振換能器，其中該諧振主體之該底部以及該 CMOS-MEMS 平台對應於該諧振主體之部份處之該等氮化鈦層之面積為相等的。

【第11項】如申請專利範圍第9項所述之 CMOS-MEMS 諧振換能器，其中該諧振主體之該底部以及該 CMOS-MEMS 平台對應於該諧振主體之部份處之該等氮化鈦層之間之間隔小於 500nm。

【第12項】如申請專利範圍第9項所述之 CMOS-MEMS 諧振換能器，其中在該矽基板上，進一步包含複數個諧振主體區域，穿插於該複數個諧振主體區域之間且環設該複數個諧振主體區域之該蝕刻區域，以及環設於該等複數個諧振主體區域及該等蝕刻區域之該打線區域，以形成複數個諧振主體。

【第13項】如申請專利範圍第9項所述之 CMOS-MEMS 諧振換能器，其進一步包含利用半導體製程製作另一諧振主體，並藉由低溫沉積在該打線區域上形成氮化物或鎢化物以作為電極。



申請日：

IPC分類：

【發明摘要】**【中文發明名稱】** CMOS-MEMS諧振換能器及其製造方法**【英文發明名稱】** CMOS-MEMS RESONANT TRANSDUCER AND METHOD

FOR FABRICATING THE SAME

【中文】

本發明提供一種 CMOS-MEMS 諧振換能器及其製造方法，藉由精確蝕刻的雙端自由樑結構，可以高良率製程提供具有窄間隙(<500nm)的 CMOS-MEMS 諧振換能器，此外，透過設置在諧振主體底部的氮化鈦材料層，可有效降低因靜電導致的頻率偏移，本發明還適用於各式尺度之 CMOS-MEMS 平台製程，提供製程以及結構設計上的靈活性。

【英文】

Disclosed is a CMOS-MEMS resonant transducer and a method fabricating the same, which provides the CMOS-MEMS resonant transducer having narrow transducer gaps(<500nm) with high yield by etching a well-defined free-free beam, furthermore, TiN layers disposed under the main body of the resonant transducer may efficiently reduce the frequency drift due to electrostatic charges. The method for fabricating the CMOS-MEMS resonant transducer is also adapted to the processes of CMOS-MEMS platform with various scales, which provides routing and MEMS design flexibility.

【指定代表圖】 第1圖。**【代表圖之符號簡單說明】**

1：CMOS-MEMS諧振換能器

G：閘極

S：源極

D：汲極

B：基極

100：矽基板

Poly：多晶矽電極

102：諧振主體

VIA：金屬接線

E1、M1、M2、M3、M4、M5：電極

SUP：支撐樑

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 CMOS-MEMS諧振換能器及其製造方法

【英文發明名稱】 CMOS-MEMS RESONANT TRANSDUCER AND METHOD
FOR FABRICATING THE SAME

【技術領域】

【0001】 本發明係關於一種CMOS-MEMS諧振換能器及其製造方法，更精確的，係關於一種藉由基於現有COMS-MEMS平台之製程，在諧振主體設置氮化鈦層以提昇靜電傳導以及頻率穩定性的CMOS-MEMS諧振換能器及其製造方法。

【先前技術】

【0002】 過去幾年，對於將物聯網以及穿戴式裝置的需求提高，且成為發展智慧型感測系統的主要助力。受益於大量生產能力以及電路整合能力，可商業化的CMOS-MEMS平台提供實現整合感測系統的具有成本效益的方案，其包含計時參考、訊號處理以及多感測器建構功能。

【0003】 然而，對於目前實際應用層面而言，弱的靜電耦合能力仍然是一項重大阻礙，特別是對於電容性諧振換能器。為了解決這些問題，必須仰賴在可動件及驅動電極之間設計相當小的空氣間隙，可減少其共振器等效運動阻抗，並增加輸出訊號。

【0004】 因此，雖有在 $0.35\mu\text{m}$ 的COMS-MEMS製程中使用雙多晶矽配置來達成 40nm 的微小轉換器間隙，然而耗費了有限的轉換器面積且良率較低。另一

方面，近來雖有發展帶有180nm的間隙的富氧化物的高品質因數的諧振換能器，然而受限於單晶-多晶矽製程，難以進一步延伸至先進製程。

【0005】因此，亟需一種具有高精度的製程，能提供窄間隙、高良率以及有效的靜電傳導能力的COMS-MEMS諧振換能器及其製造方法。

【發明內容】

【0006】為了解決上述問題，本發明的目的在於提供一種CMOS-MEMS諧振換能器之製造方法，係基於CMOS-MEMS平台製作，CMOS-MEMS平台至少依序包含鈍化層、複數個介電質層及位於介電質層中複數個氮化鈦-金屬-氮化鈦複合層及複數個金屬-氮化鈦複合層，方法包含下列步驟：以蝕刻製程蝕刻位於CMOS-MEMS平台中心處之一諧振主體區域兩側的區域上之鈍化層，以定義出諧振主體區域，鄰近諧振主體區域兩側之一蝕刻區域，以及鄰近於蝕刻區域之一打線區域；以蝕刻製程蝕刻蝕刻區域中之複數個氮化鈦-金屬-氮化鈦複合層及複數個金屬-氮化鈦複合層以露出蝕刻區域中之介電質層；使用蝕刻製程蝕刻打線區域中之鈍化層，以及諧振主體區域兩側的蝕刻區域中暴露之介電質層，使打線區域中之金屬-氮化鈦複合層暴露，以及使蝕刻區域及諧振主體區域底部之氮化鈦-金屬-氮化鈦複合層暴露蝕刻區域之部份；使用蝕刻製程蝕刻位於蝕刻區域中的氮化鈦-金屬-氮化鈦複合層上部之氮化鈦層；使用蝕刻製程蝕刻打線區域、諧振主體區域及蝕刻區域之金屬層，使一諧振主體懸浮，且形成相對之氮化鈦層，其位於諧振主體之底部及經蝕刻之CMOS-MEMS平台對應於諧振主體之部份；使用蝕刻製程蝕刻打線區域及蝕刻區域中之氮化鈦層，以露出打線區域及蝕刻區域中之介電質層；使用蝕刻製程蝕刻打線區域及蝕刻區域中之介電

質層，使位於打線區域中之氮化鈦-金屬-氮化鈦複合層暴露以作為後續打線用之點針墊(Probing Pad)。

【0007】較佳者，在定義出諧振主體區域、蝕刻區域及打線區域之步驟中，係進一步以蝕刻製程同時蝕刻諧振主體區域、蝕刻區域及打線區域頂部之鈍化層，以及蝕刻蝕刻區域中介電質層，以暴露打線區域中之金屬-氮化鈦層以及使蝕刻區域及諧振主體區域底部之氮化鈦-金屬-氮化鈦複合層暴露蝕刻區域之部份。

【0008】較佳者，位於介電質層中之複數個氮化鈦-金屬-氮化鈦複合層及複數個金屬-氮化鈦複合層之間進一步包含連接彼此之複數個金屬接線。

【0009】較佳者，諧振主體係透過至少一介電質層與經蝕刻之CMOS-MEMS平台連接，使諧振主體懸浮地附接於經蝕刻之CMOS-MEMS平台。

【0010】較佳者，諧振主體之底部以及CMOS-MEMS平台對應於諧振主體之部份處之等氮化鈦層之面積為相等的。

【0011】較佳者，諧振主體之底部以及CMOS-MEMS平台對應於諧振主體之部份處之等氮化鈦層之間之間隔小於500nm。

【0012】較佳者，在定義出諧振主體區域、蝕刻區域及打線區域之步驟中，進一步包含定義複數個諧振主體區域，穿插於複數個諧振主體區域之間且環設複數個諧振主體區域之蝕刻區域，以及環設於等複數個諧振主體區域及等蝕刻區域之打線區域，以形成複數個諧振主體。

【0013】較佳者，在使諧振主體懸浮之步驟中，可進一步包含利用半導體製程製作額外之諧振主體，並採用低溫沉積氮化物或鎢化物於打線區域以作為電極。

【0014】根據本發明的另一目的，在於提供一種CMOS-MEMS諧振換能器，其包含矽基板、第一介電質層、第二介電質層、第三介電質層、一對氮化鈦層及複數個氮化鈦-金屬-氮化鈦複合層。矽基板上定義有懸浮主體區域、環繞懸浮主體區域之蝕刻區域及環繞蝕刻區域之打線區域。第一介電質層設置在矽基板上並覆蓋矽基板，其包含設置在懸浮主體區域中之多晶矽層。第二介電質層設置於打線區域中。第三介電質層設置在第一介電質層上且在懸浮主體區域中，並透過至少一懸浮主體支撐部與第一介電質層連接以形成在懸浮主體區域中懸浮之懸浮主體。一對氮化鈦層分別覆蓋懸浮主體之底部以及第三介電質層中對應於懸浮主體且在至少一懸浮主體支撐部以外之部份。複數個氮化鈦-金屬-氮化鈦複合層彼此透過金屬接線連接，係設置在第二介電質層中及懸浮主體中，第二介電質層及懸浮主體之頂部暴露複數個氮化鈦-金屬-氮化鈦複合層之頂部，且在打線區域中暴露之複數個氮化鈦-金屬-氮化鈦複合層係作為後續打線用之點針墊。

【0015】較佳者，諧振主體之底部以及CMOS-MEMS平台對應於諧振主體之部份處之等氮化鈦層之面積為相等的。

【0016】較佳者，諧振主體之底部以及CMOS-MEMS平台對應於諧振主體之部份處之等氮化鈦層之間之間隔小於500nm。

【0017】較佳者，在矽基板上可進一步包含複數個諧振主體區域，穿插於複數個諧振主體區域之間且環設複數個諧振主體區域之蝕刻區域，以及環設於等複數個諧振主體區域及等蝕刻區域之打線區域，以形成複數個諧振主體。

【0018】較佳者，CMOS-MEMS諧振換能器可進一步包含利用半導體製程製作另一諧振主體，並藉由低溫沉積在打線區域上形成氮化物或鎢化物以作為電極。

【0019】綜上所述，根據本發明的CMOS-MEMS諧振換能器及其製造方法，可高良率及精確的製造諧振換能器，其同時具有雙端自由樑結構、介電質構成之支撐樑、小於500nm之間隙設計，以及以TiN層覆蓋二氧化矽形成的諧振主體結構之底部，除可提供具有低運動阻抗之諧振換能器外，還可消除電荷累積在諧振主體底部造成的頻率偏移效應，此外，本發明的CMOS-MEMS諧振換能器亦對於各尺度的CMOS-MEMS平台製程具有高度的適應性，並可涵蓋不同於廠商製程之商用平台。

【圖式簡單說明】

【0020】本發明之上述及其他特徵及優勢將藉由參照附圖詳細說明其例示性實施例而變得更顯而易知，其中：

【0021】第1圖示出根據本發明的CMOS-MEMS諧振換能器之配置俯視圖

【0022】第2圖係為沿著第1圖的CMOS-MEMS諧振換能器的線I-I擷取的剖面圖。

【0023】第3A-3B圖，其分別為根據本發明的CMOS-MEMS諧振換能器之諧振主體之透視圖及諧振主體之運作示意圖。

【0024】4A及第4B圖，其係分別為沿著第2A圖的CMOS-MEMS諧振換能器的線II-II擷取的剖面圖。

【0025】第5A-5D圖係分別為根據本發明的CMOS-MEMS諧振換能器之製造方法之實施例繪示的各步驟的剖面圖。

【0026】第6A至第6C圖係分別為藉由本發明的CMOS-MEMS諧振換能器的製造方法製造之諧振換能器之俯視SEM(scanning electron microscope, SEM)圖，沿線III-III擷取的側視SEM圖以及局部放大剖面SEM圖。

【0027】第7A-7D圖係分別為根據本發明的CMOS-MEMS諧振換能器之製造方法之另一實施例繪示的各步驟的剖面圖。

【0028】第8A圖至第8F圖係分別為本發明的CMOS-MEMS諧振換能器的頻率特性量測實驗架構以及頻率特性量測結果。

【實施方式】

【0029】為利 貴審查員瞭解本發明之技術特徵、內容與優點及其所能達成之功效，茲將本發明配合附圖，並以實施例之表達形式詳細說明如下，而其中所使用之圖式，其主旨僅為示意及輔助說明書之用，未必為本發明實施後之真實比例與精準配置，故不應就所附之圖式的比例與配置關係解讀、侷限本發明於實際實施上的權利範圍，合先敘明。

【0030】於此使用，詞彙“與/或”包含一或多個相關條列項目之任何或所有組合。當“至少其一”之敘述前綴於一元件清單前時，係修飾整個清單元件而非修飾清單中之個別元件。

【0031】請參考第1圖及第2圖，其示出根據本發明的CMOS-MEMS諧振換能器之配置俯視圖以及沿著第1圖的CMOS-MEMS諧振換能器的線I-I擷取的剖面圖。如圖所示，本案之CMOS-MEMS諧振換能器係以四接點配置的雙端自由

梁(free-free beam)結構設置在p型矽基板100上，而矽基板100上方進一步以二氧化矽層覆蓋以作為電性絕緣(insulation)電晶體陣列被放置在雙端自由梁共振器陣列的下方，使用CMOS-MEMS製程平台，可以利用佈局技巧得到相當優異的設計結果。換言之，可藉由此設置獲得共振式電晶體，其主要係由一個共振器及電晶體所組成，其具有可震動之閘極G，並直接影響通道內電流訊號。具體而言，CMOS-MEMS諧振換能器係分別具有閘極G、源極S及汲極D，且分別透過埋入式多晶矽電極Poly以及電極E1分別連接至主要由二氧化矽構成的諧振主體102內部，此外，諧振主體102包含複數個氮化鈦-金屬-氮化鈦複合層構成之電極，如表面由第三電極M3覆蓋，並進一步透過金屬接線VIA連接至第二電極M2。諧振主體102係藉由SiO₂構成之支撐樑SUP懸浮於矽基板100上，除產生空氣間隙GAP減少其共振器等效運動阻抗，並增加輸出訊號之外，支撐樑SUP還可減少震動損失，並作為諧振主體102上固定之節點，以進一步增加品質參數。根據本發明的較佳實施例，空氣間隙GAP係小於500nm之間隙範圍，以涵蓋不同於廠商製程之商用平台(例如，台積電之製程之商用平台，聯電、格羅方德等)。在本發明的最佳實施例中，空氣間隙GAP可精確的達到400nm。再者，矽基板100周側具有複數個作為基極B之接地端，以降低雜訊。

【0032】進一步，由於在電極與電極之間存在的氧化物會導致的諧振主體102在以直流電運作時，靜電耦合效應造成的頻率偏移。雖可採用交流電工作方式來消除此頻率偏移，交流電工作方式並不適用此電晶體架構，且需要進一步設置額外的電源控制元件來達成，而造成許多不便。為了解決此問題，本發明的諧振主體102的底部係以氮化鈦層TiN覆蓋，且同

樣的，位於諧振主體102的底部的二氧化矽層對應於諧振主體102的部份亦同時以氮化鈦層TiN覆蓋，且兩者的面積相等，以提昇在該處的靜電傳導，並消除頻率偏移現象。需要說明的是，此氮化鈦層在CMOS-MEMS平台中係作為進行微影製程時的抗反射層，因此，藉由此架構無須進一步濺鍍額外的TiN層，提昇了製程的靈活性。

【0033】請參考第3A-3B圖，其分別為根據本發明的CMOS-MEMS諧振換能器之諧振主體之透視圖及諧振主體之運作示意圖。進一步參考第3A圖所示，諧振主體102係為雙端自由樑結構，並分別具有長度 $L=60\mu\text{m}$ ，寬度 $W=9\mu\text{m}$ ，高度 $h=3.4\mu\text{m}$ ，以及間隙長度 d 為400nm的尺度。當閘極G端施加電壓後，受到諧振主體102底部的靜電效應，諧振主體102將會如第3B圖所示彎曲，支撐樑放置在雙端自由樑的節點上，可以減少共振能量的損失，增加品質因數。

【0034】請參考第4A及第4B圖，其係分別為沿著第2A圖的CMOS-MEMS諧振換能器的線II-II擷取的剖面圖。如圖所示，由雙端自由樑結構的另一側可觀察到，設置於矽基板100上的諧振主體102可被分為諧振主體區域R1、蝕刻區域R2以及打線區域R3，其中各包含複數個TiN-Al-TiN複合層，並分別作為電極M1、M2及M3。在打線區域R3中，TiN-Al-TiN複合層暴露以作為點針墊(Probing Pad)。其中，諧振主體102之高度 h 可為 $3.4\mu\text{m}$ ，且此結構之諧振頻率約為13MHz。類似前述，諧振主體102的底部係以氮化鈦層TiN覆蓋，且同樣的，位於諧振主體102的底部的 SiO_2 層對應於諧振主體102的部份亦同時以氮化鈦層TiN覆蓋，且兩者的面積相等以提昇在該處的靜電傳導，並消除頻率偏移現象。較佳者，本實施例可適用於 $0.35\mu\text{m}$ 之CMOS-MEMS平台製程，此外，還可進一步延伸至其他Al-Cu之線路後段(Back End Of the Line,

BEOL)CMOS製程，例如， $0.25\mu\text{m}$ 及 $0.18\mu\text{m}$ 等製程。其詳細製程將在下文中進一步描述。

【0035】除上述結構外，CMOS-MEMS諧振換能器亦可採用如第4B圖之配置，與前述實施例不同之處在於，透過蝕刻諧振主體102中間處的TiN-Al-TiN複合層，同樣可形成類似上述具有以TiN層覆蓋的諧振主體102的底部，以及以TiN層覆蓋的，位於諧振主體102的底部的 SiO_2 層上，支撐樑SUP以外的部份，且對應於諧振主體102的部份。此結構同樣可提昇靜電傳導以消除頻率偏移現象。其中，諧振主體102之高度h可為 $1.76\mu\text{m}$ ，且此結構之諧振頻率約為13MHz。因此，藉由調節諧振主體102之高度h，可進一步根據使用者需求製造具有不同的諧振頻率的CMOS-MEMS諧振換能器。

【0036】以下將根據附圖，說明本發明的CMOS-MEMS諧振換能器之製造方法，本方法係基於CMOS-MEMS平台製作，且目的在於製作出如第4A圖所示的CMOS-MEMS諧振換能器之架構。請參考第5A-5D圖，其係分別為根據本發明的CMOS-MEMS諧振換能器之製造方法之實施例繪示的各步驟的剖面圖。其中，未經釋出的CMOS-MEMS平台至少依序包含鈍化層PAS、複數個 SiO_2 層及位於 SiO_2 層中複數個TiN-Al-TiN複合層，以及複數個Al-TiN複合層。方法包含下列步驟：

【0037】步驟S501：以蝕刻製程蝕刻位於CMOS-MEMS平台上，諧振主體區域R1兩側的區域上之鈍化層，以定義出如第5A圖中所示之諧振主體區域R1，鄰近諧振主體區域R1兩側之蝕刻區域R2，以及鄰近於蝕刻區域之打線區域R3；

【0038】步驟S502：以蝕刻製程蝕刻蝕刻區域R2中之複數個TiN-Al-TiN複合層及複數個Al-TiN複合層，以露出蝕刻區域R2底部之 SiO_2 層，如第5B圖中所

示。較佳者，本步驟可採用金屬溼式蝕刻製程，並且蝕刻液可使用 H_2O_2 加上 H_2SO_4 ，但不限於此；

【0039】步驟S503：使用蝕刻製程蝕刻打線區域R3中之鈍化層PAS，以及諧振主體區域R1兩側的蝕刻區域R2中暴露之 SiO_2 層，使打線區域R3中之Al-TiN複合層暴露，以及使蝕刻區域R2及諧振主體區域R1底部之TiN-Al-TiN複合層暴露蝕刻區域R2之部份，如第5C圖中所示。本步驟可採用介電層反應離子蝕刻系統（Dielectric RIE-10NR），但不限於此；

【0040】步驟S504：使用蝕刻製程蝕刻位於蝕刻區域R2中的TiN-Al-TiN複合層上部之TiN層，使Al層露出，預備作後續使諧振主體懸浮之用，如第5D圖所示，本步驟可採用金屬反應離子蝕刻系統（Metal RIE-200L），其反應氣體為Ar及 Cl_2 ，但不限於此；

【0041】步驟S505：使用蝕刻製程蝕刻打線區域R3、諧振主體區域R1及蝕刻區域R2之Al層，使諧振主體懸浮，且形成相對之TiN層，其位於諧振主體之底部及經蝕刻之CMOS-MEMS平台對應於諧振主體之部份，並形成前述實施例中之支撐樑，本實施例可採用金屬溼式蝕刻製程，並採用Al之蝕刻液，並可在 $35^\circ C$ 下進行，但不限於此；

【0042】步驟S506：使用蝕刻製程蝕刻打線區域R3及蝕刻區域R2中之TiN層，以露出打線區域R3及蝕刻區域R2中之 SiO_2 層，並接續使用蝕刻製程蝕刻打線區域R3及蝕刻區域R2中之 SiO_2 層，使位於打線區域R3中之TiN-Al-TiN複合層暴露以作為點針墊(Probing Pad)，並完成如第4A圖所示之CMOS-MEMS諧振換能器結構，本步驟中，可先後分別採用金屬反應離子蝕刻系統（Metal RIE-200L）以及介電層反應離子蝕刻系統（Dielectric RIE-10NR）進行蝕刻，但不限於此。

【0043】請參考第6A至第6C圖，其分別為藉由本發明的CMOS-MEMS諧振換能器的製造方法製造之諧振換能器之俯視SEM(scanning electron microscope, SEM)圖，沿線III-III擷取的側視SEM圖以及局部放大剖面SEM圖。如圖所示，藉由上述製程，可獲得前述之雙端自由樑結構、支撐樑、透過金屬接線與多晶矽電極連接之TiN層，以及約400nm的空氣間隙。其中，如第6C圖所示，TiN層具有約120nm之厚度。

【0044】續言之，請參考第7A-7D圖，其係分別為根據本發明的CMOS-MEMS諧振換能器之製造方法之另一實施例繪示的各步驟的剖面圖。其中，未經釋出的CMOS-MEMS平台至少依序包含鈍化層PAS、複數個SiO₂層及位於SiO₂層中複數個TiN-Al-TiN複合層，以及複數個Al-TiN複合層。方法包含下列步驟：

【0045】步驟S701：以蝕刻製程蝕刻位於CMOS-MEMS平台上，諧振主體區域R1兩側的區域上之鈍化層，以定義出如第7A圖中所示之諧振主體區域R1，鄰近諧振主體區域R1兩側之蝕刻區域R2，以及鄰近於蝕刻區域之打線區域R3；

【0046】步驟S702：以蝕刻製程蝕刻蝕刻區域R2中之SiO₂層以及打線區域R3中之鈍化層PAS，使打線區域R3中之Al-TiN複合層暴露，以及使蝕刻區域R2及諧振主體區域R1底部之TiN-Al-TiN複合層暴露蝕刻區域R2之部份，如第7B圖中所示。本步驟可採用介電層反應離子蝕刻系統（Dielectric RIE-10NR），但不限於此；

【0047】步驟S703：使用蝕刻製程蝕刻位於蝕刻區域R2中的TiN-Al-TiN複合層上部之TiN層，使Al層露出，預備作後續使諧振主體懸浮之用，如第7C圖所示，本步驟可採用金屬反應離子蝕刻系統（Metal RIE-200L），其反應氣體為Ar及Cl₂，但不限於此；

【0048】 步驟S704：使用蝕刻製程蝕刻打線區域R3、諧振主體區域R1及蝕刻區域R2之Al層，使諧振主體懸浮，且形成相對之TiN層，其位於諧振主體之底部及經蝕刻之CMOS-MEMS平台對應於諧振主體之部份，並形成前述實施例中之支撐樑，如第7D圖所示，本實施例可採用金屬溼式蝕刻製程，並採用Al之蝕刻液，並可在35°C下進行，但不限於此；

【0049】 步驟S705：使用蝕刻製程蝕刻打線區域R3及蝕刻區域R2中之TiN層，以露出打線區域R3及蝕刻區域R2中之SiO₂層，並接續使用蝕刻製程蝕刻打線區域R3及蝕刻區域R2中之SiO₂層，使位於打線區域R3中之TiN-Al-TiN複合層暴露以作為點針墊(Probing Pad)，並完成如第4A圖所示之CMOS-MEMS諧振換能器結構，本步驟中，可先後分別採用金屬反應離子蝕刻系統(Metal RIE-200L)以及介電層反應離子蝕刻系統(Dielectric RIE-10NR)進行蝕刻，但不限於此。如圖所示，藉由上述製程，亦可獲得前述之雙端自由樑結構、支撐樑、透過金屬接線與多晶矽電極連接之TiN層，以及小於約500nm的空氣間隙。

【0050】 為了讓諧振換能器可懸浮，整體元件包含部份電晶體都會經過溼式蝕刻的後製程，為了確認蝕刻後的電晶體特性，製程前後電晶體的特性觀察是必要的。請參考第8A圖至第8E圖，其分別為本發明的CMOS-MEMS諧振換能器的頻率特性量測實驗架構以及頻率特性量測結果。如圖所示，實驗架構可如第8A圖，源極及汲極分別連接一電壓源以及接地端，而基極如前述實施例中之矽基板接地。閘極施加一定電壓V_p，並在各電壓V_p下測量頻率特性。如第8B及8C圖所示，其示出將基極接地後，並且施加於閘極之電壓為V_p=70V時，可降低基極的浮接效應造成的雜訊，並且品質因數Q可達1400，運動阻抗R_m可為約390kΩ。

【0051】此外，如第8D及8E圖所示，施加於閘極之電壓為 $V_p = \pm 70V$ 時，相對於未以TiN層覆蓋二氧化矽包覆的諧振主體結構的情形，其明顯可消除因靜電效應導致的頻率偏移。但本發明不限於此，本發明之CMOS-MEMS諧振換能器之製造方法係適用於以一般介電質層包覆結構，且如第8F圖所示，透過持續追蹤施加電壓 V_p 的本發明的結構以及以氧化物-金屬為基底的諧振換能器40分鐘，亦可見到透過本發明的CMOS-MEMS諧振換能器，可消除因長時間電荷累積造成的頻率偏移效應。因此，在本發明的CMOS-MEMS諧振換能器下，均未從其特性曲線觀察到明顯的頻率偏移，可知透過小於500nm(本實施例為400nm)的空氣間隙以及TiN層的配置，已明確解決了前述之頻率偏移之問題。

【0052】請參考第9圖，其係為根據本發明的CMOS-MEMS諧振換能器的再一實施例所繪示之剖面圖。如圖所示，CMOS-MEMS諧振換能器可適用於180nm之CMOS-MEMS製程平台，其進一步包含複數個諧振主體102'，且在此情形下，所需要的施加於閘極之電壓 V_p 可進一步降低，齊進一步提昇了此架構對於各式CMOS-MEMS平台製程的靈活性。此外，在本發明的CMOS-MEMS諧振換能器及製造方法中，亦適用於CMOS-MEMS平台上，利用半導體製程製作額外之諧振主體。例如，採用非晶矽或其他種類之介電材料向上堆疊結構，並在以不傷害底層之CMOS電路為原則下，採用低溫沉積法將氮化物(如: TiN, TaN及SiON)或鎢化物(如: TiW)沈積於打線區域中，以作為傳感電極，並能夠實現較佳之頻率穩定度

【0053】綜上所述，根據本發明的CMOS-MEMS諧振換能器及其製造方法，可高良率及精確的製造諧振換能器，其同時具有雙端自由樑結構、介

電質構成之支撐樑、小於500nm之間隙設計，以及以TiN層覆蓋二氧化矽形成的諧振主體結構之底部，除可提供具有低運動阻抗之諧振換能器外，還可消除電荷累積在諧振主體底部造成的頻率偏移效應，此外，本發明的CMOS-MEMS諧振換能器亦對於各尺度的CMOS-MEMS平台製程具有高度的適應性，並可涵蓋不同於廠商製程之商用平台。

【符號說明】

【0054】

1：CMOS-MEMS諧振換能器

G：閘極

S：源極

D：汲極

B：基極

100：矽基板

Poly：多晶矽電極

102：諧振主體

VIA：金屬接線

E1、M1、M2、M3、M4、M5：電極

SUP：支撐樑

GAP：間隙

L：長度

W：寬度

h：高度

d：間隙長度

R1：諧振主體區域

R2：蝕刻區域

R3：打線區域

PAS：鈍化層

Vp：電壓

【發明申請專利範圍】

【第1項】一種 CMOS-MEMS 諧振換能器之製造方法，係基於 CMOS-MEMS 平台製作，該 CMOS-MEMS 平台至少依序包含鈍化層、複數個介電質層及位於該介電質層中複數個氮化鈦-金屬-氮化鈦複合層及複數個金屬-氮化鈦複合層：

以蝕刻製程蝕刻位於該 CMOS-MEMS 平台中心處之一諧振主體區域兩側的區域上之鈍化層，以定義出該諧振主體區域，鄰近該諧振主體區域兩側之一蝕刻區域，以及鄰近於該蝕刻區域之一打線區域；

以蝕刻製程蝕刻該蝕刻區域中之該複數個氮化鈦-金屬-氮化鈦複合層及該複數個金屬-氮化鈦複合層以露出該蝕刻區域中之介電質層；

使用蝕刻製程蝕刻該打線區域中之鈍化層，以及該諧振主體區域兩側的該蝕刻區域中暴露之介電質層，使該打線區域中之金屬-氮化鈦複合層暴露，以及使該蝕刻區域及該諧振主體區域底部之該氮化鈦-金屬-氮化鈦複合層暴露該蝕刻區域之部份；

使用蝕刻製程蝕刻位於該蝕刻區域中的氮化鈦-金屬-氮化鈦複合層上部之氮化鈦層；

使用蝕刻製程蝕刻該打線區域、諧振主體區域及蝕刻區域之金屬層，形成以介電質層包覆之一諧振主體懸浮，且形成相對之該氮化鈦層，其位於該諧振主體之該底部及經蝕刻之該 CMOS-MEMS 平台對應於該諧振主體之部份；

使用蝕刻製程蝕刻該打線區域及該蝕刻區域中之該氮化鈦層，
以露出該打線區域及該蝕刻區域中之該介電質層；

使用蝕刻製程蝕刻該打線區域及該蝕刻區域中之該介電質層，
使位於打線區域中之該氮化鈦-金屬-氮化鈦複合層暴露以
作為後續打線用之點針墊(Probing Pad)。

【第2項】如申請專利範圍第 1 項所述之 CMOS-MEMS 諧振換能器之製造方法，其中在定義出該諧振主體區域、該蝕刻區域及該打線區域之步驟中，係進一步以蝕刻製程同時蝕刻該諧振主體區域、該蝕刻區域及該打線區域頂部之該鈍化層，以及蝕刻該蝕刻區域中該介電質層，以暴露該打線區域中之該金屬-氮化鈦層以及該使該蝕刻區域及該諧振主體區域底部之該氮化鈦-金屬-氮化鈦複合層暴露該蝕刻區域之部份。

【第3項】如申請專利範圍第 1 項所述之 CMOS-MEMS 諧振換能器之製造方法，其中位於該介電質層中之該複數個氮化鈦-金屬-氮化鈦複合層及該複數個金屬-氮化鈦複合層之間進一步包含連接彼此之複數個金屬接線。

【第4項】如申請專利範圍第 1 項所述之 CMOS-MEMS 諧振換能器之製造方法，其中該諧振主體係透過至少一介電質層與經蝕刻之該 CMOS-MEMS 平台連接，使該諧振主體懸浮地附接於經蝕刻之該 CMOS-MEMS 平台。

【第5項】如申請專利範圍第 4 項所述之 CMOS-MEMS 諧振換能器之製造方法，其中該諧振主體之該底部以及該 CMOS-MEMS 平台對應於該諧振主體之部份處之該等氮化鈦層之面積為相等的。

【第6項】如申請專利範圍第 1 項所述之 CMOS-MEMS 諧振換能器之製

造方法，其中該諧振主體之該底部以及該 CMOS-MEMS 平台對應於該諧振主體之部份處之該等氮化鈦層之間之間隔小於 500nm。

【第7項】如申請專利範圍第 1 項所述之 CMOS-MEMS 諧振換能器之製造方法，其中在定義出該諧振主體區域、該蝕刻區域及該打線區域之步驟中，進一步包含定義複數個諧振主體區域，穿插於該複數個諧振主體區域之間且環設該複數個諧振主體區域之該蝕刻區域，以及環設於該等複數個諧振主體區域及該等蝕刻區域之該打線區域，以形成複數個諧振主體。

【第8項】如申請專利範圍第 1 項所述之 CMOS-MEMS 諧振換能器之製造方法，其中在使該諧振主體懸浮之步驟中，進一步包含利用半導體製程製作額外之諧振主體，並採用低溫沉積氮化物或鎢化物於該打線區域以作為電極。

【第9項】一種 CMOS-MEMS 諧振換能器，其包含：

一矽基板，其上定義有一懸浮主體區域、環繞該懸浮主體區域之一蝕刻區域及環繞該蝕刻區域之一打線區域；

一第一介電質層，係設置在該矽基板上並覆蓋該矽基板，其包含設置在該懸浮主體區域中之一多晶矽層；

一第二介電質層，係設置於該打線區域中；

一第三介電質層，係設置在該第一介電質層上且在該懸浮主體區域中，並透過至少一懸浮主體支撐部與該第一介電質層連接以形成在該懸浮主體區域中懸浮之以介電質層包覆之一懸浮主體；

一對氮化鈦層，係分別覆蓋該懸浮主體之底部以及該第三介電

第 3 頁，共 4 頁(發明申請專利範圍)

質層中對應於該懸浮主體且在至少一懸浮主體支撐部以外之部份；以及

複數個氮化鈦-金屬-氮化鈦複合層彼此透過金屬接線連接，係設置在該第介電質層中及該懸浮主體中，該第介電質層及該懸浮主體之頂部暴露該複數個氮化鈦-金屬-氮化鈦複合層之頂部，且在該打線區域中暴露之該複數個氮化鈦-金屬-氮化鈦複合層係作為後續打線用之點針墊。

【第10項】如申請專利範圍第9項所述之 CMOS-MEMS 諧振換能器，其中該諧振主體之該底部以及該 CMOS-MEMS 平台對應於該諧振主體之部份處之該等氮化鈦層之面積為相等的。

【第11項】如申請專利範圍第9項所述之 CMOS-MEMS 諧振換能器，其中該諧振主體之該底部以及該 CMOS-MEMS 平台對應於該諧振主體之部份處之該等氮化鈦層之間之間隔小於 500nm。

【第12項】如申請專利範圍第9項所述之 CMOS-MEMS 諧振換能器，其中在該矽基板上，進一步包含複數個諧振主體區域，穿插於該複數個諧振主體區域之間且環設該複數個諧振主體區域之該蝕刻區域，以及環設於該等複數個諧振主體區域及該等蝕刻區域之該打線區域，以形成複數個諧振主體。

【第13項】如申請專利範圍第9項所述之 CMOS-MEMS 諧振換能器，其進一步包含利用半導體製程製作另一諧振主體，並藉由低溫沉積在該打線區域上形成氮化物或鎢化物以作為電極。