



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU 225 935

K AUTORSKÉMU OSVĚDČENÍ

(61)

(23) Výstavní priorita
(22) Přihlášeno 24 08 81
(21) PV 6303-81

(11)

(B1)

(51) Int. Cl.³

H 03 K 19/00

(40) Zveřejněno 29 07 83

(45) Vydáno 01 07 85

(75)

Autor vynálezu PARTL MIROSLAV ing., KRÁSA LUBOMÍR ing., BRNO

(54) Zapojení klopného obvodu s pamětí

1

Vynález se týká zapojení klopného obvodu s pamětí pro automatické řízení technologických uzlů expedičních linek v oboru hrubé keramiky.

V současnosti známé paměti pro logické číslicové systémy založené na bázi tyristorových negátorů, používané v automatické oboru hrubé keramiky jsou nespolehlivé. Cívky paměťových relé, které jsou ve známých zapojeních použity, jsou trvale po celou akční dobu pod napětím, přestože by jejich ovládání mělo být jen krátkodobými stejnosměrnými impulsy.

Výše uvedené nedostatky odstraňuje zapojení klopného obvodu s pamětí podle vynálezu, jehož podstata spočívá v tom, že do řídicí elektrody tyristoru prvního a druhého tyristorového negátoru je připojen první a druhý odpor a k výstupu prvního tyristorového negátoru je připojen jednak vstup druhého tyristorového negátoru a jednak přes usměrňovací diodu první ovládací cívka paměťového relé a k výstupu druhého tyristorového negátoru je připojen jednak vstup prvního tyristorového negátoru a jednak přes usměrňovací diodu druhá ovládací cívka paměťového relé, přičemž první a druhá ovládací cívka jsou přes první přepínací kontakt paměťového relé a tlumivku připojeny na kladný pól napěťového zdroje, zatímco druhý přepínací kontakt paměťového relé je připojen na vstup klopných obvodů řídicí automatiky.

Na připojeném výkresu je znázorněno schéma zapojení klopného obvodu s pamětí podle vynálezu.

Klopný obvod je vytvořen z prvního a druhého tyristorového negátoru 3, 4 tak, že výstup z prvního tyristorového negátoru 3 je připojen na vstup druhého tyristorového negátoru 4 a výstup druhého tyristorového negátoru 4 na vstup prvního tyristorového negátoru 3, přičemž do řídicích elektrod prvního a druhého tyristoru 1, 2 je připojen první a druhý odpor 5, 6. Anody prvního a druhého tyristoru 1, 2 jsou spojeny s první a druhou ovládací cívkou 7, 8 paměťového relé 9, které jsou napojeny přes první přepínací kontakt 10 paměťového relé 9 a tlumivku 15 na kladný pól napěťového zdroje 14. První přepínací kontakt 10 paměťového relé 9 zabezpečuje impulsní ovládání první a druhé ovládací cívky 7, 8 paměťového relé 9. Zapojení tlumivky 15 není z funkčního hlediska nutné, zabezpečuje však plynulejší přepnutí prvního přepínacího kontaktu 10 paměťového relé 9.

Druhý přepínací kontakt 11 paměťového relé 9 je připojen na vstup klopných obvodů řídicí automatiky a slouží k nastavení počátečních podmínek libovolného klopného obvodu, to znamená zavedení logické nuly na příslušný vstup klopného obvodu.

Podle schéma na přiloženém výkresu je činnost obvodu následující. Dojde-li ke splnění podmínek log. 1 na všech vstupech druhého tyristorového negátoru 4 je výstup druhého tyristorového negátoru 4 ve stavu log. 0, to znamená, že druhý tyristor 2 je ve vodivém stavu a pro druhou ovládací cívku 8 paměťového relé 9 se obvod uzavře. Druhou ovládací cívku 8 protéká proud a první i druhý přepínací kontakt 10, 11 se překlopí. Prvním přepínacím kontaktem 10 se přeruší obvod druhé ovládací cívky 8 a první ovládací cívka 7 paměťového relé 9 se připojí na kladný pól napěťového zdroje 14. Po splnění podmínek log. 1 na všech vstupech prvního tyristorového negátoru 3 je první tyristor 1 ve vodivém stavu a pro první ovládací cívku 7 se obvod uzavře. První ovládací cívku 7 protéká proud a první i druhý přepínací kontakt 10, 11 se překlopí do původního stavu. Po splnění podmínek log. 1 na druhém tyristorovém negátoru 4 se funkce obvodu opakuje.

P Ř E D M Ě T V Y N Á L E Z U

Zapojení klopného obvodu s pamětí, vyznačené tím, že do řídicí elektrody prvního a druhého tyristoru (1, 2) prvního a druhého tyristorového negátoru (3, 4) je připojen první a druhý odpor (5, 6) a k výstupu prvního tyristorového negátoru (3) je připojen jednak vstup druhého tyristorového negátoru (4) a jednak přes usměrňovací diodu (12) první ovládací cívka (7) paměťového relé (9) a k výstupu druhého tyristorového negátoru (4) je připojen jednak vstup prvního tyristorového negátoru (3) a jednak přes usměrňovací diodu (13) druhá ovládací cívka (8) paměťového relé (9), přičemž první a druhá ovládací cívka (7, 8) jsou přes první přepínací kontakt (10) paměťového relé (9) a tlumivku (15) připojeny na kladný pól napěťového zdroje (14), zatímco druhý přepínací kontakt

(11) paměťového relé (9) je připojen na vstup klopných obvodů řídicí automatiky.

1 výkres

