



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

212 897

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 25 06 80
(21) PV 4529-80

(51) Int. Cl.³ H 02 M 1/08

(40) Zveřejněno 30 06 81
(45) Vydáno 01 01 84

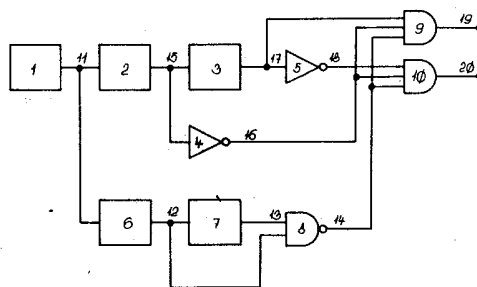
(75)
Autor vynálezu MIKULÁŠEK VLADIMÍR ing., BRNO

(54) Zapojení generátoru budicích signálů pro střídač stejnosměrného napětí se dvěma větvemi

Vynálezu se týká oboru elektrotechniky a napájecích zdrojů. Řeší zapojení generátoru budicích signálů pro jednofázový střídač stejnosměrného napětí se dvěma větvemi a vlastní komutací.

Podstata vynálezu spočívá v tom, že generátor vyrábí budicí signály pro obě větve střídače se spínacími tranzistory tak, že je zajištěn dostatečný časový přesah, po který je buzení v obou větvích odepnuto a nedochází vlivem saturační doby spínacích tranzistorů k současnému otevření obou větví.

Vynálezu může být využito v oblasti napájecích zdrojů a pro generátory budicích signálů pro tranzistorové měniče push-pull a double forward.



Obr. 2

Vynález se týká zapojení generátoru budicích signálů pro střídač stejnosměrného napětí se dvěma větvemi, s vlastní komutací, nejčastěji dvojčinný.

Střídače napětí mění stejnosměrné napětí na střídavé, případně mění střídavé napětí jednoho kmitočtu na střídavé napětí kmitočtu jiného. Střídače se uplatňují v elektrických pohonech jako zdroje nepřetržití energie, při indukčním ohřevu, v moderních zdrojích stejnosměrného napětí apod.

Dvojčinný střídač vyžaduje střídavé buzení větví a vylučuje současné sepnutí spínacích prvků v obou větvích střídače. Vlivem vlastností polovodičového spínacího prvku, resp. ostatních součástí obvodu, dochází ke zpoždění zejména při rozpínání. Je nutno, aby budicí signály obou větví zajišťovaly dostatečný časový přesah, po který je buzení obou větví odepnuto.

Střídače pracující jako součásti měničů stejnosměrného napětí pro moderní stejnosměrné zdroje, přepínají obvykle kmitočtem asi 20 kHz, což bývá ptimum z hlediska ztrát a malého rozměru jádra transformátoru a je to kmitočet, který už akusticky neruší. Speciální vysokonapěťové výkonové tranzistory určené pro střídače ke zdrojům mají dobu saturace poměrně velkou. Časový přesah, po který je buzení v obou větvích odepnuto, je nutno volit od 5 mikrosek. do 10 mikrosek. Při respektování určité bezpečnosti volíme 10 mikrosek. Při kmitočtu 20 kHz, $T = 50$ mikrosek., je přesah $1/5$ periody $t = T/5$.

Nevýhody starších řešení generátorů budicích signálů, která byla složitá a ne příliš spolehlivá, odstranilo zapojení s použitím číslicových obvodů, jež je předmětem čs. autorského osvědčení č. 195 932. U tohoto zapojení je výstup generátoru obdélníkových kmitů napojen na vstup děliče pěti, jehož výstup je spojen paralelně se vstupem prvního invertoru a se vstupem děliče dvěma. Výstup děliče dvěma je paralelně spojen se vstupem druhého invertoru a s prvním vstupem prvního součinnového hradla. Výstup prvního invertoru je paralelně spojen s druhým vstupem druhého součinnového hradla a s druhým vstupem prvního součinnového hradla. Výstup druhého invertoru je spojen s prvním vstupem druhého součinnového hradla. Výstup prvního resp. druhého součinnového hradla je zdrojem budicího signálu první, resp. druhé větve dvojčinného střídače stejnosměrného napětí.

Výhodou tohoto zapojení je jednoduchost, přesnost a malé rozměry.

Výše uvedené řešení dále zdokonaluje zapojení generátoru budicích signálů podle vynálezu, jehož podstata spočívá v tom, že výstup generátoru obdélníkových kmitů je paralelně spojen se vstupem děliče pěti a se vstupem děliče $2/3$, jehož výstup je paralelně spojen se vstupem druhého děliče dvěma a s prvním vstupem hradla NAND, přičemž výstup druhého děliče dvěma je zapojen na druhý vstup hradla NAND a výstup tohoto hradla je paralelně spojen se třetím vstupem prvního součinnového hradla a se třetím vstupem druhého součinnového hradla.

Výhodou řešení podle vynálezu je možnost využití typizovaného integrovaného obvodu 7490, který v sobě obsahuje potřebné děliče, a jeho aplikovatelnost u měničů se speciálními výkonovými vysokonapěťovými tranzistory s dlouhou saturační dobou.

Vynález je blíže znázorněn na výkresech obr.1, kde představuje blokové schéma známého zapojení generátoru budicích signálů s číslicovými obvody, obr.2 ukazuje blokové schéma zapojení generátoru budicích signálů podle vynálezu, obr.3 znázorňuje příklad skutečného zapojení generátoru budicích signálů podle vynálezu, sestaveného z integrovaných obvodů TTL a obr.4 znázorňuje časový diagram průběhu signálů v jednotlivých bodech zapojení podle obr.2, resp. obr.3.

U generátoru budicích signálů podle obr.1 je výstup generátoru 1 obdélníkových kmitů zapojen na vstup děliče pěti 2, jehož výstup je spojen paralelně se vstupem prvního invertoru 4 a vstupem děliče dvěma 3. Výstup děliče dvěma 3 je paralelně spojen se vstupem druhého invertoru 5 a s prvním vstupem prvního součinnového hradla 9. Výstup prvního invertoru 4 je paralelně spojen s druhým vstupem prvního součinnového hradla 9 a s druhým vstupem druhého součinnového hradla 10. Na první vstup druhého součinnového hradla 10 je zapojen výstup druhého invertoru 5. Výstup obou součinnových hradel 9 a 10 jsou zdroji budicích signálů příslušných větví dvojčinného střídače.

Obdélníkový signál z generátoru 1 přichází na dělič pěti 2, na kterém se sníží jeho kmitočet pětikrát. Signál se pak vede na dělič dvěma 3, kde se provede další snížení kmitoč-

tu na polovinu. Na jeden vstup součinnového hradla 9 se přivádí signál z výstupu děliče 3 a na druhý vstup hradla 9 se přivádí signál z výstupu děliče pěti 2 obrácený invertorem 4. Hradlo 9 provádí logický součin. Na jeden vstup druhého součinnového hradla 10 se přivádí signál z výstupu děliče dvěma 3 obrácený invertorem 5 a na druhý vstup hradla 10 se přivádí signál z výstupu děliče pěti 2 obrácený invertorem 4. Hradlo 10 provádí logický součin.

U generátoru budicích signálů podle obr.2 je zapojení podle obr.1 doplněno tak, že výstup z generátoru 1 obdélníkových kmitů je paralelně spojen se vstupem děliče pěti 2 a se vstupem děliče 2/3 6, jehož výstup je paralelně spojen se vstupem druhého děliče dvěma 7 a s prvním vstupem hradla NAND 8. Výstup druhého děliče dvěma 7 je zapojen na druhý vstup hradla NAND 8, jehož výstup je paralelně spojen s třetím vstupem prvního součinnového hradla 9 a třetím vstupem druhého součinnového hradla 10.

Generátor podle obr.2 pracuje takto: generátor 1 obdélníkových kmitů je multivibrátor vyrábějící obdélníkový signál základního kmitočtu, jehož průběh je znázorněn na obr.4 řádek 11. Kmitočet generátoru je asi 200 kHz, XT = 5 mikrosek. Signál se přivádí na dělič 2/3 6 s překlápěním na týlovou hranu. Výstup děliče 2/3 6 je signál 0010100101....., znázorněný průběhem na řádce 12. Tento signál se přivede na dělič dvěma 7, překlápějící na týlovou hranu. Na jeho výstupu je signál 13 o průběhu 0001100011..... Hradlo 8 provede součin a negaci signálů 12 a 13, což dává průběh 1111011110..... znázorněný na řádce 14. Signál ze základního generátoru 11 zpracovává také dělič pěti 2, který překlápí na týlovou hranu. Na jeho výstupu je signál 15 o průběhu 0000100001..... Signál 15 se jednak neguje invertorem 4 na signál o průběhu znázorněném na řádce 16 a jednak se dělí dvěma na děliči 3, překlápějícím na týlovou hranu. Výstup z tohoto děliče dvěma je signál 17. Invertor 5 provádí negaci signálu 17, jejímž výsledkem je průběh, znázorněný na řádce 18. První koncové hradlo 9 provádí součin signálů 14, 16 a 17, jehož výsledkem je budicí signál první větve, naznačený jako průběh znázorněný na řádce 19. Druhé koncové hradlo 10 provádí součin signálů 14, 16 a 18, jehož výsledkem je budicí signál druhé větve, naznačený jako průběh znázorněný na řádce 20.

U generátoru budicích signálů podle obr.3 je generátor 1 obdélníkových kmitů složen ze tří invertorů I1, I2, I3, dvou kondenzátorů C1, C2 a čtyř odporů R1 až R4. Integrovaný obvod MH 7490 realizuje děliče. Invertory 4 a 5 a hradlo NAND 8 jsou stejné jako v obr.2. Koncová součinnová hradla 9 a 10 jsou realizována hradly NAND a invertory. Hradla jsou čtyřvstupová a jsou zakresleny i vstupy od regulační smyčky, jimiž se provádí řízení střídavy budicích signálů při stabilizačním procesu.

Generátor 1 obdélníkových kmitů pracuje jako multivibrátor, produkuje obdélníkové kmitoty asi 200 kHz, průběh je znázorněn na řádce 11 obr.4. Signály z děličů realizovaných integrovaným obvodem 7490 jsou na obr.4. V bodě A průběh 17, v bodě B průběh 12, v bodě C průběh 13 a v bodě D průběh 15. Nedojde-li ke zkrácení při regulaci zpětnovazební smyčkou, jsou průběhy budicích signálů 19 a 20 při kmitočtu základního generátoru 200 kHz s poměrem impuls/mezera 15 mikrosek./35 mikrosek. 20 kHz s fázovým posunutím takovým, že přesah je 10 mikrosek.

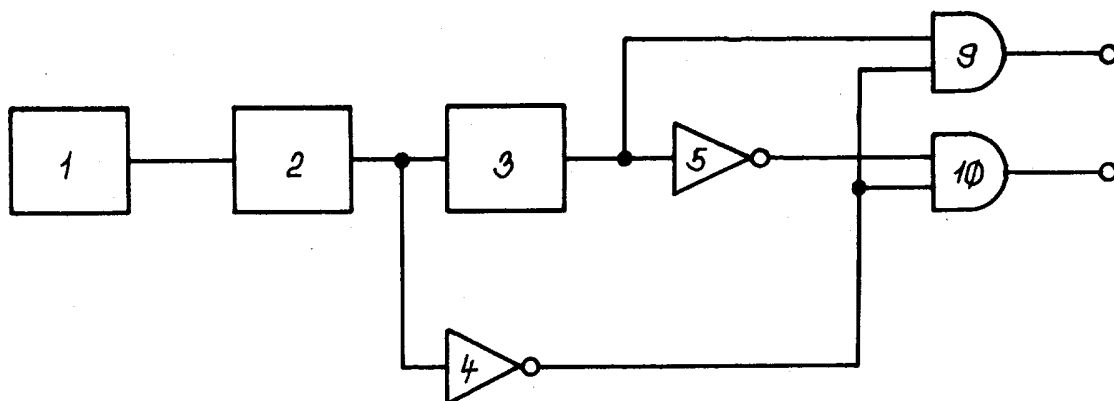
Zapojení podle vynálezu je možno použít jako generátor budicích signálů pro tranzistorové střídače stejnosměrného napětí v zapojení push-pull, dvojčinný, nebo double forward, dvojitý propustný.

P Ř E D M Ě T V Y N Á L E Z U

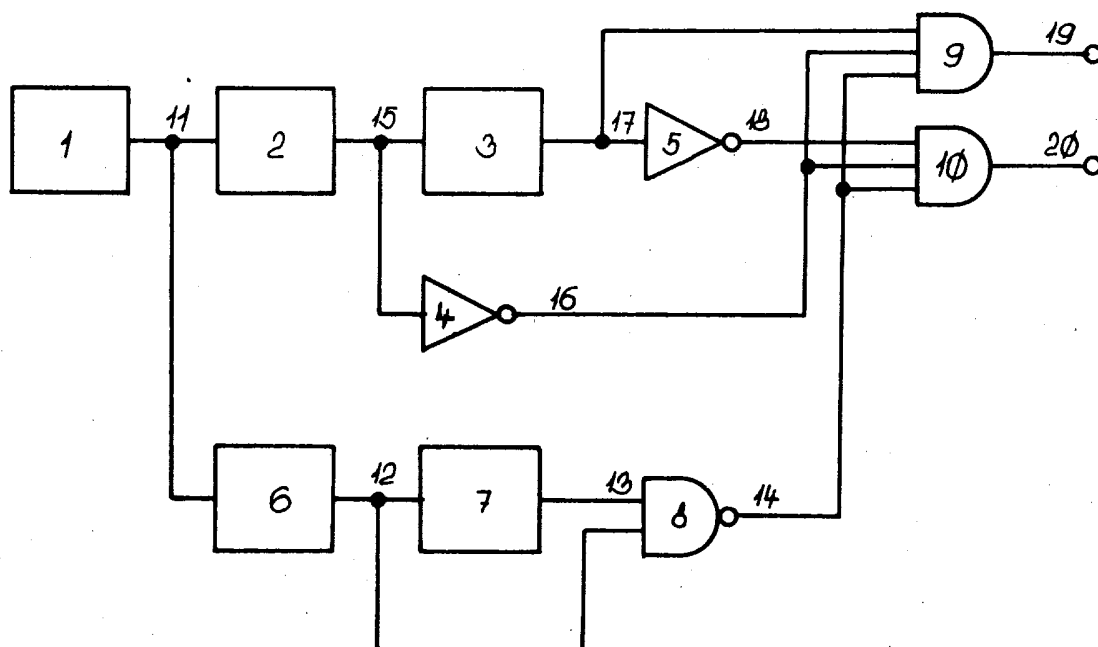
Zapojení generátoru budicích signálů pro střídač stejnosměrného napětí se dvěma větvemi, obsahující v sériovém zapojení generátor obdélníkových kmitů a dělič pěti, jehož výstup je paralelně spojen se vstupem prvního invertoru a se vstupem děliče dvěma a výstup děliče dvěma je paralelně spojen se vstupem druhého invertoru a prvním vstupem součinnového hradla, přičemž výstup prvního invertoru je paralelně spojen s druhým vstupem prvního součinnového hradla a druhým vstupem druhého součinnového hradla, na jehož první vstup je zapojen výstup druhého invertoru a výstupy obou součinnových hradel jsou zdroji budicích signálů příslušných větví dvojčinného střídače, vyznačený tím, že výstup generátoru (1) obdélníkových kmitů je paralelně spojen se vstupem děliče (2) a se vstupem děliče 2/3 (6), jehož výstup je

paralelně spojen se vstupem druhého děliče dvěma (7) a s prvním vstupem hradla NAND (8) přičemž výstup druhého děliče dvěma (7) je zapojen na druhý vstup hradla NAND (8) a výstup tohoto hradla NAND (8) je paralelně spojen se třetím vstupem prvního součinného hradla (9) a se třetím vstupem druhého součinného hradla (10) .

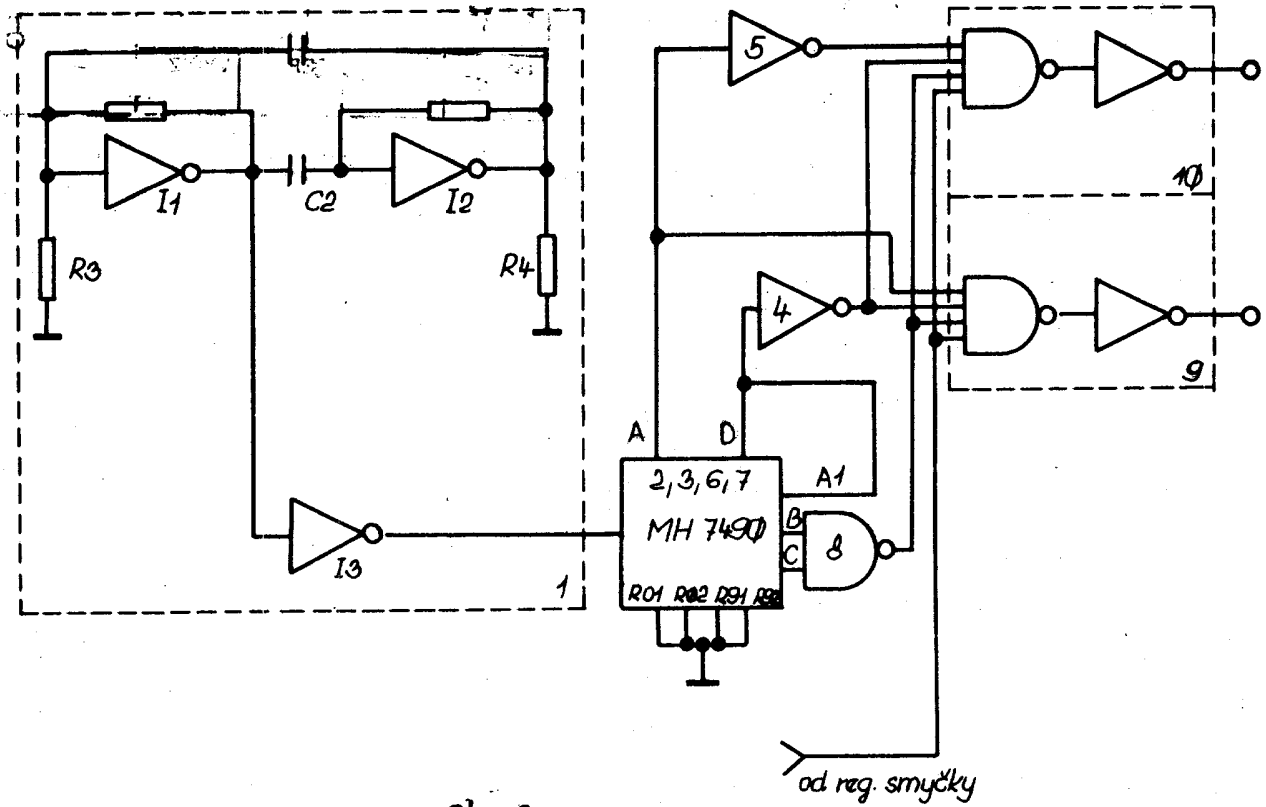
2.výkresy.



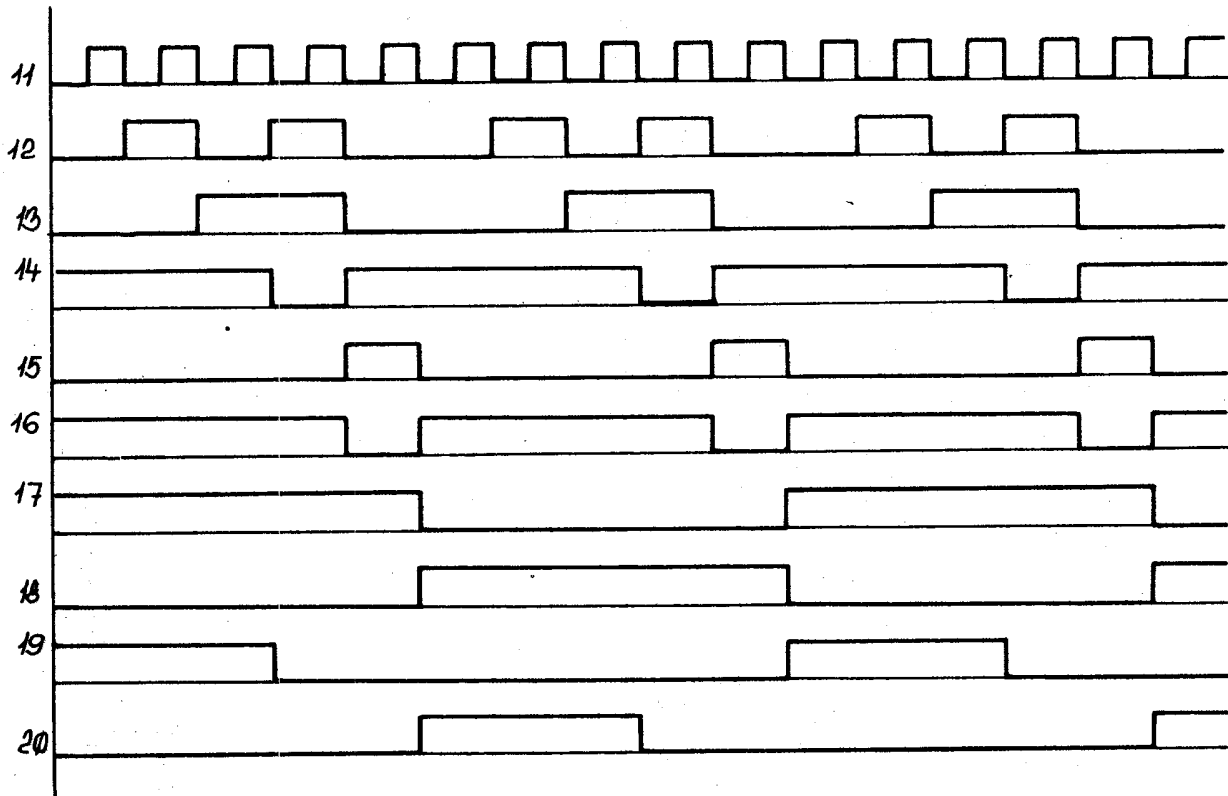
Obr. 1



Obr. 2



Obr. 3



Obr. 4