

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁶
H01L 27/108

(45) 공고일자 2002년03월20일
(11) 등록번호 10 - 0328706
(24) 등록일자 2002년03월04일

(21) 출원번호 10 - 1999 - 0023525
(22) 출원일자 1999년06월22일

(65) 공개번호 특2001 - 0003284
(43) 공개일자 2001년01월15일

(73) 특허권자 주식회사 하이닉스반도체
박종섭
경기 이천시 부발읍 아미리 산136 - 1

(72) 발명자 윤현도
충청북도청주시상당구용암동2089현대아파트1105동1406호

(74) 대리인 강성배

심사관 : 조지은

(54) 반도체장치

요약

본 발명은 반도체장치의 디램 셀에 관한 것으로서, 특히 필드영역의 워드라인 측벽 스페이서를 활성영역까지 확장시켜 형성하고 워드라인을 필드영역 안쪽으로 형성하여 접합누설전류를 감소시켜 디램 셀의 데이터 유지능력을 향상시키도록 한 반도체장치의 디램 셀 구조에 관한 것이다. 본 발명에 따른 반도체장치는 제 1 도전형의 반도체기판과, 상기 반도체기판에 형성되어 활성영역을 한정하는 트렌치 구조의 필드영역과, 상기 반도체기판의 상기 활성영역과 필드영역 상에 게이트절연막을 개재시켜 연장되되 상기 필드영역 상을 지나는 것이 상기 활성영역과 중첩되지 않도록 형성되어 워드라인으로 이용되는 다수 개의 게이트와, 상기 활성영역의 상기 게이트 양측에 상기 필드영역과 이격되게 형성되는 제 2 도전형의 확산영역과, 상기 다수 개의 게이트 측면에 형성된 제 1 및 제 2 측벽스페이서를 갖되 상기 활성영역 상을 지나는 게이트의 측면에 형성된 제 2 측벽스페이스 보다 상기 필드영역 상을 지나는 게이트의 측면에 형성된 제 1 측벽스페이스가 상기 활성영역과 중첩되게 길게 형성되고, 상기 활성영역과 필드영역 상에 상기 게이트를 덮도록 형성된 층간절연층과, 상기 층간절연층을 관통하는 콘택홀 내에 형성되어 상기 불순물 확산영역과 전기적으로 접촉하는 스토리지전극 노드와, 상기 스토리지전극 노드 표면에 형성된 유전막과 플레이트전극으로 이루어진다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 종래 기술에 따라 제조되는 반도체장치의 디램(DRAM) 구조중 스토리지노드 콘택 형성단계에서의 구조를 도시한 단면도

도 2는 본 발명에 따라 제조되는 반도체장치의 디램(DRAM) 구조중 스토리지노드 콘택 형성단계에서의 구조를 도시한 단면도

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체장치에 관한 것으로서, 특히 필드영역의 워드라인 측벽 스페이서를 활성영역까지 확장시켜 형성하고 워드라인을 필드영역 안쪽으로 형성하여 접합누설전류를 감소시켜 디램 셀의 데이터 유지능력을 향상시키도록 한 반도체장치의 디램 셀 구조에 관한 것이다.

메모리(memory)는 기억소자이므로 데이터를 저장할 수 있는 장치와 이곳으로 외부의 데이터를 실어오거나 기억된 데이터를 외부로 실어내는 장치로 대별된다. 데이터를 전달하는 장치를 주변회로라 하며 저장장치를 셀 어레이(cell array)라 부른다. 셀 어레이는 단위기억소자들이 매트릭스(matrix) 형태로 모여있는 집합체이다. 일반적으로 1 비트 단위의 데이터를 저장할 수 있는 단위 기억소자는 데이터의 유지 및 보존장치, 메모리 셀을 선택하여 활성화하는 신호선(워드 라인)과 메모리 셀의 데이터를 입출력할 수 있는 선(비트 라인)을 구비하여야 한다. 이러한 구성요소를 만족시키기 위하여 2-4 개의 트랜지스터를 사용하는 등 여러가지 방법들이 제안되었으나, 소자수, 배선수 및 소요면적이라는 측면에서 우월한 1 개의 모스트랜지스터와 1 개의 캐패시터로 구성된 단위기억소자가 주로 사용된다.

이러한 디램 셀에 필요한 스토리지 노드 및 비트라인 형성 재료로서 공정마진의 증가를 위하여 폴리실리콘 플러그를 사용한다. 이러한 플러그는 콘택 또는 바이어 홀(via hole)을 형성한 다음 여기에 폴리실리콘을 증착한 후 전면 건식각 즉 에치백을 실시하여 형성한다. 폴리실리콘 플러그 형성 후 층간절연층을 형성한 다음, 컵(Capacitor On bit Line) 구조를 형성할 때에는 비트라인을 먼저 형성하고 스토리지 노드를 형성하는 순서로 진행하고, 컵(Capacitor Under Bitline) 구조를 형성할 때에는 스토리지 노드를 먼저 형성하고 비트라인을 형성한 다음 배선공정을 실시하여 디램을 완성한다.

도 1은 종래 기술에 따라 제조되는 반도체장치의 디램(DRAM) 구조중 스토리지노드 콘택 형성단계에서의 구조를 도시한 단면도이다.

도 1을 참조하면, 반도체 기판(10)의 소정부위에 활성영역과 필드영역을 정의하는 소자격리용 트렌치 형태의 필드산화막(11)을 형성한 다음 일반적인 방법으로 복수개의 게이트산화막(12), 게이트(13), 컵절연막인 질화막(14), 측벽 스페이서(16)과 불순물 확산영역인 소스/드레인(15)을 형성한 다음 층간절연층으로 제 1 평탄화층(17)을 소자가 형성된 부위를 포함하는 기판(10) 표면에 형성한다. 기판은 p형, 불순물 확산영역(15)은 n형으로 형성한다.

이때, 게이트(13)는 활성영역과 필드영역에 각각 형성되며 워드라인을 형성한다. 본 도면에서 활성영역과 필드영역에 형성된 게이트는 동일한 형태의 측벽 스페이서(16)를 갖도록 형성된다.

게이트에 소정의 전압이 인가되면, 스토리지노드와 불순물 확산영역(15)의 접합부에는 공핍층이 형성된다. 이러한 공

핍층의 전계에 의하여 소자격리용 필드영역인 필드산화막(11)과 기판(10)의 계면에 존재하는 트랩(trap)을 통하여 필드 인핸스트 이미션 전류(field enhanced emission current) 성분의 접합누설전류가 증가하게 된다. 이러한 필드 인핸스트 이미션 전류는 공핍층 내에 최대 전계의 크기 및 그 위치에 영향을 받는다. 누설전류를 감소시키기 위해서는 최대전계점의 위치가 트렌치 필드산화막(11) 측면으로부터 멀어질수록 유리하다.

따라서, 종래 기술에서는 필드영역상의 측벽 스페이서(16)와 활성영역의 측벽 스페이서를 동일한 형태로 형성하여 그 두께 내지는 길이가 같으므로 최대 전계점의 위치를 트렌치 필드산화막(11)의 측면으로부터 멀리 위치시키기 위하여 필드영역의 게이트(13)를 활성영역의 워드라인 쪽을 이동시켜 형성한다. 따라서, 필드영역의 게이트(13)와 활성영역과의 중첩 길이(d_1)가 길어지게 된다.

그리고, 제 1 평탄화층(17) 위에 포토레지스트를 도포한 다음 노광 및 현상하는 사진공정을 실시하여 캐패시터의 스토리지 노드와 비트라인 콘택이 형성될 부위를 노출시키는 포토레지스트패턴(도시안함)을 정의한다.

포토레지스트패턴으로 보호되지 아니하는 부위의 제 1 평탄화층(17)을 식각하여 측벽 스페이서(16)의 일부 표면 그리고 소자의 활성영역을 이루는 기판(10)의 불순물 확산영역(15) 표면을 노출시키는 콘택홀(H1)을 형성한다. 노출된 부위는 각각 스토리지 노드와 비트라인 콘택이 형성될 부위이다.

이후 도시되지는 않았지만, 콘택홀(H1)에 폴리실리콘 플러그를 형성한다. 이때, 형성된 플러그는 각각 스토리지 전극 노드/비트라인 콘택 플러그/스토리지 전극 노드가 되며, 본 도면의 콘택홀(H1)에는 스토리지전극 노드가 형성된다.

그리고, 폴리실리콘 플러그의 노출된 표면과 잔류한 제 1 평탄화층(17)의 표면에 증간절연층으로 제 2 평탄화층을 형성한 다음 소정 부위를 제거하여 비트라인 콘택 부위의 폴리실리콘 플러그의 표면을 노출시킨다. 그 다음 노출 부위를 포함하는 제 2 평탄화층의 표면에 도핑된 폴리실리콘을 증착한 후 패터닝하여 비트라인을 형성한다.

그리고 비트라인 표면을 포함하는 제 2 평탄화층 표면에 제 3 평탄화층을 형성한 다음, 제 3 평탄화층과 제 2 평탄화층의 소정 부위를 제거하여 스토리지 노드용 폴리실리콘 플러그를 노출시키는 바이어 홀(via hole)을 형성한다. 이러한 바이어 홀을 매립하는 충분한 두께의 도핑된 폴리실리콘층을 제 3 평탄화층 위에 형성한 다음 패터닝하여 스토리지 전극을 형성한다.

이후 도시되지는 아니하였으나, 스토리지전극의 노출된 표면에 유전막을 형성한 다음 그 위에 플레이트전극을 형성하여 캐패시터를 완성하므로써 디램셀을 형성한다.

상술한 종래 기술은 스토리지전극 노드 및 비트라인 콘택을 동시에 형성하였지만, 각각의 콘택을 별도의 공정으로 형성할 수도 있다.

이와 같은 구조의 디램 셀은 기억소자로 사용되는데, 이는 캐패시터의 스토리지 노드에 전하를 충전시켜 데이터를 유지하게 된다. 이때, 셀 트랜지스터는 게이트전극에 인가되는 전압에 따라 온/오프되며 전하를 단속한다.

기억된 데이터의 손실을 방지하려면, 캐패시터의 정전용량에 비하여 셀 트랜지스터의 누설전류 및 스토리지 노드 확산층의 접합 누설전류가 작아야 한다.

그러나, 상술한 종래 기술은 필드영역의 게이트와 활성영역의 중첩길이(d_1)가 길어지기 때문에 필드영역의 게이트 전계에 의하여 중첩된 활성영역에 n -반전층이 형성되어 이로인한 누설전류, 즉, 게이트 인듀스트 드레인 리키지(gate induced drain leakage, GIDL)가 증가하여 디램의 데이터 유지 특성을 열화시킨다. 따라서, 필드영역의 게이트를 활성영역과 중첩되게 형성하는 종래 기술에 의한 디램 구조는 접합누설전류를 감소시켜 데이터 유지특성을 향상시키는데에 한계가 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 접합 공핍층을 트렌치 필드산화막으로부터 거리를 두도록 형성함으로써 전계의 세기를 0으로 만들어 필드 인헨스 이미션에 의한 접합누설전류를 감소시키는 동시에, 필드영역의 게이트 또한 활성영역에 중첩되지 않는 구조를 형성하므로 활성영역을 반전시키는 게이트의 전계가 약화되어 GIDL성분도 크게 감소시키는 우수한 데이터 유지특성을 갖는 디램소자를 제공하는데 있다.

상기 목적을 달성하기 위한 본 발명에 따른 반도체장치는 제 1 도전형의 반도체기판과, 상기 반도체기판에 형성되어 활성영역을 한정하는 트렌치 구조의 필드영역과, 상기 반도체기판의 상기 활성영역과 필드영역 상에 게이트절연막을 개재시켜 연장되도록 상기 필드영역 상을 지나는 것이 상기 활성영역과 중첩되지 않도록 형성되어 워드라인으로 이용되는 다수 개의 게이트와, 상기 활성영역의 상기 게이트 양측에 상기 필드영역과 이격되게 형성되는 제 2 도전형의 확산영역과, 상기 다수 개의 게이트 측면에 형성된 제 1 및 제 2 측벽스페이서를 갖는 상기 활성영역 상을 지나는 게이트의 측면에 형성된 제 2 측벽스페이서 보다 상기 필드영역 상을 지나는 게이트의 측면에 형성된 제 1 측벽스페이서가 상기 활성영역과 중첩되게 길게 형성되고, 상기 활성영역과 필드영역 상에 상기 게이트를 덮도록 형성된 층간절연층과, 상기 층간절연층을 관통하는 콘택홀 내에 형성되어 상기 불순물 확산영역과 전기적으로 접촉하는 스토리지전극 노드와, 상기 스토리지전극 노드 표면에 형성된 유전막과 플레이트전극으로 이루어진다.

발명의 구성 및 작용

본 발명에서는 필드영역 게이트의 측벽 스페이서를 활성영역 워드라인 쪽으로 연장되도록 형성하여 활성영역 워드라인의 측벽 스페이서보다 길게 형성하며, 필드영역의 게이트는 활성영역과 중첩되지 않고 활성영역과의 경계면에서 필드영역쪽으로 소정의 거리를 두고 이격되도록 형성된다.

본 발명에서는 필드영역의 게이트와 활성영역의 워드라인 게이트 중간지점에서 활성영역방향으로 치우치도록 스토리지 노드 콘택을 형성하며 또한, 이러한 콘택부위의 식각시 측벽 스페이서 형성을 위한 절연층을 이방성식각하여 필드영역의 측벽 스페이서를 활성영역 방향으로 연장되도록 형성한다.

본 발명의 확산접합층은 스토리지노드 콘택용 콘택홀 형성 후 이온주입 및 확산공정으로 형성되는데, 이러한 이온주입 시 활성영역 방향으로 연장된 측벽 스페이서가 마스크 역할을 하여 접합공핍층이 트렌치 필드산화막으로부터 소정거리 이격되어 형성된다.

이하, 첨부한 도면을 참조하여 본 발명을 상세히 설명한다.

도 2는 본 발명에 따라 제조되는 반도체장치의 디램(DRAM) 구조중 스토리지노드 콘택 형성단계에서의 구조를 도시한 단면도이다. 본 발명에 따른 디램 셀 구조는 도면에 도시된 단계 이후, 비트라인 콘택과 스토리지 노드 콘택을 완성한 다음 소정의 층간절연층과 비트라인 및 유전막, 플레이트전극을 더 포함하여 구성된다.

도 2를 참조하면, 반도체 기판(20)의 소정부위에 활성영역과 필드영역을 정의하는 소자격리용 트렌치 형태의 필드산화막(21)을 형성한 다음 활성영역과 필드영역에 복수개의 게이트산화막(22), 게이트(23), 캡절연막인 질화막(24), 측벽스페이서(26,260)과 불순물 확산영역인 소스/드레인(25)을 형성한 다음 층간절연층으로 제 1 평탄화층(27)을 소자가 형성된 부위를 포함하는 기판(20) 표면에 형성한다. 이때, 기판은 p형, 불순물 확산영역(25)은 n형으로 형성한다.

게이트(23)는 활성영역과 필드영역에 각각 형성되며 워드라인을 형성한다. 본 도면에서 활성영역과 필드영역에 형성된 게이트는 동일한 형태의 측벽 스페이서(16)를 갖도록 형성된다.

게이트에 소정의 전압이 인가되면, 불순물 확산영역(25) 일부와 인접하는 기판부위에 공핍층이 형성된다. 이러한 공핍층의 전계에 의하여 소자격리용 필드영역인 필드산화막(21)과 기판(20)의 계면에 존재하는 트랩(trap)을 통하여 필드

인헨스트 이미션 전류(field enhanced emission current) 성분의 접합누설전류가 증가하게 된다. 이러한 필드 인헨스트 이미션 전류는 공핍층 내에 최대 전계의 크기 및 그 위치에 영향을 받는다. 누설전류를 감소시키기 위해서는 최대전계점의 위치가 트렌치 필드산화막(21) 측면으로부터 멀어질수록 유리하다.

따라서, 본 발명에서는 스토리지 노드 콘택용 콘택홀에 의해 노출된 활성영역의 측벽 스페이서(260) 보다 필드영역의 측벽 스페이서(26)가 길게 형성되어 앞서 설명한 확산접합층이 필드산화막(21)으로부터 이격되어 형성된다. 그러므로, 트렌치 필드산화막(21) 측면으로부터 떨어진 위치에 접합 공핍층이 형성되기 때문에 필드산화막(21) 측면에서의 전계의 세기가 0으로 되어 필드 인헨스 이미션에 의한 접합 누설전류가 감소된다.

또한, 필드영역의 게이트(23)를 활성영역과 중첩되지 않도록 필드영역내에 위치하도록 필드영역과 활성영역의 경계로부터 소정거리(d2)를 두어 형성하였으므로 활성영역의 불순물 확산영역을 반전시키는 필드영역 게이트의 전계가 약화되어 GIDL(gate induced drain leakage) 성분도 크게 감소한다.

그리고, 제 1 평탄화층(27) 위에 포토레지스트를 도포한 다음 노광 및 현상하는 사진공정을 실시하여 캐패시터의 스토리지 노드와 비트라인 콘택이 형성될 부위를 노출시키는 포토레지스트패턴(도시안함)을 정의한다.

포토레지스트패턴으로 보호되지 아니하는 부위의 제 1 평탄화층(27)을 식각하여 활성영역 게이트의 캡절연막(24) 일부, 측벽 스페이서(260)의 일부 표면 그리고 소자의 활성영역을 이루는 기판(20)의 불순물 확산영역(25) 표면을 노출시키는 콘택홀(H2)을 형성한다. 노출된 부위는 각각 스토리지 노드와 비트라인 콘택이 형성될 부위이다.

이후 도식되지는 않았지만, 콘택홀(H2)에 폴리실리콘 플러그를 형성한다. 이때, 형성된 플러그는 각각 스토리지 전극 노드/비트라인 콘택 플러그/스토리지 전극 노드가 되며, 본 도면의 콘택홀(H2)에는 스토리지전극 노드가 형성된다.

그리고, 폴리실리콘 플러그의 노출된 표면과 잔류한 제 1 평탄화층(27)의 표면에 층간절연층으로 제 2 평탄화층을 형성한 다음 소정 부위를 제거하여 비트라인 콘택 부위의 폴리실리콘 플러그의 표면을 노출시킨다. 그 다음 노출 부위를 포함하는 제 2 평탄화층의 표면에 도핑된 폴리실리콘을 증착한 후 패터닝하여 비트라인을 형성한다.

그리고 비트라인 표면을 포함하는 제 2 평탄화층 표면에 제 3 평탄화층을 형성한 다음, 제 3 평탄화층과 제 2 평탄화층의 소정 부위를 제거하여 스토리지 노드용 폴리실리콘 플러그를 노출시키는 바이어 홀(via hole)을 형성한다. 이러한 바이어 홀을 매립하는 충분한 두께의 도핑된 폴리실리콘층을 제 3 평탄화층 위에 형성한 다음 패터닝하여 스토리지 전극을 형성한다.

이후 도식되지는 아니하였으나, 스토리지전극의 노출된 표면에 유전막을 형성한 다음 그 위에 플레이트전극을 형성하여 캐패시터를 완성하므로써 디램셀을 형성한다.

발명의 효과

따라서, 본 발명에서 트렌치 필드산화막 측면으로부터 떨어진 위치에 접합 공핍층이 형성되기 때문에 필드산화막 측면에서의 전계의 세기가 0으로 되어 필드 인헨스 이미션에 의한 접합 누설전류가 감소된다. 또한, 필드영역의 게이트를 활성영역과 중첩되지 않도록 필드영역내에 위치하도록 필드영역과 활성영역의 경계로부터 소정거리를 두어 형성하였으므로 활성영역의 불순물 확산영역을 반전시키는 필드영역 게이트의 전계가 약화되어 GIDL(gate induced drain leakage) 성분도 크게 감소한다. 이와 같이, 본 발명은 디램의 데이터 유지특성을 열화시키는 두가지 누설전류 성분을 동시에 감소시키므로 매우 우수한 데이터 유지특성을 가진 디램소자를 제공하는 장점이 있다.

(57) 청구의 범위

청구항 1.

제 1 도전형의 반도체기판과,

상기 반도체기판에 형성되어 활성영역을 한정하는 트렌치 구조의 필드영역과,

상기 반도체기판의 상기 활성영역과 필드영역 상에 게이트절연막을 개재시켜 연장되되 상기 필드영역 상을 지나는 것이 상기 활성영역과 중첩되지 않도록 형성되어 워드라인으로 이용되는 다수 개의 게이트와,

상기 활성영역의 상기 게이트 양측에 상기 필드영역과 이격되게 형성되는 제 2 도전형의 확산영역과,

상기 다수 개의 게이트 측면에 형성된 제 1 및 제 2 측벽스페이서를 갖되 상기 활성영역 상을 지나는 게이트의 측면에 형성된 제 2 측벽스페이서 보다 상기 필드영역 상을 지나는 게이트의 측면에 형성된 제 1 측벽스페이서가 상기 활성영역과 중첩되게 길게 형성되고,

상기 활성영역과 필드영역 상에 상기 게이트를 덮도록 형성된 층간절연층과,

상기 층간절연층을 관통하는 콘택홀 내에 형성되어 상기 불순물 확산영역과 전기적으로 접촉하는 스토리지전극 노드와,

상기 스토리지전극 노드 표면에 형성된 유전막과 플레이트전극으로 이루어진 반도체장치.

청구항 2.

청구항 1에 있어서, 상기 제 1 측벽스페이서는 상기 스토리지전극 노드 콘택을 형성하기 위한 콘택홀 형성시 함께 형성되는 것이 특징인 반도체장치.

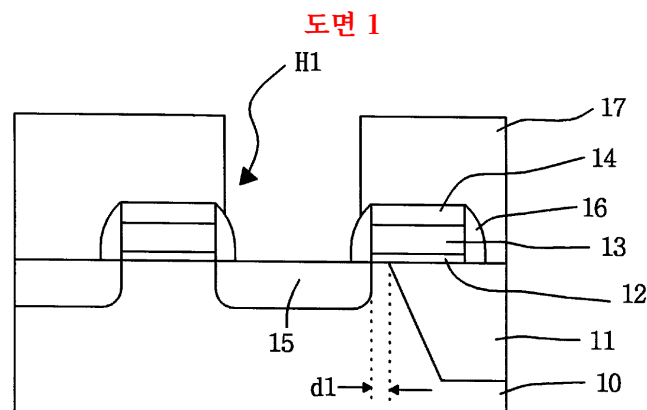
청구항 3.

청구항 1에 있어서, 상기 반도체장치는 상기 활성영역의 소정 부위와 전기적으로 접촉하는 비트라인을 더 포함하는 디램 메모리 셀 인 것이 특징인 반도체장치.

청구항 4.

청구항 1에 있어서, 상기 층간절연층은 평탄화층인 것이 특징인 반도체장치.

도면



도면 2

