

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 4 区分
 【発行日】平成22年3月18日 (2010.3.18)

【公表番号】特表2009-524176(P2009-524176A)
 【公表日】平成21年6月25日 (2009.6.25)
 【年通号数】公開・登録公報2009-025
 【出願番号】特願2008-551451(P2008-551451)
 【国際特許分類】

G 1 1 C 16/06 (2006.01)

G 0 6 F 12/16 (2006.01)

【F I】

G 1 1 C 17/00 6 3 9 C

G 0 6 F 12/16 3 2 0 G

【手続補正書】
 【提出日】平成22年2月1日 (2010.2.1)
 【手続補正 1】
 【補正対象書類名】明細書
 【補正対象項目名】0 0 0 8
 【補正方法】変更
 【補正の内容】
 【0 0 0 8】

固体不揮発性メモリの密度を大きくするために用いられる技術は上記以外に、1メモリセルに2ビット以上を記憶する方法、つまり、多重レベルメモリセル技術が挙げられる。任意のメモリセルに電荷が格納されているかどうかを感知する（つまり、2進法セル）ではなく、多重レベルメモリでは、容量性ストレージセルに格納されている電荷量を感知するセンス増幅器を利用する。2進数よりも大きい単位、例えば、4レベル（セル当たり2ビット）、8レベル（セル当たり3ビット）、16レベル（セル当たり4ビット）等の単位に情報を量子化し、このような多重レベルの単位で格納することによって、メモリを高密度化することができる。例えば、4つの異なるしきい値レベルを生成するべくセルがプログラミングされると、4つの異なる読み出しレベルが実現される。1セルにつき4レベル信号が提供される場合、固体不揮発性メモリの各セルには2つのデータビットを符号化し得る。多重レベルメモリ技術により、各メモリセルが2つ以上のビットを格納することができるので、メモリセルの数を増やすことなく、より高密度のメモリを製造することが可能となる。例示のみを目的として説明すると、1セル当たり2ビットを格納できるメモリセルであれば、3つのプログラミング状態と1つの消去状態とが実現され得る。図1は、4レベルで量子化を行う固体不揮発性メモリのセルについて、電圧の関数として確率分布関数（PDF）を示す簡略図である。図1に示したメモリセルによると、4つのプログラミング状態が利用されている。同図に示すように、固体不揮発性メモリによっては、プログラミング特性のPDFにおいて、より低い電圧レベルにおいてより広い分布が見られる。

なお、本出願に対応する外国の特許出願においては下記の文献が発見または提出されている。

【特許文献 1】米国特許出願公開第 2 0 0 1 / 0 0 2 5 3 5 8 号明細書
 【特許文献 2】米国特許出願公開第 2 0 0 2 / 0 0 3 8 4 4 0 号明細書
 【特許文献 3】米国特許出願公開第 2 0 0 4 / 0 0 4 2 2 9 4 号明細書
 【特許文献 4】米国特許出願公開第 2 0 0 2 / 0 0 3 8 4 4 0 号明細書
 【特許文献 5】米国特許出願公開第 2 0 0 1 / 0 0 2 5 3 5 8 号明細書
 【特許文献 6】米国特許出願公開第 2 0 0 4 / 0 0 4 2 2 9 4 号明細書

【特許文献 7】米国特許第 6 2 7 9 1 3 3 号明細書

【非特許文献 1】Supplementary European Search Report mailed June 29, 2009, for International Application No. PCT/US2007001620

【非特許文献 2】Examination Report mailed September 28, 2009, for European Patent Application No. 07718319.2

【非特許文献 3】Examination Report mailed September 28, 2009, for European Patent Application No. 07718293.9