發明專利說明書 200422846

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：92121151

※ 申請日期：92.8.1　　※IPC 分類：G06F13/38

壹、發明名稱：(中文/英文)

控制信號匯流排上通信之系統及方法

SYSTEM AND METHOD FOR CONTROLLING COMMUNICATION ON A SIGNAL BUS

貳、申 請 人：(共 1 人)

姓名或名稱：(中文/英文)

美商 ESS 科技公司

ESS TECHNOLOGY, INC.

代表人：(中文/英文)

保羅 西利曼

PAUL SILLIMAN

住居所或營業所地址：(中文/英文)

美國加州富雷蒙市富雷蒙大道 48401 號

48401 FREMONT BLVD., FREMONT, CA 94538, U.S.A.

國　籍：(中文/英文)

美國　U.S.A.

參、發明人：(共 3 人)

姓　名：(中文/英文)

1.陳銘康

MING HONG CHAN

2.黃以琳

ELIM HUANG

3.何國富

ANDY HO

住居所地址：(中文/英文)

1.美國加州聖荷西市麗晶道 1298 號

1298 REGENCY DRIVE, SAN JOSE, CA 95129, U.S.A.

2.美國加州古伯提諾市維亞卡米諾廣場 22195 號

22195 VIA CAMINO CT., CUPERTINO CA 95104, U.S.A.

3.香港太古汕區鴻星大樓 281F 號 H 室

FLAT. H, 281F, HONG SING MANSION, TAIKOASHING, HONG KONG

國　籍：(中文/英文)

1.澳大利亞　AUSTRALIA

2.美國　U.S.A.

3.香港　HONG KONG

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為： 年 月 日。

☑ **本案申請前已向下列國家(地區)申請專利：**

1.美國 2002 年 08 月 03 日 60/400,804

2.美國 2003 年 03 月 18 日 10/391,653

3.

4.

5.

☑ **主張國際優先權(專利法第二十四條)：**

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1.美國 2002 年 08 月 03 日 60/400,840

2.美國 2003 年 03 月 18 日 10/391,653

3.

4.

5.

☐ **主張國內優先權(專利法第二十五條之一)：**

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ **主張專利法第二十六條微生物：**

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【相關引用參照案】

本申請案主張2002年8月3日申請之序號為60/400,804之美國臨時申請案之優先權。

【發明所屬之技術領域】

本發明係關於一種用於控制在一信號匯流排中通信之方法和系統。詳言之，本發明係關於一種控制處理器與一記憶體經由一信號匯流排通信之方法與系統。

【先前技術】

現代電子裝置通常包括兩個或更多處理器，每一處理器都具有半永久性資料，例如可於系統啟動時被存取之軟體程式碼，因此其必須被儲存於非揮發性記憶體中。根據其功能和組態之不同，處理器可需要不同數量之非揮發性記憶體以儲存資料。在一實例中，一泛用型處理器可要求在非揮發性記憶體中儲存大量資料，而其他處理器，例如某些專用處理器，可只要求儲存較少量資料。為減少成本和組件，可共用一單一較大之非揮發性記憶體，為每一處理器儲存資料。

在一系統中之某些處理器可能不要求連續存取資料。例如，某些處理器可能要求在起始化時存取資料，或者在操作期間間歇存取資料。能夠從隨機存取記憶體(RAM)中執行指令之處理器可從一非揮發性記憶體(例如，唯讀記憶體(ROM))中獲取資料，並將該資料儲存於RAM中，從而減少或排除在操作期間存取ROM之需求。

該等處理器可經由一根或多根所謂"匯流排"之信號線與該非揮發性記憶體連接，該匯流排可包括用於在該等處理器與該記憶體之間傳輸位址、資料和控制資訊之信號線。由於實體限制，在某一時間僅能有一個組件，例如一處理器或記憶體，可在一信號線中傳輸資料。由於為一系統中每一處理器提供一單獨之記憶體及匯流排效率較低且成本較高，所以需要提供其處理器可共享一匯流排之系統。可藉由採用許多複雜計時及中斷方案來實現匯流排之共享，每種方案具有其本身之諸多困難和缺陷。

匯流排共享可藉由採用三態技術得以實現。三態係一數位電子組件(例如一處理器)之一特徵，其允許一連接器插腳具有以下三種組態之一：邏輯低(0伏)，邏輯高(典型為+5伏)，或高阻抗(開路)。

三態允許一個或多個組件以高阻抗狀態連接到一信號線，而其他處於一有效狀態之組件驅動一電壓(例如對應於一邏輯"1"或一"0")到該信號線。該連接器插腳在置於一高阻抗狀態下時表現為一開路，並且不會受到其他驅動信號到該信號線之組件輸出之損壞。當該連接器插腳不處於一高阻抗狀態時(也稱為一"有效" (active)狀態)，則該連接器插腳不再表現為一開路，且可驅動一信號(例如0或+5伏)至該信號線。

雖然三態允許多個組件連接到一匯流排，但還需要解決一更困難之問題，即控制該等組件經由該匯流排通信之順序與方式。因此，需要一堅固耐用、低成本系統來控制多

個組件經由一匯流排之通信。

【發明內容】

本發明係關於一種用於控制在一連接一第一處理器、一第二處理器以及一裝置之匯流排上通信之方法，其包括經由一控制信號線將一第一控制信號從該第一處理器傳輸到該第二處理器，致使該第二處理器之一匯流排連接進入一高阻抗狀態，經由該匯流排在該裝置和該第一處理器之間傳輸資料，然後將該第一處理器之一匯流排連接設定為該高阻抗狀態，並經由該控制信號線將一第二控制信號從該第一處理器傳輸到該第二處理器，致使該第二處理器之該匯流排連接退出該高阻抗狀態。

【實施方式】

參照以下詳細描述，結合附圖，將更加理解本發明及其許多伴隨而來之優勢，且易於獲得其更完整之瞭解。

在描述於該等附圖中解說之本發明之一較佳實施例中，為明確起見，採用特殊術語。本發明非有意侷限於該所選之特殊術語，且應瞭解到每一具體元件包括以相似方式操作之所有技術等同物。

圖1顯示能夠實行本發明之系統和方法之一系統。如圖1所示，一主處理器10包括一中央處理單元(CPU)12，以及晶載(on-chip)RAM 14，其例如可為SRAM或SDRAM。在本發明之該系統和方法之另一方面，RAM 14可位於該主處理器10之外部，並例如可經由附加之連接器插腳20進行存取。

該主處理器10還包括連接到一匯流排60之連接器插腳

16，以及連接到電源與其他匯流排和裝置之附加連接器插腳20。該主處理器10之一輔助插腳18經由一信號線30連接到該伺服控制處理器(Servo Control Processor，SCP)40之一重設(Reset)插腳48。在本發明之該系統和方法之一方面，該主處理器10還可包括一bootROM以儲存資料。

該主處理器10可以為一泛用型處理器，並可具有附加之功能，例如處理使用者輸入、控制一顯示器或資料編碼/解碼。該SCP 40可為一泛用型處理器，或可為一用於連接並控制伺服裝置之處理器，例如一媒體播放器之載入機制，如一CD或DVD裝置。在本發明之該系統和方法之一方面，該主處理器10和SCP 40可為一單一積體電路晶片上之模組。熟習此項技術者可理解，本發明之該系統和方法不必限制於一特殊功能或組態之處理器。

該SCP 40包括一CPU 42、連接到該匯流排60之連接器插腳46以及用於連接到電源與其他匯流排和裝置之附加連接器插腳50。該SCP 40還可包括用於儲存資料之晶載RAM 44。在本發明之該系統和方法之另一方面，RAM 44可位於該SCP 40之外部，並可經由例如附加之連接器插腳50進行存取。

該主處理器10與SCP 40皆能夠進行三態連接器插腳操作。例如，該主處理器10控制連接器插腳16之該高阻抗狀態，並且當該SCP 40係處於一重設狀態時，該SCP 40可將連接器插腳46置於一高阻抗狀態。

該ROM 70包括連接到該匯流排60之連接器插腳72，並可

為諸多ROM類型之一種，例如EEPROM或FlashROM。在本發明之該系統之另一方面，其他類型記憶體，例如一硬碟裝置或一隨機存取記憶體(RAM)可替代ROM 70使用。

圖2顯示根據本發明之該系統和方法之一流程圖。例如當起始化或系統啟動時，可進行顯示如圖2之該等步驟。在步驟S100中，該主處理器10經由該信號線30從輔助(Auxiliary)插腳18向該SCP 40之重設(Reset)插腳48傳送一重設信號。當對該主處理器10供電時，來自該主處理器10之該重設信號傳輸可自動產生，或者當執行一預定指令時，例如按如下所示對該ROM再程式化時，可發生該重設信號傳輸。

該重設信號例如可為一邏輯高信號。在接收到該重設信號後，該SCP 40進入一重設狀態，致使連接到該匯流排60之該連接器插腳46進入一高阻抗狀態。該SCP 40保持重設狀態直到在步驟S112中傳送一釋放信號。

在步驟S104中，該主處理器10對該ROM 70存取。在此步驟中，該主處理器可接收資料，例如指令碼，其可儲存在RAM 14或者連接到附加連接器插腳20之外部RAM中。

在步驟S108中，該主處理器10完成對該ROM 70之存取，並將該連接到該匯流排60之連接器插腳16置於一高阻抗狀態。當連接器插腳16處於高阻抗狀態時，該主處理器可與其他組件和匯流排通信。與該SCP 40相反，當連接器插腳16處於高阻抗狀態時，該主處理器10不處於重設狀態，並繼續運作或者執行指令。

在此點，該SCP連接器插腳46和主處理器連接器插腳16都

處於高阻抗狀態，該SCP 40處於重設狀態，且該主處理器10不處於重設狀態。

在步驟S112中，該主處理器10從該輔助(Auxiliary)插腳18向該SCP 40之該重設(Reset)插腳48傳送一釋放信號。例如，如果該重設信號表示為一邏輯"高"或"1"信號，則該釋放信號可為一邏輯"低"或"0"信號。當不再處於重設狀態時，該SCP 40可對該匯流排60存取。

在步驟S116中，該SCP 40存取該ROM 70，並可獲取資料，例如指令碼，該指令碼可被直接執行，或者被儲存於RAM 44中。

ROM再程式化

在本發明之該系統之另一方面，當該ROM 70係一可寫入類型ROM(例如FlashROM)時，可將儲存於媒體中，例如一碟片(其插入一媒體播放器)之資料寫入該ROM 70。可從一插入至該單元之CD中讀出資料，並將資料載入在該主處理器10中之RAM 14。在此點，該過程可按類似於圖2中所示方式進行。在步驟S100中，經由該信號線30，該主處理器10從輔助(Auxiliary)插腳18向該SCP 40之該重設(Reset)插腳48傳送該重設信號。在此點，如果該主處理器連接器插腳16係處於高阻抗狀態，則該主處理器使它們回復至一有效狀態。

在步驟S104中，經由該匯流排60，該主處理器10將該更新資料從RAM 14傳輸到其所儲存之該ROM 70中。在步驟S108中，當該傳輸結束時，該主處理器10將連接到該匯流

排60之連接器插腳16置於高阻抗狀態。在步驟S112中，該主處理器將一釋放信號傳送到該SCP 40之該重設(Reset)插腳48，且在步驟S116中，該SCP 40可存取該ROM 70。

鑒於以上說明，有可能實現對本發明之諸多其他修訂及改變。因此應理解，在所附申請專利範圍內，本發明可不按此處所描述之具體方式實行。

【圖式簡單說明】

圖1顯示根據本發明一實施例之能夠實行控制通信方法之一系統。

圖2顯示根據本發明一實施例之一控制通信方法之流程圖。

【圖式代表符號說明】

10　主處理器

12　中央處理單元(CPU)

14　隨機存取記憶體(RAM)

16　連接器插腳

18　輔助(Auxiliary)插腳

20　附加連接器插腳

30　信號線

40　伺服控制處理器(SCP)

42　中央處理單元(CPU)

44　隨機存取記憶體(RAM)

46　連接器插腳

48　重設(Reset)插腳

50 附加連接器插腳

60 匯流排

70 唯讀記憶體(ROM)

72 連接器插腳

伍、中文發明摘要：

一種用於控制在一連接一第一處理器、一第二處理器以及一裝置之匯流排上通信之方法。該方法經由一控制信號線將一第一控制信號從該第一處理器傳輸到該第二處理器，致使該第二處理器之一匯流排連接進入一高阻抗狀態，經由該匯流排在該裝置和該第一處理器之間傳送資料，然後將該第一處理器之一匯流排連接設定為該高阻抗狀態，並經由該控制信號線將一第二控制信號從該第一處理器傳輸到該第二處理器，致使該第二處理器之該匯流排連接退出該高阻抗狀態。

陸、英文發明摘要：

A method for controlling communication on a bus connecting a first processor, a second processor, and a device. The method transmits a first control signal from the first processor to the second processor via a control signal line, causing a bus connection of the second processor to enter a high-impedance state, transfers data between the device and the first processor via the bus, then setting a bus connection of the first processor to the high-impedance state, and transmits a second control signal from the first processor to the second processor via the control signal line, causing the bus connection of the second processor to exit the high-impedance state.

拾、申請專利範圍：

1. 一種用於控制在一連接一第一處理器、一第二處理器和一裝置之匯流排中通信之方法，其包括：

經由一控制信號線，從該第一處理器傳輸一第一控制信號至該第二處理器，致使該第二處理器之一匯流排連接進入一高阻抗狀態；

經由該匯流排，在該裝置和該第一處理器之間傳送資料，然後將該第一處理器之一匯流排連接設定為該高阻抗狀態；以及

經由該控制信號線，從該第一處理器傳輸一第二控制信號至該第二處理器，致使該第二處理器之該匯流排連接退出該高阻抗狀態。

2. 如申請專利範圍第1項之方法，其中該裝置係一記憶體。

3. 如申請專利範圍第1項之方法，其中該第一處理器具有一記憶體以儲存自該裝置傳輸之資料。

4. 如申請專利範圍第1項之方法，其中該傳輸一第一控制信號之步驟發生於當對該第一處理器供電時。

5. 如申請專利範圍第1項之方法，其中該傳輸一第一控制信號之步驟發生於當該第一處理器執行一指令時。

6. 如申請專利範圍第1項之方法，其中該第一處理器具有一至一附加匯流排之一附加匯流排連接，該附加匯流排具有一不受到該匯流排連接控制之一阻抗。

7. 如申請專利範圍第1項之方法，其中該第二處理器具有一重設插腳，以用於接收該第一控制信號和該第二控制信

號，且該高阻抗狀態係一重設狀態。

8. 如申請專利範圍第1項之方法，其進一步包括：

在傳輸一第二控制信號之該步驟後，在該裝置和該第二處理器之間經由該匯流排傳送資料。

9. 一種用於控制在一匯流排上通信之系統，其包括：

一經由一第一匯流排連接而連接到該匯流排之一第一處理器，該第一匯流排連接具有一受控阻抗，該第一處理器具有一輔助連接以經由一重設信號線傳輸一重設信號。

一經由一第二匯流排連接而連接到該匯流排之一第二處理器，該第二處理器也具有一重設插腳，該第二匯流排連接具有一阻抗，可藉由該重設插腳所接收之該重設信號來控制該阻抗。

拾壹、圖式：

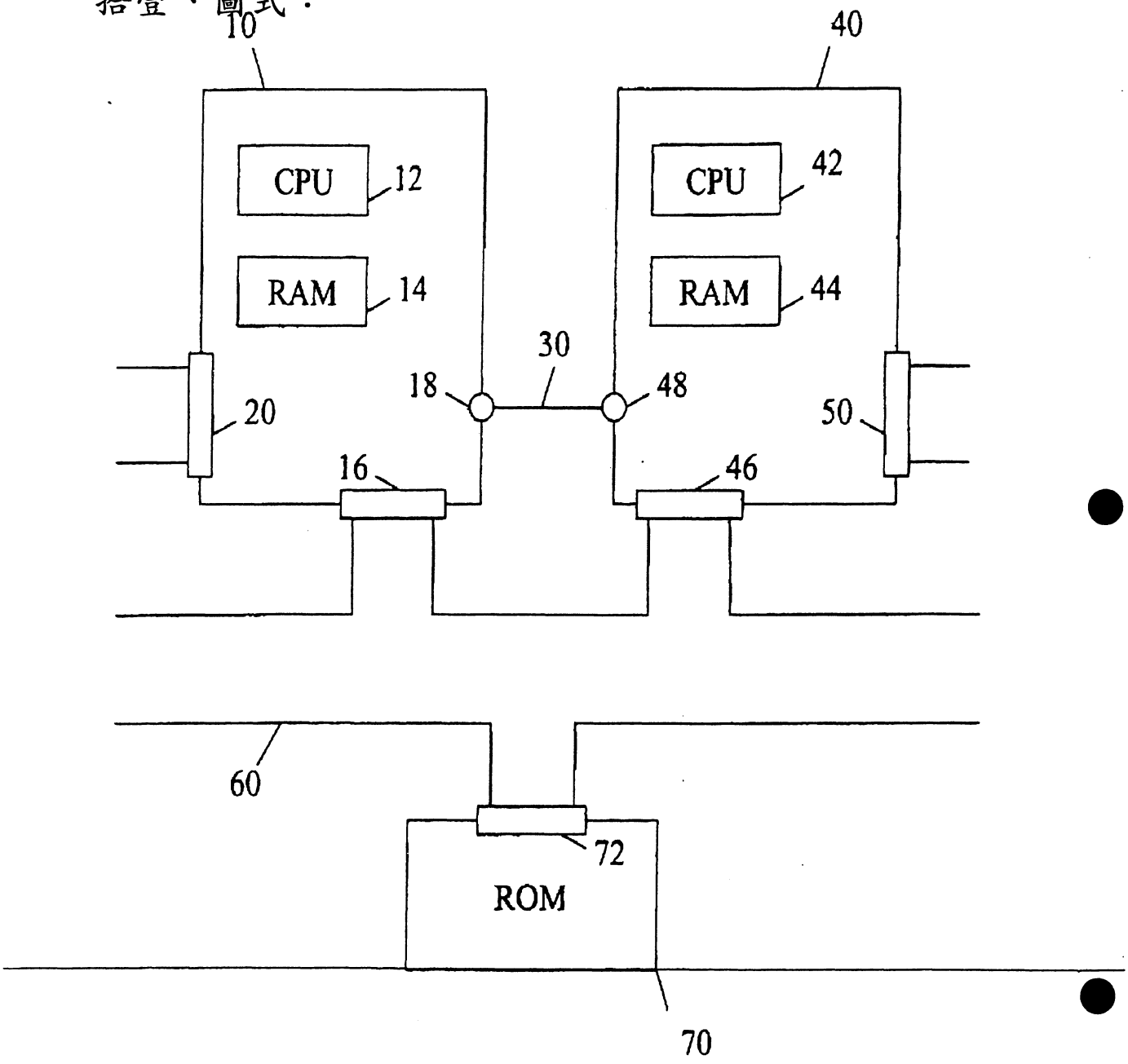


圖 1

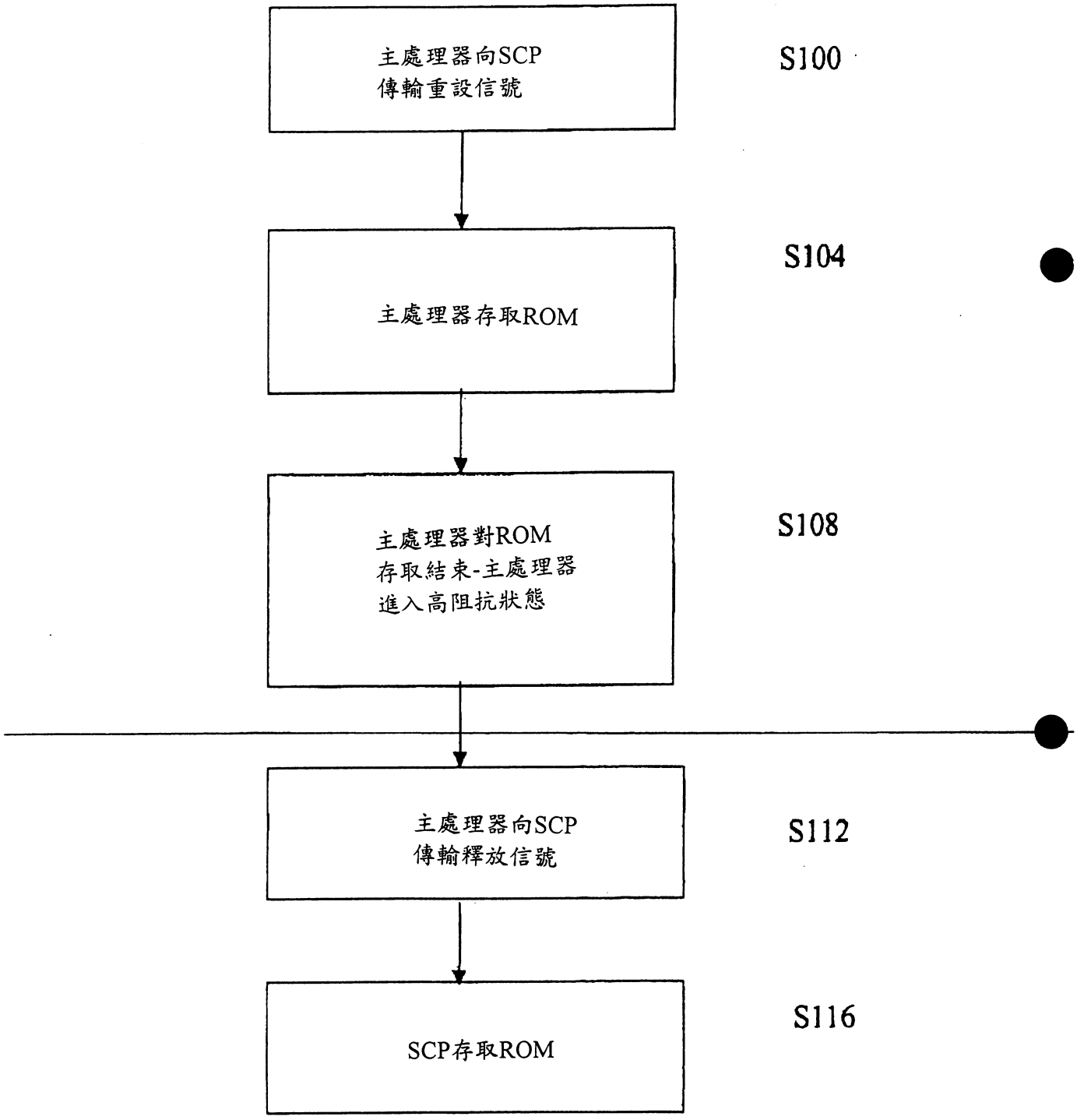

主處理器向SCP
傳輸重設信號
S100
主處理器存取ROM
S104
主處理器對ROM
存取結束-主處理器
進入高阻抗狀態
S108
主處理器向SCP
傳輸釋放信號
S112
SCP存取ROM
S116

圖 2

柒、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件代表符號簡單說明：

10 主處理器

12 中央處理單元(CPU)

14 隨機存取記憶體(RAM)

16 連接器插腳

18 輔助(Auxiliary)插腳

20 附加連接器插腳

30 信號線

40 伺服控制處理器(SCP)

42 中央處理單元(CPU)

44 隨機存取記憶體(RAM)

46 連接器插腳

48 重設(Reset)插腳

50 附加連接器插腳

60 匯流排

70 唯讀記憶體(ROM)

72 連接器插腳

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：