

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 12 月 4 日 (04.12.2014)



(10) 国际公布号
WO 2014/190733 A1

(51) 国际专利分类号:
G02F 1/1343 (2006.01)

(21) 国际申请号: PCT/CN2013/089596

(22) 国际申请日: 2013 年 12 月 16 日 (16.12.2013)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201310211125.4 2013 年 5 月 30 日 (30.05.2013) CN

(71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。

(72) 发明人: 崔承镇 (CHOI, Seungjin); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 金熙哲 (KIM, Heecheol); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 宋泳锡 (SONG, Youngsuk); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 刘圣烈 (YOO, Seongyeol); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市朝阳区北辰东路 8 号汇宾大厦 A0601, Beijing 100101 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREFOR, AND DISPLAY DEVICE

(54) 发明名称: 阵列基板及其制作方法、显示装置

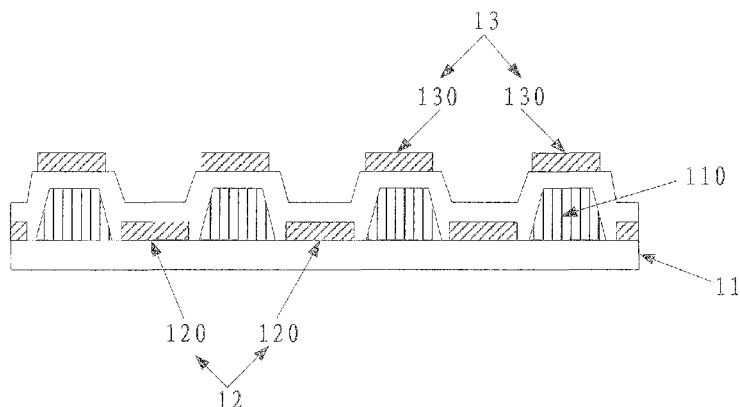


图 2 / FIG.2

(57) Abstract: An array substrate comprising multiple gate lines, multiple data lines, and multiple pixel areas defined by intersections of the multiple gate lines and the multiple data lines, where each pixel area comprises a thin-film transistor, also comprising: a base substrate (11); one or more protrusions (110) arranged at intervals on the base substrate (11); a first electrode layer (12), where the first electrode layer (12) comprises at least one first electrode strip (120), the first electrode strip (120) is arranged in the interval of adjacent protrusions (110); and, a second electrode layer (13), where the second electrode layer (13) comprises at least one second electrode strip (130), and the second electrode strip (130) is arranged above the protrusions (110). Also disclosed are a manufacturing method for the array substrate and a display device.

(57) 摘要:

[见续页]



WO 2014/190733 A1



本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种阵列基板，包括多个栅线、多个数据线以及多个栅线和多个数据线交叉限定的多个像素区域，每一个像素区域包括薄膜晶体管，还包括：衬底基板（11）；间隔设置在衬底基板（11）上的一个以上凸起物（110）；第一电极层（12），第一电极层（12）包括至少一个第一电极条（120），第一电极条（120）设置在相邻凸起物（110）的间隙中；第二电极层（13），第二电极层（13）包括至少一个第二电极条（130），第二电极条（130）设置在凸起物（110）上方。还披露了阵列基板的制作方法、显示装置。

阵列基板及其制作方法、显示装置

技术领域

本发明实施例涉及液晶显示器领域，尤其涉及一种阵列基板及其制作方法、显示装置。

背景技术

现有技术中常见的液晶显示装置主要有 AD-SDS (Advanced-Super Dimensional Switching, 简称为 ADS, 高级超维场开关) 型、IPS (In Plane Switch, 横向电场效应) 型以及 TN (Twist Nematic, 扭曲向列) 型。其中, ADS 型显示装置通过同一平面内像素电极边缘所产生的平行电场以及像素电极层与公共电极层间产生的纵向电场形成多维电场, 使液晶盒内像素电极间、电极正上方所有取向液晶分子都能够产生旋转。

现有的 ADS 型显示装置中由于像素电极和公共电极的重叠面积大且间距小, 从而导致存储电容 C_{st} 非常大, 因此在设计时会受到很多限制。目前为了解决 C_{st} 过大的问题, 通常都采取像素电极和公共电极交错排列的方式, 但一般情况下, 由于像素电极和公共电极仅依靠掩模板的构图工艺制成交错排列的方式, 非常要求曝光工艺的精确度, 这样无疑会增加设备以及工艺控制的难度和成本。

发明内容

本发明的实施例提供一种阵列基板及其制作方法、显示装置, 可以降低制作成本和制作工艺的难度。

为达到上述目的, 本发明的实施例采用如下技术方案:

根据本发明的第一方面, 提供一种阵列基板, 包括多个栅线、多个数据线以及所述多个栅线和所述多个数据线交叉限定的多个像素区域, 每一个所述像素区域包括薄膜晶体管, 还包括:

衬底基板; 间隔设置在衬底基板上的一个以上凸起物;

第一电极层, 所述第一电极层包括至少一个第一电极条, 所述第一电极条设置在相邻凸起物的间隙中;

第二电极层，所述第二电极层包括至少一个第二电极条，所述第二电极条设置在所述凸起物上方。

在一个示例中，所述像素区域还包括绝缘层，设置在所述第一电极层和所述第二电极层之间。

5 在一个示例中，所述衬底基板上一个以上凸起物是等间距设置的。

在一个示例中，所述凸起物为多个，该多个凸起物之间的每个间隙内都设置有所述第一电极条，每个所述凸起物的上方都设置有所述第二电极条。

在一个示例中，所述薄膜晶体管包括栅极、栅绝缘层、有源层、源极以及漏极。

10 在一个示例中，所述栅绝缘层设置在所述第一电极层和所述第二电极层之间；

所述第一电极层通过所述栅绝缘层上的过孔与所述漏极连接。

在一个示例中，所述阵列基板还包括钝化层，所述栅绝缘层设置在所述第一电极层的下方，所述钝化层设置在所述第一电极层和所述第二电极层之

15 间；

所述第一电极层直接与所述漏极连接。

在一个示例中，所述阵列基板还包括钝化层，所述钝化层设置在所述第一电极层和所述第二电极层之间；

所述第二电极层通过钝化层上的过孔与所述漏极连接。

20 在一个示例中，所述阵列基板还包括钝化层，所述栅绝缘层设置在所述第一电极层和所述第二电极层之间，所述钝化层设置在所述第二电极层的上方；

所述第二电极层直接连接所述漏极。

25 在一个示例中，所述凸起物的材料为透明树脂材料，且所述凸起物的厚度大于所述第一电极层的厚度。

根据本发明的第二方面，提供一种阵列基板的制作方法，包括在衬底基板上制作栅线、数据线以及薄膜晶体管所述制作方法还包括：

在衬底基板上形成间隔设置的一个以上凸起物；

30 形成第一电极层，所述第一电极层包括至少一个第一电极条，所述第一电极条设置在相邻凸起物的间隙中；

形成第二电极层，所述第二电极层包括至少一个第二电极条，所述第二电极条设置在所述凸起物上方。

在一个示例中，该制作方法还包括在所述第一电极层和第二电极层之间制作绝缘层。

5 在一个示例中，该制作方法包括：

在衬底基板上制作间隔设置的一个以上凸起物；

在形成有所述凸起物的基板上制作第一透明导电薄膜，并在制作有所述第一透明导电薄膜的基板上涂敷第一光刻胶；

10 对所述第一光刻胶进行灰化处理，形成第一光刻胶图案，所述第一光刻胶图案只覆盖所述凸起物的间隙；

进行刻蚀工艺，除去所述第一光刻胶图案未覆盖的第一透明导电薄膜；

进行光刻胶剥离工艺，将所述第一光刻胶图案剥离，从而形成包括至少一个第一电极条的第一电极层；

在形成有所述第一电极层的衬底基板上制作绝缘层；

15 在制作有所述绝缘层的基板上涂敷第二光刻胶，对所述光刻胶进行灰化处理，形成第二光刻胶图案，所述第二光刻胶图案只覆盖所述凸起物的间隙；

在所述形成有第二光刻胶图案的基板上制作第二透明导电薄膜，然后通过光刻胶剥离工艺，去除所述第二光刻胶图案以及位于所述第二光刻胶图案上的第二透明导电薄膜，从而形成包括至少一个第二电极条的第二电极层。

20 在一个示例中，所述薄膜晶体管包括栅极、栅绝缘层、有源层、源极以及漏极，

所述绝缘层包括栅绝缘层或钝化层中的至少一个；

所述第一电极层与所述漏极连接，或所述第二电极层与所述漏极连接。

在一个示例中，制作在衬底基板上的凸起物是等间距的。

25 在一个示例中，所述凸起物的材料为透明树脂材料，且所述凸起物的厚度大于所述第一电极层的厚度。

根据本发明的第三方面，提供一种显示装置，包括上述的阵列基板。

附图说明

30 为了更清楚地说明本发明实施例的技术方案，下面将对实施例的附图作

简单地介绍，显而易见地，下面描述中的附图仅仅涉及本发明的一些实施例，而非对本发明的限制。

图 1 为现有技术中的一种阵列基板的剖面结构示意图；

图 2 为本发明实施例提供的一种阵列基板的剖面基板结构示意图；

5 图 3 为本发明实施例提供的阵列基板制作方法过程中的阵列基板的第一种剖面结构的示意图；

图 4 为本发明实施例提供的阵列基板制作方法过程中的阵列基板的第二种剖面结构的示意图；

10 图 5 为本发明实施例提供的阵列基板制作方法过程中的阵列基板的第三种剖面结构的示意图；

图 6 为本发明实施例提供的阵列基板制作方法过程中的阵列基板的第四种剖面结构的示意图；

图 7 为本发明实施例提供的阵列基板制作方法过程中的阵列基板的第五种剖面结构的示意图；

15 图 8 为本发明实施例提供的阵列基板制作方法过程中的阵列基板的第六种剖面结构的示意图；

图 9 为本发明实施例提供的阵列基板制作方法过程中的阵列基板的第七种剖面结构的示意图；

20 图 10 为本发明实施例提供的阵列基板制作方法过程中的阵列基板的第八种剖面结构的示意图；

图 11a-11d 示出了阵列基板中第一和第二电极层的各种位置关系。

附图标记：

1-公共电极，2-像素电极，11-衬底基板，12-第一电极层，13-第二电极层，110-凸起物，120-第一电极条，130-第二电极条，12a-第一透明导电薄膜，
25 12b-第一光刻胶，12c-第一光刻胶图案，13a-第二透明导电薄膜，13b-第二光刻胶，13c-第二光刻胶图案，14-栅极，15-栅绝缘层，16-有源层，17-源漏电极，18-钝化层。

具体实施方式

30 为使本发明实施例的目的、技术方案和优点更加清楚，下面将结合本发

明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于所描述的本发明的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本发明保护的范围。

5 除非另作定义，此处使用的技术术语或者科学术语应当为本发明所属领域内具有一般技能的人士所理解的通常意义。本发明专利申请说明书以及权利要求书中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。同样，“一个”或者“一”等类似词语也不表示数量限制，而是表示存在至少一个。“包括”或者“包含”
10 等类似的词语意指出现在“包括”或者“包含”前面的元件或者物件涵盖出现在“包括”或者“包含”后面列举的元件或者物件及其等同，并不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置
15 改变后，则该相对位置关系也可能相应地改变。

本发明实施例提供了一种阵列基板，所述阵列基板包括多个栅线、多个数据线以及所述多个栅线和所述多个数据线交叉限定的多个像素区域，每个所述像素区域包括薄膜晶体管。如图2所示，所述像素区域还包括：衬底基板11，所述衬底基板11上设置有一个以上凸起物110；第一电极层12，所述
20 所述第一电极层12包括至少一个第一电极条120，所述第一电极条120设置在相邻的凸起物110的间隙中；第二电极层13，所述第二电极层13包括至少一个第二电极条130，所述第二电极条130设置在所述凸起物110的上方。

本发明实施例提供的阵列基板，通过将阵列基板的衬底基板设置成带有凹槽的衬底基板，并将第一电极层设置在凹槽内，第二电极层设置在凹槽外，
25 这样利用衬底基板上的凸起物，就可以精确地保证了两个电极层之间的零重叠，降低制作成本和制作工艺的难度。

在一个示例中，所述衬底基板上设置的凸起物110是等间距的。

在一个示例中，所述凸起物110的深度大于所述第一电极层的厚度。

在一个示例中，如图2所示，各个凸起物110的间隙内都设置有所述第
30 一电极条120，每个所述凸起物的上方都设置有所述第二电极条130。

在一个示例中，像素区域还包括绝缘层，设置在所述第一电极层 12 和所述第二电极层 13 之间。

本发明实施例提供的阵列基板中，所述第一电极层和所述第二电极层中有一个电极层要作为像素电极与漏极连接。可以是所述第一电极层与所述漏极连接，也可以是所述第二电极层与所述漏极连接。在这里需要说明的是，无论第一电极层还是第二电极层，只要与公共电极线电连接的电极就为公共电极，与薄膜晶体管的漏极电连接的电极就为像素电极。

在一个示例中，所述薄膜晶体管包括栅极、栅绝缘层、有源层、源极以及漏极。可选的，所述第一电极层可以与所述漏极连接，即第一电极层为像素电极，所述第二电极层为公共电极，此时可以有以下两种情况：

一种情况为：所述第一电极层直接连接所述漏极，此种情况下，所述阵列基板上先制作有薄膜晶体管，再依次制作第一电极层、钝化层和第二电极层，所述第一电极层与所述第二电极层之间设置有钝化层。此时，所述第一电极层位于所述栅绝缘层的上方，所述第一电极层与所述漏极之间没有其他层级结构，所述第一电极层可以直接搭接在所述漏极上（如图 11a 所示）。另一种情况为：所述第一电极层通过所述栅绝缘层上的过孔与所述漏极连接，此种情况下，所述阵列基板上先制作第一电极层再制作薄膜晶体管，然后制作钝化层和第二电极层。所述第一电极层与所述第二电极层之间设置有栅绝缘层。此时，所述栅绝缘层位于所述第一电极层上方，在所述栅绝缘层上制作过孔，所述栅绝缘层上的过孔在所述第一电极层的上方，所述漏极可以通过所述栅绝缘层上的过孔与所述第一电极层连接（如图 11b 所示）。

可选的，所述第二电极层也可以与所述漏极连接，即第二电极层为像素电极，所述第一电极层为公共电极，此时可以有以下两种情况：

一种情况为：所述第二电极层通过钝化层上的过孔与所述漏极连接，此种情况下，所述阵列基板上先制作钝化层再制作第二电极层，所述第二电极层位于所述钝化层上方，所述钝化层上的过孔在所述漏极的上方，所述第二电极层可以通过所述钝化层上的过孔与所述第二电极层连接（如图 11c 所示）。另一种情况为：所述第二电极层直接连接所述漏极，此种情况下，所述阵列基板上先制作第一电极层再制作薄膜晶体管，然后依次制作第二电极层和钝化层，所述第二电极层位于所述钝化层下方，所述第二电极层与所述漏

极之间没有其他层级结构，所述第二电极层可以直接搭接在所述漏极上（如图 11d 所示）。

本发明另一实施例还提供了一种阵列基板的制作方法，包括在衬底基板上制作栅线、数据线以及薄膜晶体管，还包括：

5 在衬底基板上形成间隔设置的一个以上凸起物；

形成第一电极层，所述第一电极层包括至少一个第一电极条，所述第一电极条设置在相邻凸起物的间隙中；

形成第二电极层，所述第二电极层包括至少一个第二电极条，所述第二电极条设置在所述凸起物上方。

10 在一个示例中，非显示区域处的栅线、数据线以及薄膜晶体管的制作工艺可以参考现有的制作工艺；所述阵列基板的显示区域处的两个电极层的制作方法包括以下步骤：

 S1、如图 3 所示，在衬底基板 11 上制作树脂层，然后通过一次构图工艺在衬底基板 11 上形成一个以上凸起物 110。在一个示例中，所述衬底基板
15 11 上的凸起物 110 是等间距的。

 S2、如图 4 所示，在图 3 所示的衬底基板 11 上制作第一透明导电薄膜 12a，并在制作有所述第一透明导电薄膜 12a 的基板上涂敷第一光刻胶 12b。

 S3、如图 5 所示，对所述第一光刻胶 12b 进行灰化处理，形成第一光刻胶图案 12c，所述第一光刻胶图案 12c 只覆盖所述凸起物 110 的间隙。

20 S4、进行刻蚀工艺，除去所述第一光刻胶图案 12c 未覆盖的第一透明导电薄膜，如图 6 所示，在基板的凹槽（例如由凸起物之间的间隙形成）内形成包括多个导电的第一电极条 120 的第一电极层 12。在一个示例中，所述凸起物 110 的厚度大于所述第一电极层 12 的厚度。

 S5、进行光刻胶剥离工艺，将所述第一光刻胶图案剥离，形成如图 7 所示的基板。
25

 S6、在形成有所述第一电极层 12 的衬底基板上制作绝缘层，然后在制作有所述绝缘层的基板上涂敷第二光刻胶 13b，形成如图 8 所示的基板。在这里需要说明的是，所述绝缘层例如为栅绝缘层或钝化层。

 S7、对所述第二光刻胶 13b 进行灰化处理，形成如图 9 所示的第二光刻胶图案 13c，所述第二光刻胶图案 13c 只覆盖所述凸起物 110 的间隙。
30

S8、如图 10 所示，在所述形成有第二光刻胶图案 13c 的基板上制作第二透明导电薄膜 13a。

5 S9、通过光刻胶剥离工艺，去除所述第二光刻胶图案 13c 以及所述第二光刻胶图案上的第二透明导电薄膜，从而形成如图 2 所示的包括多个导电的第二电极条 130 的第二电极层 13。

其中，制作成的所述第一电极层与所述漏极连接，或制作成的所述第二电极层与所述漏极连接。在这里需要说明的是，无论第一电极层还是第二电极层，只要与公共电极线电连接的电极就为公共电极，与薄膜晶体管的漏极电连接的电极就为像素电极。

10 若所述制作成的第一电极层与所述漏极连接，且所述第一电极层直接连接所述漏极，则所述制作方法包括：在步骤 S1 后，参考现有的制作工艺在衬底基板的非显示区域制作薄膜晶体管，所述薄膜晶体管包括栅极、栅绝缘层、有源层、源极以及漏极。然后依次进行步骤 S2-S5，制作第一电极层，所述第一电极层就可以直接制作在所述漏极上。最后可以先制作钝化层再依次进行步骤 S6-S10，制作第二电极层。此时，所述绝缘层为钝化层。

若所述制作成的第一电极层与所述漏极连接，且所述第一电极层通过所述栅绝缘层上的过孔与所述漏极连接，则所述制作方法包括：首先依次进行步骤 S1-S5，制作第一电极层。然后参考现有的制作工艺在衬底基板的非显示区域制作薄膜晶体管，所述薄膜晶体管包括栅极、栅绝缘层、有源层、源极以及漏极。其中，在制作栅绝缘层时，可以通过构图工艺制作成包含有过孔的栅绝缘层，所述栅绝缘层的过孔形成在所述第一电极层的上方，制作成的漏极就可以通过所述栅绝缘层上的过孔与所述第一电极层连接。最后可以先制作钝化层再依次进行步骤 S6-S10，制作第二电极层；或者先依次进行步骤 S6-S10，制作第二电极层，再制作钝化层。此时，所述绝缘层为栅绝缘层，或者，所述绝缘层为栅绝缘层和钝化层。

25 若所述制作成的第二电极层与所述漏极连接，且所述第二电极层直接连接所述漏极，则所述制作方法包括：首先依次进行步骤 S1-S5，制作第一电极层，再参考现有的制作工艺在衬底基板的非显示区域制作薄膜晶体管，所述薄膜晶体管包括栅极、栅绝缘层、有源层、源极以及漏极。然后，依次进行步骤 S6-S10，制作第二电极层，所述第二电极层就可以直接制作在所述漏

极上。最后制作钝化层。此时，所述绝缘层为栅绝缘层。

若所述制作成的第二电极层与所述漏极连接，且所述第二电极层通过钝化层上的过孔与所述漏极连接，则所述制作方法包括：先在衬底基板上制作第一电极层和薄膜晶体管，然后在基板上制作钝化层薄膜，并通过构图工艺制作成包含有过孔的钝化层，所述钝化层的过孔形成在所述漏极的上方。最后可以依次进行步骤 S6-S10，制作第二电极层，制作成的第二电极层可以通过所述钝化层的过孔与所述漏极连接。此时，所述绝缘层为钝化层，或者，所述绝缘层为栅绝缘层和钝化层。

本发明实施例还提供了一种显示装置，所述显示装置包括上述实施例的阵列基板，所述显示装置可以为液晶显示器、液晶电视、数码相机、手机、平板电脑等具有任何显示功能的产品或者部件。

在本发明上述实施例中，所述凸起物与衬底基板为各自独立地形成，然而在其他实施例中，二者可以一体形成，例如在衬底基板的平坦表面上挖出一个以上的凹槽。

本发明上述实施例提供的阵列基板及其制作方法、显示装置，通过在衬底基板上设置凸起物，并将第一电极层设置在凸起物形成的凹槽内，第二电极层设置在凸起物的上方，来实现公共电极和像素电极之间的零重叠；而现有技术中的阵列基板多如图 1 所示，所述公共电极 1 与像素电极 2 交错设置，由于像素电极 1 和公共电极 2 均采用透明电极材料，这就需要通过较复杂制作工艺和较高的制作成本来精确地保证了两个电极层之间的零重叠。与现有技术相比，本发明利用衬底基板上的凸起物，就可以精确地保证了两个电极层之间的零重叠，降低制作成本和制作工艺的难度。

以上所述仅是本发明的示范性实施方式，而非用于限制本发明的保护范围，本发明的保护范围由所附的权利要求确定。

权利要求书

1、一种阵列基板，包括多个栅线、多个数据线以及所述多个栅线和所述多个数据线交叉限定的多个像素区域，每一个所述像素区域包括薄膜晶体管，

5 还包括：

衬底基板；间隔设置在衬底基板上的一个以上凸起物；

第一电极层，所述第一电极层包括至少一个第一电极条，所述第一电极条设置在相邻凸起物的间隙中；

10 第二电极层，所述第二电极层包括至少一个第二电极条，所述第二电极条设置在所述凸起物上方。

2、根据权利要求1或2所述的阵列基板，所述像素区域还包括绝缘层，设置在所述第一电极层和所述第二电极层之间。

3、根据权利要求1或2所述的阵列基板，其中所述衬底基板上的一个以上凸起物是等间距设置的。

15 4、根据权利要求1-3任意一项所述的阵列基板，其中，所述凸起物为多个，该多个凸起物之间的每个间隙内都设置有所述第一电极条，每个所述凸起物的上方都设置有所述第二电极条。

5、根据权利要求1-4任意一项所述的阵列基板，其中所述薄膜晶体管包括栅极、栅绝缘层、有源层、源极以及漏极。

20 6、根据权利要求5所述的阵列基板，其中所述栅绝缘层设置在所述第一电极层和所述第二电极层之间；

所述第一电极层通过所述栅绝缘层上的过孔与所述漏极连接。

25 7、根据权利要求5所述的阵列基板，其中所述阵列基板还包括钝化层，所述栅绝缘层设置在所述第一电极层的下方，所述钝化层设置在所述第一电极层和所述第二电极层之间；

所述第一电极层直接与所述漏极连接。

8、根据权利要求5所述的阵列基板，其中所述阵列基板还包括钝化层，所述钝化层设置在所述第一电极层和所述第二电极层之间；

所述第二电极层通过钝化层上的过孔与所述漏极连接。

30 9、根据权利要求5所述的阵列基板，其中所述阵列基板还包括钝化层，

所述栅绝缘层设置在所述第一电极层和所述第二电极层之间，所述钝化层设置在所述第二电极层的上方；

所述第二电极层直接连接所述漏极。

5 10、根据权利要求 1-9 任意一项所述的阵列基板，其中所述凸起物的材料为透明树脂材料，且所述凸起物的厚度大于所述第一电极层的厚度。

11、一种阵列基板的制作方法，包括在衬底基板上制作栅线、数据线以及薄膜晶体管所述制作方法还包括：

在衬底基板上形成间隔设置的一个以上凸起物；

10 形成第一电极层，所述第一电极层包括至少一个第一电极条，所述第一电极条设置在相邻凸起物的间隙中；

形成第二电极层，所述第二电极层包括至少一个第二电极条，所述第二电极条设置在所述凸起物上方。

12、根据权利要求 11 所述的制作方法，还包括在所述第一电极层和第二电极层之间制作绝缘层。

15 13、根据权利要求 12 所述的制作方法，包括：

在衬底基板上制作间隔设置的一个以上凸起物；

在形成有所述凸起物的基板上制作第一透明导电薄膜，并在制作有所述第一透明导电薄膜的基板上涂敷第一光刻胶；

20 对所述第一光刻胶进行灰化处理，形成第一光刻胶图案，所述第一光刻胶图案只覆盖所述凸起物的间隙；

进行刻蚀工艺，除去所述第一光刻胶图案未覆盖的第一透明导电薄膜；

进行光刻胶剥离工艺，将所述第一光刻胶图案剥离，从而形成包括至少一个第一电极条的第一电极层；

在形成有所述第一电极层的衬底基板上制作绝缘层；

25 在制作有所述绝缘层的基板上涂敷第二光刻胶，对所述光刻胶进行灰化处理，形成第二光刻胶图案，所述第二光刻胶图案只覆盖所述凸起物的间隙；

在所述形成有第二光刻胶图案的基板上制作第二透明导电薄膜，然后通过光刻胶剥离工艺，去除所述第二光刻胶图案以及位于所述第二光刻胶图案上的第二透明导电薄膜，从而形成包括至少一个第二电极条的第二电极层。

30 14、根据权利要求 12-13 任意一项所述的制作方法，其中所述薄膜晶体

管包括栅极、栅绝缘层、有源层、源极以及漏极，

所述绝缘层包括栅绝缘层或钝化层中的至少一个；

所述第一电极层与所述漏极连接，或所述第二电极层与所述漏极连接。

15、根据权利要求 11-14 任意一项所述的制作方法，其中制作在衬底基
5 板上的凸起物是等间距的。

16、根据权利要求 11-15 任意一项所述的制作方法，其中所述凸起物的材料为透明树脂材料，且所述凸起物的厚度大于所述第一电极层的厚度。

17、一种显示装置，包括权利要求 1-10 任一项所述的阵列基板。

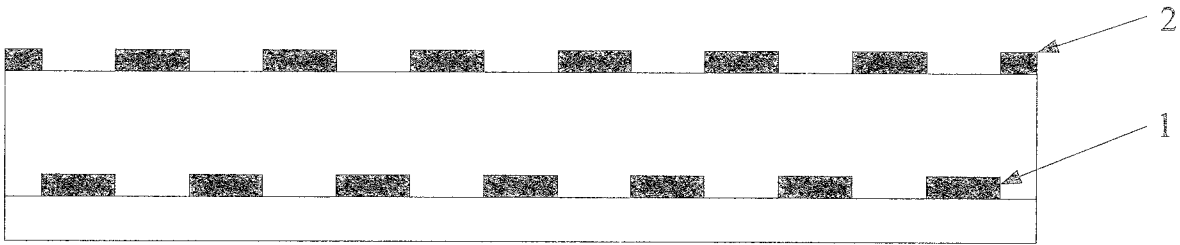


图 1

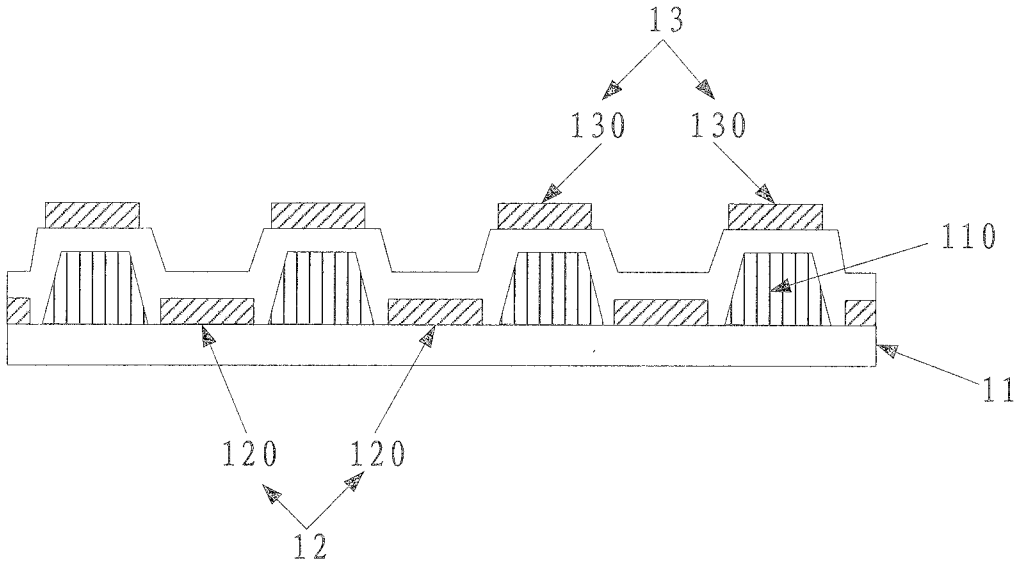


图 2

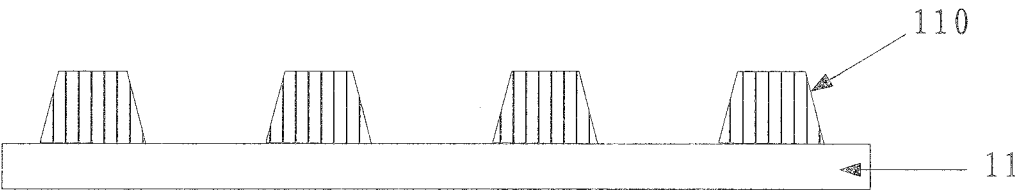


图 3

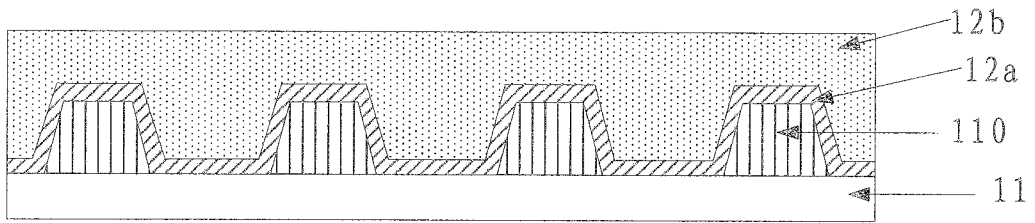


图 4

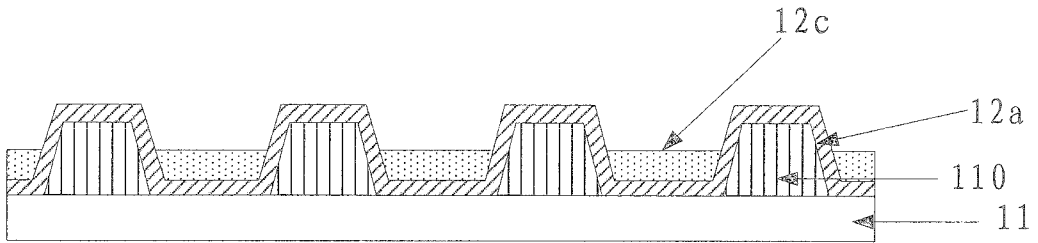


图 5

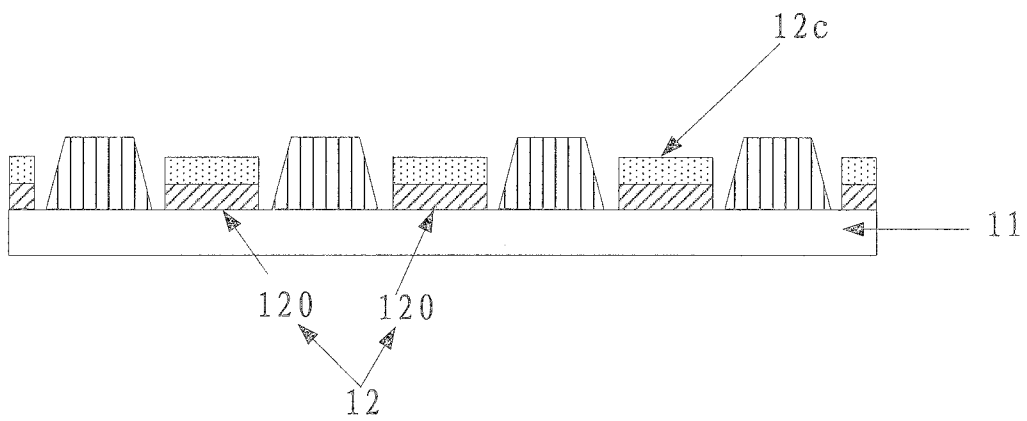


图 6

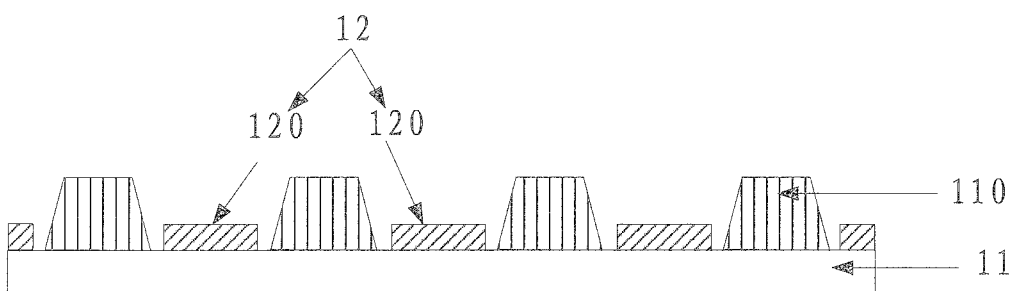


图 7

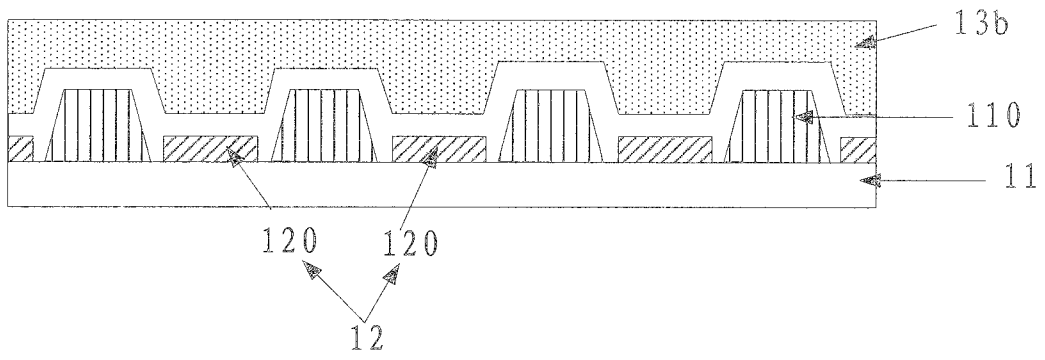


图 8

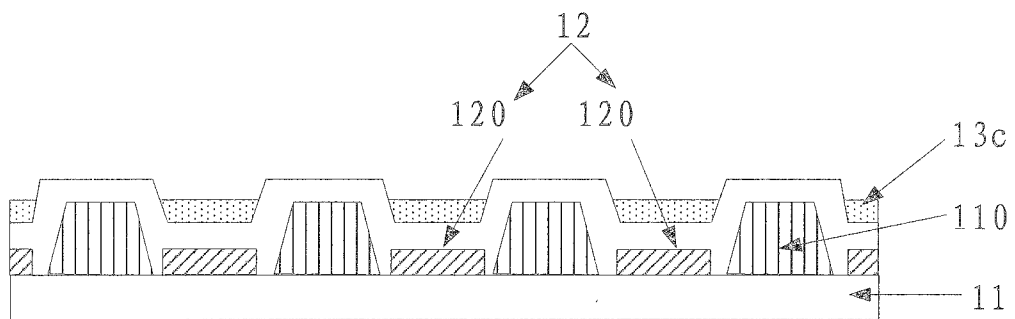


图 9

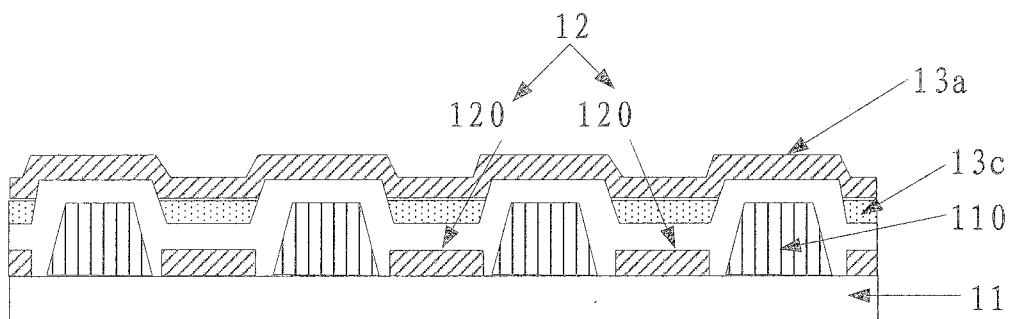


图 10

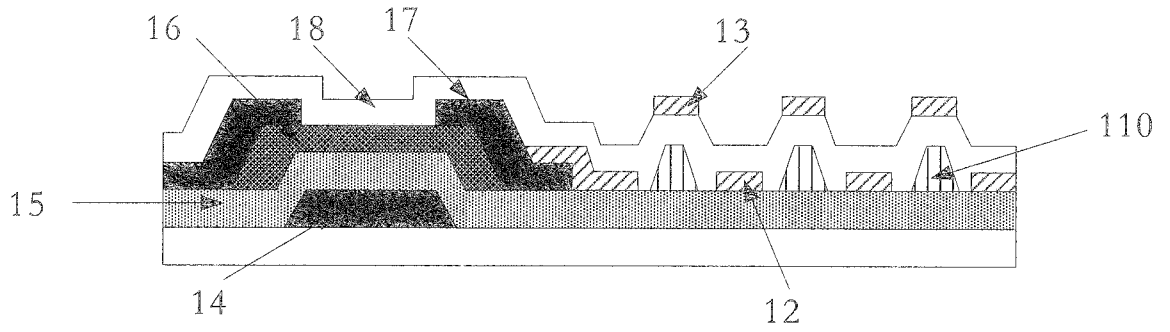


图 11a

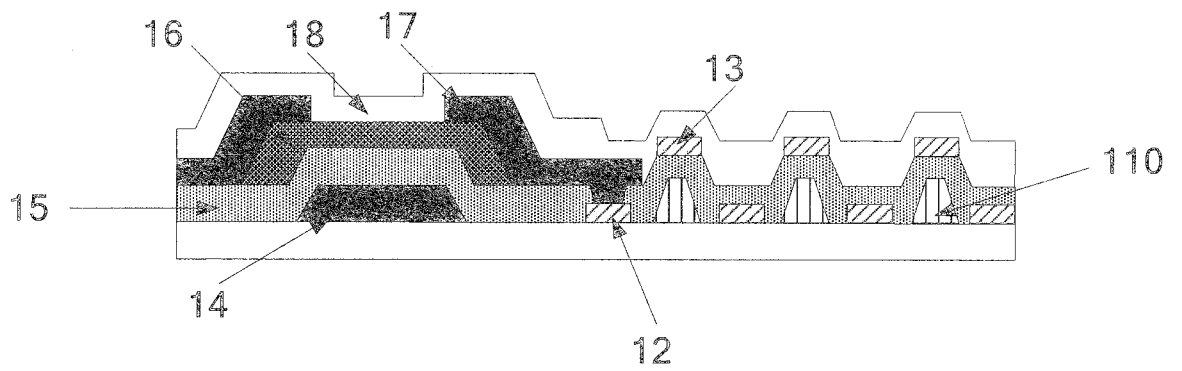


图 11b

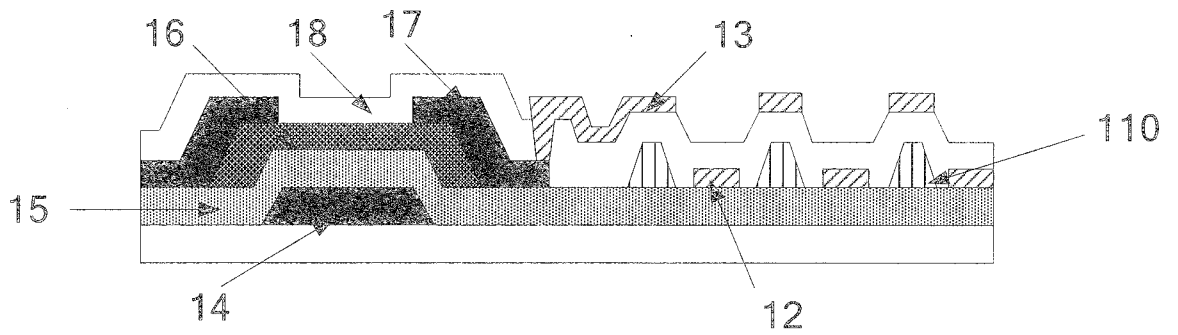


图 11c

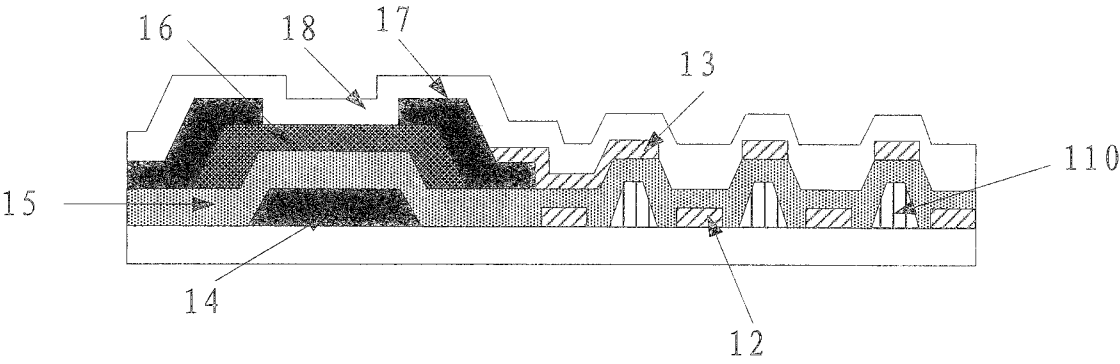


图 11d

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2013/089596

A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/1343 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

VEN, CNABS, CNTXT: ips, FFS, ads, in plane, switch, fringe field switch+, advanced super dimensional switch+, common, pixel, parallel, electrode+, protu+, tuber+, heav+, protrud+, project+, sudden+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 103309095 A (BOE TECHNOLOGY GROUP CO LTD) 18 September 2013 (18.09.2013) description, paragraphs [0049]-[0074], and figures 2-10	1-17
A	CN 101995707 A (KUNSHAN LONGTENG PHOTOELECTRICITY LTD) 30 March 2011 (30.03.2011) description, paragraphs [0041], [0042], [0049]-[0057], and figures 6, 7 and 9	1-17
A	CN 101900913 A (SEMICONDUCTOR ENERGY LAB) 01 December 2010 (01.12.2010) the whole document	1-17
A	CN 103018979 A (KUNSHAN LONGTENG PHOTOELECTRICITY LTD) 03 April 2013 (03.04.2013) the whole document	1-17
A	US 2009284707 A1 (SAMSUNG ELECTRONICS CO., LTD.) 19 November 2009 (19.11.2009) the whole document	1-17

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 15 March 2014 (15.03.2014)	Date of mailing of the international search report 27 March 2014 (27.03.2014)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LIU, Yali Telephone No. (86-10) 62085548

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2013/089596

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103309095 A	18.09.2013	None	
CN 101995707 A	30.03.2011	CN 101995707 B	09.01.2013
CN 101900913 A	01.12.2010	US 8654292 B2	18.02.2014
		US 2010302492 A1	02.12.2010
		KR 20100129200 A	08.12.2010
		TW 201107820 A	01.03.2011
		JP 2011008239 A	13.01.2011
CN 103018979 A	03.04.2013	None	
US 2009284707 A1	19.11.2009	KR 20090118671 A	18.11.2009
		US 8085375 B2	27.12.2011

A. 主题的分类

G02F 1/1343 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

VEN, CNABS, CNTXT: 电极, 重叠, 层叠, 交叠, 面内开关, 横向电场, 水平电场, 横向开关, 边缘场开关, 混合开关, 结构, 肋, 拱, 凸, 突, 间隔, 凸台, 凸起, 突台, 突起, 条状, 平行, 电极, ips, FFS, ads, in plane switch+, fringe field switch+, Hybrid switch+, advanced super dimensional switch+, common, pixel, parallel, electrode?, protu+, tuber+, heav+, protrud+, project+, sudden+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 103309095 A (京东方科技集团股份有限公司) 18.9 月 2013 (18.09.2013) 说明书第[0049]-[0074]段, 图 2-10	1-17
A	CN 101995707 A (昆山龙腾光电有限公司) 30.3 月 2011 (30.03.2011) 说明书第[0041]-[0042]段, 第[0049]-[0057]段, 图 6, 7, 9	1-17
A	CN 101900913 A (株式会社半导体能源研究所) 01.12 月 2010 (01.12.2010) 全文	1-17
A	CN 103018979 A (昆山龙腾光电有限公司) 03.4 月 2013 (03.04.2013) 全文	1-17
A	US 2009284707 A1 (SAMSUNG ELECTRONICS CO., LTD.) 19.11 月 2009 (19.11.2009) 全文	1-17

☐ 其余文件在 C 栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期
15.3 月 2014 (15.03.2014)

国际检索报告邮寄日期
27.3 月 2014 (27.03.2014)

ISA/CN 的名称和邮寄地址:
中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088
传真号: (86-10)62019451

受权官员

刘亚利
电话号码: (86-10) **62085548**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2013/089596

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN 103309095 A	18.09.2013	无	
CN 101995707 A	30.03.2011	CN 101995707 B	09.01.2013
CN 101900913 A	01.12.2010	US 8654292 B2	18.02.2014
		US 2010302492 A1	02.12.2010
		KR 20100129200 A	08.12.2010
		TW 201107820 A	01.03.2011
		JP 2011008239 A	13.01.2011
CN 103018979 A	03.04.2013	无	
US 2009284707 A1	19.11.2009	KR 20090118671 A	18.11.2009
		US 8085375 B2	27.12.2011