

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-32005
(P2016-32005A)

(43) 公開日 平成28年3月7日(2016.3.7)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8247 (2006.01)	HO 1 L 27/10 4 3 4	5 F 0 8 3
HO 1 L 27/115 (2006.01)	HO 1 L 27/10 4 8 1	5 F 1 0 1
HO 1 L 27/10 (2006.01)	HO 1 L 29/78 3 7 1	
HO 1 L 21/336 (2006.01)		
HO 1 L 29/788 (2006.01)		

審査請求 未請求 請求項の数 15 O L (全 44 頁) 最終頁に続く

(21) 出願番号 特願2014-153344 (P2014-153344)
(22) 出願日 平成26年7月28日 (2014.7.28)

(71) 出願人 302062931
ルネサスエレクトロニクス株式会社
東京都江東区豊洲三丁目2番24号
(74) 代理人 100080001
弁理士 筒井 大和
(74) 代理人 100113642
弁理士 菅田 篤志
(74) 代理人 100117008
弁理士 筒井 章子
(74) 代理人 100147430
弁理士 坂次 哲也
(72) 発明者 川嶋 祥之
神奈川県川崎市中原区下沼部1753番地
ルネサスエレクトロニクス株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

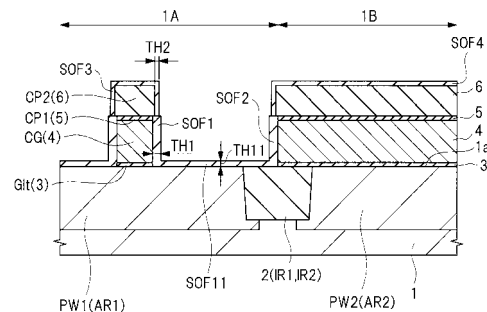
(57) 【要約】 (修正有)

【課題】メモリセル領域と周辺回路領域とを有する半導体装置の製造工程において、異物を容易に除去できる半導体装置の製造方法を提供する。

【解決手段】メモリセル領域1Aに形成された制御ゲート電極CGの側面、メモリセル領域1Aに形成されたキャップ絶縁膜CP2の表面、および、周辺回路領域1Bに残された部分の絶縁膜6の表面に、犠牲酸化膜SOF1、SOF3およびSOF4を形成する。この犠牲酸化膜SOF1、SOF3およびSOF4を形成する工程は、制御ゲート電極CGの側面を、熱酸化法により酸化する工程と、キャップ絶縁膜CP2の表面、および、周辺回路領域1Bに残された部分の絶縁膜6の表面を、ISSG酸化法により酸化する工程と、を含む。

【選択図】 図11

図 11



1A : メモリセル領域
1B : 周辺回路領域
6 : 絶縁膜
CG : 制御ゲート電極
CP2 : キャップ絶縁膜
SOF1,SOF3,SOF4 : 犠牲酸化膜

【特許請求の範囲】

【請求項 1】

- (a) 半導体基板を用意する工程、
- (b) 前記半導体基板の第 1 主面の第 1 領域、および、前記半導体基板の前記第 1 主面の第 2 領域で、前記半導体基板の前記第 1 主面に第 1 絶縁膜を形成する工程、
- (c) 前記第 1 領域および前記第 2 領域で、前記第 1 絶縁膜上に、シリコンからなる第 1 導電膜を形成する工程、
- (d) 前記第 1 領域および前記第 2 領域で、前記第 1 導電膜上に、シリコンと窒素とを含有する第 2 絶縁膜を形成する工程、
- (e) 前記第 2 絶縁膜および前記第 1 導電膜をパターンニングし、前記第 1 領域で、前記第 1 導電膜からなる第 1 ゲート電極を形成し、前記第 1 ゲート電極と前記半導体基板との間の前記第 1 絶縁膜からなる第 1 ゲート絶縁膜を形成し、前記第 1 ゲート電極上の前記第 2 絶縁膜からなる第 1 キャップ絶縁膜を形成し、前記第 2 領域で、前記第 2 絶縁膜および前記第 1 導電膜を残す工程、
- (f) 前記第 1 ゲート電極の側面、前記第 1 キャップ絶縁膜の表面、および、前記第 2 領域に残された部分の前記第 2 絶縁膜の表面を酸化し、前記第 1 ゲート電極の側面に第 1 酸化膜を形成し、前記第 1 キャップ絶縁膜の表面に第 2 酸化膜を形成し、前記第 2 領域に残された部分の前記第 2 絶縁膜の表面に第 3 酸化膜を形成する工程、
- (g) 前記第 3 酸化膜、および、前記第 2 領域に残された部分の前記第 2 絶縁膜を除去する工程、
- (h) 前記 (g) 工程の後、前記第 1 酸化膜および前記第 2 酸化膜を除去する工程、
- (i) 前記 (h) 工程の後、前記第 2 領域に残された部分の前記第 1 導電膜をパターンニングし、前記第 2 領域で、前記第 1 導電膜からなる第 2 ゲート電極を形成し、前記第 2 ゲート電極と前記半導体基板との間の前記第 1 絶縁膜からなる第 2 ゲート絶縁膜を形成する工程、
- を有し、
- 前記 (f) 工程は、
- (f 1) 前記第 1 ゲート電極の側面を、熱酸化法により酸化する工程、
- (f 2) 前記第 1 キャップ絶縁膜の表面、および、前記第 2 領域に残された部分の前記第 2 絶縁膜の表面を、I S S G 酸化法により酸化する工程、
- を含む、半導体装置の製造方法。

【請求項 2】

- 請求項 1 記載の半導体装置の製造方法において、
- (j) 前記 (f) 工程の後、前記第 1 領域および前記第 2 領域で、前記第 1 ゲート電極、前記第 1 キャップ絶縁膜、および、前記第 2 領域に残された部分の前記第 2 絶縁膜を覆うように、レジスト膜を形成する工程、
- (k) 前記レジスト膜をパターンニングし、前記第 2 領域で、前記レジスト膜を除去し、前記第 1 領域で、前記レジスト膜を残す工程、
- (l) 前記第 1 領域に残された部分の前記レジスト膜を除去する工程、
- を有し、
- 前記 (g) 工程では、前記 (k) 工程の後、前記第 3 酸化膜、および、前記第 2 領域に残された部分の前記第 2 絶縁膜を除去し、
- 前記 (l) 工程では、前記 (g) 工程の後、前記第 1 領域に残された部分の前記レジスト膜を除去し、
- 前記 (h) 工程では、前記 (l) 工程の後、前記第 1 酸化膜および前記第 2 酸化膜を除去する、半導体装置の製造方法。

【請求項 3】

- 請求項 1 記載の半導体装置の製造方法において、
- 前記 (f 2) 工程では、前記 (f 1) 工程の後、前記第 1 キャップ絶縁膜の表面、および、前記第 2 領域に残された部分の前記第 2 絶縁膜の表面を、前記 I S S G 酸化法により

酸化する、半導体装置の製造方法。

【請求項 4】

請求項 1 記載の半導体装置の製造方法において、

前記 (f 2) 工程では、前記第 1 ゲート電極の側面を、前記 I S S G 酸化法により酸化し、

前記 (f 1) 工程では、前記 (f 2) 工程の後、前記第 1 ゲート電極の側面を、前記熱酸化法によりさらに酸化する、半導体装置の製造方法。

【請求項 5】

請求項 1 記載の半導体装置の製造方法において、

前記 (i) 工程は、

(i 1) 前記第 1 領域で、前記半導体基板の前記第 1 主面、前記第 1 ゲート電極の側面、および、前記第 1 キャップ絶縁膜の表面に、内部に電荷蓄積部を有する第 3 絶縁膜を形成する工程、

(i 2) 前記第 3 絶縁膜上に、第 2 導電膜を形成する工程、

(i 3) 前記第 2 導電膜をエッチバックすることにより、前記第 1 ゲート電極の側壁上に前記第 3 絶縁膜を介して前記第 2 導電膜を残して第 3 ゲート電極を形成する工程、

(i 4) 前記第 3 ゲート電極で覆われていない部分の前記第 3 絶縁膜を除去し、前記第 3 ゲート電極と前記半導体基板との間、および、前記第 1 ゲート電極と前記第 3 ゲート電極との間に、前記第 3 絶縁膜を残す工程、

を含む、半導体装置の製造方法。

【請求項 6】

請求項 5 記載の半導体装置の製造方法において、

前記 (a) 工程では、前記第 1 領域で前記第 1 主面に形成された第 1 導電型の第 1 半導体領域を有する前記半導体基板を用意し、

前記 (b) 工程では、前記第 1 領域で、前記第 1 半導体領域上に前記第 1 絶縁膜を形成し、

前記 (c) 工程では、前記第 1 半導体領域上に形成された部分の前記第 1 絶縁膜上に、前記第 1 導電膜を形成し、

前記 (d) 工程では、前記第 1 半導体領域上に前記第 1 絶縁膜を介して形成された部分の前記第 1 導電膜上に、前記第 2 絶縁膜を形成し、

前記 (e) 工程では、前記第 1 半導体領域上に前記第 1 絶縁膜を介して形成された部分の前記第 1 導電膜からなる前記第 1 ゲート電極を形成し、

前記 (i 3) 工程では、前記第 2 導電膜をエッチバックすることにより、前記第 1 ゲート電極の第 1 の側の側壁である第 1 側壁上に前記第 3 絶縁膜を介して前記第 2 導電膜を残して前記第 3 ゲート電極を形成し、

前記半導体装置の製造方法は、さらに、

(m) 前記 (f) 工程の後、前記第 1 キャップ絶縁膜および前記第 1 ゲート電極をマスクとして、前記第 1 半導体領域に、前記第 1 導電型とは反対の第 2 導電型の不純物をイオン注入法により導入し、平面視において、前記第 1 ゲート電極の前記第 1 の側に位置する部分の前記第 1 半導体領域の上層部に、前記第 2 導電型の第 2 半導体領域を形成する工程

を有し、

前記 (h) 工程では、前記 (m) 工程の後、前記第 1 酸化膜および前記第 2 酸化膜を除去する、半導体装置の製造方法。

【請求項 7】

請求項 6 記載の半導体装置の製造方法において、

前記 (m) 工程では、前記第 2 半導体領域を、平面視において、前記第 1 ゲート電極と離して形成する、半導体装置の製造方法。

【請求項 8】

請求項 6 記載の半導体装置の製造方法において、

10

20

30

40

50

(n) 前記(m)工程の後、前記第1領域で、前記第1キャップ絶縁膜、前記第1ゲート電極および前記第3ゲート電極をマスクとして、前記第1半導体領域に前記第2導電型の不純物を導入し、平面視において、前記第3ゲート電極を挟んで前記第1ゲート電極と反対側に位置する部分の前記第1半導体領域の上層部に、前記第2導電型の第3半導体領域を形成し、平面視において、前記第1ゲート電極を挟んで前記第3ゲート電極と反対側に位置する部分の前記第1半導体領域の上層部に、前記第2導電型の第4半導体領域を形成する工程、

を有し、

前記第3半導体領域は、前記第2半導体領域と接触する、半導体装置の製造方法。

【請求項9】

10

請求項5記載の半導体装置の製造方法において、

前記第3絶縁膜は、第1酸化シリコン膜と、前記第1酸化シリコン膜上の第1窒化シリコン膜と、前記第1窒化シリコン膜上の第2酸化シリコン膜と、を含み、

前記(i1)工程は、

(i5) 前記半導体基板の前記第1主面、前記第1ゲート電極の側面、および、前記第1キャップ絶縁膜の表面に、前記第1酸化シリコン膜を形成する工程、

(i6) 前記第1酸化シリコン膜上に、前記第1窒化シリコン膜を形成する工程、

(i7) 前記第1窒化シリコン膜上に、前記第2酸化シリコン膜を形成する工程、

を含む、半導体装置の製造方法。

【請求項10】

20

請求項6記載の半導体装置の製造方法において、

前記(f1)工程または前記(f2)工程では、前記第1ゲート電極の前記第1の側に位置する部分の前記第1半導体領域上に、第4酸化膜を形成する、半導体装置の製造方法。

【請求項11】

請求項6記載の半導体装置の製造方法において、

前記半導体装置は、不揮発性メモリを有し、

前記不揮発性メモリは、前記第1ゲート電極と前記第3ゲート電極とにより形成される、半導体装置の製造方法。

【請求項12】

30

請求項11記載の半導体装置の製造方法において、

前記(i4)工程では、前記第3ゲート電極と前記半導体基板との間、および、前記第1ゲート電極と前記第3ゲート電極との間に残された部分の前記第3絶縁膜からなる第3ゲート絶縁膜を形成し、前記第1ゲート電極と前記第1ゲート絶縁膜と前記第3ゲート電極と前記第3ゲート絶縁膜とにより、前記不揮発性メモリを形成し、

前記不揮発性メモリは、前記第1ゲート電極と前記第3ゲート電極との間に電圧が印加され、前記第3ゲート絶縁膜を介して前記第3ゲート電極と接触する部分の前記第2半導体領域から、前記第3ゲート絶縁膜に、電子が注入されることにより、データが書き込まれる、半導体装置の製造方法。

【請求項13】

40

請求項1記載の半導体装置の製造方法において、

前記(f1)工程では、前記第1ゲート電極の側面を、前記熱酸化法としてのドライ酸化法またはウェット酸化法により酸化する、半導体装置の製造方法。

【請求項14】

請求項1記載の半導体装置の製造方法において、

前記第2絶縁膜は、窒化シリコン膜からなる、半導体装置の製造方法。

【請求項15】

請求項1記載の半導体装置の製造方法において、

前記第1導電膜は、多結晶シリコン膜からなる、半導体装置の製造方法。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、半導体装置の製造方法に関し、例えば、半導体基板に形成された半導体素子を備える半導体装置の製造方法に好適に利用できるものである。

【背景技術】

【0002】

半導体基板上に例えば不揮発性メモリなどのメモリセルなどが形成されたメモリセル領域と、半導体基板上に例えばMISFET (Metal Insulator Semiconductor Field Effect Transistor) などからなる周辺回路が形成された周辺回路領域とを有する半導体装置が、広く用いられている。

10

【0003】

例えば不揮発性メモリとして、MONOS (Metal-Oxide-Nitride-Oxide-Semiconductor) 膜を用いたスプリットゲート型セルからなるメモリセルを形成する場合がある。このとき、メモリセルは、制御ゲート電極を有する制御トランジスタと、メモリゲート電極を有するメモリトランジスタとの2つのMISFETにより形成される。

【0004】

このような半導体装置の製造方法として、半導体基板の表面に形成された被エッチング膜上にフォトレジスト膜 (以下、単にレジスト膜ともいう。) からなるレジストパターンを形成し、形成されたレジストパターンをマスクとして被エッチング膜をエッチングしてパターンニングする工程を有するものがある。

20

【0005】

特開2005-203508号公報 (特許文献1) には、半導体装置の素子分離溝形成工程において、シリコン基板の表面に酸化シリコン膜を介して窒化シリコン膜を堆積し、フォトレジスト膜をマスクにしたドライエッチングで素子分離領域の窒化シリコン膜を除去する技術が開示されている。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2005-203508号公報

【発明の概要】

30

【発明が解決しようとする課題】

【0007】

上記したメモリセル領域と周辺回路領域とを有する半導体装置の製造工程では、例えば、メモリセル領域および周辺回路領域で、半導体基板上に、導電膜および絶縁膜を順に形成する。次いで、絶縁膜および導電膜をパターンニングし、メモリセル領域で、導電膜からなる制御ゲート電極と、制御ゲート電極上の絶縁膜からなるキャップ絶縁膜と、を形成する。一方、周辺回路領域で、導電膜と、導電膜上の絶縁膜と、を残す。次いで、ゲート電極の側面に、犠牲酸化膜を形成する。次いで、絶縁膜をエッチングし、周辺回路領域に残された部分の絶縁膜を除去する。その後、ゲート電極の側面に形成された犠牲酸化膜を除去し、導電膜をパターンニングし、周辺回路領域で、導電膜からなるゲート電極を形成する。

40

【0008】

このような半導体装置の製造工程において、制御ゲート電極およびキャップ絶縁膜を形成した後、周辺回路領域に残された部分の絶縁膜を除去する前に、周辺回路領域に残された部分の絶縁膜の上面に異物が付着することがある。このような場合、絶縁膜をエッチングする際に、上面に異物が付着した部分の絶縁膜がエッチングされずに残される。そのため、その後、導電膜をパターンニングする際に、上面に異物が付着した部分の絶縁膜下に位置する部分の導電膜が残される。このようにして、除去されるべき部分の導電膜が残されると、半導体装置に不良が発生し、半導体装置の性能を向上させることができない。

【0009】

50

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0010】

一実施の形態によれば、半導体装置の製造方法において、第1領域および第2領域で、半導体基板上にシリコンからなる導電膜、および、シリコンと窒素とを含有する絶縁膜を形成し、第1領域で絶縁膜および導電膜をパターンングし、導電膜からなる制御ゲート電極を形成し、制御ゲート電極上の絶縁膜からなるキャップ絶縁膜を形成する。次いで、制御ゲート電極の側面、キャップ絶縁膜の表面、および、第2領域に残された部分の絶縁膜の表面に、犠牲酸化膜を形成する。この犠牲酸化膜を形成する工程は、制御ゲート電極の側面を、熱酸化法により酸化する工程と、キャップ絶縁膜の表面、および、第2領域に残された部分の絶縁膜の表面を、ISSG酸化法により酸化する工程と、を含む。その後、第2領域で、絶縁膜を除去し、導電膜をパターンングし、導電膜からなるゲート電極を形成する。

10

【発明の効果】

【0011】

一実施の形態によれば、半導体装置の性能を向上させることができる。

【図面の簡単な説明】

【0012】

【図1】実施の形態1の半導体装置の要部断面図である。

20

【図2】実施の形態1の半導体装置におけるメモリセルの等価回路図である。

【図3】「書込」、「消去」および「読出」時におけるメモリセルの各部位への電圧の印加条件の一例を示す表である。

【図4】実施の形態1の半導体装置の製造工程の一部を示すプロセスフロー図である。

【図5】実施の形態1の半導体装置の製造工程の一部を示すプロセスフロー図である。

【図6】実施の形態1の半導体装置の製造工程の一部を示すプロセスフロー図である。

【図7】実施の形態1の半導体装置の製造工程中の要部断面図である。

【図8】実施の形態1の半導体装置の製造工程中における要部断面図である。

【図9】実施の形態1の半導体装置の製造工程中における要部断面図である。

【図10】実施の形態1の半導体装置の製造工程中における要部断面図である。

30

【図11】実施の形態1の半導体装置の製造工程中における要部断面図である。

【図12】実施の形態1の半導体装置の製造工程中における要部断面図である。

【図13】実施の形態1の半導体装置の製造工程中における要部断面図である。

【図14】実施の形態1の半導体装置の製造工程中における要部断面図である。

【図15】実施の形態1の半導体装置の製造工程中における要部断面図である。

【図16】実施の形態1の半導体装置の製造工程中における要部断面図である。

【図17】実施の形態1の半導体装置の製造工程中における要部断面図である。

【図18】実施の形態1の半導体装置の製造工程中における要部断面図である。

【図19】実施の形態1の半導体装置の製造工程中における要部断面図である。

【図20】実施の形態1の半導体装置の製造工程中における要部断面図である。

40

【図21】実施の形態1の半導体装置の製造工程中における要部断面図である。

【図22】実施の形態1の半導体装置の製造工程中における要部断面図である。

【図23】実施の形態1の半導体装置の製造工程中における要部断面図である。

【図24】実施の形態1の半導体装置の製造工程中における要部断面図である。

【図25】実施の形態1の半導体装置の製造工程中における要部断面図である。

【図26】実施の形態1の半導体装置の製造工程中における要部断面図である。

【図27】実施の形態1の半導体装置の製造工程中における要部断面図である。

【図28】実施の形態1の半導体装置の製造工程中における要部断面図である。

【図29】比較例1の半導体装置の製造工程中の要部断面図である。

【図30】比較例1の半導体装置の製造工程中の要部断面図である。

50

【図 3 1】比較例 1 の半導体装置の製造工程中の要部断面図である。

【図 3 2】比較例 1 の半導体装置の製造工程中の要部断面図である。

【図 3 3】比較例 2 の半導体装置の製造工程中の要部断面図である。

【図 3 4】比較例 2 の半導体装置の製造工程中の要部断面図である。

【図 3 5】実施の形態 2 の半導体装置の製造工程の一部を示すプロセスフロー図である。

【図 3 6】実施の形態 2 の半導体装置の製造工程中の要部断面図である。

【図 3 7】実施の形態 2 の半導体装置の製造工程中の要部断面図である。

【発明を実施するための形態】

【0013】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

10

【0014】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

【0015】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことはいうまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

20

【0016】

以下、代表的な実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0017】

さらに、実施の形態で用いる図面においては、断面図であっても図面を見やすくするためにハッチングを省略する場合もある。

30

【0018】

（実施の形態 1）

<半導体装置の構造>

次に、本実施の形態 1 の半導体装置の構造を、図面を参照して説明する。図 1 は、実施の形態 1 の半導体装置の要部断面図である。図 2 は、実施の形態 1 の半導体装置におけるメモリセルの等価回路図である。

【0019】

図 1 に示すように、半導体装置は、半導体基板 1 を有している。半導体基板 1 は、例えば 1 ~ 10 cm 程度の比抵抗を有する p 型の単結晶シリコンなどからなる半導体ウェハである。

40

【0020】

半導体装置は、半導体基板 1 の主面 1 a の一部の領域として、メモリセル領域 1 A および周辺回路領域 1 B を有している。メモリセル領域 1 A にはメモリセル M C 1 が形成されており、周辺回路領域 1 B には M I S F E T Q 1 が形成されている。メモリセル領域 1 A と周辺回路領域 1 B は隣り合っていないともよいが、理解を簡単にするために、図 1 の断面図においては、メモリセル領域 1 A の隣に周辺回路領域 1 B を図示している。ここで、周辺回路とは、不揮発性メモリ以外の回路であり、例えば C P U (Central Processing Unit) などのプロセッサ、制御回路、センスアンプ、カラムデコーダ、ロウデコーダ、入出力回路などである。周辺回路領域 1 B に形成される M I S F E T Q 1 は、周辺回路用の

50

MISFETである。

【0021】

初めに、メモリセル領域1Aに形成されたメモリセルMC1の構成を具体的に説明する。

【0022】

メモリセル領域1Aにおいて、半導体装置は、活性領域AR1と素子分離領域IR1とを有している。素子分離領域IR1は、素子を分離するためのものであり、素子分離領域IR1には、素子分離膜2が形成されている。活性領域AR1は、素子分離領域IR1により規定、すなわち区画され、素子分離領域IR1により他の活性領域と電気的に分離されており、活性領域AR1には、p型ウェルPW1が形成されている。すなわち、活性領域AR1は、p型ウェルPW1が形成された領域である。p型ウェルPW1は、p型の導電性を有する。

10

【0023】

図1に示すように、メモリセル領域1Aのp型ウェルPW1には、メモリトランジスタMTおよび制御トランジスタCTからなるメモリセルMC1が形成されている。メモリセル領域1Aには、実際には複数のメモリセルMC1がアレイ状に形成されており、図1には、そのうちの1つのメモリセルMC1の断面が示されている。メモリセルMC1は、半導体装置に備えられた不揮発性メモリに含まれている。

【0024】

不揮発性メモリのメモリセルMC1は、スプリットゲート型のメモリセルである。すなわち、図1に示すように、メモリセルMC1は、制御ゲート電極CGを有する制御トランジスタCTと、制御トランジスタCTに接続され、メモリゲート電極MGを有するメモリトランジスタMTと、を有している。

20

【0025】

図1に示すように、不揮発性メモリのメモリセルMC1は、n型の半導体領域MSと、n型の半導体領域MDと、n型の半導体領域MVと、制御ゲート電極CGと、メモリゲート電極MGと、を有している。n型の半導体領域MSと、n型の半導体領域MDと、n型の半導体領域MVとは、p型の導電型とは反対の導電型であるn型の導電性を有する。また、不揮発性メモリのメモリセルMC1は、制御ゲート電極CG上に形成されたキャップ絶縁膜CP1と、キャップ絶縁膜CP1上に形成されたキャップ絶縁膜CP2と、を有している。さらに、不揮発性メモリのメモリセルMC1は、制御ゲート電極CGと半導体基板1との間に形成されたゲート絶縁膜GItと、メモリゲート電極MGと半導体基板1との間、および、メモリゲート電極MGと制御ゲート電極CGとの間に形成されたゲート絶縁膜GI mと、を有している。

30

【0026】

制御ゲート電極CGおよびメモリゲート電極MGは、それらの互いに対向する側面、すなわち側壁の間にゲート絶縁膜GI mを介した状態で、半導体基板1の主面1aに沿って延在し、並んで配置されている。制御ゲート電極CGおよびメモリゲート電極MGの延在方向は、図1の紙面に垂直な方向である。制御ゲート電極CGは、半導体領域MDと半導体領域MSとの間に位置する部分のp型ウェルPW1上に、すなわち半導体基板1上に、ゲート絶縁膜GItを介して形成されている。また、メモリゲート電極MGは、半導体領域MDと半導体領域MSとの間に位置する部分のp型ウェルPW1上に、すなわち半導体基板1上に、ゲート絶縁膜GI mを介して形成されている。また、半導体領域MS側にメモリゲート電極MGが配置され、半導体領域MD側に制御ゲート電極CGが配置されている。制御ゲート電極CGおよびメモリゲート電極MGは、メモリセルMC1、すなわち不揮発性メモリを形成するゲート電極である。

40

【0027】

なお、制御ゲート電極CG上に形成されたキャップ絶縁膜CP1およびキャップ絶縁膜CP2も、半導体基板1の主面1aに沿って延在している。

【0028】

50

制御ゲート電極CGとメモリゲート電極MGとは、間にゲート絶縁膜GI_mを介在して互いに隣り合っており、メモリゲート電極MGは、制御ゲート電極CGの側面上、すなわち側壁に、ゲート絶縁膜GI_mを介してサイドウォールスペーサ状に形成されている。また、ゲート絶縁膜GI_mは、メモリゲート電極MGと半導体基板1のp型ウェルPW1の間の領域と、メモリゲート電極MGと制御ゲート電極CGとの間の領域の、両領域にわたって延在している。

【0029】

制御ゲート電極CGとp型ウェルPW1との間に形成されたゲート絶縁膜GI_tは、制御トランジスタCTのゲート絶縁膜として機能する。また、メモリゲート電極MGとp型ウェルPW1との間に形成されたゲート絶縁膜GI_mは、メモリトランジスタMTのゲート絶縁膜として機能する。

10

【0030】

ゲート絶縁膜GI_tは、絶縁膜3からなる。絶縁膜3は、酸化シリコン膜、窒化シリコン膜もしくは酸窒化シリコン膜、または、窒化シリコン膜よりも高い比誘電率を有する高誘電率膜、すなわちいわゆるHigh-k膜からなる。なお、本願において、High-k膜または高誘電率膜というときは、窒化シリコンよりも誘電率（比誘電率）が高い膜を意味する。絶縁膜3としては、例えば、酸化ハフニウム膜、酸化ジルコニウム膜、酸化アルミニウム膜、酸化タンタル膜または酸化ランタン膜などの金属酸化物膜を用いることができる。

【0031】

ゲート絶縁膜GI_mは、絶縁膜8からなる。絶縁膜8は、酸化シリコン膜8aと、酸化シリコン膜8a上の電荷蓄積部としての窒化シリコン膜8bと、窒化シリコン膜8b上の酸化シリコン膜8cと、を含む積層膜からなる。なお、メモリゲート電極MGとp型ウェルPW1との間のゲート絶縁膜GI_mは、前述したように、メモリトランジスタMTのゲート絶縁膜として機能する。一方、メモリゲート電極MGと制御ゲート電極CGとの間のゲート絶縁膜GI_mは、メモリゲート電極MGと制御ゲート電極CGとの間を絶縁、すなわち電氣的に分離するための絶縁膜として機能する。

20

【0032】

絶縁膜8のうち、窒化シリコン膜8bは、電荷を蓄積するための絶縁膜であり、電荷蓄積部として機能する。すなわち、窒化シリコン膜8bは、絶縁膜8中に形成されたトラップ性絶縁膜である。このため、絶縁膜8は、その内部に電荷蓄積部を有する絶縁膜とみなすことができる。

30

【0033】

窒化シリコン膜8bの上下に位置する酸化シリコン膜8cおよび酸化シリコン膜8aは、電荷を閉じ込める電荷ブロック層として機能することができる。窒化シリコン膜8bを酸化シリコン膜8cおよび酸化シリコン膜8aで挟んだ構造とすることで、窒化シリコン膜8bへの電荷の蓄積が可能となる。酸化シリコン膜8a、窒化シリコン膜8bおよび酸化シリコン膜8cは、ONO(Oxide-Nitride-Oxide)膜とみなすこともできる。

【0034】

制御ゲート電極CGは、導電膜4からなる。導電膜4は、シリコンからなり、例えばn型の不純物を導入した多結晶シリコン膜であるn型ポリシリコン膜などからなる。具体的には、制御ゲート電極CGは、パターンニングされた導電膜4からなる。

40

【0035】

メモリゲート電極MGは、導電膜9からなる。導電膜9は、シリコンからなり、例えばn型の不純物を導入した多結晶シリコン膜であるn型ポリシリコン膜などからなる。メモリゲート電極MGは、半導体基板1上に制御ゲート電極CGを覆うように形成された導電膜9を異方性エッチング、すなわちエッチバックし、制御ゲート電極CGの側壁に絶縁膜8を介して導電膜9を残すことにより形成されている。このため、メモリゲート電極MGは、そのメモリゲート電極MGと隣接する制御ゲート電極CGの第1の側に位置する側壁に、絶縁膜8を介してサイドウォールスペーサ状に形成されている。

50

【0036】

キャップ絶縁膜CP1は、シリコンと酸素とを含有する絶縁膜5からなる。絶縁膜5は、例えば酸化シリコン膜などからなる。キャップ絶縁膜CP2は、シリコンと窒素とを含有する絶縁膜6からなる。絶縁膜6は、例えば窒化シリコン膜などからなる。

【0037】

キャップ絶縁膜CP2は、制御ゲート電極CGを保護する保護膜であり、導電膜4をパターンニングして制御ゲート電極CGを形成する際のハードマスク膜であり、または、導電膜9をエッチバックしてメモリゲート電極MGを形成する際にメモリゲート電極MGの上面の高さを調整するためのスペーサ膜である。

【0038】

半導体領域MSは、ソース領域またはドレイン領域の一方として機能する半導体領域であり、半導体領域MDは、ソース領域またはドレイン領域の他方として機能する半導体領域である。ここでは、半導体領域MSは、例えばソース領域として機能する半導体領域であり、半導体領域MDは、例えばドレイン領域として機能する半導体領域である。半導体領域MSおよび半導体領域MDの各々は、 n 型の不純物が導入された半導体領域からなり、それぞれLDD (Lightly doped drain) 構造を備えている。

【0039】

ソース用の半導体領域MSは、 n^- 型半導体領域11aと、 n^- 型半導体領域11aよりも高い不純物濃度を有する n^+ 型半導体領域12aと、を有している。また、ドレイン用の半導体領域MDは、 n^- 型半導体領域11bと、 n^- 型半導体領域11bよりも高い不純物濃度を有する n^+ 型半導体領域12bと、を有している。 n^+ 型半導体領域12aは、 n^- 型半導体領域11aよりも接合深さが深く、かつ、不純物濃度が高く、また、 n^+ 型半導体領域12bは、 n^- 型半導体領域11bよりも接合深さが深く、かつ、不純物濃度が高い。

【0040】

メモリゲート電極MGおよび制御ゲート電極CGの互いに隣接していない側の側壁には、酸化シリコン膜、窒化シリコン膜またはそれらの積層膜などの絶縁膜からなるサイドウォールスペーサSWが形成されている。つまり、ゲート絶縁膜GIを介して制御ゲート電極CGに隣接する側とは逆側のメモリゲート電極MGの側壁上、すなわち側面上と、ゲート絶縁膜GIを介してメモリゲート電極MGに隣接する側とは逆側の制御ゲート電極CGの側壁上、すなわち側面上とに、サイドウォールスペーサSWが形成されている。

【0041】

なお、メモリゲート電極MGとサイドウォールスペーサSWとの間、制御ゲート電極CGとサイドウォールスペーサSWとの間、および、制御ゲート電極CGとゲート絶縁膜GIとの間には、図示しない側壁絶縁膜が介在していてもよい。

【0042】

n^- 型半導体領域11aは、メモリゲート電極MGの側面に対して自己整合的に形成され、 n^+ 型半導体領域12aは、サイドウォールスペーサSWの側面に対して自己整合的に形成されている。このため、低濃度の n^- 型半導体領域11aは、メモリゲート電極MGの側壁上のサイドウォールスペーサSWの下に形成され、高濃度の n^+ 型半導体領域12aは、低濃度の n^- 型半導体領域11aの外側に形成されている。したがって、高濃度の n^+ 型半導体領域12aは、低濃度の n^- 型半導体領域11aに接するように形成されている。

【0043】

n^- 型半導体領域11bは、制御ゲート電極CGの側面に対して自己整合的に形成され、 n^+ 型半導体領域12bは、サイドウォールスペーサSWの側面に対して自己整合的に形成されている。このため、低濃度の n^- 型半導体領域11bは、制御ゲート電極CGの側壁上のサイドウォールスペーサSWの下に形成され、高濃度の n^+ 型半導体領域12bは、低濃度の n^- 型半導体領域11bの外側に形成されている。したがって、低濃度の n^- 型半導体領域11bは、制御トランジスタCTのチャンネル領域としての p 型ウェルPW

10

20

30

40

50

1に隣接するように形成されている。また、高濃度の n^+ 型半導体領域12bは、低濃度の n^- 型半導体領域11bに接し、制御トランジスタCTのチャンネル領域としてのp型ウェルPW1から n^- 型半導体領域11bの分だけ離間するように形成されている。

【0044】

半導体領域MVは、メモリゲート電極MG下のゲート絶縁膜GI_mの下に位置する部分のp型ウェルPW1の上層部に形成されている。半導体領域MVは、 n 型の不純物が導入された半導体領域からなる。半導体領域MVは、後述するソースサイド注入方式により、ゲート絶縁膜GI_m中の窒化シリコン膜8bに電子を注入するためのものである。半導体領域MVは、ソース用の半導体領域MSと接触している。したがって、低濃度の n^- 型半導体領域11aは、半導体領域MVに隣接するように形成されている。また、高濃度の n^+ 型半導体領域12aは、制御トランジスタCTのチャンネル領域としてのp型ウェルPW1から、半導体領域MVおよび n^- 型半導体領域11aの分だけ離間するように形成されている。

10

【0045】

n 型の半導体領域である半導体領域MVは、 n 型の半導体領域であるソース用の半導体領域MSと電氣的に接続されている。また、半導体領域MVの制御ゲート電極CGの中央部側の端部である端部EP1の近傍に、 n 型の半導体領域である半導体領域MVとp型ウェルPW1とにより、pn接合が形成されている。そして、ソース用の半導体領域MS、および、ソース用の半導体領域MSと電氣的に接続された半導体領域MVと、p型ウェルPW1との間に電圧が印加されることにより、主としてpn接合で電子が発生する。

20

【0046】

好適には、半導体領域MVの制御ゲート電極CGの中央部側の端部EP1が、平面視において、制御ゲート電極CGのメモリゲート電極MG側の側面SS1よりもメモリゲート電極MG側に配置されることが望ましい。すなわち、半導体領域MVが、平面視において、制御ゲート電極CGから離れて形成されていることが望ましい。これにより、主としてpn接合で発生した電子を、ゲート絶縁膜GI_m中の窒化シリコン膜8bにソースサイド注入により効率よく注入することができる。

【0047】

制御ゲート電極CG下のゲート絶縁膜GI_tの下に位置する部分のp型ウェルPW1の上層部には、制御トランジスタCTのチャンネル領域が形成される。

30

【0048】

n^+ 型半導体領域12a上、または、 n^+ 型半導体領域12b上、すなわち n^+ 型半導体領域12aまたは n^+ 型半導体領域12bの上面上には、サリサイド(Salicide: Self Aligned Silicide)技術などにより、金属シリサイド層13が形成されている。金属シリサイド層13は、例えばコバルトシリサイド層、ニッケルシリサイド層、または、プラチナ添加ニッケルシリサイド層などからなる。金属シリサイド層13により、拡散抵抗やコンタクト抵抗を低抵抗化することができる。

【0049】

なお、金属シリサイド層13は、メモリゲート電極MG上に形成されていてもよい。

【0050】

次に、周辺回路領域1Bに形成されたMISFETQ1の構成を具体的に説明する。

40

【0051】

周辺回路領域1Bにおいて、半導体装置は、活性領域AR2と素子分離領域IR2とを有している。素子分離領域IR2は、素子を分離するためのものであり、素子分離領域IR2には、素子分離膜2が形成されている。活性領域AR2は、素子分離領域IR2により規定、すなわち区画され、素子分離領域IR2により他の活性領域と電氣的に分離されており、活性領域AR2には、p型ウェルPW2が形成されている。すなわち、活性領域AR2は、p型ウェルPW2が形成された領域である。p型ウェルPW2は、p型の導電性を有する。

【0052】

50

なお、前述したように、図1の断面図においては、理解を簡単にするために、メモリセル領域1Aの隣に周辺回路領域1Bを図示している。そのため、図1の断面図においては、メモリセル領域1Aの素子分離領域IR1が、周辺回路領域1Bの素子分離領域IR2でもある例を図示している。

【0053】

図1に示すように、周辺回路領域1Bのp型ウェルPW2には、MISFETQ1が形成されている。周辺回路領域1Bには、実際には複数のMISFETQ1が形成されており、図1には、そのうちの1つのMISFETQ1のゲート幅方向に垂直な断面が示されている。

【0054】

図1に示すように、MISFETQ1は、n⁻型半導体領域11cおよびn⁺型半導体領域12cからなる半導体領域と、p型ウェルPW2上に形成されたゲート絶縁膜GI1と、ゲート絶縁膜GI1上に形成されたゲート電極GE1と、を有している。n⁻型半導体領域11cおよびn⁺型半導体領域12cは、半導体基板1のp型ウェルPW2の上層部に形成されている。n⁻型半導体領域11cおよびn⁺型半導体領域12cは、p型の導電型とは反対の導電型であるn型の導電型を有する。

【0055】

ゲート絶縁膜GI1は、絶縁膜3からなる。ゲート絶縁膜GI1は、MISFETQ1のゲート絶縁膜として機能する。絶縁膜3として、メモリセルMC1の絶縁膜3と同層に形成された絶縁膜を用いることができる。

【0056】

ゲート電極GE1は、導電膜4からなる。導電膜4として、メモリセルMC1の導電膜4と同層に形成された導電膜を用いることができる。

【0057】

n⁻型半導体領域11cおよびn⁺型半導体領域12cからなる半導体領域は、n型の不純物が導入されたソース用およびドレイン用の半導体領域であり、メモリセルMC1の半導体領域MSおよびMDと同様に、LDD構造を備えている。すなわち、n⁺型半導体領域12cは、n⁻型半導体領域11cよりも接合深さが深くかつ不純物濃度が高い。

【0058】

ゲート電極GE1の側壁上には、酸化シリコン膜、窒化シリコン膜またはそれらの積層膜などの絶縁膜からなるサイドウォールスペーサSWが形成されている。

【0059】

n⁺型半導体領域12c上、すなわちn⁺型半導体領域12cの上面上には、メモリセルMC1におけるn⁺型半導体領域12a上、または、n⁺型半導体領域12b上と同様に、サリサイド技術などにより、金属シリサイド層13が形成されている。なお、金属シリサイド層13は、ゲート電極GE1上に形成されていてもよい。

【0060】

次に、メモリセル領域1Aに形成されたメモリセルMC1上、および、周辺回路領域1Bに形成されたMISFETQ1上の構成を具体的に説明する。

【0061】

半導体基板1上には、キャップ絶縁膜CP2、ゲート絶縁膜GI_m、メモリゲート電極MG、ゲート電極GE1およびサイドウォールスペーサSWを覆うように、絶縁膜14が形成されている。絶縁膜14は、例えば窒化シリコン膜などからなる。

【0062】

絶縁膜14上には、層間絶縁膜15が形成されている。層間絶縁膜15は、酸化シリコン膜の単体膜、あるいは、窒化シリコン膜と酸化シリコン膜との積層膜などからなる。層間絶縁膜15の上表面は平坦化されている。

【0063】

層間絶縁膜15にはコンタクトホールCNTが形成されており、コンタクトホールCNT内に、導電体部として導電性のプラグPGが埋め込まれている。

10

20

30

40

50

【 0 0 6 4 】

プラグ P G は、コンタクトホール C N T の底部、および、側壁上すなわち側面上に形成された薄いバリア導体膜と、このバリア導体膜上にコンタクトホール C N T を埋め込むように形成された主導体膜と、により形成されている。図 1 では、図面の簡略化のために、プラグ P G を構成するバリア導体膜および主導体膜を一体化して示してある。なお、プラグ P G を構成するバリア導体膜は、例えば、チタン (T i) 膜、窒化チタン (T i N) 膜、またはそれらの積層膜とすることができ、プラグ P G を構成する主導体膜は、タングステン (W) 膜とすることができる。

【 0 0 6 5 】

コンタクトホール C N T およびそれに埋め込まれたプラグ P G は、 n^+ 型半導体領域 1 2 a、1 2 b および 1 2 c 上、制御ゲート電極 C G 上、メモリゲート電極 M G 上およびゲート電極 G E 1 上などに形成される。コンタクトホール C N T の底部では、例えば n^+ 型半導体領域 1 2 a、1 2 b および 1 2 c の表面上の金属シリサイド層 1 3 の一部、制御ゲート電極 C G の表面上の金属シリサイド層 1 3 の一部、または、メモリゲート電極 M G の表面上の金属シリサイド層 1 3 の一部が露出される。あるいは、コンタクトホール C N T の底部では、例えばゲート電極 G E 1 の表面上の金属シリサイド層 1 3 の一部などが露出される。そして、その露出部にプラグ P G が接続される。なお、図 1 においては、 n^+ 型半導体領域 1 2 b および 1 2 c の表面上の金属シリサイド層 1 3 の一部が、コンタクトホール C N T の底部で露出して、そのコンタクトホール C N T を埋めるプラグ P G と電氣的に接続された断面が示されている。

【 0 0 6 6 】

プラグ P G が埋め込まれた層間絶縁膜 1 5 上には、例えば銅 (C u) を主導電材料とする埋込配線としてのダマシン配線として、第 1 層目の配線が形成されており、その第 1 層目の配線上には、ダマシン配線として、上層の配線も形成されているが、ここではその図示および説明は省略する。また、第 1 層目の配線およびそれよりも上層の配線は、ダマシン配線に限定されず、配線用の導電膜をパターンニングして形成することもでき、例えばタングステン (W) 配線またはアルミニウム (A l) 配線などとすることもできる。

【 0 0 6 7 】

次に、メモリセル領域 1 A に形成されたメモリセル M C 1 の動作を説明する。図 3 は、「書込」、「消去」および「読出」時におけるメモリセルの各部位への電圧の印加条件の一例を示す表である。

【 0 0 6 8 】

図 3 の表には、「書込」、「消去」および「読出」時のそれぞれにおいて、メモリゲート電極 M G に印加される電圧 V_{mg} 、半導体領域 M S に印加される電圧 V_s 、制御ゲート電極 C G に印加される電圧 V_{cg} 、および、半導体領域 M D に印加される電圧 V_d が記載されている。また、図 3 の表には、「書込」、「消去」および「読出」時のそれぞれにおいて、p 型ウェル P W 1 に印加される電圧 V_b が記載されている。なお、図 3 の表に示したものは電圧の印加条件の好適な一例であり、これに限定されるものではなく、必要に応じて種々変更可能である。

【 0 0 6 9 】

本実施の形態 1 では、メモリトランジスタの絶縁膜 8 中の電荷蓄積部である窒化シリコン膜 8 b への電子の注入を「書込」と定義し、ホール、すなわち正孔の注入を「消去」と定義する。さらに、電源電圧 V_{dd} を 1.5 V とする。

【 0 0 7 0 】

書き込み方式は、いわゆるソースサイド注入 (Source Side Injection : S S I) 方式と呼ばれるホットエレクトロン書き込みを用いることができる。例えば図 3 の「書込」の欄に示すような電圧を、書き込みを行うメモリセル M C 1 の各部位に印加し、メモリセル M C 1 のゲート絶縁膜 G I m 中の窒化シリコン膜 8 b 中に電子を注入する。ホットエレクトロンは、主としてメモリゲート電極 M G 下にゲート絶縁膜 G I m を介して位置する部分のチャンネル領域、すなわち半導体領域 M V で発生し、ゲート絶縁膜 G I m 中の電荷蓄積部

10

20

30

40

50

である窒化シリコン膜 8 b に注入される。注入されたホット電子は、ゲート絶縁膜 G I m 中の窒化シリコン膜 8 b 中のトラップ準位に捕獲され、その結果、メモリトランジスタの閾値電圧 (V_{th}) が上昇する。

【0071】

消去方法は、バンド間トンネル (Band-To-Band Tunneling: B T B T) 現象によるホットホール注入消去方式を用いることができる。つまり、B T B T 現象により発生したホール、すなわち正孔を電荷蓄積部、すなわちゲート絶縁膜 G I m 中の窒化シリコン膜 8 b に注入することにより消去を行う。例えば図 3 の「消去」の欄に示すような電圧を、消去を行うメモリセル M C 1 の各部位に印加し、B T B T 現象によりホールを発生させ電界加速することでメモリセル M C 1 のゲート絶縁膜 G I m 中の窒化シリコン膜 8 b 中にホールを注入し、それによってメモリトランジスタの閾値電圧を低下させる。

10

【0072】

消去方法は、直接トンネル現象を利用したホール注入による消去方式も用いることができる。つまり、直接トンネル現象によりホールを電荷蓄積部、すなわちゲート絶縁膜 G I m 中の窒化シリコン膜 8 b に注入することにより消去を行う。図 3 の「消去」の欄では図示を省略するが、メモリゲート電極 M G に印加される電圧 V_{mg} を、例えば正の電圧である 12 V とし、p 型ウェル P W 1 に印加される電圧 V_b を、例えば 0 V とする。これにより、メモリゲート電極 M G 側からホールが、酸化シリコン膜 8 c を介して直接トンネル現象により電荷蓄積部、すなわち窒化シリコン膜 8 b に注入され、窒化シリコン膜 8 b 中の電子を相殺することにより消去が行われる。あるいは、窒化シリコン膜 8 b に注入されたホールが窒化シリコン膜 8 b 中のトラップ準位に捕獲されることにより消去が行われる。これによりメモリトランジスタの閾値電圧が低下し、消去状態となる。このような消去方法を用いた場合には、B T B T 現象による消去方法を用いた場合と比較し、消費電流を低減することができる。

20

【0073】

読出し時には、例えば図 3 の「読出し」の欄に示すような電圧を、読出しを行うメモリセル M C 1 の各部位に印加する。読出し時のメモリゲート電極 M G に印加する電圧 V_{mg} を、書き込み状態におけるメモリトランジスタの閾値電圧と消去状態におけるメモリトランジスタの閾値電圧との間の値にすることで、書き込み状態と消去状態とを判別することができる。

30

【0074】

< 半導体装置の製造方法 >

次に、本実施の形態 1 の半導体装置の製造方法について説明する。

【0075】

図 4 ~ 図 6 は、実施の形態 1 の半導体装置の製造工程の一部を示すプロセスフロー図である。図 7 ~ 図 28 は、実施の形態 1 の半導体装置の製造工程中の要部断面図である。図 6 は、図 4 のステップ S 7 に含まれる工程を示す。図 7 ~ 図 28 の断面図には、メモリセル領域 1 A および周辺回路領域 1 B の要部断面図が示されており、メモリセル領域 1 A にメモリセル M C 1 が、周辺回路領域 1 B に M I S F E T Q 1 が、それぞれ形成される様子が示されている。

40

【0076】

前述したように、メモリセル領域 1 A と周辺回路領域 1 B は隣り合っていないともよいが、理解を簡単にするために、図 7 ~ 図 28 の断面図においては、メモリセル領域 1 A の隣に周辺回路領域 1 B を図示している。

【0077】

また、本実施の形態 1 においては、メモリセル領域 1 A に n チャネル型の制御トランジスタ C T およびメモリトランジスタ M T を形成する場合について説明するが、導電型を逆にして p チャネル型の制御トランジスタ C T およびメモリトランジスタ M T をメモリセル領域 1 A に形成することもできる。同様に、本実施の形態 1 においては、周辺回路領域 1 B に n チャネル型の M I S F E T Q 1 を形成する場合について説明するが、導電型を逆に

50

してpチャネル型のMISFETQ1を周辺回路領域1Bに形成することもでき、また、周辺回路領域1BにCMISFET(Complementary MISFET)などを形成することもできる。

【0078】

図7に示すように、まず、例えば1~10 cm程度の比抵抗を有するp型の単結晶シリコンなどからなる半導体ウェハとしての半導体基板1を用意、すなわち準備する(図4のステップS1)。

【0079】

次に、図7に示すように、半導体基板1の主面1aのメモリセル領域1Aにおいて、活性領域AR1を区画する素子分離領域IR1となり、半導体基板1の主面1aの周辺回路領域1Bにおいて、活性領域AR2を区画する素子分離領域IR2となる、素子分離膜2を形成する(図4のステップS2)。素子分離膜2は、酸化シリコンなどの絶縁体からなり、例えばSTI(Shallow Trench Isolation)法またはLOCOS(Local Oxidization of Silicon)法などにより形成することができる。例えば、素子分離領域IR1およびIR2に素子分離用の溝を形成した後、この素子分離用の溝内に、例えば酸化シリコンからなる絶縁膜を埋め込むことで、素子分離膜2を形成することができる。

10

【0080】

次に、図7に示すように、メモリセル領域1Aで活性領域AR1にp型ウェルPW1を形成し、周辺回路領域1Bで活性領域AR2にp型ウェルPW2を形成する(図4のステップS3)。p型ウェルPW1およびPW2は、例えばホウ素(B)などのp型の不純物を、半導体基板1に、イオン注入法などで導入することにより、形成することができる。p型ウェルPW1およびPW2は、半導体基板1の主面1aから所定の深さにわたって形成される。すなわち、ステップS1~ステップS3を行うことにより、メモリセル領域1Aで主面1aに形成されたp型ウェルPW1を有する半導体基板1を用意することになる。

20

【0081】

次に、例えばフッ酸(HF)水溶液を用いたウェットエッチングなどにより半導体基板1の表面の自然酸化膜を除去し、半導体基板1の表面を洗浄することによって、半導体基板1の表面を清浄化する。これにより、半導体基板1の表面、すなわちp型ウェルPW1およびPW2の表面が露出される。

30

【0082】

次に、図8に示すように、半導体基板1の主面1a全面に、絶縁膜3および導電膜4を形成する(図4のステップS4)。

【0083】

このステップS4では、まず、図8に示すように、メモリセル領域1Aおよび周辺回路領域1Bで、半導体基板1の主面1aに、絶縁膜3を形成する。前述したように、絶縁膜3として、酸化シリコン膜、窒化シリコン膜もしくは酸窒化シリコン膜、またはHigh-k膜、すなわち高誘電率膜を用いることができ、絶縁膜3として使用可能な材料例は、前述した通りである。また、絶縁膜3を、熱酸化法、スパッタリング法、原子層堆積(Atomic Layer Deposition: ALD)法または化学的気相成長(Chemical Vapor Deposition: CVD)法などを用いて形成することができる。

40

【0084】

ステップS4では、次に、図8に示すように、メモリセル領域1Aおよび周辺回路領域1Bで、絶縁膜3上に、シリコンからなる導電膜4を形成する。

【0085】

好適には、導電膜4は、多結晶シリコン膜、すなわちポリシリコン膜からなる。このような導電膜4を、CVD法などを用いて形成することができる。導電膜4の膜厚を、絶縁膜3を覆うように十分な程度の厚さとすることができる。また、成膜時は導電膜4をアモルファスシリコン膜として成膜してから、その後の熱処理でアモルファスシリコン膜を多結晶シリコン膜とすることもできる。

50

【 0 0 8 6 】

導電膜 4 として、例えばリン (P) またはヒ素 (A s) などの n 型の不純物またはホウ素 (B) などの p 型の不純物を導入して低抵抗率としたものを用いることが、好ましい。不純物は、導電膜 4 の成膜時または成膜後に導入することができる。導電膜 4 の成膜時に不純物を導入する場合には、導電膜 4 の成膜用のガスにドーピングガスを含ませることで、不純物が導入された導電膜 4 を成膜することができる。一方、シリコン膜の成膜後に不純物を導入する場合には、意図的には不純物を導入せずにシリコン膜を成膜した後に、このシリコン膜に不純物をイオン注入法などで導入することで、不純物が導入された導電膜 4 を形成することができる。

【 0 0 8 7 】

次に、図 8 に示すように、半導体基板 1 の主面 1 a 全面に、すなわち導電膜 4 上に、絶縁膜 5 および絶縁膜 6 を形成する (図 4 のステップ S 5) 。

【 0 0 8 8 】

このステップ S 5 では、まず、図 8 に示すように、メモリセル領域 1 A および周辺回路領域 1 B で、導電膜 4 上に、シリコンおよび酸素を含有する絶縁膜 5 を形成する。この絶縁膜 5 は、キャップ絶縁膜 C P 1 (後述する図 9 参照) となる。

【 0 0 8 9 】

例えばシリコン膜からなる導電膜 4 の表面を熱酸化することにより、例えば 6 n m 程度の厚さを有する酸化シリコン膜からなる絶縁膜 5 を形成することができる。または、シリコン膜からなる導電膜 4 の表面を熱酸化することに代え、C V D 法を用いて酸化シリコン膜からなる絶縁膜 5 を形成することもできる。

【 0 0 9 0 】

また、絶縁膜 5 の材料については、酸化シリコン膜に代え、他の材料からなる絶縁膜を用いることができる。あるいは、絶縁膜 5 を形成せず、導電膜 4 上に絶縁膜 6 を直接形成することもできる。

【 0 0 9 1 】

ステップ S 5 では、次に、図 8 に示すように、メモリセル領域 1 A および周辺回路領域 1 B で、絶縁膜 5 上に、シリコンおよび窒素を含有する絶縁膜 6 を形成する。例えば窒化シリコン膜からなる絶縁膜 6 を、例えば C V D 法などを用いて形成することができる。

【 0 0 9 2 】

次に、図 9 に示すように、絶縁膜 6、絶縁膜 5 および導電膜 4 をパターンニングする (図 4 のステップ S 6) 。このステップ S 6 では、例えばフォトリソグラフィおよびエッチングを用いて、絶縁膜 6、絶縁膜 5 および導電膜 4 を、パターンニングする。

【 0 0 9 3 】

まず、絶縁膜 6 上にレジスト膜を形成する。次いで、メモリセル領域 1 A のうち、制御ゲート電極 C G を形成する予定の領域以外の領域で、レジスト膜を貫通して絶縁膜 6 に達する開口部を形成し、開口部が形成されたレジスト膜からなるレジストパターンを形成する。このとき、メモリセル領域 1 A のうち、制御ゲート電極 C G を形成する予定の領域に配置された部分の絶縁膜 6、および、周辺回路領域 1 B に配置された部分の絶縁膜 6 は、レジスト膜に覆われている。

【 0 0 9 4 】

次いで、レジストパターンをエッチングマスクとして用いて、絶縁膜 6、絶縁膜 5 および導電膜 4 を、例えばドライエッチングなどによりエッチングしてパターンニングする。これにより、メモリセル領域 1 A で、導電膜 4 からなる制御ゲート電極 C G が形成され、制御ゲート電極 C G と半導体基板 1 の p 型ウェル P W 1 との間の絶縁膜 3 からなるゲート絶縁膜 G I t が形成される。すなわち、制御ゲート電極 C G は、メモリセル領域 1 A で、半導体基板 1 の p 型ウェル P W 1 上に、ゲート絶縁膜 G I t を介して形成される。

【 0 0 9 5 】

また、制御ゲート電極 C G 上に形成された部分の絶縁膜 5 からなるキャップ絶縁膜 C P 1 が形成され、キャップ絶縁膜 C P 1 を介して制御ゲート電極 C G 上に形成された部分の

10

20

30

40

50

絶縁膜 6 からなるキャップ絶縁膜 C P 2 が形成される。一方、周辺回路領域 1 B では、絶縁膜 6、絶縁膜 5 および導電膜 4 が残される。その後、レジストパターン、すなわちレジスト膜を除去する。

【 0 0 9 6 】

なお、メモリセル領域 1 A において、制御ゲート電極 C G で覆われない部分の絶縁膜 3 は、ステップ S 6 のドライエッチングを行うことによって、または、ステップ S 6 のドライエッチングの後にウェットエッチングを行うことによって、除去され得る。そして、メモリセル領域 1 A のうち、制御ゲート電極 C G が形成されていない部分では、半導体基板 1 の p 型ウェル P W 1 が露出する。

【 0 0 9 7 】

次に、図 1 0 および図 1 1 に示すように、犠牲酸化膜 S O F 1、S O F 2、S O F 3 および S O F 4 を形成する (図 4 のステップ S 7)。このステップ S 7 では、制御ゲート電極 C G の側面、および、周辺回路領域 1 B に残された部分の導電膜 4 の側面を酸化し、制御ゲート電極 C G の側面、および、周辺回路領域 1 B に残された部分の導電膜 4 の側面に、犠牲酸化膜 S O F 1 および S O F 2 を形成する。また、ステップ S 7 では、キャップ絶縁膜 C P 2 の表面、および、周辺回路領域 1 B に残された部分の絶縁膜 6 の表面を酸化し、キャップ絶縁膜 C P 2 の表面、および、周辺回路領域 1 B に残された部分の絶縁膜 6 の表面に、犠牲酸化膜 S O F 3 および S O F 4 を形成する。

【 0 0 9 8 】

ステップ S 7 は、熱酸化法により酸化する工程 (図 6 のステップ S 3 1) と、I S S G (In Situ Steam Generation) 法により酸化する工程 (図 6 のステップ S 3 2) と、を含む。すなわち、本実施の形態 1 では、犠牲酸化膜 S O F 1、S O F 2、S O F 3 および S O F 4 を形成する際に、熱酸化法と I S S G 酸化法とを併用する。また、本実施の形態 1 では、ステップ S 3 1 を行って熱酸化法により酸化した後、ステップ S 3 2 を行って I S S G 酸化法により酸化する。

【 0 0 9 9 】

ステップ S 6 において、制御ゲート電極 C G の側面にエッチングによる損傷が加えられた場合でも、ステップ S 7 において、犠牲酸化膜 S O F 1 を形成することにより、その損傷が加えられた部分が酸化されるため、加えられた損傷を除去することができる。

【 0 1 0 0 】

好適には、ステップ S 7 では、半導体基板 1 の主面 1 a に、犠牲酸化膜 S O F 1 1 を形成する。すなわち、ステップ S 7 では、平面視において、少なくとも制御ゲート電極 C G の第 1 の側、すなわちその制御ゲート電極 C G と隣接するメモリゲート電極 M G (後述する図 2 1 参照) が配置される側に位置する部分の p 型ウェル P W 1 上に、犠牲酸化膜 S O F 1 1 を形成する。

【 0 1 0 1 】

これにより、ステップ S 6 において、半導体基板 1 の主面 1 a にエッチングによる損傷が加えられた場合でも、ステップ S 7 において、犠牲酸化膜 S O F 1 1 を形成することにより、その損傷が加えられた部分が酸化されるため、加えられた損傷を除去することができる。言い換えれば、ステップ S 6 において、少なくとも制御ゲート電極 C G の第 1 の側に位置する部分の p 型ウェル P W 1 の表面にエッチングによる損傷が加えられた場合でも、ステップ S 7 において、犠牲酸化膜 S O F 1 1 を形成することにより、その損傷が加えられた部分が酸化されるため、加えられた損傷を除去することができる。

【 0 1 0 2 】

また、犠牲酸化膜 S O F 1 1 を形成することにより、後述するステップ S 9 において、p 型ウェル P W 1 の上層部に n 型の半導体領域 M V を形成する際に、p 型ウェル P W 1 の上面、および、制御ゲート電極 C G の側面に損傷が加えられることを防止することができる。

【 0 1 0 3 】

熱酸化法は、シリコンなどからなる半導体基板を、例えば 8 0 0 ~ 1 1 0 0 の温度に

10

20

30

40

50

加熱して熱処理を行うことにより、半導体基板の表面にシリコン酸化膜などからなる酸化膜を形成する方法である。熱酸化法として、例えばドライ酸化法またはウェット酸化法を用いることができる。ドライ酸化法は、酸素ガス中で熱処理を行う方法であり、ウェット酸化法は、酸素ガスに脱イオン水蒸気を加えたガス中で熱処理を行う方法である。

【0104】

一方、ISSG (In Situ Steam Generation) 法は、減圧した熱処理チャンバ内に水素と酸素を直接導入し、例えば800～1100の温度に加熱したシリコンなどからなる半導体基板の表面でラジカル酸化反応をさせることにより、半導体基板の表面にシリコン酸化膜などからなる酸化膜を形成する方法である。

【0105】

本実施の形態1では、まず、図10に示すように、熱酸化法により酸化する(図6のステップS31)。

【0106】

熱酸化法によれば、例えばシリコン膜からなる導電膜4の表面は酸化されやすい。そのため、ステップS31では、導電膜4からなる制御ゲート電極CGの側面が酸化され、制御ゲート電極CGの側面に、犠牲酸化膜SOF1が形成される。また、ステップS31では、周辺回路領域1Bに残された部分の導電膜4の側面が酸化され、周辺回路領域1Bに残された部分の導電膜4の側面に、犠牲酸化膜SOF2が形成される。

【0107】

すなわち、ステップS31では、制御ゲート電極CGの側面、および、周辺回路領域1Bに残された部分の導電膜4の側面を、熱酸化法により酸化する。

【0108】

一方、熱酸化法によれば、例えば窒化シリコン膜からなる絶縁膜6の表面は酸化されにくい。そのため、ステップS31では、絶縁膜6からなるキャップ絶縁膜CP2の表面、および、周辺回路領域1Bに残された部分の絶縁膜6の表面には、犠牲酸化膜は形成されない。

【0109】

なお、ステップS31では、メモリセル領域1Aで、p型ウェルPW1の上面も酸化され、p型ウェルPW1の上面にも犠牲酸化膜SOF11が形成される。

【0110】

例えば導電膜4にn型の不純物が導入されていることなどにより、導電膜4の表面は酸化されやすいので、p型ウェルPW1の表面は、導電膜4の表面に比べて酸化されにくい。したがって、メモリセル領域1Aで、半導体基板1のp型ウェルPW1の上面に形成された犠牲酸化膜SOF11の膜厚TH11は、導電膜4からなる制御ゲート電極CGの側面に形成された犠牲酸化膜SOF1の膜厚TH1よりも薄い。

【0111】

ステップS31では、例えば950程度の温度で熱酸化法により酸化することができる。このとき、犠牲酸化膜SOF1の膜厚TH1を、例えば5nm程度とすることができる。また、犠牲酸化膜SOF11の膜厚TH11を、例えば3nm程度とすることができる。また、犠牲酸化膜SOF2の膜厚を、犠牲酸化膜SOF1の膜厚と同程度とすることができる。

【0112】

次に、図11に示すように、ISSG酸化法により酸化する(図6のステップS32)。

【0113】

ISSG酸化法によれば、ラジカル酸化反応をさせるため、例えばシリコン膜からなる導電膜4の表面は酸化される。そのため、ステップS32では、導電膜4からなる制御ゲート電極CGの側面がさらに酸化され、制御ゲート電極CGの側面に形成された犠牲酸化膜SOF1の膜厚TH1が増加する。また、ステップS32では、周辺回路領域1Bに残された部分の導電膜4の側面がさらに酸化され、周辺回路領域1Bに残された部分の導電

10

20

30

40

50

膜 4 の側面に形成された犠牲酸化膜 S O F 2 の膜厚が増加する。

【 0 1 1 4 】

一方、I S S G 酸化法によれば、ラジカル酸化反応をさせるため、例えば窒化シリコン膜からなる絶縁膜 6 の表面も酸化することができる。そのため、ステップ S 3 2 では、絶縁膜 6 からなるキャップ絶縁膜 C P 2 の表面が酸化され、キャップ絶縁膜 C P 2 の表面に、犠牲酸化膜 S O F 3 が形成される。また、ステップ S 3 2 では、周辺回路領域 1 B に残された部分の絶縁膜 6 の表面が酸化され、周辺回路領域 1 B に残された部分の絶縁膜 6 の表面に、犠牲酸化膜 S O F 4 が形成される。

【 0 1 1 5 】

すなわち、ステップ S 3 2 では、制御ゲート電極 C G の側面、周辺回路領域 1 B に残された部分の導電膜 4 の側面、キャップ絶縁膜 C P 2 の表面、および、周辺回路領域 1 B に残された部分の絶縁膜 6 の表面を、I S S G 酸化法により酸化する。

10

【 0 1 1 6 】

なお、ステップ S 3 2 では、メモリセル領域 1 A で、p 型ウェル P W 1 の上面も酸化され、p 型ウェル P W 1 の上面に形成された犠牲酸化膜 S O F 1 1 の膜厚も増加する。

【 0 1 1 7 】

ステップ S 3 2 では、例えば 9 0 0 程度の温度で I S S G 酸化法により酸化することができる。このとき、犠牲酸化膜 S O F 1 の膜厚 T H 1 を、例えば 6 n m 程度に増加させることができ、犠牲酸化膜 S O F 1 1 の膜厚 T H 1 1 を、例えば 4 n m 程度に増加させることができ、犠牲酸化膜 S O F 3 の膜厚 T H 2 を、例えば 1 n m 程度とすることができる。また、犠牲酸化膜 S O F 2 の膜厚を、犠牲酸化膜 S O F 1 の膜厚と同程度まで増加させることができ、犠牲酸化膜 S O F 4 の膜厚を、犠牲酸化膜 S O F 3 の膜厚と同程度とすることができる。

20

【 0 1 1 8 】

このようにして、ステップ S 7 では、ステップ S 3 1 およびステップ S 3 2 を行うことにより、制御ゲート電極 C G の側面、周辺回路領域 1 B に残された部分の導電膜 4 の側面、キャップ絶縁膜 C P 2 の表面、および、周辺回路領域 1 B に残された部分の絶縁膜 6 の表面を酸化する。そして、制御ゲート電極 C G の側面に犠牲酸化膜 S O F 1 を形成し、周辺回路領域 1 B に残された部分の導電膜 4 の側面に犠牲酸化膜 S O F 2 を形成し、キャップ絶縁膜 C P 2 の表面に犠牲酸化膜 S O F 3 を形成し、周辺回路領域 1 B に残された部分の絶縁膜 6 の側面に犠牲酸化膜 S O F 4 を形成する。

30

【 0 1 1 9 】

次に、図 1 2 ~ 図 1 6 に示すように、周辺回路領域 1 B で、犠牲酸化膜 S O F 4 および絶縁膜 6 を除去する (図 4 のステップ S 8) 。

【 0 1 2 0 】

このステップ S 8 では、まず、図 1 2 に示すように、メモリセル領域 1 A で、表面に犠牲酸化膜 S O F 3 が形成されたキャップ絶縁膜 C P 2、および、側面に犠牲酸化膜 S O F 1 が形成された制御ゲート電極 C G を覆うように、レジスト膜 R F 1 を形成する。また、周辺回路領域 1 B に残された部分であって、表面に犠牲酸化膜 S O F 4 が形成された部分の絶縁膜 6、および、周辺回路領域 1 B に残された部分であって、側面に犠牲酸化膜 S O F 2 が形成された部分の導電膜 4 を覆うように、レジスト膜 R F 1 を形成する。

40

【 0 1 2 1 】

次いで、図 1 3 に示すように、レジスト膜 R F 1 をパターン露光した後、現像することにより、レジスト膜 R F 1 をパターンングし、周辺回路領域 1 B で、レジスト膜 R F 1 を除去し、メモリセル領域 1 A で、レジスト膜 R F 1 を残す。これにより、メモリセル領域 1 A で残された部分のレジスト膜 R F 1 からなるレジストパターン R P 1 が形成される。

【 0 1 2 2 】

次いで、図 1 4 および図 1 5 に示すように、周辺回路領域 1 B に残された部分の絶縁膜 6 を除去する。この絶縁膜 6 を除去する工程では、レジストパターン R P 1 をエッチングマスクとして用いて、絶縁膜 6 を例えばドライエッチングなどによりエッチングして除去

50

する。

【0123】

図13に示すように、レジスト膜RF1をパターン露光した後、現像する際に、異物としての粒子PT1が発生し、発生した粒子PT1が、周辺回路領域1Bで、絶縁膜6上に形成された部分の犠牲酸化膜SOF4の上面に付着することがある。粒子PT1は、例えばレジスト膜RF1に含まれる有機物からなる粒子であるか、または、現像に用いられる現像液に含まれる異物としての粒子である。

【0124】

しかし、本実施の形態1では、犠牲酸化膜SOF4の上面に付着した粒子PT1と、犠牲酸化膜SOF4の上面との密着力が小さい。そのため、犠牲酸化膜SOF4の上面に付着した粒子PT1は、絶縁膜6をエッチングする工程の初期の段階で、図14に示すように、犠牲酸化膜SOF4の上面から容易に離脱する。これにより、犠牲酸化膜SOF4の上面に付着した粒子PT1が、絶縁膜6をエッチングする際のエッチングマスクになることを防止することができる。したがって、図15に示すように、絶縁膜6をエッチングする工程において、周辺回路領域1Bに残された部分の絶縁膜6を完全に除去することができる。

10

【0125】

なお、図15に示すように、絶縁膜5の膜厚は、絶縁膜6の膜厚に比べて薄いため、周辺回路領域1Bに残された部分の絶縁膜6をエッチングして除去する際に、周辺回路領域1Bに残された部分の絶縁膜5も除去される。

20

【0126】

その後、図16に示すように、メモリセル領域1Aに残された部分のレジスト膜RF1、すなわちレジストパターンRP1を除去する。

【0127】

次に、図17に示すように、半導体領域MVを形成する(図4のステップS9)。このステップS9では、メモリセル領域1Aで、表面に犠牲酸化膜SOF3が形成されたキャップ絶縁膜CP2、および、側面に犠牲酸化膜SOF1が形成された制御ゲート電極CGをマスクとして、p型ウェルPW1に、例えばリン(P)またはヒ素(As)などのn型の不純物IP1を、イオン注入法により導入する。これにより、平面視において、制御ゲート電極CGの第1の側に位置する部分のp型ウェルPW1の上層部に、n型の半導体領域MVを形成する。

30

【0128】

平面視において、制御ゲート電極CGの第1の側に位置する部分のp型ウェルPW1上には、ゲート絶縁膜GImを介してメモリゲート電極MG(後述する図21参照)が形成される。したがって、n型の半導体領域MVは、平面視において、制御ゲート電極CGの両側のうち、その制御ゲート電極CGと隣接するメモリゲート電極MGが配置される側に位置する部分のp型ウェルPW1の上層部に、形成される。

【0129】

ステップS7において、平面視において、制御ゲート電極CGの第1の側、すなわちその制御ゲート電極CGと隣接するメモリゲート電極MG(後述する図21参照)が配置される側に位置する部分のp型ウェルPW1の上面に、犠牲酸化膜SOF11が形成されている。そのため、ステップS9において、p型ウェルPW1に、n型の不純物IP1をイオン注入法により導入する際に、p型ウェルPW1の上面に損傷が加えられることを防止することができる。

40

【0130】

また、本実施の形態1では、側面に犠牲酸化膜SOF1が形成された制御ゲート電極CGをマスクとして、p型ウェルPW1に、n型の不純物IP1を、イオン注入法により導入する。そのため、n型の半導体領域MVを、平面視において、制御ゲート電極CGと離して形成することができる。すなわち、n型の半導体領域MVの制御ゲート電極CGの中央部側の端部である端部EP1は、平面視において、制御ゲート電極CGのメモリゲート

50

電極 M G (後述する図 2 1 参照) 側の側面 S S 1 よりも、制御ゲート電極 C G の中央部側と反対側に配置される。

【 0 1 3 1 】

なお、本実施の形態 1 では、制御ゲート電極 C G の第 1 の側に位置する部分の p 型ウェル P W 1 の上層部に、n 型の半導体領域 M V を形成する例について説明したが、制御ゲート電極 C G の両側に位置する部分の p 型ウェル P W 1 の上層部に、n 型の半導体領域 M V を形成してもよい。

【 0 1 3 2 】

次に、図 1 8 に示すように、犠牲酸化膜 S O F 1、S O F 2 および S O F 3 を除去する (図 4 のステップ S 1 0)。このステップ S 1 0 では、例えばフッ酸 (H F) 水溶液を用いたウェットエッチングなどにより、犠牲酸化膜 S O F 1、S O F 2 および S O F 3 を除去する。このとき、犠牲酸化膜 S O F 1 も除去される。なお、半導体基板 1 の表面を洗浄することによって、半導体基板 1 の表面を清浄化してもよい。

10

【 0 1 3 3 】

次に、図 1 9 に示すように、半導体基板 1 の主面 1 a 全面に、メモリトランジスタ M T のゲート絶縁膜 G I m 用の絶縁膜 8 を形成する (図 4 のステップ S 1 1)。このステップ S 1 1 において、メモリセル領域 1 A では、露出した部分の半導体基板 1 の主面 1 a、制御ゲート電極 C G の側面、および、キャップ絶縁膜 C P 2 の上面および側面に、絶縁膜 8 が形成される。また、周辺回路領域 1 B に残された部分の導電膜 4 の上面および側面に、絶縁膜 8 が形成される。すなわち、ステップ S 1 1 において、絶縁膜 8 は、半導体基板 1 の主面 1 a、制御ゲート電極 C G の側面、キャップ絶縁膜 C P 2 の表面、ならびに、周辺回路領域 1 B に残された部分の導電膜 4 の表面を覆うように、形成される。

20

【 0 1 3 4 】

絶縁膜 8 は、前述したように、内部に電荷蓄積部を有する絶縁膜であり、絶縁膜として、下から順に形成された酸化シリコン膜 8 a、窒化シリコン膜 8 b および酸化シリコン膜 8 c の積層膜からなる。

【 0 1 3 5 】

絶縁膜 8 のうち、酸化シリコン膜 8 a を、例えば熱酸化法または I S S G 酸化法などにより形成することができる。また、絶縁膜 8 のうち、窒化シリコン膜 8 b を、例えば C V D 法により形成することができる。さらに、絶縁膜 8 のうち、酸化シリコン膜 8 c を、例えば C V D 法または I S S G 酸化法により形成することができる。

30

【 0 1 3 6 】

まず、露出した部分の半導体基板 1 の主面 1 a と、制御ゲート電極 C G の側面と、キャップ絶縁膜 C P 2 の上面および側面と、周辺回路領域 1 B に残された部分の導電膜 4 の上面および側面とに、例えば熱酸化法または I S S G 酸化法により酸化シリコン膜 8 a を形成する。このとき、露出した部分の半導体基板 1 の主面 1 a、制御ゲート電極 C G の側面、キャップ絶縁膜 C P 2 の上面および側面、ならびに、周辺回路領域 1 B に残された部分の導電膜 4 の上面および側面が、酸化される。酸化シリコン膜 8 a の厚みは、例えば 4 n m 程度とすることができる。

【 0 1 3 7 】

他の形態として、酸化シリコン膜 8 a を A L D 法で形成することもできる。このとき、露出した部分の半導体基板 1 の主面 1 a、制御ゲート電極 C G の側面、キャップ絶縁膜 C P 2 の上面および側面、ならびに、周辺回路領域 1 B に残された部分の導電膜 4 の上面および側面に酸化シリコンが成長する。したがって、このときも、露出した部分の半導体基板 1 の主面 1 a、制御ゲート電極 C G の側面、キャップ絶縁膜 C P 2 の上面および側面、ならびに、周辺回路領域 1 B に残された部分の導電膜 4 の上面および側面が、酸化膜で覆われることになる。

40

【 0 1 3 8 】

次に、酸化シリコン膜 8 a 上に窒化シリコン膜 8 b を例えば C V D 法で形成し、さらに窒化シリコン膜 8 b 上に酸化シリコン膜 8 c を例えば C V D 法、I S S G 酸化法またはそ

50

の両方で形成する。これにより、酸化シリコン膜 8 a、窒化シリコン膜 8 b および酸化シリコン膜 8 c の積層膜からなる絶縁膜 8 を形成することができる。

【0139】

メモリセル領域 1 A に形成された絶縁膜 8 は、メモリゲート電極 M G (後述する図 2 1 参照) のゲート絶縁膜として機能し、電荷保持機能を有する。絶縁膜 8 は、電荷蓄積部としての窒化シリコン膜 8 b を、電荷ブロック層としての酸化シリコン膜 8 a と酸化シリコン膜 8 c とで挟んだ構造を有している。そして、酸化シリコン膜 8 a および 8 c からなる電荷ブロック層のポテンシャル障壁高さが、窒化シリコン膜 8 b からなる電荷蓄積部のポテンシャル障壁高さに比べ、高くなる。

【0140】

なお、本実施の形態 1 においては、トラップ準位を有する絶縁膜として、窒化シリコン膜 8 b を用いるが、窒化シリコン膜 8 b を用いた場合、信頼性の面で好適である。しかし、トラップ準位を有する絶縁膜としては、窒化シリコン膜に限定されず、例えば酸化アルミニウム(アルミナ)膜、酸化ハフニウム膜または酸化タンタル膜など、窒化シリコン膜よりも高い誘電率を有する高誘電率膜を用いることができる。

【0141】

次に、図 2 0 に示すように、半導体基板 1 の主面 1 a 全面に、すなわち絶縁膜 8 上に、シリコンからなる導電膜 9 を形成する(図 5 のステップ S 1 2)。

【0142】

好適には、導電膜 9 は、例えば多結晶シリコン膜、すなわちポリシリコン膜からなる。このような導電膜 9 を、CVD 法などを用いて形成することができる。また、成膜時は導電膜 9 をアモルファスシリコン膜として成膜してから、その後の熱処理でアモルファスシリコン膜を多結晶シリコン膜とすることもできる。

【0143】

導電膜 9 として、例えばリン(P)またはヒ素(As)などの n 型の不純物またはホウ素(B)などの p 型の不純物を導入して低抵抗率としたものを用いることが、好ましい。不純物は、導電膜 9 の成膜時または成膜後に導入することができる。導電膜 9 の成膜後のイオン注入で導電膜 9 に不純物を導入することもできるが、導電膜 9 の成膜時に導電膜 9 に不純物を導入することもできる。導電膜 9 の成膜時に不純物を導入する場合には、導電膜 9 の成膜用のガスにドーピングガスを含ませることで、不純物が導入された導電膜 9 を成膜することができる。

【0144】

次に、図 2 1 に示すように、異方性エッチング技術により導電膜 9 をエッチバックして、メモリゲート電極 M G を形成する(図 5 のステップ S 1 3)。

【0145】

このステップ S 1 3 では、導電膜 9 の膜厚の分だけ導電膜 9 をエッチバックすることにより、制御ゲート電極 C G の両側の側壁上、すなわち側面上に、絶縁膜 8 を介して導電膜 9 をサイドウォールスペーサ状に残し、他の領域の導電膜 9 を除去する。

【0146】

これにより、図 2 1 に示すように、メモリセル領域 1 A において、制御ゲート電極 C G の両側の側壁のうち、第 1 の側、すなわちその制御ゲート電極 C G と隣接するメモリゲート電極 M G が配置される側の側壁上に、絶縁膜 8 を介してサイドウォールスペーサ状に残された導電膜 9 からなる、メモリゲート電極 M G が形成される。また、制御ゲート電極 C G の両側の側壁のうち、第 1 の側と反対側、すなわちその制御ゲート電極 C G と隣接するメモリゲート電極 M G が配置される側と反対側の側壁上に、絶縁膜 8 を介してサイドウォールスペーサ状に残された導電膜 9 からなる、スペーサ S P 1 が形成される。

【0147】

メモリゲート電極 M G は、絶縁膜 8 上に、絶縁膜 8 を介して制御ゲート電極 C G と隣り合うように形成される。メモリゲート電極 M G とスペーサ S P 1 とは、制御ゲート電極 C G の互いに反対側となる側壁上に形成されており、制御ゲート電極 C G を挟んでほぼ対称

10

20

30

40

50

な構造を有している。

【0148】

制御ゲート電極CG上には、キャップ絶縁膜CP1を介してキャップ絶縁膜CP2が形成されている。したがって、メモリゲート電極MGは、キャップ絶縁膜CP2の第1の側壁上に、絶縁膜8を介してサイドウォールスペーサ状に残された導電膜9からなる。また、スペーサSP1は、キャップ絶縁膜CP2の第1の側と反対側の側壁上に、絶縁膜8を介してサイドウォールスペーサ状に残された導電膜9からなる。

【0149】

なお、周辺回路領域1Bに残された導電膜4の側面上にも、絶縁膜8を介してサイドウォールスペーサ状に残された導電膜9により、スペーサSP1が形成される。

10

【0150】

ステップS13で形成されたメモリゲート電極MGと半導体基板1のp型ウェルPW1との間、および、メモリゲート電極MGと制御ゲート電極CGの間には、絶縁膜8が存在しており、このメモリゲート電極MGは、絶縁膜8に接触した導電膜9からなる。

【0151】

ステップS13のエッチバック工程を行った段階で、絶縁膜8のうちメモリゲート電極MGおよびスペーサSP1のいずれにも覆われていない部分、すなわち、メモリゲート電極MGおよびスペーサSP1のいずれにも覆われていない部分の絶縁膜8が、露出される。メモリセル領域1Aにおけるメモリゲート電極MG下の絶縁膜8が、メモリトランジスタMTのゲート絶縁膜GIm(後述する図23参照)となる。また、ステップS12にて形成される導電膜9の膜厚を調整することで、メモリゲート長を調整することができる。

20

【0152】

次に、図22に示すように、スペーサSP1を除去する(図5のステップS14)。このステップS14では、フォトリソグラフィを用いて、メモリゲート電極MGが覆われ、かつ、スペーサSP1が露出されるようなレジストパターン(図示せず)を半導体基板1上に形成する。そして、形成されたレジストパターンをエッチングマスクとしたドライエッチングにより、スペーサSP1を除去する。一方、メモリゲート電極MGは、レジストパターンで覆われていたので、エッチングされずに残される。その後、このレジストパターンを除去する。

【0153】

次に、図23に示すように、メモリゲート電極MGで覆われていない部分の絶縁膜8を、例えばウェットエッチングなどのエッチングによって除去する(図5のステップS15)。この際、メモリセル領域1Aにおいて、メモリゲート電極MGとp型ウェルPW1との間、および、メモリゲート電極MGと制御ゲート電極CGとの間に位置する絶縁膜8は、除去されずに残され、他の領域に位置する絶縁膜8は除去される。このとき、メモリセル領域1Aにおいて、メモリゲート電極MGとp型ウェルPW1との間に残された部分、および、メモリゲート電極MGと制御ゲート電極CGとの間に残された部分の絶縁膜8からなるゲート絶縁膜GImが形成される。

30

【0154】

なお、ステップS15において、絶縁膜8のうち、酸化シリコン膜8cおよび窒化シリコン膜8bが除去され、酸化シリコン膜8aが除去されずに残されるように、エッチングを行うこともできる。

40

【0155】

次に、図24に示すように、周辺回路領域1Bで、導電膜4をパターニングする(図5のステップS16)。このステップS16では、例えばフォトリソグラフィおよびエッチングを用いて、周辺回路領域1Bで、導電膜4をパターニングする。レジストを塗布する前に例えば酸化シリコン膜と窒化シリコン膜を形成してもよい。これらの膜は、周辺回路領域1Bで、導電膜4をパターニングする際のメモリ部保護膜として機能する(図示せず)。

【0156】

50

まず、半導体基板 1 の主面 1 a 全面に、レジスト膜を形成する。次いで、周辺回路領域 1 B のうち、ゲート電極 G E 1 を形成する予定の領域以外の領域で、レジスト膜を貫通して導電膜 4 に達する開口部を形成し、開口部が形成されたレジスト膜からなるレジストパターンを形成する。このとき、周辺回路領域 1 B のうち、ゲート電極 G E 1 を形成する予定の領域に配置された部分の導電膜 4、および、メモリセル領域 1 A における半導体基板 1 の主面 1 a は、レジスト膜に覆われている。

【 0 1 5 7 】

次いで、レジストパターンをエッチングマスクとして用いて、導電膜 4 を、例えばドライエッチングなどによりエッチングしてパターンニングする。これにより、周辺回路領域 1 B で、導電膜 4 からなるゲート電極 G E 1 が形成され、ゲート電極 G E 1 と半導体基板 1 の p 型ウェル P W 2 との間の絶縁膜 3 からなるゲート絶縁膜 G I 1 が形成される。すなわち、ゲート電極 G E 1 は、周辺回路領域 1 B で、半導体基板 1 の p 型ウェル P W 2 上に、ゲート絶縁膜 G I 1 を介して形成される。一方、メモリセル領域 1 A では、メモリゲート電極 M G および制御ゲート電極 C G はレジストパターンで覆われているため、メモリゲート電極 M G および制御ゲート電極 C G はエッチングされない。その後、レジストパターン、すなわちレジスト膜を除去する。

10

【 0 1 5 8 】

なお、周辺回路領域 1 B において、ゲート電極 G E 1 で覆われない部分の絶縁膜 3 は、ステップ S 1 6 のドライエッチングを行うことによって、または、ステップ S 1 6 のドライエッチングの後にウェットエッチングを行うことによって、除去され得る。

20

【 0 1 5 9 】

次に、図 2 5 に示すように、 n^- 型半導体領域 1 1 a、1 1 b および 1 1 c を、イオン注入法などを用いて形成する（図 5 のステップ S 1 7）。このステップ S 1 7 では、例えばヒ素（As）またはリン（P）などの n 型の不純物を、制御ゲート電極 C G、メモリゲート電極 M G およびゲート電極 G E 1 をマスクとして用いて、半導体基板 1 の p 型ウェル P W 1 および P W 2 ならびに半導体領域 M V に導入する。これにより、 n^- 型半導体領域 1 1 a、1 1 b および 1 1 c が形成される。

【 0 1 6 0 】

この際、 n^- 型半導体領域 1 1 a は、メモリセル領域 1 A において、メモリゲート電極 M G の側面に自己整合して形成される。また、 n^- 型半導体領域 1 1 b は、メモリセル領域 1 A において、制御ゲート電極 C G の側面に自己整合して形成される。さらに、 n^- 型半導体領域 1 1 c は、周辺回路領域 1 B において、ゲート電極 G E 1 の側面に自己整合して形成される。 n^- 型半導体領域 1 1 a、1 1 b および 1 1 c は、同じイオン注入工程で形成することができるが、異なるイオン注入工程で形成することも可能である。

30

【 0 1 6 1 】

次に、図 2 6 に示すように、制御ゲート電極 C G の側壁上、メモリゲート電極 M G の側壁上、および、ゲート電極 G E 1 の側壁上に、サイドウォールスペーサ S W を形成する（図 5 のステップ S 1 8）。

【 0 1 6 2 】

まず、半導体基板 1 の主面 1 a 全面に、サイドウォールスペーサ S W 用の絶縁膜を形成し、形成された絶縁膜を例えば異方性エッチングによりエッチバックする。このようにして、制御ゲート電極 C G の側壁上、メモリゲート電極 M G の側壁上、およびゲート電極 G E 1 の側壁上に選択的にこの絶縁膜を残すことにより、サイドウォールスペーサ S W を形成する。このサイドウォールスペーサ S W は、酸化シリコン膜、窒化シリコン膜またはそれらの積層膜などの絶縁膜からなる。

40

【 0 1 6 3 】

次に、 n^+ 型半導体領域 1 2 a、1 2 b および 1 2 c を、イオン注入法などを用いて形成する（図 5 のステップ S 1 9）。このステップ S 1 9 では、例えばヒ素（As）またはリン（P）などの n 型の不純物を、制御ゲート電極 C G、メモリゲート電極 M G およびゲート電極 G E 1 と、それらの側壁上のサイドウォールスペーサ S W とをマスクとして用い

50

て半導体基板 1 の p 型ウェル P W 1 および P W 2 に導入する。これにより、 n^+ 型半導体領域 1 2 a、1 2 b および 1 2 c が形成される。

【0164】

この際、 n^+ 型半導体領域 1 2 a は、メモリセル領域 1 A において、メモリゲート電極 M G の側壁上のサイドウォールスペーサ S W に自己整合して形成される。また、 n^+ 型半導体領域 1 2 b は、メモリセル領域 1 A において、制御ゲート電極 C G の側壁上のサイドウォールスペーサ S W に自己整合して形成される。さらに、 n^+ 型半導体領域 1 2 c は、周辺回路領域 1 B において、ゲート電極 G E 1 の両側壁上のサイドウォールスペーサ S W に自己整合して形成される。これにより、L D D 構造が形成される。 n^+ 型半導体領域 1 2 a、1 2 b および 1 2 c は、同じイオン注入工程で形成することができるが、異なるイオン注入工程で形成することも可能である。

10

【0165】

このようにして、 n^- 型半導体領域 1 1 a とそれよりも高不純物濃度の n^+ 型半導体領域 1 2 a とにより、メモリトランジスタ M T のソース領域として機能する n 型の半導体領域 M S が形成される。また、 n^- 型半導体領域 1 1 b とそれよりも高不純物濃度の n^+ 型半導体領域 1 2 b とにより、制御トランジスタ C T のドレイン領域として機能する n 型の半導体領域 M D が形成される。半導体領域 M S は、平面視において、メモリゲート電極 M G を挟んで制御ゲート電極 C G と反対側に位置する部分の p 型ウェル P W 1、すなわち半導体基板 1 の上層部に、形成される。半導体領域 M D は、平面視において、制御ゲート電極 C G を挟んでメモリゲート電極 M G と反対側に位置する部分の p 型ウェル P W 1 の上層部に、形成される。

20

【0166】

その後、 n^- 型半導体領域 1 1 a、1 1 b および 1 1 c、ならびに、 n^+ 型半導体領域 1 2 a、1 2 b および 1 2 c などに導入された不純物を活性化するための熱処理である活性化アニールを行う。これにより、図 2 6 に示すように、メモリセル領域 1 A で、制御トランジスタ C T およびメモリトランジスタ M T が形成され、制御トランジスタ C T およびメモリトランジスタ M T により、不揮発性メモリとしてのメモリセル M C 1 が形成される。すなわち、制御ゲート電極 C G と、ゲート絶縁膜 G I t と、メモリゲート電極 M G と、ゲート絶縁膜 G I m とにより、不揮発性メモリとしてのメモリセル M C 1 が形成される。

【0167】

また、図 2 6 に示すように、周辺回路領域 1 B で、M I S F E T Q 1 が形成される。すなわち、ゲート電極 G E 1 と、ゲート絶縁膜 G I 1 とにより、M I S F E T Q 1 が形成される。

30

【0168】

次に、図 2 7 に示すように、金属シリサイド層 1 3 を形成する（図 5 のステップ S 2 0）。このステップ S 2 0 では、半導体基板 1 の主面 1 a 全面に、キャップ絶縁膜 C P 2、ゲート絶縁膜 G I m、メモリゲート電極 M G、ゲート電極 G E 1 およびサイドウォールスペーサ S W を覆うように、金属膜を形成する。金属膜は、例えばコバルト（C o）膜、ニッケル（N i）膜、または、ニッケル白金合金膜などからなり、スパッタリング法などを用いて形成することができる。そして、半導体基板 1 に対して熱処理を施すことによって、 n^+ 型半導体領域 1 2 a、1 2 b および 1 2 c のそれぞれの上層部を、金属膜と反応させる。これにより、 n^+ 型半導体領域 1 2 a、1 2 b および 1 2 c の各々の上に、金属シリサイド層 1 3 がそれぞれ形成される。

40

【0169】

金属シリサイド層 1 3 は、例えばコバルトシリサイド層、ニッケルシリサイド層、または、白金添加ニッケルシリサイド層とすることができる。その後、未反応の金属膜を除去する。このようないわゆるシリサイドプロセスを行うことによって、図 2 7 に示すように、 n^+ 型半導体領域 1 2 a、1 2 b および 1 2 c の各々の上に、金属シリサイド層 1 3 を形成することができる。なお、メモリゲート電極 M G 上、および、ゲート電極 G E 1 上にも、金属シリサイド層 1 3 を形成することができる。

50

【0170】

次に、図28に示すように、半導体基板1の主面1a全面に、絶縁膜14および層間絶縁膜15を形成する(図5のステップS21)。このステップS21では、まず、キャップ絶縁膜CP2、ゲート絶縁膜GIm、メモリゲート電極MG、ゲート電極GE1およびサイドウォールスペーサSWを覆うように、絶縁膜14を形成する。絶縁膜14は、例えば窒化シリコン膜からなる。絶縁膜14を、例えばCVD法により形成することができる。

【0171】

次に、図28に示すように、絶縁膜14上に、層間絶縁膜15を形成する。層間絶縁膜15は、酸化シリコン膜の単体膜、あるいは、窒化シリコン膜と酸化シリコン膜との積層膜などからなる。層間絶縁膜15を、例えばCVD法により形成した後、層間絶縁膜15の上面を平坦化する。

10

【0172】

次に、図1に示すように、層間絶縁膜15を貫通するプラグPGを形成する(図5のステップS22)。まず、フォトリソグラフィを用いて層間絶縁膜15上に形成したレジストパターン(図示せず)をエッチングマスクとして、層間絶縁膜15をドライエッチングすることにより、層間絶縁膜15にコンタクトホールCNTを形成する。次に、コンタクトホールCNT内に、導電体部として、タングステン(W)などからなる導電性のプラグPGを形成する。

20

【0173】

プラグPGを形成するには、例えば、コンタクトホールCNTの内部を含む層間絶縁膜15上に、例えば、チタン(Ti)膜、窒化チタン(TiN)膜、またはそれらの積層膜からなるバリア導体膜を形成する。それから、このバリア導体膜上にタングステン(W)膜などからなる主導体膜を、コンタクトホールCNTを埋めるように形成し、層間絶縁膜15上の不要な主導体膜およびバリア導体膜をCMP(Chemical Mechanical Polishing)法またはエッチバック法などによって除去する。これにより、プラグPGを形成することができる。なお、図面の簡略化のために、図1では、プラグPGを構成するバリア導体膜および主導体膜を一体化して示してある。

【0174】

コンタクトホールCNTおよびそれに埋め込まれたプラグPGは、 n^+ 型半導体領域12a、12bおよび12c上、制御ゲート電極CG上、メモリゲート電極MG上、およびゲート電極GE1上などに形成される。コンタクトホールCNTの底部では、例えば n^+ 型半導体領域12a、12bおよび12cの表面上の金属シリサイド層13の一部、制御ゲート電極CGの表面上の金属シリサイド層13の一部、または、メモリゲート電極MGの表面上の金属シリサイド層13の一部が露出される。あるいは、コンタクトホールCNTの底部では、例えばゲート電極GE1の表面上の金属シリサイド層13の一部などが露出される。なお、図1においては、 n^+ 型半導体領域12bおよび12cの表面上の金属シリサイド層13の一部が、コンタクトホールCNTの底部で露出して、そのコンタクトホールCNTを埋めるプラグPGと電氣的に接続された断面が示されている。

30

【0175】

以上のようにして、図1を用いて前述した、本実施の形態1の半導体装置が製造される。なお、プラグPGが埋め込まれた層間絶縁膜15上に、例えば銅(Cu)を主導電膜とする配線を、例えばダマシン技術を用いて形成することができるが、ここでは、その説明を省略する。

40

【0176】

<異物としての粒子の発生について>

次に、図4のステップS8において、周辺回路領域でレジスト膜を除去し、メモリセル領域でレジスト膜を残す際の異物としての粒子の発生について、比較例1の半導体装置の製造方法と対比しながら説明する。図29~図32は、比較例1の半導体装置の製造工程中の要部断面図である。

50

【0177】

比較例1の半導体装置の製造方法は、図4のステップS1～図5のステップS22に相当する工程を行って、比較例1の半導体装置を製造するものである。

【0178】

比較例1の半導体装置の製造工程では、実施の形態1の半導体装置の製造工程と異なり、図4のステップS7に相当する工程において、ISSG酸化法を行わず、熱酸化法のみにより、犠牲酸化膜を形成する。そのため、図29に示すように、メモリセル領域1Aで、キャップ絶縁膜CP2の表面には、犠牲酸化膜が形成されず、周辺回路領域1Bで、絶縁膜6の表面には、犠牲酸化膜が形成されない。したがって、図4のステップS8に相当する工程において形成されるレジスト膜RF1は、メモリセル領域1Aで、キャップ絶縁膜CP2に接触し、周辺回路領域1Bで、絶縁膜6に接触する。

10

【0179】

次いで、レジスト膜RF1をパターン露光した後、現像することにより、レジスト膜RF1をパターニングし、周辺回路領域1Bで、レジスト膜RF1を除去し、メモリセル領域1Aで、レジスト膜RF1を残す。これにより、図29に示すように、メモリセル領域1Aで残された部分のレジスト膜RF1からなるレジストパターンRP1が形成される。

【0180】

前述したように、レジスト膜RF1をパターン露光した後、現像する際に、異物としての粒子PT1が発生することがある。粒子PT1は、例えばレジスト膜RF1に含まれる有機物からなる粒子であるか、または、現像に用いられる現像液に含まれる異物としての粒子である。このとき、発生した粒子PT1は、図29に示すように、周辺回路領域1Bで、絶縁膜6の上面に付着する。

20

【0181】

ところが、絶縁膜6の上面と粒子PT1との密着力は、大きい。これは、例えば、窒化シリコン膜からなる絶縁膜6と、有機物からなる粒子PT1との接触界面で、化学反応が起きることにより、絶縁膜6の上面と粒子PT1との密着力が増加するためと考えられる。そのため、周辺回路領域1Bで、絶縁膜6をエッチングする工程において、絶縁膜6の上面に付着した粒子PT1は、絶縁膜6の上面から離脱しない。これにより、絶縁膜6の上面に付着した粒子PT1が、絶縁膜6をエッチングする際のエッチングマスクになる。

30

【0182】

したがって、図30に示すように、絶縁膜6をエッチングする工程において、粒子PT1、および、上面に粒子PT1が付着した部分の絶縁膜6が残されるので、周辺回路領域1Bに残された部分の絶縁膜6を完全に除去することができない。すなわち、絶縁膜6をエッチングする際に、上面に粒子PT1が付着した部分の絶縁膜6が残されるので、エッチングされるべき部分の絶縁膜6が、エッチングされずに残ることになる。

【0183】

次に、メモリセル領域1Aに残された部分のレジスト膜RF1、すなわちレジストパターンRP1を除去し、図4のステップS9に相当する工程を行って、半導体領域MVを形成する際にも、図31に示すように、粒子PT1、および、上面に粒子PT1が付着した部分の絶縁膜6は、残されたままである。そして、その後、図4のステップS10～図5のステップS16の工程を行って、周辺回路領域1Bで導電膜4をパターニングする際に、周辺回路領域1Bで残された部分の絶縁膜6が、導電膜4をパターニングする際のエッチングマスクになる。したがって、図32に示すように、導電膜4をパターニングする工程において、絶縁膜6下に位置する部分の導電膜4が残されるので、周辺回路領域1Bのうち、ゲート電極GE1を形成する予定の領域以外の領域で、導電膜4が残される。

40

【0184】

このようにゲート電極GE1を形成する予定の領域以外の領域で導電膜4が残された場合、例えば、その後図5のステップS17に相当する工程を行う際に、周辺回路領域1Bで半導体基板1のp型ウェルPW2にn型の不純物またはp型の不純物を所望量導入することができない。したがって、n⁻型半導体領域11cまたはn⁺型半導体領域12cを

50

所望通り形成することができず、半導体装置に不良が発生する。

【0185】

あるいは、ゲート電極GE1を形成する予定の領域以外の領域で導電膜4が残された場合、例えば、残された導電膜4とゲート電極GE1とが繋がることにより、ゲート電極GE1の幅、すなわちチャンネル長が変動し、半導体装置に不良が発生する。

【0186】

一方、本実施の形態1の半導体装置の製造工程では、図4のステップS7において、熱酸化法およびISSG酸化法により、犠牲酸化膜を形成する。そのため、図11に示すように、メモリセル領域1Aで、キャップ絶縁膜CP2の表面に、犠牲酸化膜SOF3が形成され、周辺回路領域1Bで、絶縁膜6の表面に、犠牲酸化膜SOF4が形成される。したがって、図4のステップS8において形成されるレジスト膜RF1は、図12に示すように、メモリセル領域1Aで、犠牲酸化膜SOF3に接触し、周辺回路領域1Bで、犠牲酸化膜SOF4に接触する。

10

【0187】

次いで、レジスト膜RF1を形成し、形成されたレジスト膜RF1をパターン露光した後、現像する際に、異物としての粒子PT1が発生することがある。このとき、発生した粒子PT1は、図13に示すように、周辺回路領域1Bで、犠牲酸化膜SOF4の上面に付着する。

【0188】

しかし、本実施の形態1では、犠牲酸化膜SOF4の上面に付着した粒子PT1と、犠牲酸化膜SOF4の上面との密着力が小さい。これは、例えば、酸化シリコン膜からなる犠牲酸化膜SOF4と、有機物からなる粒子PT1との接触界面で、化学反応が起きにくく、犠牲酸化膜SOF4の上面と粒子PT1との密着力が増加しないためと考えられる。そのため、犠牲酸化膜SOF4の上面に付着した粒子PT1は、絶縁膜6をエッチングする工程の初期の段階で、図14に示すように、犠牲酸化膜SOF4の上面から容易に離脱する。これにより、犠牲酸化膜SOF4の上面に付着した粒子PT1が、絶縁膜6をエッチングする際のエッチングマスクになることを防止することができる。したがって、図15に示すように、絶縁膜6をエッチングする工程において、周辺回路領域1Bに残された部分の絶縁膜6を完全に除去することができる。

20

【0189】

また、導電膜4をパターニングする工程(図5のステップS16)において、周辺回路領域1Bのうち、ゲート電極GE1を形成する予定の領域以外の領域で、導電膜4が残されることを防止することができる。したがって、 n^- 型半導体領域11cまたは n^+ 型半導体領域12cを所望通り形成することができ、半導体装置に不良が発生することを防止することができる。あるいは、ゲート電極GE1の幅、すなわちチャンネル長が変動することを防止し、半導体装置に不良が発生することを防止することができる。

30

【0190】

<半導体領域の端部の位置について>

次に、 n 型の半導体領域の端部の位置について、比較例2の半導体装置の製造方法と対比しながら説明する。図33および図34は、比較例2の半導体装置の製造工程中の要部断面図である。

40

【0191】

比較例2の半導体装置の製造方法は、図4のステップS1~図5のステップS22に相当する工程を行って、比較例2の半導体装置を製造するものである。

【0192】

比較例2の半導体装置の製造工程では、実施の形態1の半導体装置の製造工程と異なり、図4のステップS7に相当する工程において、熱酸化法を行わず、ISSG酸化法のみにより、犠牲酸化膜を形成する。

【0193】

前述したように、ISSG酸化法によれば、ラジカル酸化反応をさせるため、周辺回路

50

領域 1 B で、例えば窒化シリコン膜からなる絶縁膜 6 の表面も酸化することができる。そのため、実施の形態 1 と同様に、メモリセル領域 1 A で、キャップ絶縁膜 C P 2 の表面に、犠牲酸化膜 S O F 3 が形成され、周辺回路領域 1 B に残された部分の絶縁膜 6 の表面に、犠牲酸化膜 S O F 4 (図 1 1 参照) が形成される。したがって、図 4 のステップ S 8 に相当する工程において、レジスト膜 R F 1 (図 1 2 参照) を形成し、形成されたレジスト膜 R F 1 をパターン露光した後、現像する際に、異物としての粒子 P T 1 (図 1 3 参照) が発生することがある。このとき、発生した粒子 P T 1 は、周辺回路領域 1 B で、犠牲酸化膜 S O F 4 (図 1 3 参照) の上面に付着する。

【 0 1 9 4 】

また、比較例 2 では、実施の形態 1 と同様に、犠牲酸化膜 S O F 4 (図 1 3 参照) の上面に付着した粒子 P T 1 は、犠牲酸化膜 S O F 4 の上面と粒子 P T 1 との密着力が小さい。そのため、絶縁膜 6 をエッチングする工程の初期の段階で、犠牲酸化膜 S O F 4 の上面から容易に離脱する (図 1 4 参照) 。したがって、図 3 3 に示すように、絶縁膜 6 をエッチングする工程において、周辺回路領域 1 B に残された部分の絶縁膜 6 を完全に除去することはできる。よって、図 3 4 に示すように、導電膜 4 をパターンニングする工程 (図 5 のステップ S 1 6) において、周辺回路領域 1 B のうち、ゲート電極 G E 1 を形成する予定の領域以外の領域で、導電膜 4 が残されることを防止することはできる。

【 0 1 9 5 】

しかし、I S S G 酸化法により制御ゲート電極 C G の側面に形成される犠牲酸化膜 S O F 1 の膜厚 T H 1 を、熱酸化法により制御ゲート電極 C G の側面に形成される犠牲酸化膜 S O F 1 の膜厚 T H 1 (図 2 9 参照) よりも、厚くすることは困難である。そのため、図 3 3 に示す比較例 2 において、メモリセル領域 1 A で、制御ゲート電極 C G の側面に形成される犠牲酸化膜の膜厚 T H 1 は、図 2 9 に示す比較例 1 において、メモリセル領域 1 A で、制御ゲート電極 C G の側面に形成される犠牲酸化膜 S O F 1 の膜厚 T H 1 よりも薄い。すなわち、図 3 3 に示す比較例 2 において、メモリセル領域 1 A で、制御ゲート電極 C G の側面に形成される犠牲酸化膜 S O F 1 の膜厚 T H 1 は、メモリセル領域 1 A で、キャップ絶縁膜 C P 2 の表面に形成される犠牲酸化膜 S O F 3 の膜厚 T H 2 と略等しい。

【 0 1 9 6 】

図 3 3 に示すように、メモリセル領域 1 A で、制御ゲート電極 C G の側面に形成される犠牲酸化膜 S O F 1 の膜厚 T H 1 が薄い場合、図 4 のステップ S 9 に相当する工程を行って p 型ウェル P W 1 に n 型の不純物 I P 1 をイオン注入法により導入する際に、n 型の不純物が、制御ゲート電極 C G のより中央部側まで導入されやすい。そのため、図 4 のステップ S 9 に相当する工程にて形成される n 型の半導体領域 M V の端部であって、制御ゲート電極 C G の中央部側の端部である端部 E P 1 は、平面視において、制御ゲート電極 C G のメモリゲート電極 M G 側の側面 S S 1 よりも、制御ゲート電極 C G の中央部側に位置する。言い換えれば、n 型の半導体領域 M V は、平面視において、制御ゲート電極 C G と重なっており、制御ゲート電極 C G から離れていない。

【 0 1 9 7 】

ソースサイド注入によりメモリセル M C 1 にデータを書込む場合には、メモリゲート電極 M G と制御ゲート電極 C G との間に電圧が印加される。そして、ゲート絶縁膜 G I m を介してメモリゲート電極 M G と接触する部分の n 型の半導体領域 M V から、ゲート絶縁膜 G I m 中の窒化シリコン膜 8 b にソースサイド注入により電子が注入されることにより、メモリセル M C 1 にデータを書込む。このような半導体装置では、n 型の半導体領域 M V の制御ゲート電極 C G の中央部側の端部 E P 1 の近傍に、n 型の半導体領域 M V と p 型ウェル P W 1 とにより、p n 接合が形成されている。そして、メモリゲート電極 M G と制御ゲート電極 C G との間に電圧が印加されることにより、主として p n 接合で電子が発生し、発生した電子がゲート絶縁膜 G I m 中の窒化シリコン膜 8 b に注入される。

【 0 1 9 8 】

好適には、n 型の半導体領域 M V の端部 E P 1 が、平面視において、制御ゲート電極 C G のメモリゲート電極 M G 側の側面 S S 1 よりもメモリゲート電極 M G 側に位置すること

10

20

30

40

50

が望ましい。すなわち、 n 型の半導体領域 MV が、平面視において、制御ゲート電極 CG から離れて形成されていることが望ましい。これにより、主として pn 接合で発生した電子を、ゲート絶縁膜 GIm 中の窒化シリコン膜 $8b$ にソースサイド注入により効率よく注入することができる。

【0199】

前述した比較例 1 の半導体装置の製造工程では、図 4 のステップ $S7$ に相当する工程で、制御ゲート電極 CG の側面に形成される犠牲酸化膜 $SOF1$ の膜厚 $TH1$ (図 29 参照) が厚い。そのため、図 4 のステップ $S9$ に相当する工程を行って n 型の半導体領域 MV を形成する際に、形成される n 型の半導体領域 MV の端部 $EP1$ (図 31 参照) を、平面視において、制御ゲート電極 CG のメモリゲート電極 MG 側の側面 $SS1$ よりもメモリゲート電極 MG 側に配置することができる。したがって、メモリセル $MC1$ にデータを書込む際に、 n 型の半導体領域 MV の端部 $EP1$ 近傍で発生する電子を、ゲート絶縁膜 GIm を介してメモリゲート電極 MG と接触する部分の n 型の半導体領域 MV から、ゲート絶縁膜 GIm に、ソースサイド注入により効率よく注入することができる。

10

【0200】

また、比較例 2 の半導体装置の製造工程では、図 4 のステップ $S7$ に相当する工程で、制御ゲート電極 CG の側面に形成される犠牲酸化膜 $SOF1$ の膜厚 $TH1$ (図 33 参照) が薄い。そのため、図 4 のステップ $S9$ に相当する工程を行って n 型の半導体領域 MV を形成する際に、形成される n 型の半導体領域 MV の端部 $EP1$ を、平面視において、制御ゲート電極 CG のメモリゲート電極 MG 側の側面 $SS1$ よりもメモリゲート電極 MG 側に配置することができない。

20

【0201】

すなわち、形成される n 型の半導体領域 MV の端部 $EP1$ は、平面視において、制御ゲート電極 CG のメモリゲート電極 MG 側の側面 $SS1$ よりも制御ゲート電極 CG の中央部に位置する。言い換えれば、 n 型の半導体領域 MV は、平面視において、制御ゲート電極 CG と重なり、制御ゲート電極 CG から離れない。したがって、メモリセル $MC1$ にデータを書込む際に、 n 型の半導体領域 MV の端部 $EP1$ 近傍で発生する電子を、ゲート絶縁膜 GIm にソースサイド注入により効率よく注入することができない。

【0202】

一方、本実施の形態 1 の半導体装置の製造工程において、制御ゲート電極 CG の側面に形成される犠牲酸化膜 $SOF1$ の膜厚 $TH1$ (図 11 参照) は、比較例 1 の半導体装置の製造工程において、制御ゲート電極 CG の側面に形成される犠牲酸化膜 $SOF1$ の膜厚 $TH1$ (図 29 参照) と同様に、厚い。すなわち、本実施の形態 1 の半導体装置の製造工程では、図 4 のステップ $S7$ で、制御ゲート電極 CG の側面に形成される犠牲酸化膜の膜厚 $TH1$ (図 11 参照) は、キャップ絶縁膜 $CP2$ の表面に形成される犠牲酸化膜 $SOF3$ の膜厚 $TH2$ (図 11 参照) よりも厚い。

30

【0203】

そのため、図 4 のステップ $S9$ を行って n 型の半導体領域 MV を形成する際に、形成される n 型の半導体領域 MV の端部 $EP1$ を、平面視において、制御ゲート電極 CG のメモリゲート電極 MG 側の側面 $SS1$ よりもメモリゲート電極 MG 側に配置することができる。すなわち、形成される n 型の半導体領域 MV の端部 $EP1$ は、平面視において、制御ゲート電極 CG のメモリゲート電極 MG 側の側面 $SS1$ よりも制御ゲート電極 CG の中央部側と反対側に位置する。言い換えれば、 n 型の半導体領域 MV は、平面視において、制御ゲート電極 CG と重ならず、制御ゲート電極 CG から離れて形成される。したがって、メモリセル $MC1$ にデータを書込む際に、 n 型の半導体領域 MV の端部 $EP1$ 近傍で発生する電子を、ゲート絶縁膜 GIm にソースサイド注入により効率よく注入することができる。

40

【0204】

< 本実施の形態の主要な特徴と効果 >

本実施の形態 1 の半導体装置の製造方法では、メモリセル領域 1A および周辺回路領域

50

1 Bで、半導体基板 1 上にシリコンからなる導電膜 4、および、シリコンと窒素とを含有する絶縁膜 6 を形成する。次いで、メモリセル領域 1 A で絶縁膜 6 および導電膜 4 をパターンニングし、導電膜 4 からなる制御ゲート電極 C G を形成し、制御ゲート電極 C G 上の絶縁膜 6 からなるキャップ絶縁膜 C P 2 を形成する。次いで、制御ゲート電極 C G の側面、キャップ絶縁膜 C P 2 の表面、および、周辺回路領域 1 B に残された部分の絶縁膜 6 の表面に、犠牲酸化膜 S O F 1、S O F 3 および S O F 4 を形成する。この犠牲酸化膜 S O F 1、S O F 3 および S O F 4 を形成する工程は、制御ゲート電極 C G の側面を、熱酸化法により酸化する工程と、キャップ絶縁膜 C P 2 の表面、および、周辺回路領域 1 B に残された部分の絶縁膜 6 の表面を、I S S G 酸化法により酸化する工程と、を含む。その後、周辺回路領域 1 B で、絶縁膜 6 を除去し、導電膜 4 をパターンニングし、導電膜 4 からなるゲート電極 G E 1 を形成する。

10

【0205】

これにより、犠牲酸化膜を形成する工程が、熱酸化法により酸化する工程のみを含む場合に比べ、制御ゲート電極 C G およびキャップ絶縁膜 C P 2 を形成した後、周辺回路領域 1 B に残された部分の絶縁膜 6 を除去する前に、周辺回路領域 1 B に残された部分の絶縁膜 6 に付着した異物を容易に除去することができる。具体的には、制御ゲート電極 C G およびキャップ絶縁膜 C P 2 を形成した後、例えばレジスト膜 R F 1 をパターンニングし、周辺回路領域 1 B でレジスト膜 R F 1 を除去する際に、周辺回路領域 1 B に残された部分の絶縁膜 6 に付着した異物を容易に除去することができる。そのため、犠牲酸化膜を形成する工程が、熱酸化法により酸化する工程のみを含む場合に比べ、半導体装置に不良が発生することを、防止または抑制することができる。

20

【0206】

また、犠牲酸化膜を形成する工程が、I S S G 酸化法により酸化する工程のみを含む場合に比べ、制御ゲート電極 C G の側面に形成される犠牲酸化膜 S O F 1 の膜厚 T H 1 を厚くすることができ、n 型の半導体領域 M V を、平面視において、制御ゲート電極 C G から離して形成することができる。そのため、犠牲酸化膜を形成する工程が、I S S G 酸化法により酸化する工程のみを含む場合に比べ、メモリセル M C 1 にデータを書込む際に、n 型の半導体領域 M V の端部 E P 1 近傍で発生する電子を、ゲート絶縁膜 G I m にソースサイド注入により効率よく注入することができる。

30

【0207】

また、本実施の形態 1 では、周辺回路領域 1 B で M I S F E T Q 1 のゲート電極 G E 1 を形成する前に、I S S G 酸化法により酸化する工程を行う。そのため、I S S G 酸化法を行うことにより、周辺回路領域 1 B でゲート電極 G E 1 の側面が酸化されることを防止または抑制することができ、周辺回路領域 1 B で M I S F E T Q 1 の特性が変動することを防止または抑制することができる。

【0208】

なお、本実施の形態 1 では、犠牲酸化膜を形成する工程において、I S S G 酸化法により酸化する前に、熱酸化法により酸化する工程を行うことができる。これにより、制御ゲート電極 C G の側面に、キャップ絶縁膜 C P 2 の表面に形成される犠牲酸化膜 S O F 3 の膜厚 T H 2 よりも厚い膜厚 T H 1 を有する犠牲酸化膜 S O F 1 を確実に形成することができる。

40

【0209】

(実施の形態 2)

実施の形態 1 の半導体装置の製造方法では、犠牲酸化膜を形成する際に、熱酸化法により酸化した後、I S S G 酸化法により酸化した。それに対して、実施の形態 2 の半導体装置の製造方法では、犠牲酸化膜を形成する際に、I S S G 酸化法により酸化した後、熱酸化法により酸化する。

【0210】

なお、本実施の形態 2 の半導体装置の構造は、実施の形態 1 の半導体装置の構造と同様である。

50

【 0 2 1 1 】

< 半導体装置の製造工程 >

図 3 5 は、実施の形態 2 の半導体装置の製造工程の一部を示すプロセスフロー図である。図 3 6 および図 3 7 は、実施の形態 2 の半導体装置の製造工程中の要部断面図である。図 3 5 は、図 4 のステップ S 7 に含まれる工程を示す。図 3 6 および図 3 7 の断面図には、メモリセル領域 1 A および周辺回路領域 1 B の要部断面図が示されており、メモリセル領域 1 A にメモリセル M C 1 (図 2 6 参照) が、周辺回路領域 1 B に M I S F E T Q 1 (図 2 6 参照) が、それぞれ形成される様子が示されている。

【 0 2 1 2 】

本実施の形態 2 では、実施の形態 1 と同様に、図 4 のステップ S 1 ~ ステップ S 6 を行って、絶縁膜 6、絶縁膜 5 および導電膜 4 を、パターニングする。

10

【 0 2 1 3 】

次に、図 4 のステップ S 7 を行って、犠牲酸化膜 S O F 1、S O F 2、S O F 3 および S O F 4 を形成する。

【 0 2 1 4 】

本実施の形態 2 では、実施の形態 1 と異なり、まず、図 3 6 に示すように、I S S G 酸化法により酸化する (図 3 5 のステップ S 4 1)。

【 0 2 1 5 】

I S S G 酸化法によれば、ラジカル酸化反応をさせるため、例えばシリコン膜からなる導電膜 4 の表面は酸化される。そのため、ステップ S 4 1 では、導電膜 4 からなる制御ゲート電極 C G の側面が酸化され、制御ゲート電極 C G の側面に、犠牲酸化膜 S O F 1 が形成される。また、ステップ S 4 1 では、周辺回路領域 1 B に残された部分の導電膜 4 の側面が酸化され、周辺回路領域 1 B に残された部分の導電膜 4 の側面に、犠牲酸化膜 S O F 2 が形成される。

20

【 0 2 1 6 】

一方、I S S G 酸化法によれば、ラジカル酸化反応をさせるため、例えば窒化シリコン膜からなる絶縁膜 6 の表面も酸化することができる。そのため、ステップ S 4 1 では、絶縁膜 6 からなるキャップ絶縁膜 C P 2 の表面が酸化され、キャップ絶縁膜 C P 2 の表面に、犠牲酸化膜 S O F 3 が形成される。また、ステップ S 4 1 では、周辺回路領域 1 B に残された部分の絶縁膜 6 の表面が酸化され、周辺回路領域 1 B に残された部分の絶縁膜 6 の表面に、犠牲酸化膜 S O F 4 が形成される。

30

【 0 2 1 7 】

すなわち、ステップ S 4 1 では、制御ゲート電極 C G の側面、周辺回路領域 1 B に残された部分の導電膜 4 の側面、キャップ絶縁膜 C P 2 の表面、および、周辺回路領域 1 B に残された部分の絶縁膜 6 の表面を、I S S G 酸化法により酸化する。

【 0 2 1 8 】

なお、ステップ S 4 1 では、メモリセル領域 1 A で、p 型ウェル P W 1 の上面が酸化され、p 型ウェル P W 1 の上面にも犠牲酸化膜 S O F 1 1 が形成される。

【 0 2 1 9 】

ステップ S 4 1 では、例えば 9 0 0 程度の温度で I S S G 酸化法により酸化することができる。このとき、犠牲酸化膜 S O F 1 の膜厚 T H 1 を、例えば 1 n m 程度とすることができ、犠牲酸化膜 S O F 1 1 の膜厚 T H 1 1 を、例えば 1 n m 程度とすることができ、犠牲酸化膜 S O F 3 の膜厚 T H 2 を、例えば 1 n m 程度とすることができる。また、犠牲酸化膜 S O F 2 の膜厚を、犠牲酸化膜 S O F 1 の膜厚と同程度とすることができ、犠牲酸化膜 S O F 4 の膜厚を、犠牲酸化膜 S O F 3 の膜厚と同程度とすることができる。

40

【 0 2 2 0 】

次に、図 3 7 に示すように、熱酸化法により酸化する (図 3 5 のステップ S 4 2)。

【 0 2 2 1 】

熱酸化法によれば、例えばシリコン膜からなる導電膜 4 の表面は酸化されやすい。そのため、ステップ S 4 2 では、導電膜 4 からなる制御ゲート電極 C G の側面がさらに酸化さ

50

れ、制御ゲート電極CGの側面に形成された犠牲酸化膜SOF1の膜厚TH1が増加する。また、ステップS42では、周辺回路領域1Bに残された部分の導電膜4の側面が酸化され、周辺回路領域1Bに残された部分の導電膜4の側面に形成された犠牲酸化膜SOF2の膜厚が増加する。

【0222】

すなわち、ステップS42では、制御ゲート電極CGの側面、および、周辺回路領域1Bに残された部分の導電膜4の側面を、熱酸化法によりさらに酸化する。

【0223】

なお、ステップS41では、メモリセル領域1Aで、p型ウェルPW1の上面もさらに酸化され、p型ウェルPW1の上面に形成された犠牲酸化膜SOF11の膜厚が増加する。

10

【0224】

前述したように、例えば導電膜4にn型の不純物が導入されていることなどにより、導電膜4の表面は酸化されやすいので、p型ウェルPW1の表面は、導電膜4の表面に比べて酸化されにくい。したがって、メモリセル領域1Aで、半導体基板1のp型ウェルPW1の上面に形成された犠牲酸化膜SOF11の膜厚TH11は、導電膜4からなる制御ゲート電極CGの側面に形成された犠牲酸化膜SOF1の膜厚TH1よりも薄い。

【0225】

一方、熱酸化法によれば、例えば窒化シリコン膜からなる絶縁膜6の表面は酸化されにくい。そのため、ステップS42では、絶縁膜6からなるキャップ絶縁膜CP2の表面に形成された犠牲酸化膜SOF3の膜厚TH2は増加しない。また、ステップS42では、周辺回路領域1Bに残された部分の絶縁膜6の表面に形成された犠牲酸化膜SOF4の膜厚は増加しない。

20

【0226】

ステップS42では、例えば950 程度の温度で熱酸化法により酸化することができる。このとき、犠牲酸化膜SOF1の膜厚TH1を、例えば6nm程度に増加させることができ、犠牲酸化膜SOF11の膜厚TH11を、例えば4nm程度に増加させることができる。一方、犠牲酸化膜SOF3の膜厚TH2は、ステップS41における膜厚TH2と変わらず、例えば1nm程度である。

【0227】

その後、実施の形態1と同様に、図4のステップS8～図5のステップS22を行うことにより、本実施の形態2の半導体装置が製造される。

30

【0228】

<本実施の形態の主要な特徴と効果>

本実施の形態2の半導体装置の製造方法では、実施の形態1と同様に、犠牲酸化膜を形成する工程は、制御ゲート電極CGの側面を、熱酸化法により酸化する工程と、キャップ絶縁膜CP2の表面、および、周辺回路領域1Bに残された部分の絶縁膜6の表面を、ISSG酸化法により酸化する工程と、を含む。これにより、実施の形態1の半導体装置の製造方法と同様の効果を有する。

【0229】

また、本実施の形態2では、犠牲酸化膜を形成する工程において、熱酸化法により酸化する前に、ISSG酸化法により酸化する工程を行う。これにより、キャップ絶縁膜CP2の表面に犠牲酸化膜SOF3が形成される時点が、実施の形態1の半導体装置の製造方法において、キャップ絶縁膜CP2の表面に犠牲酸化膜SOF3が形成される時点よりも早くなる。そのため、周辺回路領域1Bで、制御ゲート電極CGおよびキャップ絶縁膜CP2を形成した後、周辺回路領域1Bに残された部分の絶縁膜6を除去する前に、周辺回路領域1Bに残された部分の絶縁膜6に異物が付着することを、より確実に防止または抑制することができる。具体的には、制御ゲート電極CGおよびキャップ絶縁膜CP2を形成した後、周辺回路領域1Bに残された部分の絶縁膜6を除去する前であって、レジスト膜RF1を形成する時点よりも早い時点で発生する異物としての粒子PT1(図13参照

40

50

)が絶縁膜6の表面に付着することも、防止または抑制することができる。

【0230】

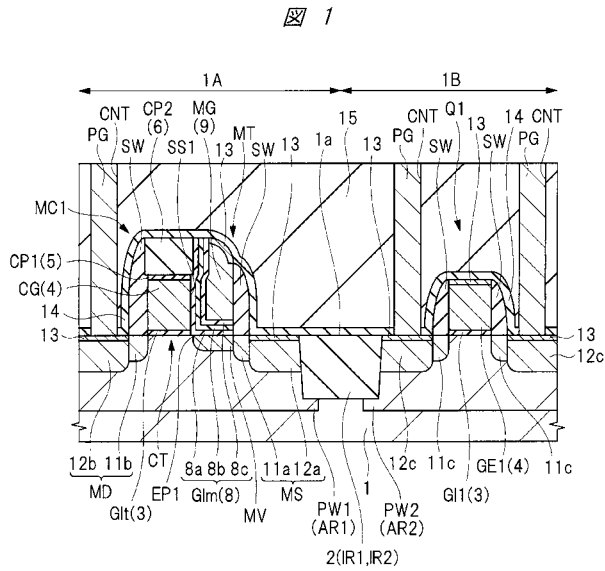
以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【符号の説明】

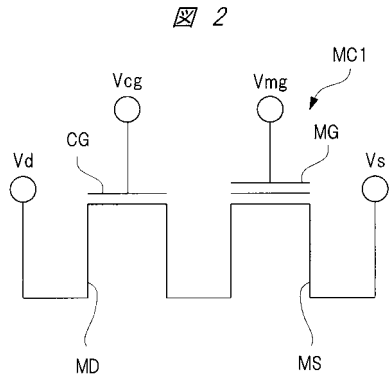
【0231】

1	半導体基板	
1 a	主面	
1 A	メモリセル領域	10
1 B	周辺回路領域	
2	素子分離膜	
3、5、6、8、14	絶縁膜	
4、9	導電膜	
8 a、8 c	酸化シリコン膜	
8 b	窒化シリコン膜	
11 a、11 b、11 c	n ⁻ 型半導体領域	
12 a、12 b、12 c	n ⁺ 型半導体領域	
13	金属シリサイド層	
15	層間絶縁膜	20
A R 1、A R 2	活性領域	
C G	制御ゲート電極	
C N T	コンタクトホール	
C P 1、C P 2	キャップ絶縁膜	
C T	制御トランジスタ	
E P 1	端部	
G E 1	ゲート電極	
G I 1、G I m、G I t	ゲート絶縁膜	
I P 1	不純物	
I R 1、I R 2	素子分離領域	30
M C 1	メモリセル	
M D、M S、M V	半導体領域	
M G	メモリゲート電極	
M T	メモリトランジスタ	
P G	プラグ	
P T 1	粒子	
P W 1、P W 2	p型ウェル	
Q 1	M I S F E T	
R F 1	レジスト膜	
R P 1	レジストパターン	40
S O F 1 ~ S O F 4、S O F 1 1	犠牲酸化膜	
S P 1	スペーサ	
S S 1	側面	
S W	サイドウォールスペーサ	
T H 1、T H 1 1、T H 2	膜厚	
V b、V c g、V d、V m g、V s	電圧	

【 図 1 】



【 図 2 】



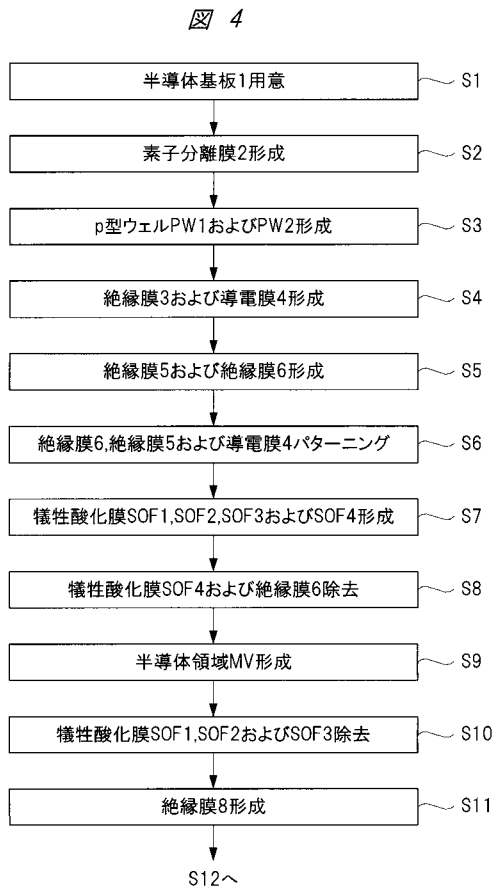
【 図 3 】

図 3

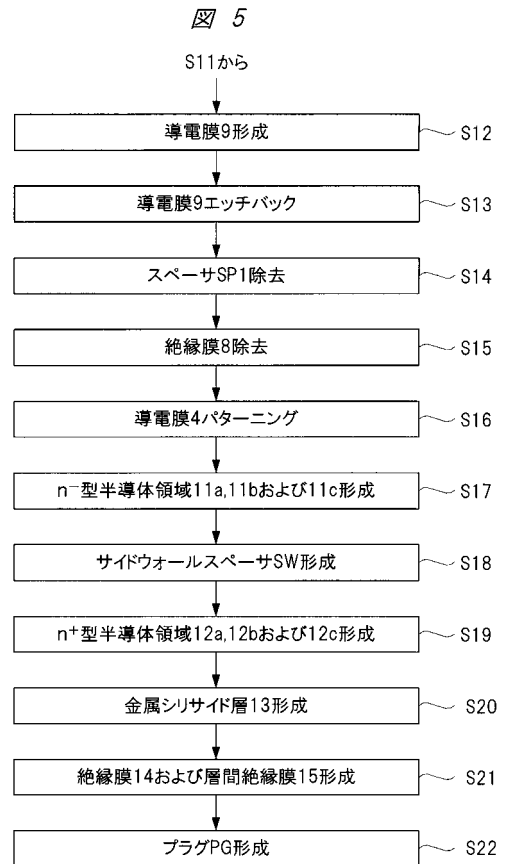
印加電圧 動作	Vd	Vcg	Vmg	Vs	Vb
書込	Vdd	1V	12V	6V	0
消去	0	0	-6V	6V	0
読出	Vdd	Vdd	0	0	0

Vdd = 1.5V

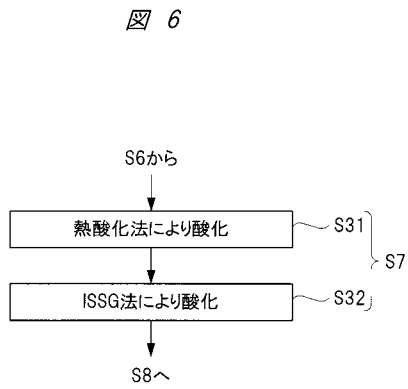
【 図 4 】



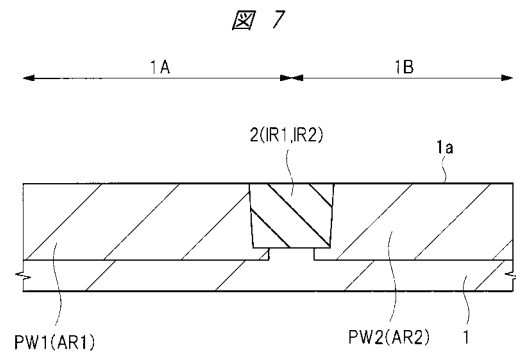
【 図 5 】



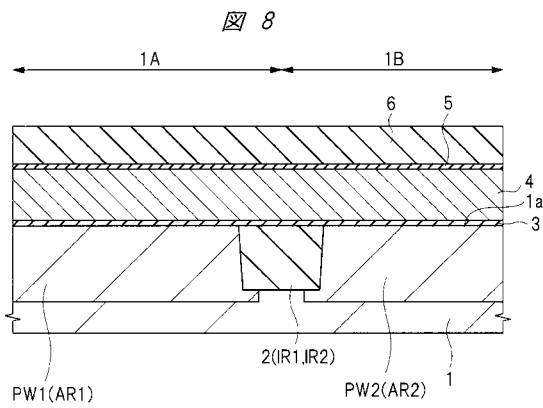
【 図 6 】



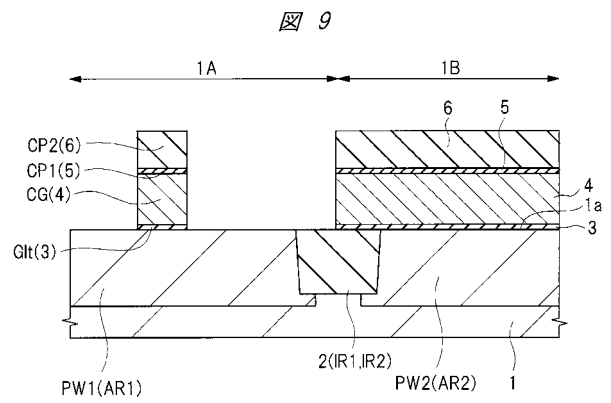
【 図 7 】



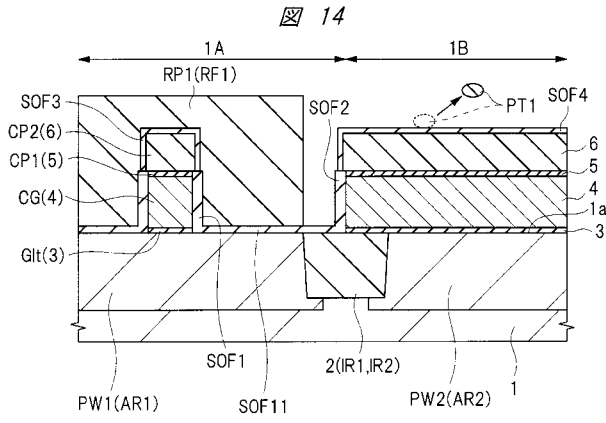
【 図 8 】



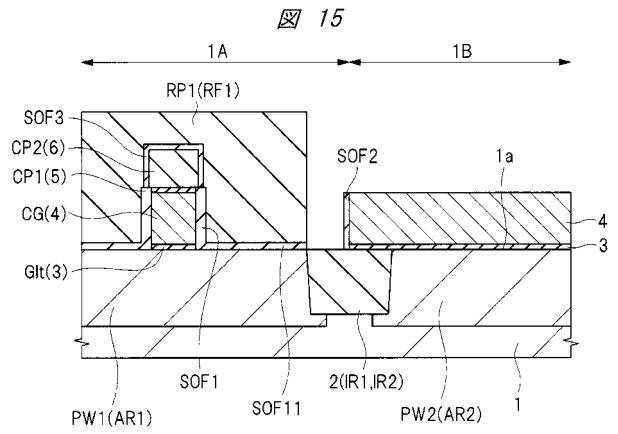
【 図 9 】



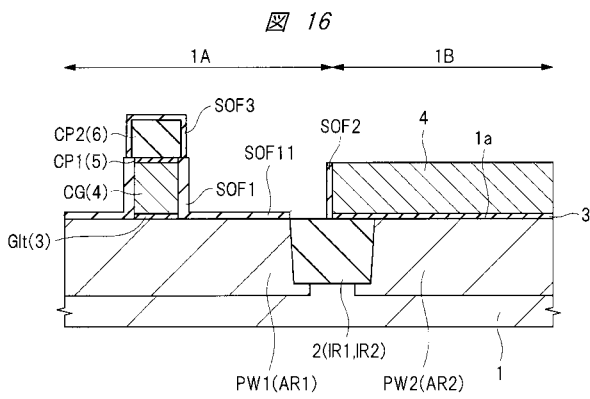
【 図 1 4 】



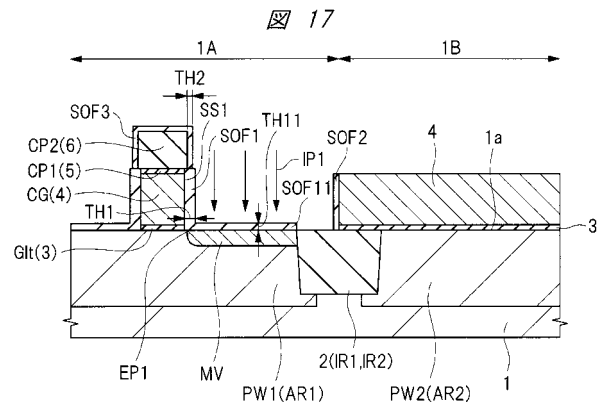
【 図 1 5 】



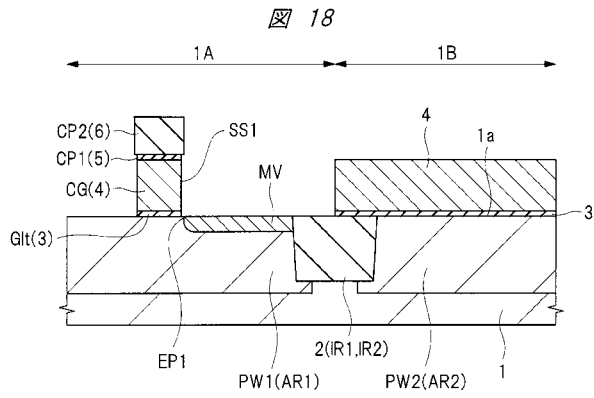
【 図 1 6 】



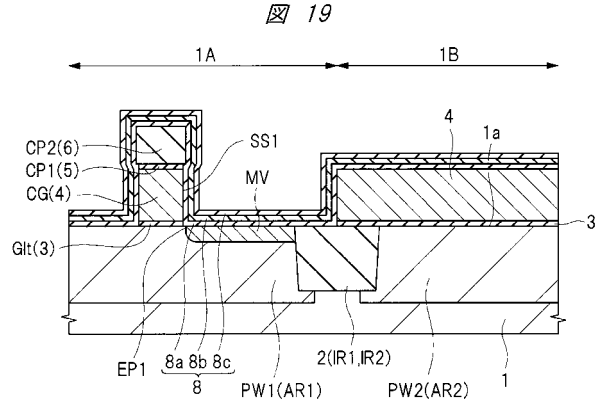
【 図 1 7 】



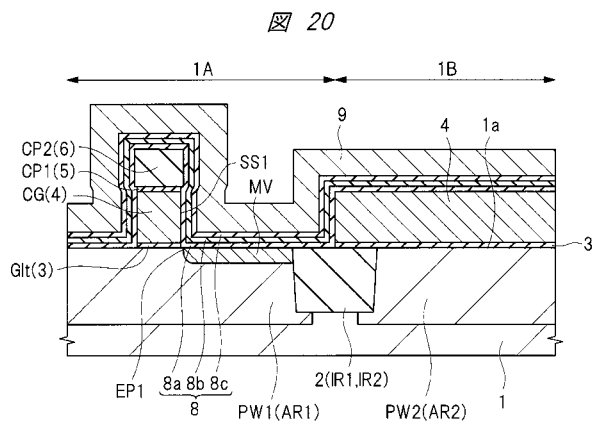
【 図 1 8 】



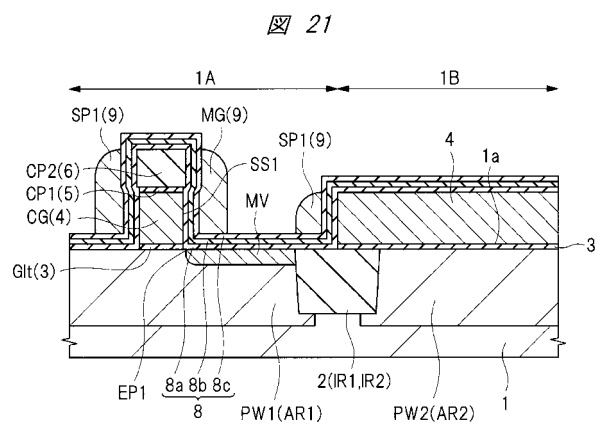
【 図 1 9 】



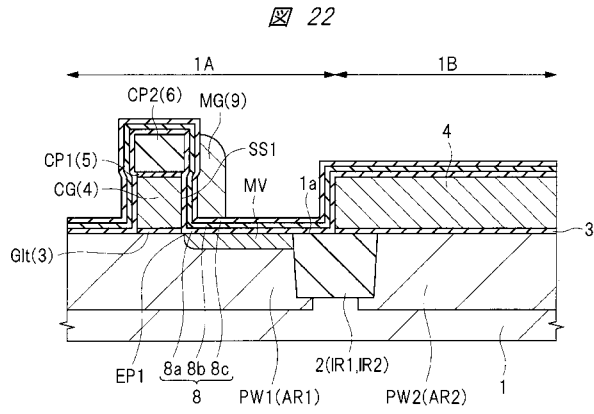
【 図 2 0 】



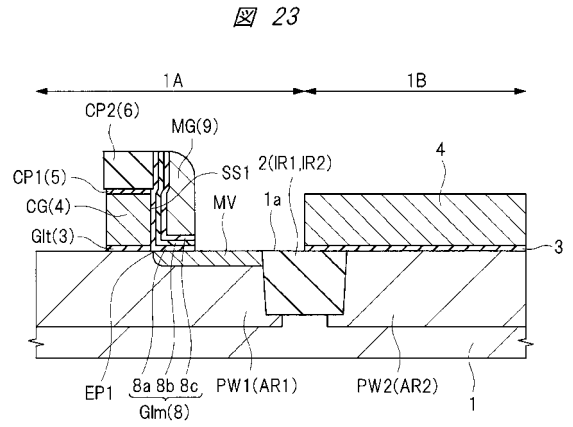
【 図 2 1 】



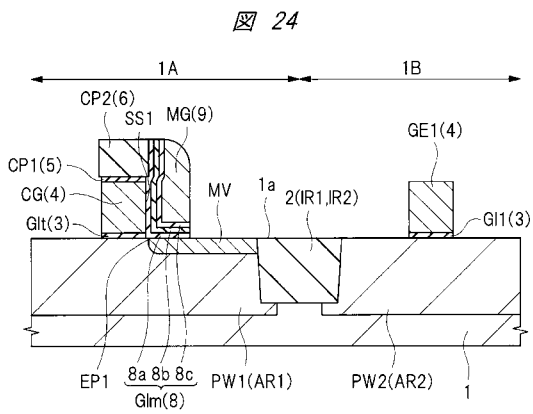
【 図 2 2 】



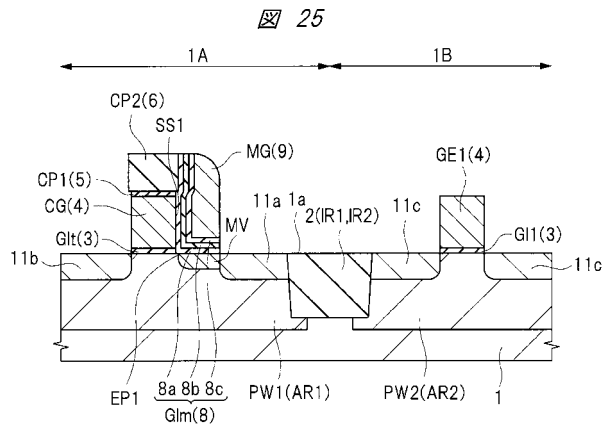
【 図 2 3 】



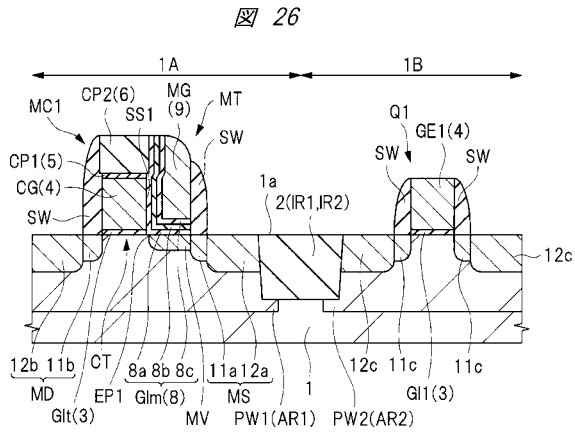
【 図 2 4 】



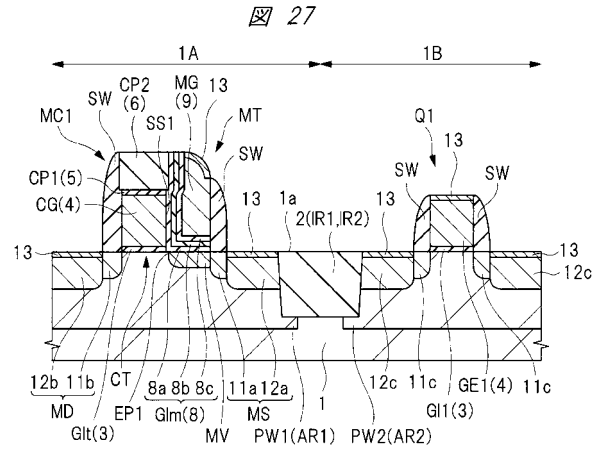
【 図 2 5 】



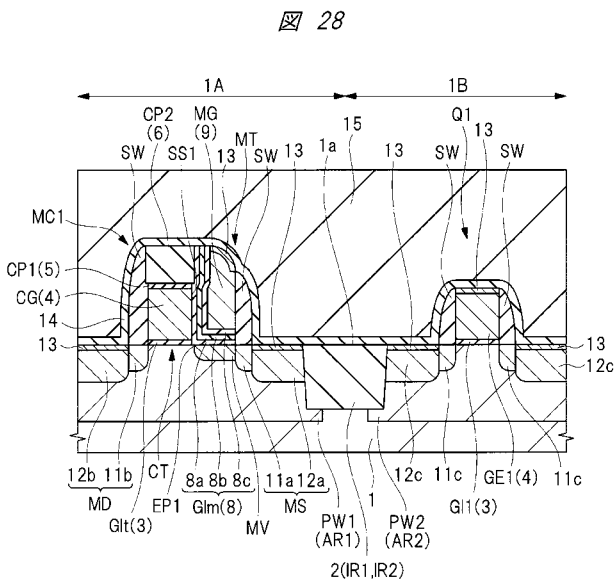
【 図 2 6 】



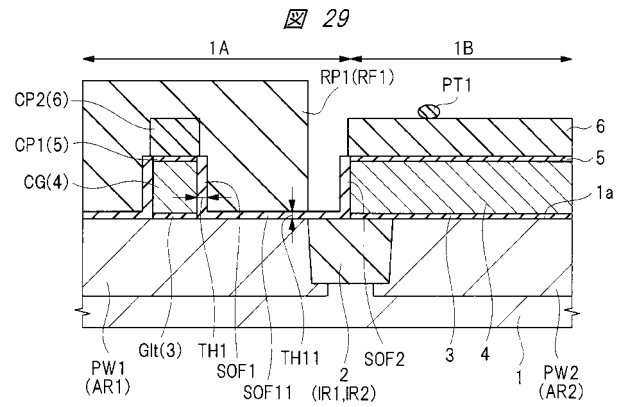
【 図 2 7 】



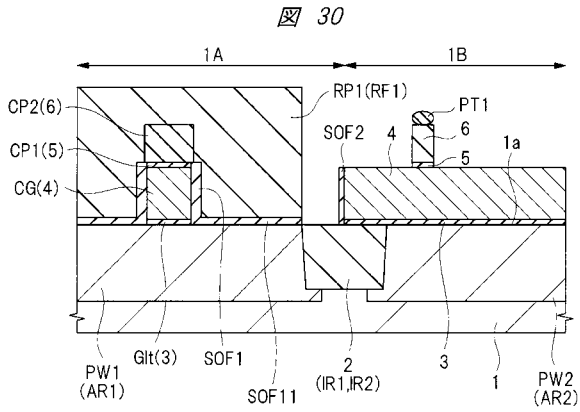
【 図 2 8 】



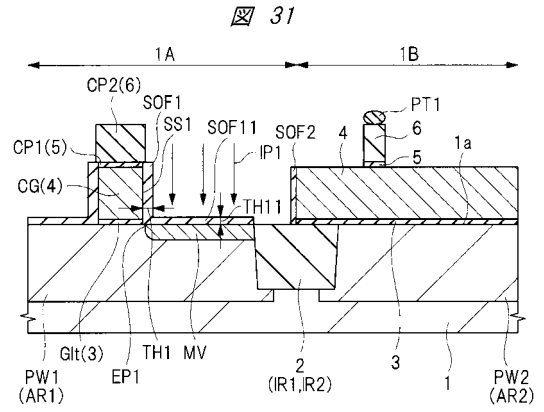
【 図 2 9 】



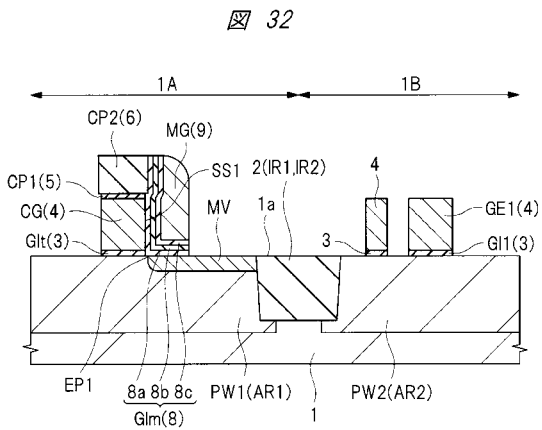
【 図 3 0 】



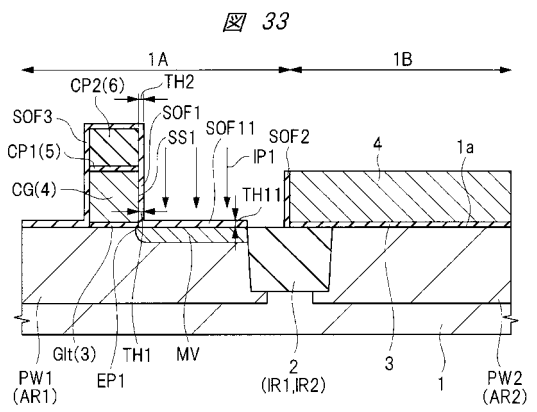
【 図 3 1 】



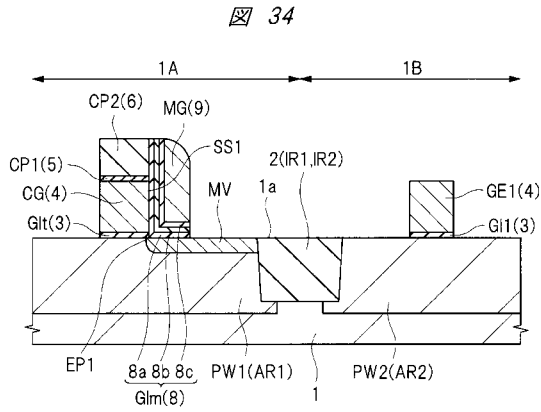
【 図 3 2 】



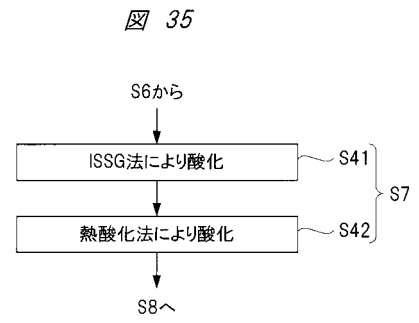
【 図 3 3 】



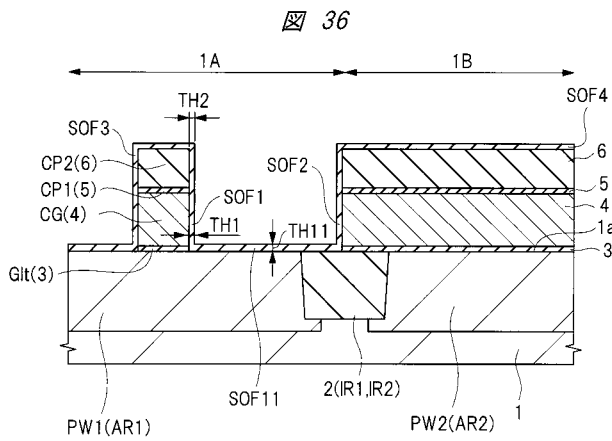
【図34】



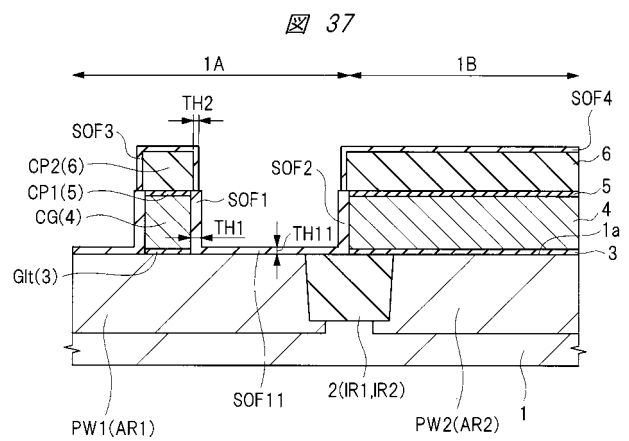
【図35】



【図36】



【図37】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 29/792 (2006.01)

(72)発明者 齊藤 健太郎
神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内

(72)発明者 茶木原 啓
神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内

F ターム(参考) 5F083 EP18 EP22 EP25 EP33 EP35 EP49 EP63 EP68 ER02 ER06
ER11 ER14 ER16 ER21 ER30 GA11 GA27 HA01 JA02 JA04
JA05 JA35 JA36 JA37 JA38 JA39 JA40 JA53 JA56 MA05
MA06 MA19 NA01 PR05 PR06 PR07 PR09 PR12 PR40 PR43
PR44 PR45 PR53 PR54 PR55 ZA05 ZA13
5F101 BA45 BB04 BB08 BC01 BC05 BC11 BD07 BD22 BD24 BD35
BD36 BE02 BE05 BE07 BH03 BH21