

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2007-529879

(P2007-529879A)

(43) 公表日 平成19年10月25日(2007.10.25)

(51) Int. Cl.		F I		テーマコード (参考)
HO 1 L 33/00	(2006.01)	HO 1 L 33/00	C	3 K 2 4 3
F 2 1 S 8/04	(2006.01)	F 2 1 S 1/02	G	5 F O 4 1
F 2 1 Y 101/02	(2006.01)	F 2 1 Y 101:02		

審査請求 未請求 予備審査請求 未請求 (全 41 頁)

(21) 出願番号	特願2006-529398 (P2006-529398)	(71) 出願人	000005821 松下電器産業株式会社
(86) (22) 出願日	平成17年3月16日 (2005.3.16)		大阪府門真市大字門真1006番地
(85) 翻訳文提出日	平成18年9月13日 (2006.9.13)	(74) 代理人	100090446 弁理士 中島 司朗
(86) 国際出願番号	PCT/JP2005/005296		
(87) 国際公開番号	W02005/091388	(74) 代理人	100072442 弁理士 松村 修治
(87) 国際公開日	平成17年9月29日 (2005.9.29)		
(31) 優先権主張番号	特願2004-79299 (P2004-79299)	(74) 代理人	100125597 弁理士 小林 国人
(32) 優先日	平成16年3月18日 (2004.3.18)		
(33) 優先権主張国	日本国 (JP)	(72) 発明者	永井 秀男
(31) 優先権主張番号	特願2004-208524 (P2004-208524)		大阪府門真市大字門真1006番地 松下電器産業株式会社内
(32) 優先日	平成16年7月15日 (2004.7.15)		Fターム(参考) 3K243 MA01
(33) 優先権主張国	日本国 (JP)		

最終頁に続く

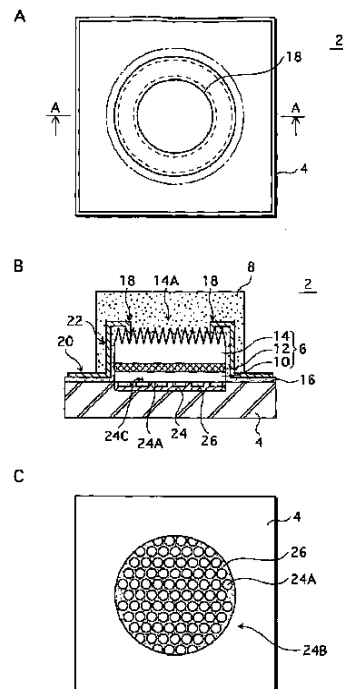
(54) 【発明の名称】 半導体発光装置、照明モジュール、照明装置、表面実装部品、および表示装置

(57) 【要約】

【課題】 発光層への注入電流を許容範囲に抑えつつ、発光効率を向上させることが可能な、半導体発光装置等を提供すること。

【解決手段】 GaN系半導体からなるp-GaN層10とn-GaN層14とで多重量子井戸発光層12を挟んだ量子井戸構造を有し、n-GaN層14側から光を取り出す構成としたLEDチップ2において、p側電極24を以下の構成とした。p側電極24のp-GaN層10に臨む面を、円柱状をした複数の凸部24Aが略一様に分散されてなる凹凸面24Bに形成し、前記凸部24Aの頂部とp-GaN層10を接合することとした。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

窒化物半導体からなる、p型半導体層と量子井戸発光層と当該量子井戸発光層から発せられた光の取出し側となるn型半導体層とがこの順に積層された半導体多層膜と、

前記p型半導体層に対向して設けられていて、当該p型半導体層とオーミック接続されているp側電極と、

を有し、

前記p型半導体層は、前記p側電極からの電流が、残余の領域よりも集中して注入される集中注入領域であって、当該p型半導体層の略全面に渡る集中注入領域を有する半導体発光装置。

10

【請求項 2】

前記集中注入領域は、前記p側電極のp型半導体層への接続構造で実現される請求項1記載の半導体発光装置。

【請求項 3】

前記p側電極の前記p型半導体層に対向する面は、複数の凸部または複数の凹部が略一様に分散されてなる凹凸面に形成されており、当該凹凸面における凸部頂部とp型半導体層とが接続されている請求項2記載の半導体発光装置。

【請求項 4】

前記p側電極は、前記発光層から向かってくる光を前記n型半導体層側へ反射する金属材料で形成されている請求項3記載の半導体発光装置。

20

【請求項 5】

さらに、前記凹凸面における凹部に充填されている絶縁材を有する請求項4記載の半導体発光装置

【請求項 6】

前記絶縁材は、前記発光層で発生する光に対して透明な材料で形成されている請求項5記載の半導体発光装置。

【請求項 7】

前記絶縁材は、前記p型半導体層を形成する窒化物半導体材料と略同じ屈折率を有する材料で形成されている請求項5記載の半導体発光装置。

【請求項 8】

駆動電流値を前記発光層の主面積で除した平均電流密度が 50 A/cm^2 以下となる範囲で使用され、前記p型電極は前記発光層の略全面に臨むように形成されている半導体発光装置であって、

30

使用時において、前記p側電極の前記凸部頂部に、少なくとも 100 A/cm^2 の電流密度で電流が流れるように、前記凹凸面における凸部と凹部の比率が設定されている請求項3記載の半導体発光装置。

【請求項 9】

前記p型半導体層の前記p側電極に面する表面は、格子欠陥が集結してなる高欠陥領域と、前記高欠陥領域の近傍に形成された低欠陥領域とが混在し、

前記p型半導体と接合されている前記凸部が低欠陥領域に対応する位置に形成されている請求項3記載の半導体発光装置。

40

【請求項 10】

前記集中注入領域は、前記半導体多層膜の前記p側電極への接続構造で実現される請求項1記載の半導体発光装置。

【請求項 11】

前記半導体多層膜の前記p側電極との対向面が複数の凸部または複数の凹部が略一様に分散されてなる凹凸面に形成されており、当該凹凸面における凸部頂部のp型半導体層部分において、当該p型半導体層と前記p側電極とが電氣的に接続されている請求項10記載の半導体発光装置。

【請求項 12】

50

前記 p 側電極は、前記発光層から向かってくる光を前記 n 型半導体層側へ反射する金属材料で形成されている請求項 1 1 記載の半導体発光装置。

【請求項 1 3】

前記凹凸面における凹部底部が、前記 n 型半導体層中に存する請求項 1 1 記載の半導体発光装置。

【請求項 1 4】

前記半導体多層膜の前記 p 側電極と対向する表面は、格子欠陥が集結してなる高欠陥領域と、前記高欠陥領域の近傍に形成された低欠陥領域とが混在し、

前記凹凸面における凸部頂部が低欠陥領域となるように当該凹凸面が形成されている請求項 1 1 記載の半導体発光装置。

10

【請求項 1 5】

前記半導体多層膜を、前記 p 型半導体層側で支持するベース基板と、

当該ベース基板で受けるような形で、前記半導体多層膜の側面およびベース基板とは反対側の主面を覆う蛍光体膜と、

を有する請求項 1 記載の半導体発光装置。

【請求項 1 6】

実装基板と、

前記実装基板に実装されている請求項 1 ~ 1 5 のいずれか 1 項に記載の半導体発光装置と、

を有する照明モジュール。

20

【請求項 1 7】

光源として、請求項 1 6 記載の照明モジュールを有する照明装置。

【請求項 1 8】

基板と、

前記基板の搭載されている請求項 1 ~ 1 5 のいずれか 1 項に記載の半導体発光装置と、

前記半導体発光装置をモールドする樹脂と、

を有する表面実装部品。

【請求項 1 9】

請求項 1 ~ 1 5 のいずれか 1 項に記載の半導体発光装置が、縦横に配列されてなるドットマトリックス表示装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体発光装置、照明モジュール、照明装置、表面実装部品、および表示装置に関し、特に、量子井戸発光層を有する窒化物半導体発光装置等に関する。

【背景技術】

【0002】

GaN 系半導体は、一般式 $B_z Al_x Ga_{1-x-y-z} In_y N_{1-v-w} As_v P_w$ ($0 < x < 1$ 、 $0 < y < 1$ 、 $0 < z < 1$ 、 $0 < x+y+z < 1$ 、 $0 < v < 1$ 、 $0 < w < 1$ 、 $0 < v+w < 1$) で表される III-V 族窒化物半導体 (一般に BAlGaInNAsP と記載される。) である。各層が当該 GaN 系半導体材料で形成される半導体多層膜を有する半導体発光装置の一つに発光ダイオード (以下、「LED (Light Emitting Diode)」という。) がある。当該 LED は、発光層を構成する半導体の上記組成比に応じて紫外域 200 nm ~ 赤外域 1700 nm の広範囲において発光可能なものとして知られている。特に現時点では、青緑色よりも短波長域の青色発光領域での応用で普及しつつある。

40

【0003】

青色発光する LED (青色 LED) は、これと蛍光体とを組み合わせる白色 LED と共に、携帯電話に代表される電子機器に搭載され爆発的に普及し続けている。また、LED は白熱電球やハロゲン電球に比べて長寿命であることから、白色 LED を照明に用い

50

る研究が活発になされており、将来的には既存の照明光源に代わる可能性を秘めている。

LEDを一般的な照明光源に使用するためには、先ず、発光効率のさらなる向上が不可欠である。一般にLEDの発光効率を示す指標として、内部量子効率と外部量子効率とがある。内部量子効率とは、発光層に注入された電流が発光層内で光に変換される割合であり、当該内部量子効率は、電子と正孔の発光再結合の割合に比例する。外部量子効率は、同じく注入された電流がLEDチップの外に光として取り出される割合である。即ち、両者は、内部量子効率と発光層で発生した光がLEDチップ外に取り出される割合（光取出し効率）との積が外部量子効率となるといった関係にある。

【0004】

LEDの一般的な構成として、p型半導体層 - 発光層 - n型半導体層の接合構造を有するものがある。そして、n型半導体層に形成されたn側電極とp型半導体層に形成されたp側電極の両電極から給電することにより、発光層が発光する。ここで、光取出し面に位置することとなる電極は、光射出の邪魔にならないようする必要があるのである。例えば、p型半導体層側が光取出し側となる場合には、p側電極は、p型半導体層主面の片隅に可能な限り小面積で形成されることとなる。

10

【0005】

ところで、GaN系半導体においては、一般的に、低抵抗のp型半導体層の製造が容易ではなく、上記のように電極を設けたのでは、発光層全体に均一に電流を流すことが困難となり、電極の直下およびその近傍しか発光しない。そこで、従来、p型半導体層の全面に透明電極を形成した上に前記p側電極を設けるような工夫がなされている（特許文献1参照）。これにより、p側電極から流された電流が透明電極によって拡散され、p型半導体層全体から発光層へ電流を流すことが可能となって、発光効率が改善されることとなる。

20

【0006】

また、発光効率を向上させるために、発光層を薄くして電子波の波長程度の厚さとする量子井戸構造を採用したものもある（特許文献2参照）。量子井戸構造を採用すると、電子と正孔の再結合（発光再結合）の割合が増えるために、さらに発光効率の向上が期待できる。

【特許文献1】特開2003-110138号公報

【特許文献2】特開平11-330552号公報

30

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、量子井戸構造を採用したLEDは、採用しないものよりも発光効率を向上させることができるものの、GaN系LEDでは、以下のような課題が残されている。

現在普及しているGaN系半導体では、材料固有の性質から生じる応力によりピエゾ効果が働く結果、電子と正孔の発光再結合が妨げられ、このことが、内部量子効率を下げる原因となっているのである。その理由の概要について、以下に説明する。

【0008】

量子井戸構造は、発光層での発光再結合の割合を高めるべく電子と正孔をエネルギー障壁で閉じ込めるために用いられている。井戸層における電子と正孔の各キャリアの存在確率は波動分布関数で与えられ、それらの空間的な重なり割合（発光層の同じ位置に存在する割合）が発光再結合の割合に比例する。

40

ところが、ピエゾ効果によって内部電界が発生するので、電子と正孔はそれぞれ井戸層の両側に偏って分布することになる。すなわち、井戸層において電子と正孔の空間的重なり割合が減少するために、発光再結合の割合が下がり、発光効率が下がってしまうのである。

【0009】

井戸層内のキャリア密度を高めれば、内部電界が終端されるスクリーニング効果が働き、ピエゾ効果によって生じる内部電界をうち消すことができる。その結果、井戸層におけ

50

る電子と正孔の空間的な重なり割合が増加し、発光再結合の割合が上がり、内部量子効率を高められる。

キャリア密度を高めるためには、発光層への注入電流を増やせばよいのであるが、そうすると、発熱量が増えてLEDチップ温度が上昇するため、LEDチップそのものの特性劣化や、一般的にLEDチップ周りを覆う樹脂の劣化などといった弊害を招いてしまう。

【0010】

本発明は、発光層への注入電流を許容範囲に抑えつつ、発光効率を向上させることが可能な、半導体発光装置、当該半導体発光装置を用いた照明モジュール、照明装置、表面実装部品、および表示装置を提供することを目的とする。

【課題を解決するための手段】

【0011】

本発明に係る半導体発光装置は、窒化物半導体からなる、p型半導体層と量子井戸発光層と当該量子井戸発光層から発せられた光の取出し側となるn型半導体層とがこの順に積層された半導体多層膜と、前記p型半導体層に対向して設けられていて、当該p型半導体層とオーミック接続されているp側電極とを有し、前記p型半導体層は、前記p側電極からの電流が、残余の領域よりも集中して注入される集中注入領域であって、当該p型半導体層の略全面に渡る集中注入領域を有する。

【発明の効果】

【0012】

上記構成の半導体発光装置によれば、p側電極からの電流は、p型半導体層に集中して注入される。すなわち、p側電極に供給される電流は、その密度(電流密度)が高められて、p型半導体層、ひいては量子井戸発光層に注入されることとなる。これにより、発光層においては、電流密度(キャリア密度)が高くなり、スクリーニング効果が発揮されてピエゾ効果が打ち消され、発光再結合割合が上昇して、発光量が増大する。しかも、前記集中注入領域は、前記p型半導体層の略全面に渡っているので、発光層おける発光量も全体的に一樣に増大し、発光層全体としての発光量が増大する。その結果、駆動電流(発光層に注入する電流の総量)を増大させることなく、発光効率を向上することが可能となる。

【0013】

前記集中注入領域は、前記p側電極の前記p型半導体層への接続構造によって実現することとしてもよい。この場合に、p側電極のp型半導体層に対向する面を、複数の凸部または複数の凹部が略一樣に分散されてなる凹凸面に形成し、当該凹凸面における凸部頂部とp型半導体層とを接合する構造としてもよい。これにより、p側電極に駆動電流が流されると、当該電流は前記凸部頂部に集中しその密度(電流密度)が高められて、p型半導体層、ひいては量子井戸発光層に注入されることとなる。これにより、発光層においては、p側電極の前記凸部頂部に対応する領域で電流密度(キャリア密度)が高くなり、当該領域においてスクリーニング効果が発揮されてピエゾ効果が打ち消され、発光再結合割合が上昇して、この部分での発光量が増大する。また、p側電極の前記凸部頂部は、p型半導体層に対してほぼ一樣に分散されているので、発光層おける発光量もほぼ一樣に増大し、発光層全体としての発光量が増大する。その結果、駆動電流(発光層に注入する電流の総量)を増大させることなく、発光効率を向上することが可能となる。

【0014】

あるいは、前記集中注入領域は、前記半導体多層膜の前記p側電極への接続構造によって実現することとしてもよい。この場合に、半導体多層膜のp側電極との対向面を複数の凸部または複数の凹部が略一樣に分散されてなる凹凸面に形成し、当該凹凸面における凸部頂部のp型半導体層部分において、当該p型半導体層と前記p側電極とを電氣的に接続することとしてもよい。これによれば、p側電極に駆動電流が流されると、当該電流は前記凸部頂部に集中しその密度(電流密度)が高められて、p型半導体層、ひいては量子井戸発光層に注入されることとなる。これにより、発光層においては、前記凸部頂部に対応する領域で電流密度(キャリア密度)が高くなり、当該領域においてスクリーニング効果

10

20

30

40

50

が発揮されてピエゾ効果が打ち消され、発光再結合割合が上昇して、この部分での発光量が増大する。また、前記凸部頂部は、ほぼ一様に分散されているので、発光層おける発光量もほぼ一様に増大し、発光層全体としての発光量が増大する。その結果、駆動電流（発光層に注入する電流の総量）を増大させることなく、発光効率を向上することが可能となる。

【0015】

本発明に係る照明モジュール、照明装置、表面実装部品、および表示装置によれば、上記した発光効率の高い半導体発光装置が用いられるため、高輝度化あるいは小型化を図ることができる。

また、半導体発光装置の発光効率が高まるため、従来と同等の光出力とすれば、発熱量は少なくなる。その結果、半導体発光装置の寿命を延ばすことができる。また、放熱機構をより簡略化できるため、照明装置、表面実装部品、あるいは表示装置の小型化（薄型化）、低コスト化を図ることができる。

10

【発明を実施するための最良の形態】

【0016】

以下、本発明の実施の形態について図面を参照しながら説明する。

（実施の形態1）

図1(a)は、半導体発光装置である白色LEDチップ2（以下、単に「LEDチップ2」という。）の概略構成を示す平面図であり、図1(b)は、図1(a)における、A-A線断面図である。図1(a)は、後述する蛍光体膜8を除いた状態を表している（蛍光体膜8は一点鎖線の仮想線で表している。）。なお、図1を含む全ての図において、各構成要素間の縮尺は統一していない。

20

【0017】

図1(a)、(b)に示すように、LEDチップ2は、ベース基板である金属基板4上に、円盤状（円柱状）をした半導体多層膜6と当該半導体多層膜6の側面および上面を覆う蛍光体膜8が設けられた構成をしている。なお、金属基板4は金(Au)からなる。チップ全体の大きさは、金属基板4が500 μ m角で厚さ50 μ m、蛍光体膜が直径460 μ mで厚さ200 μ mである。

【0018】

半導体多層膜6は、金属基板4側から順に、p型半導体層であるp-GaN層10（厚さ200nm）、InGaN/GaN多重量子井戸発光層12（厚さ50nm）、n型半導体層であるn-GaN層14（厚さ3 μ m）から成り、量子井戸構造を呈している。なお、半導体多層膜6の直径は400 μ mである。

30

半導体多層膜6の側面全面と上面（光取り出し面）の一部、および金属基板4上面の半導体多層膜6の形成領域を除く全面には、窒化シリコン膜からなる絶縁膜16が形成されている。

【0019】

n-GaN層14外側主面の外周に沿って、当該n-GaN層14側から順にTi/Pt/Au膜からなるn側電極18がリング状に形成されている。このようにn-GaN層14外側主面の外周に沿ってn側電極18を形成したのは、発光層12全体に均一に電流を注入するためである。また、金属基板4上面には、前記絶縁膜16を介して、Ti/Pt/Au膜からなる導電膜が当該金属基板4側からこの順に形成されていて、当該導電膜がカソード給電端子20として構成されている。そして、前記n側電極18とカソード給電端子20とは、Ti/Pt/Au膜からなる導電体である配線22によって電氣的に接続されている。配線22のn側電極18側における端部は、当該n側電極18からn-GaN層14の外側主面（光取出し面）の側方に引き出された構成となっている。なお、n-GaN層14上面（光取出し面）は、コーン状の突起が林立したような凹凸面に加工されている。当該凹凸構造14Aによって、光取出し効率が改善される。

40

【0020】

p-GaN層10（発光層12）の下面の略全面に対向するようにp側電極24が設け

50

られている。図1(c)は、p-GaN層10とこれよりも上部にある部材を取り除いた状態を示す平面図である。図1(b)、(c)に示すように、p側電極24は、直径約10 μ mの円柱状をした複数の凸部24Aが略一様に分散されてなる凹凸面24Bを有する。そして、各凸部24Aの頂部がp-GaN層10の下面と接合されている。このようにp側電極24と接合されたp-GaN層10は、当該p側電極24を介して金属基板4と電氣的に接続されているので、金属基板4はアノード給電端子4として機能することとなる。なお、p側電極24は、p-GaN層10側から順に積層されたRh/Pt/Au膜からなり、前記発光層12からの光を高反射率でn-GaN層14側へ反射する機能を有している。また、凹凸面24Bにおける凹部24Cは、Ta₂O₅からなる絶縁材26で充塞されている。なお、凹部24Cは、絶縁材26を充填せずに、空洞のままでも構わない。

10

【0021】

前記金属基板4で受けるような形で形成された蛍光体膜8は、シリコンなどの透光性樹脂に、(Ba,Sr)₂SiO₄:Eu²⁺やY₃(Al,Ga)₅O₁₂:Ce³⁺の黄緑色蛍光体粉末とSr₂Si₅N₈:Eu²⁺や(Ca,Sr)S:Eu²⁺などの赤色蛍光体粉末とSiO₂などの酸化金属微粒子を分散させたものからなる。なお、透光性樹脂にはエポキシ樹脂を用いても構わない。また、透光性樹脂の代わりに、金属アルコキシドを出発材料とするガラス材料、またはセラミック前駆体ポリマーからなるガラス材料を用いて構わない。

【0022】

上記の構成からなるLEDチップ2において、アノード給電端子4とカソード給電端子20を介して通電すると、発光層12から波長460nmの青色光が発せられる。発光層12から発した青色光の内、p-GaN層10に向かった光は、高反射率電極であるp側電極24でn-GaN層14側に反射される。n-GaN層14内に進行した光は、凹凸構造14Aの効果によって反射されることなくn-GaN層14層を透過され、蛍光体膜8で一部が吸収され黄緑色光と赤色光に変換される。そして、青色光と黄緑色光と赤色光が合成されて白色光となり、蛍光体膜8から出射される。

20

【0023】

このように、LEDチップ2は、p-GaN層10の略全面に対向して高反射率電極であるp側電極24を設け、n-GaN層14側から光を取り出す構成としているため、発光層12で発生し、そのままn-GaN層14に向かう光のみならず、p-GaN層10

30

【0024】

また、上記したようにp側電極24のp-GaN層10に臨む面を凹凸面に形成し、当該凹凸面における凸部頂部をp-GaN層10と接合する構成としたことも、駆動電流の総量を増加させることなく発光効率を向上させることに大きく寄与している。以下、この点について詳細に説明する。

(i) p-GaN層が高抵抗であることによる発光効率の低下に対しては、p型半導体層の全面に例えば透明電極を接合すること(以下、p型半導体層の略全面と接合された電極を「全面接合電極」と称する。)によって対応が可能であり、また(ii)量子井戸構造を採用したLEDにおいて、ピエゾ効果によって量子井戸発光層に生じる電界の影響を低減して発光効率を向上させるためには、前記全面接合電極を介して供給する電流の値を大きくすればよいことは、既述した通りである。しかしながら、単に電流値を大きくしただけでは、チップ全体の発熱が問題となるのであった。

40

【0025】

本実施の形態では、上述したように、p側電極24はp-GaN層10(p型半導体層)の略全面に臨むように設けることとしているものの、p側電極24のp-GaN層10との電氣的な接続は、一様に分散させた凸部頂部で成すこととしている。その結果、p側電極24に流された(駆動)電流は、各凸部で集中しその密度(電流密度)を高められ、高められた状態をほぼ維持したまま、p-GaN層10、ひいては発光層12に注入され

50

ることとなる（なぜなら、p - GaN層10は、電気抵抗が高いため面方向に電流が拡がりにくいからである。）。その結果、発光層12においては、p側電極24の前記凸部に対応する各所で電流密度（キャリア密度）が高くなり、当該各所においてスクリーニング効果が発揮されてピエゾ効果が打ち消され、発光再結合割合が上昇して、この部分での発光量が増大する。

【0026】

ここで、p - GaN層10の厚みは、p側電極24の凸部頂部間の間隙（図1（b）における凹部24Cの幅）よりも小さいことが好ましい。すなわち、p - GaN層24の厚みを t 、凹部24Cの上記幅を d とした場合に、 $t < d$ の関係となることが好ましい。このようにすることで、凸部頂部からの電流は、p - GaN層10においてほとんど面方向に広がることなくその直上へと流れて、発光層12に注入されるからである。 t と d の関係は、さらには、 $5t < d$ が好ましく、もっと好ましくは $10t < d$ である。また、p - GaN層24の具体的な厚み寸法としては、 $t = 1 \mu\text{m}$ が好ましく、さらには、 $t = 0.5 \mu\text{m}$ が好ましく、もっと好ましくは、 $t = 0.2 \mu\text{m}$ である。上記した関係は、後述する実施の形態2および3についても当てはまることである。

10

【0027】

そして、p側電極24の凸部は、p - GaN層10（発光層12）に対してほぼ一様に分散されているので、発光層12における発光量もほぼ一様に増大し、発光層全体としての発光量が増大するのである。

本願発明者は、上記の効果を確認すべく実験を行った。当該実験に先立ち、本願発明者は、先ず、LEDチップ2において発熱による劣化を考慮した場合、当該チップサイズ（発光層の主面積： 0.1256mm^2 ）に対する電流値の上限は約63mAであることを確認した。LEDを照明用に用いる場合には、寿命が少なくとも1万時間はあることが望ましいと考えられるところ、電流値が63mAを超えると当該1万時間の寿命を満足することができないことを実験によって見出したのである。なお、駆動電流63mAを発光層（p - GaN層）の主面積で除して得られる平均電流密度は、約 50A/cm^2 である。すなわち、チップサイズ（発光層の面積）が異なっても、平均電流密度が 50A/cm^2 以下となるような駆動電流とすれば、寿命を満足することが可能となる。

20

【0028】

そして、p側電極における凸部の分布密度の異なるLEDチップを4個作成し、その各々を駆動電流63mAで駆動した際の輝度を測定した。具体的には、凸部の個数を異ならせることにより分布密度を変化させた。分布密度の程度は、開口率で表すこととした。開口率とは、p - GaN層（発光層）の主面積に対するp側電極の接合面積（凸部頂部の合計面積）の割合である。開口率が「1」の場合とは、p側電極が全面接合電極（すなわち、従来型のp側電極）であることを示している。そして、開口率は、その値が小さくなるほど、凸部の分布が粗になることを示している。なお、開口率の調整は、凸部の個数を変更する代わりに、凸部頂部の面積（凸部の大きさ）を変更することによっても可能である。

30

【0029】

ここで、実験に供したLEDチップは、開口率が「1」、「0.75」、「0.5」、「0.25」となる4種類である。また、蛍光体膜は設けずに、n - GaN層上面から射出される青色光の輝度を、当該n - GaN層上面から3cmの位置で測定した。

40

実験結果を図2に示す。図2において、横軸は開口率を示している。左縦軸は、相対輝度を示している。相対輝度は、開口率「1」の場合の測定輝度を「1」とし、各開口率における測定輝度を開口率「1」の測定輝度で除した値である。右縦軸は、駆動電流（63mA）をp側電極のp - GaN層との間の接合面積で除して得られる電流密度 $[\text{A/cm}^2]$ を示している。以下、この電流密度を、半導体多層膜へ電流を注入する部分における電流密度を表しているという意味で「注入部電流密度」と称する。

【0030】

図2から、開口率が1よりも小さくなると、すなわち、注入部電流密度が大きくなると

50

相対輝度が上昇していることが確認される。このことは、発光層における電流密度（キャリア密度）の上昇によってスクリーニング効果が発揮されてピエゾ効果が打ち消され、発光再結合の割合が増加し、発光効率が向上するためと考えられる。

開口率が小さくなるにつれ相対輝度は徐々に向上するものの、開口率0.5を下回ったあたりで最高の相対輝度約1.5となりその後は略一定となる。ここで開口率0.5における注入部電流密度は約 100 A/cm^2 である。すなわち、最高の相対輝度を得るためには、少なくとも 100 A/cm^2 の注入部電流密度が必要であるといえる。換言すれば、少なくとも 100 A/cm^2 の注入部電流密度が得られる開口率となるように、p側電極の凹凸面を形成すればよいのである。なお、もちろん、注入部電流密度が 100 A/cm^2 以上となる開口率の上限は、上記0.5に限らず、駆動電流値（平均電流密度）によって変動するものである。但し、発熱の問題から、平均電流密度の上限は 50 A/cm^2 とするのである。なお、平均電流密度の上限を 50 A/cm^2 とし、注入部電流密度を少なくとも 100 A/cm^2 とする考えは、後述する実施の形態5および6においても適用されるものである。

10

20

30

【0031】

本願発明者は、さらに、p側電極24がp-GaN層10と接合される部分（凸部）を分散させたことによる効果の確認を行った。そのため、比較例として、p側電極がp-GaN層と一箇所のみで接合される半導体発光装置（以下、「比較例」という。）であって、その接合面積を発光層の面積で除して得られる通電部比率（すなわち、前記開口率と同じ意味合いの比率）を「0.75」、「0.5」、「0.25」と変化させたものを作成し、各々の輝度を測定した。なお、比較例における接合箇所は円形とし、当該円の大きさによって前記通電部比率を変化させることとした。

【0032】

その結果を、図3において実線（「」記号のプロット）で示す。なお、比較のため、図2に点線で示した、実施の形態に係る半導体発光装置のグラフ（「」記号のプロット）も併記することとする。図3のグラフは、図2のグラフとは、記載形式が変更されているだけで、同じ内容を表すグラフである。

図3から分かるように、注入部電流密度が高くなるにしたがって、両者ともに相対輝度が向上する。しかし、電流密度が 100 A/cm^2 の少し手前あたりから両者の差が顕著となり、比較例は、実施の形態の半導体発光装置ほど輝度が向上しないことが分かる。

【0033】

これは、以下の理由によるものと推察される。

LEDは、発熱温度が高いほど輝度が低下する。比較例は、発熱箇所が一箇所に集中することから、実施の形態よりも発熱温度が高くなるものと思われる。その結果、発熱による輝度低下が、実施の形態よりも大きくなるものと思われる。換言すると、実施の形態では、発熱箇所が分散されていることから、非発熱箇所（半導体多層膜において、電流密度の低い箇所）に熱が逃げ易く、その結果、全体的に発熱温度が低減されることとなり、輝度の低下が抑制されるものと思われる。

【0034】

なお、先に、平均電流密度が同じであれば、発熱によるLEDチップの劣化もほぼ同等になると説明したが、これは、発熱箇所が一様に分散していることが前提となる。したがって、上記比較例では、平均電流密度が同じであっても、チップ劣化による寿命は、実施の形態よりも短くなるものと思われる。

40

また、本実施の形態に係るLEDチップ2は、発光効率に関し、以下のような効果も有している。

【0035】

p側電極24の前記凹凸面24Bの凹部24Cに充填されている絶縁材26を構成する Ta_2O_5 は、発光層12からの青色光に対して透明である（もちろん、可視光全般に対して透明であるが）ので、凹部24Cに入射した光を当該凹部24C表面で、n-GaN層14方向へ反射させることが可能となる。さらに、 Ta_2O_5 の屈折率はGaNの屈折

50

率と比較的近いので、反射吸収の影響による光の損失が少ないことも、発光効率の向上に寄与する。なお、凹部24Cに充填する絶縁材は、 Ta_2O_5 に限らない。例えば、 GaN の屈折率に略等しく可視光に対して透明な絶縁材料として知られている、 ZrO_2 、 ZnO 、 Y_2O_3 、 TiO_2 、 $SrTiO_3$ を用いることとしてもよい。あるいは、一般的な半導体デバイスの絶縁材料である酸化シリコンや窒化シリコンなども使える。また、これら絶縁材料を複数組み合わせることもよく、そうすることにより、屈折率の最適化を行うことが可能となる。また、絶縁材料を多数層に積層して凹部を充填し、絶縁材を形成することにより、当該絶縁材を分布ブラッグ高反射膜として機能させることも可能となる。

【0036】

なお、ここで本明細書および特許請求の範囲において絶縁材(料)とは、抵抗率が $10^2 \cdot cm$ 以上、望ましくは $10^5 \cdot cm$ 以上、より望ましくは $10^8 \cdot cm$ 以上の材料を指し、一般的に高抵抗材料と称されている材料も含む趣旨で使用しており、例えば GaN 系の高抵抗半導体材料も含まれる。

また、LEDチップ2は、半導体多層膜6の光取り出し面側にサファイア基板等が配されていないので、当該半導体多層膜6からの光取り出し効率の非常に高いものとなっている。

【0037】

LEDチップ2は、上記した発光効率に関する効果以外にも、下記する効果を有する。

LEDチップ2は、 $p-GaN$ 層の略全面に臨んでp側電極24が配され、当該p側電極24において略一様に分散された凸部24から電流を注入することとしているため、半導体多層膜6(発光層12)全体に電流を注入することができるので、動作電圧を下げる事ができる。

【0038】

LEDチップ2は、高熱伝導率を有する金属基板4から、主に発光層12で生じた熱が後述する実装基板(セラミックス基板202、図26参照)に放散される関係上、これによっても発光層12の過熱を抑制することができることとなり、高出力、長寿命のLEDチップ(半導体発光装置)を実現できる。更に、後述する実装態様により、光取り出し側となる上方には、ボンディングワイヤー等の出射光を遮るものがないので、影のない光を出射することができる。また、サファイア基板など絶縁性基板を含んでいないので、静電耐圧も向上する。

【0039】

LEDチップ2は、上記したように、半導体多層膜の厚みが $3 \mu m$ 程度であるのに比べて、蛍光体膜の厚みは $200 \mu m$ と十分に厚い。また、半導体多層膜の側面外周にも、蛍光体膜が設けられている。したがって、当該蛍光体膜は、半導体多層膜の周囲にほぼ同様な厚みで形成されていることとなり、これによって、蛍光体膜の厚みムラに起因する色ムラの少ない白色光を得ることができる。

【0040】

LEDチップ2は、発光層12を含む半導体多層膜6が略円盤状(略円柱状)に形成されており、蛍光体膜8が当該半導体多層膜6に対してほぼ均一な厚みで形成されているので、当該LEDチップ2から得られる光のスポット形状もほぼ円形となる。したがって、LEDチップ2は、照明用光源として好適なものとなる。

LEDチップ2は半導体多層膜を支持するのに十分な厚みの金属基板(Auメッキ層)を有している。更に、蛍光体膜8も半導体多層膜の支持機能を有している。これらによりLEDチップ2のハンドリングが容易になっている。

【0041】

上記の構成からなるLEDチップの製造方法について、図4~図7を参照しながら説明する。なお、図4~図7では、LEDチップ2の各構成部分となる素材部分には1000番台の符号付し、その下2桁にはLEDチップ2の対応する構成部分に付した番号を用いることとする。

10

20

30

40

50

まず、MOCVD法（有機金属化学気相成長法）を用い、図4に示すように2インチのサファイア基板28上にGaNバッファ層（不図示）、n-GaN層1014、InGa_N/Ga_N多層量子井戸発光層1012、p-GaN層1010をこの順に結晶成長により積層する[工程A1]。

【0042】

次に絶縁材26（図1参照）となるTa₂O₅膜1026をスパッタにより積層する。その際、Ta₂O₅膜1026が不要な部分については、あらかじめマスクパターン（不図示）により覆っておく。Ta₂O₅膜1026を積層した後にマスクパターンを除去すると必要な部分に絶縁材26が形成される[工程B1]。なお、先にTa₂O₅膜を積層した後、必要部分をマスクパターンで覆い、不要部分をエッチングで除去しても構わない。

10

【0043】

その後、Rh/Pt/Au層1024をこの順に電子ビーム蒸着法等により形成し[工程C1]、更に、厚さ50μmのAuメッキ層1004を形成する[工程D1]。

続いて、サファイア基板28を除去する工程に入る。まず、テフロン（登録商標）シートなどの高分子フィルム30をAuメッキ層1004側に張り付ける[工程E1]。高分子フィルムは、サファイア基板28を除去した後の半導体多層膜1006やAuメッキ層1004を支持し、製造工程に於けるハンドリングを容易にするための支持部材として用いられる。

【0044】

高分子フィルム30を張り付けた後、サファイア基板28側から波長355nmのYAG第3高調波レーザー光LBを、サファイア基板28全面を走査するように照射する[工程F1]。照射されたレーザー光LBはサファイア基板28では吸収されず透過し、サファイア基板28とn-GaN1014層の界面のみで吸収されるため、局所的な発熱により界面付近に於けるGa_Nの結合が分解される。これによりサファイア基板28と半導体多層膜1006は結晶構造的には分離した状態となる。但し、分解によってできた金属Gaによりサファイア基板28に半導体多層膜1006が接着した状態にある。金属Gaの融点は29と低いので加熱した塩酸などに浸すと容易にサファイア基板28と半導体多層膜1006は分離する[工程G1]。なお、YAG第3高調波レーザー光以外にも、波長248nmのKrFエキシマレーザー光や、365nmの水銀灯輝線を用いることができる。また、サファイア基板28を研磨により除去することもあり得る。

20

30

【0045】

次に、LEDチップ2となる半導体多層膜を形成するために、LEDチップ2となる部分をマスクパターン（不図示）で覆い、Auメッキ層1004が現れるまで気相或いは液相エッチングで不要な半導体多層膜1006を除去する[工程H1]。その後、n-GaN層14の光出し面に光出し凹凸構造14Aを形成するため、前記マスクパターン（不図示）を除去した後、今度は、半導体多層膜6上面以外の部分をマスクパターン（不図示）で覆い、KOHなどの溶液に浸す。すると露出表面にコーン状の凹凸が形成される。凹凸形状は、溶液の濃度や温度、浸す時間、印加する電流/電圧などにより制御することができる。凹凸形状（凹凸構造14A）を形成した後、マスクパターン（不図示）を除去する[工程I1]。

40

【0046】

半導体多層膜6の表面保護と絶縁を目的として、窒化シリコン膜1016を形成する。n-GaN層14上面の縁周辺を僅かに残す状態で、n-GaN層14上面をマスクパターン（不図示）で覆った後、スパッタなどにより窒化シリコン膜1016を積層し、その後、前記マスクパターンを除去すると、半導体多層膜6側のAuメッキ層1004表面も含めて、n-GaN層14上面以外の部分に窒化シリコン膜1016を形成することができる[工程J1]。

【0047】

窒化シリコン膜1016を形成した後、n側電極18、配線22、及びカソード給電端子20を形成するために、Al/Pt/Au膜を形成する[工程K1]。LEDチップ2の分

50

離部分と周辺を少し開けてn - GaN層14上面をマスクパターン(不図示)で覆った後、電子ビーム蒸着などでAl/Pt/Au膜をこの順に形成し、前記マスクパターンを除去する。

【0048】

続いて蛍光体膜8の形成工程を説明する。蛍光体膜8は半導体多層膜6部分を覆うように立体的に形成する。そのため、先に示した蛍光体粉末と酸化金属微粒子を適量分散させたシリコン樹脂ペーストで、半導体多層膜6部分を覆うようにスクリーン印刷法などを用いて必要部分に塗布し、熱硬化して形成する[工程L1]。

一般に蛍光体膜厚が変わると発光層からの青色光と蛍光体からの緑黄色光及び赤色光との割合が変わるため、これらの色が合成されてなる白色光の色調も変わる。スクリーン印刷を用いることにより蛍光体膜厚を一定にすることができるので、ほぼ設計値に近い白色光を得ることが可能である。しかしながら、特に照明用途のように僅かな色調も重要になる場合は、蛍光体膜厚を設計値よりも厚く形成し、発光させて色調を確認し、設計値から外れている場合は、設計値の色調になるように蛍光体膜を研磨することにより、調整することも可能である。この作業は、LEDチップに分離する前でも後でも可能である。スクリーン印刷により蛍光体膜を形成するので、各LEDチップ内での蛍光体厚が均一にできるだけでなく、同時に作製しているウエハ内においても均一な蛍光体厚を実現することができるので、各LEDチップの色ムラだけでなく、LEDチップ間の色バラツキも抑制することが可能である。また、蛍光体膜がLEDチップ状態で一体化されていることから、実装基板への実装前にLEDチップの色を選択することが可能となる。その結果、実装基板に青色LEDチップを実装した後、蛍光体膜を形成する一般的な白色LEDよりも、実装歩留まりを格段に高めることができる。

【0049】

最後にダイシングブレードDBにより、チップ個片に分割することで、LEDチップ2(図1参照)が完成する[工程M1]。

(実施の形態2)

図8(a)は、半導体発光装置である白色LEDチップ52(以下、単に「LEDチップ52」という。)の平面図であり、図8(b)は、図8(a)におけるB・B線断面図である。また、図9(a)は、LEDチップ52の下面図である。なお、図8(a)は、後述する蛍光体膜58(図8(b)参照)を除いた状態を表している。

【0050】

図8に示すように、LEDチップ52は、ベース基板となる高抵抗Si基板54(以下、単に「Si基板54」という。)上に、半導体多層膜56と蛍光体膜58が設けられた構成をしている。Si基板54は、半導体多層膜56の主面よりも一回り大きな面積の主面を有しており、半導体多層膜56は、Si基板54における一方の主面の中ほどに配されている。

【0051】

半導体多層膜56は、Si基板54側から順に、p型半導体層であるp-AlGaN層60(厚さ200nm)、AlGaN/InGaN多重量子井戸発光層62(厚さ40nm)、n型半導体層であるn-AlGaN層64(厚さ20μm)、n-GaN層(厚さ5μm:図8では不図示)から成り、量子井戸構造を呈している。

チップサイズは500μm角、厚さ250μm(Si基板54厚50μm、蛍光体膜58厚200μm(Si基板54上面からの高さ))である。また、半導体多層膜56の厚みは上記の通りであり、その主面のサイズは、400μm角である。

【0052】

p-AlGaN層60の下面(発光層62と反対側の主面)の略全面に対向するようにp側電極66が設けられている。p側電極66は、p-AlGaN層60側から順に積層されたRh/Pt/Au膜からなり、前記発光層62からの光を高反射率でn-AlGaN層64側へ反射する機能を有している。なお、半導体多層膜56とp側電極66とは、後述するように、別途サファイア基板94(図10参照)上に半導体プロセスによって形

10

20

30

40

50

成した後、Si基板54に転写したものである。

【0053】

Si基板54の上面の少なくとも前記p側電極66に対応する領域には、導電部材である導電膜68が形成されている。導電膜68は、Ti/Pt/Au膜からなり、前記p側電極66と、Au/Snといった導電材料からなる接合層70を介して接合されている。

半導体多層膜56において光取出し面となる前記n-AlGaN層64上面(発光層62と反対側の主面)には、光取出し効率を改善するために、凹凸構造72が形成されている。当該凹凸構造72は、後述するように、n-AlGaN層64上面に一樣な厚みで形成したタンタルオキサイド(Ta_2O_5)膜74の一部を選択的にエッチングによって除去することによって形成されたものである。また、n-AlGaN層64上面の一部領域には、Ti/Pt/AuからなるL字状をしたn側電極76が形成されている。

10

【0054】

半導体多層膜56の側面の全面と上面の一部(上面を外周に沿って縁取るような形)には、窒化シリコンからなる絶縁膜78が形成されている。

Si基板54の下面(半導体多層膜56の形成側とは反対の面)には、Ti/Auからなるアノード給電端子80とカソード給電端子82とが形成されている。

前記導電膜68は、前記半導体多層膜56の下面からはみ出した延設部68Aを有している。導電膜68は、当該延設部68Aにおいて、Si基板54に開設されたスルーホール84を介してアノード給電端子80と電氣的に接続されている。

【0055】

一方、L字状をしたn側電極76のコーナー部76Aに、Si基板54にまで至る配線86の一端部が接続されている。配線86のn側電極76側端部部分は、n側電極76との接続部位からn-AlGaN層64外側主面(光取出し面)の側方に引き出された構成となっており、ここから、半導体多層膜56の側面に沿ってSi基板54に至っている。なお、配線86は、Ti/Pt/Au膜からなり、半導体多層膜56とは、前記絶縁膜78によって電氣的に絶縁されている。配線86のSi基板54側端部とカソード給電端子82とは、Si基板54に開設されたスルーホール88を介して電氣的に接続されている。なお、スルーホール84、88は、Si基板54の厚み方向に開設された貫通孔にPtを充填してなるものである。

20

【0056】

蛍光体膜58は、Si基板54で受けるような形で、前記半導体多層膜56の側面およびSi基板とは反対側の主面(光取り出し面)を覆うように形成されている。蛍光体膜58は、シリコンなどの透光性樹脂に、青色蛍光体として例えば $(Ba, Sr)MgAl_{10}O_{17} : Eu^{2+}$ や $(Ba, Sr, Ca, Mg)_{10}(PO_4)_6Cl_2 : Eu^{2+}$ などから少なくとも1種類、緑色蛍光体として例えば $BaMgAl_{10}O_{17} : Eu^{2+}$, Mn^{2+} や $(Ba, Sr)_2SiO_4 : Eu^{2+}$ などから少なくとも1種類、黄色蛍光体として例えば $(Sr, Ba)_2SiO_4 : Eu^{2+}$ を少なくとも1種類、赤色蛍光体として例えば $La_2O_2S : Eu^{3+}$ や $CaS : Eu^{2+}$ や $Sr_2Si_5N_8 : Eu^{2+}$ などから少なくとも1種類の計4色の蛍光体粉末と SiO_2 などの酸化金属微粒子を分散させたものからなる。なお、透光性樹脂にはエポキシ樹脂を用いても構わない。また、透光性樹脂の代わりに、金属アルコキシドを出発材料とするガラス材料、またはセラミック前駆体ポリマーからなるガラス材料を用いて構わない。蛍光体膜58は、全体に渡ってほぼ一樣な厚みを有している。

30

40

【0057】

また、半導体多層膜56周囲におけるSi基板54と蛍光体膜58との間には、Alからなる光反射膜90が形成されている。

LEDチップ52においても、実施の形態1に係るLEDチップ2と同様、p側電極のp型半導体層と対向する面は、凹凸面に形成されている。

図9(b)は、p側電極66(図8(b)参照)のみを表した平面図であり、図9(c)は、図9(b)におけるD・D線断面図である。

50

【0058】

図9(b)と図8(b)を参照しながら説明すると、p側電極66は、畝状をした複数の凸部66Aが平行に略等間隔で配されて(略一様に分散されて)形成されたストライプ状の凹凸面66Bを有する。そして、各凸部66Aの頂部がp-AlGaN層60の下面と接合されている。凹凸面66Bの凹部66Cは、酸化シリコンからなる絶縁材92で充塞されている。なお、絶縁材92としては、酸化シリコン以外にTa₂O₅や実施の形態1で紹介した他の材料を用いてもよい。半導体多層膜56には、その積層方向に線状の格子欠陥が存在するのであるが、この格子欠陥は、製造過程において、絶縁材92が配される領域に出現するよう制御される。この格子欠陥に関しては、後述するLEDチップ52の製造方法において説明することとする。

10

【0059】

上記の構成からなるLEDチップ52において、アノード給電端子80とカソード給電端子82を介して給電すると、半導体多層膜56の発光層62から波長390nmの近紫外光が発せられる。発光層62から発した近紫外光の大半は、n-AlGaN層64側から出射され、蛍光体膜58で吸収される。蛍光体膜58で近紫外光は白色光に変換される。

【0060】

上記したように、半導体多層膜56の厚みが25μm程度であるのに比べて、蛍光体膜58の厚みは200μmと十分に厚い。また、半導体多層膜56の側面外周にも、蛍光体膜58が設けられている。したがって、当該蛍光体膜58は、半導体多層膜56の周囲にほぼ一様な厚みで形成されていることとなり、これによって、蛍光体膜58の厚みムラに起因する色ムラの少ない白色光を得ることができる。

20

【0061】

本実施の形態のLEDチップ52は、p側電極66に高反射率電極を採用したことにより半導体多層膜56からの光取り出し効率が大幅に改善される。また、光取り出し面となる前記n-AlGaN層64上面に設けられた凹凸構造72によっても、半導体多層膜56からの光取り出し効率が向上する。さらに、上記光反射膜90によって、LEDチップ52からの光取り出し効率が改善される。

【0062】

さらに、LEDチップ52は、半導体多層膜56の光取り出し面側にサファイア基板等が配されていないので、発光層からの光がサファイア基板等を介して当該LEDチップ外へと放出されるタイプのものと比較して、当該半導体多層膜56からの光取り出し効率の非常に高いものとなっている。

30

また、p-AlGaN層60の略全面に臨んでp側電極66が配され、当該p側電極66において略一様に分散された凸部66Aから電流を注入することとしたことによって奏される効果は、実施の形態1の場合と同様である。

【0063】

LEDチップ52は、実装基板上のパッドに給電端子80、82を直接接合することにより実装される。ここで、LEDチップ52自体が蛍光体膜を有しており、白色光を発することができるので、当該LEDチップ52の実装前に上述した光学的特性検査を実行することが可能なり、当該光学的特性に起因して、実装基板を含む完成品が不良品(規格外)となることを未然に防止することができる。その結果、完成品の歩留まりが向上することとなる。

40

【0064】

また、LEDチップ52は、アノード給電端子80、カソード給電端子82が半導体多層膜56の下面側にあり、実装状態で、光取り出し側となる上面側には、ボンディングワイヤー等の出射光を遮るものがないので、影のない光を出射することができる。

上記の構成からなるLEDチップ52の製造方法について、図10~図17を参照しながら説明する。なお、図10~図17では、LEDチップ52の各構成部分となる素材部分には2000番台の符号を付し、その下2桁にはLEDチップ52の対応する構成部分

50

に付した番号を用いることとする。

【0065】

まず、MOCVD法を用い、図10に示すように、単結晶基板であるサファイア基板94上にGaN層(図10では不図示)、n-AlGaN層2064、InGaN/AlGaN多重量子井戸発光層2062、p-AlGaN層2060をこの順に結晶成長によって積層する[工程A2]。なお、サファイア基板94は、直径2インチ、厚さ300μmの基板である。

【0066】

次に、成長した半導体多層膜2056の一部をマスクングし、残りの部分をサファイア基板94が表れるまでドライエッチングにより除去する。このとき残った半導体多層膜がLEDチップ52を構成する個々の半導体多層膜56(図8(b)参照)となる[工程B2]。

次に絶縁材92(図8参照)となる酸化シリコン膜2092をスパッタにより積層する。その際、酸化シリコン膜2092が不要な部分については、あらかじめマスクパターン(不図示)により覆っておく。酸化シリコン膜2092を積層した後にマスクパターンを除去すると必要な部分に絶縁材92が形成される[工程C2]。続いて、個々の半導体多層膜56(p-AlGaN層60)上面に、電子ビーム蒸着法等によりRh/Pt/Au膜をこの順に形成して、p側電極66を作製する[工程D2]。

【0067】

ここで、絶縁材92は、半導体多層膜において格子欠陥が集結してなる高欠陥領域上に形成される。サファイア基板上に形成されるGaN系半導体層内には、GaNとサファイアの格子定数の違いに起因して筋状に格子欠陥が存在する。本実施の形態では、当該格子欠陥の成長方向を半導体プロセスにおいて制御し、所定の間隔に集結させ、格子欠陥の集結した領域(高欠陥領域)に絶縁材92を配し、高欠陥領域の近傍に形成される低欠陥領域にp側電極の凸部頂部を接合することとしたのである。半導体プロセスにおいて格子欠陥の成長方向を制御する方法は、米国特許第6,617,182号明細書等が開示されている公知の技術で実現できるため、ここでは、その詳細な説明は省略し、図11、図12を参照しながら、概略を説明することとする。

【0068】

図11、図12は、図10の工程A2~工程C2で示した工程をより詳細に表したものである。

先ず、サファイア基板94の(0,0,0,1)面上にMOCVD法により、厚さ10nmのバッファ層(不図示)に次いで、厚さ5μmのGaN層96を形成する[図11(a)]。GaN層96内にはGaNとサファイアの格子定数の違いによる筋状の格子欠陥Kが存在している。

【0069】

次に、GaN層96表面に第1の段差である凹凸をエッチングにより設ける[図11(b)]。凹凸の周期は10μm、凸部96A頂部の幅は2μm、高さは3μmである。この凹凸により紙面垂直方向に形成される溝96Bの方向は<1,1,-2,0>である。上記凹凸面を上方から見た状態を図11(c)に示す。

その上に更にMOCVD法を用いて、厚さ10μmの第1のAlGaN層2064Aを形成する[図12(a)]。GaN層96上の凹部96B上にある第1のAlGaN層2064Aの格子欠陥Kは、AlGaN層の堆積の進行とともにGaN層96の凹部96B中央に向かって集結し、やがて一筋の格子欠陥となる。最終的に第1のAlGaN層2064Aの表面に存在する格子欠陥は、GaN層96上の凹部96B中央付近とGaN層96の凸部96A上部付近のみとなり、それ以外の領域は低欠陥領域となる。

【0070】

第1のAlGaN層2064A表面に残った格子欠陥の数を更に減らす為に、低欠陥領域の一つおきが凸部となるように、第1のAlGaN層2064Aに凹凸構造を設ける[図12(b)]。作製方法、構造は先に示したGaN層96の凹凸と同じである。

10

20

30

40

50

更にその上に厚さ10 μ mの第2のAlGaIn層2064BをMOCVD法により積層する[図12(c)]。第1のAlGaIn層2064Aに残った格子欠陥は第2のAlGaIn層2064Bの堆積とともに第2のAlGaIn層2064Bの凹部中央付近に向かって集結し、やがて一筋の格子欠陥となる。その結果、第2のAlGaIn層2064B表面の格子欠陥は、第1のAlGaIn層2064A表面より更に減少する。

【0071】

そして、集結した格子欠陥は、そのまま略真っ直ぐ、発光層2062、p-AlGaIn層2060中を成長し、p-AlGaIn層2060表面(上面)にピットとなって現れる。そして、本実施の形態では、ピットが比較的良く現れる(格子欠陥が集結された)高欠陥領域Hに絶縁材92を形成し、高欠陥領域H近傍の低欠陥領域Lにp側電極の凸部を接

10

【0072】

なお、実施の形態1のLEDチップ2(図1)においても、上記と同様にして、p側電極24の凸部24Aと接合する領域を高欠陥領域とし、絶縁材26が配される領域を低欠陥領域とするようにしても構わない。この場合には、GaInバッファ層やn-GaIn層の上面は、p側電極の凹凸面に合わせて、図28に示すように凸部156が配されて形成される千鳥格子状の凹凸面とすることとする。なお、図28は、図11(c)に対応する図

20

【0073】

ここまで述べた上記工程と並行して、図13の工程E2、工程F2に示す工程を進める。

高抵抗Si基板2054に対し、その厚み方向に、ドライエッチングによって穴98、100を穿設し、当該穴98、100に、無電解メッキによってPtを充填して、スルーホール84、88を形成する[工程E2]。

【0074】

次に、Si基板2054上面の所定範囲にTi/Pt/Au膜を形成して導電膜68を製作し、さらに導電膜68の所定範囲に重ねてAu/Sn膜を形成して接合層70を製作す

30

続いて、サファイア基板94上のp側電極66とSi基板2054上の対応する接合層70とが重なるように、当該サファイア基板94とSi基板2054とを重ねて、押圧しながら、接合層70が300程度になるように加熱する[工程G2]。これによって、p側電極66と接合層70とが共晶接合される。

【0075】

p側電極66と接合層70との接合に続いて、半導体多層膜56からサファイア基板94を分離する[工程H2、工程I2]。当該分離工程は、実施の形態1の場合と同様になされるので、その説明については省略する。

サファイア基板94が分離され、当該サファイア基板94からSi基板2054に半導体多層膜56等が転写されると、n-AlGaIn層64とサファイア基板94との間の格子定数の違いに起因して半導体多層膜56に生じていた内部応力が解消される。これによって、歪の少ない半導体多層膜56を得ることができる。また、LEDチップにおいて半導体多層膜を支持する基板(ベース基板)の選択の自由度が高まり、例えば、結晶成長に用いるものよりも高放熱性(高熱伝導率性)の基板をベース基板として採用することが可能となる。

40

【0076】

続いて、絶縁と表面保護を目的に高周波スパッタ等により窒化シリコン膜を形成し、絶縁膜78を製作する[工程J2]。窒化シリコン膜は、半導体多層膜56(n-AlGaIn層64)上面の周縁部、半導体多層膜56の側面、および導電膜68の延設部68Aに渡

50

って形成する。

次に、Ti/Pt/Au膜を形成して、n側電極76および配線86を作製する[工程K2]。すなわち、n側電極76と配線86とは、一体的に形成される。

【0077】

Al膜を形成して、光反射膜90を作製する[工程L2]。

n-AlGaN層64の露出表面にタンタルオキサイド(Ta_2O_5)膜74をスパッタリング等によって堆積した後、その一部をエッチングによって除去して凹凸構造72を形成する[工程M2]。

続いて、Si基板2054の半導体多層膜56の形成されている表側に、例えばポリエステルからなり加熱すると発泡して接着力がなくなる接着層(不図示)を介して、第1の高分子フィルム102を接着する[工程N2]。 10

【0078】

第1の高分子フィルム102の接着後、Si基板2054の厚さが100 μ mになるまでその裏側から研磨する[工程O2]。これにより、スルーホール84、88がSi基板2054の裏側に現れることとなる。

スルーホール84、88が現れると、Si基板2054の所定領域にTi/Au膜を形成して、アノード給電端子80とカソード給電端子82を作製する[工程P2]。

【0079】

次に、Si基板2054の表側に貼着した第1の高分子フィルム102を剥がし、Si基板2054の裏側に、ダイシングシートである第2の高分子フィルム104を貼着する[工程Q2]。 20

続いて、スクリーン印刷によって、蛍光体膜58を形成した後[工程R2]、ダイシングブレードDBによって個片にダイシングして、LEDチップ52が完成する[工程S2]。
(実施の形態3)

上記実施の形態1、2では、サファイア基板(単結晶基板)上に形成した半導体多層膜を金属や半導体など異なる材質の基板に接合して作製する形態を示した。実施の形態3では、単結晶基板であるSiC基板、或いはサファイア基板などに結晶成長により形成された状態で単結晶基板から分離せずに作製する良く知られているLEDチップに本発明を適用した形態を説明する。

【0080】

図18に実施の形態3に係るLEDチップ112を示す。図18(a)はLEDチップ112の平面図を、図18(b)は、図18(a)におけるC-C線断面図を、図18(c)は後述するp側電極126のみの平面図をそれぞれ示している。なお、図18(c)、(d)および図19に示すp側電極の平面図では、凸部部分を黒く塗りつぶしている。 30

図18に示すように、LEDチップ112は、n-SiC基板114と、n-SiC基板114上に結晶成長により形成された半導体多層膜116を有する。半導体多層膜116は、n-SiC基板114側から順に、n-GaN層118、InGaN量子井戸発光層120、p-GaN層122で構成される。

【0081】

n-SiC基板114の上面には、Ti/Au膜からなるn側電極124が設けられ、p-GaN層122下面には、その略全面に臨んで、Rh/Pt/Au膜からなるp側電極126が設けられている。 40

p側電極126は、図18(c)に示すように、方形の横断面を有する複数の凹部126Aが略一様に分散されてなる凹凸面126Bを有する。すなわち、p側電極126の凹凸面126Bを形成する凸部126Cは、格子状をした1個の凸部からなっている。

【0082】

そして、当該凸部126Cの頂部がp-GaN層122と接合されている。また、凹部126Aには、酸化シリコンからなる絶縁材128が充填されている。

LEDチップ112は、プリント配線板などの実装基板上に形成されたアノードパッドにp側電極126下面が接合されて搭載される。また、実装基板上に形成されたカソード 50

パッドと前記 n 側電極 1 2 4 とがボンディングワイヤーによって接続される。また、白色光を得る場合には、上記ボンディングワイヤーによる接続の後、LEDチップ 1 1 2 全体を覆うように、実装基板上に蛍光体膜が形成されることとなる。

【0083】

なお、上記の例では、p 側電極において、複数の凹部を形成することにより凹凸面を形成することとしたが、図 1 8 (d) に示すように、角柱状をした複数の凸部を略一様に分散させて凹凸面を形成することとしても構わない。

また、図 1 9 に示すような形状とすることも可能である。

図 1 9 (a) は、実施の形態 1 と同様、円柱状をした複数の凸部 1 3 8 を略一様に分散させて凹凸面を形成した例であり、図 1 9 (b) は、円形の横断面を有する複数の凹部 1 4 0 を略一様に分散させて凹凸面を形成した例である。

10

【0084】

図 1 9 (c) は、六角柱状をした複数の凸部 1 4 2 を略一様に分散させて凹凸面を形成した例であり、図 1 9 (d) は、六角形の横断面を有する複数の凹部 1 4 4 を略一様に分散させて凹凸面を形成した例である。

図 1 9 (e) は、三角柱状をした複数の凸部 1 4 6 を略一様に分散させて凹凸面を形成した例であり、図 1 9 (f) は、三角形の横断面を有する複数の凹部 1 4 8 を略一様に分散させて凹凸面を形成した例である。

【0085】

図 1 9 (g) は、実施の形態 2 と同様、畝状をした複数の凸部 1 5 0 を略一様に（略等間隔で）分散させて凹凸面を形成した例であり、図 1 9 (h) は、真っ直ぐな溝状をした複数の凹部 1 5 2 を略一様に（略等間隔で）分散させて凹凸面を形成した例である。

20

なお、実施の形態 1 における p 側電極の凹凸面形状を、図 1 8 (c)、(d)、図 1 9 (b) ~ (h) に示す凹凸面形状としても構わない。また、実施の形態 2 における p 側電極の凹凸面形状を、図 1 8 (c)、(d)、図 1 9 (a) ~ (f)、(h) に示す凹凸面形状としても構わない。

（実施の形態 4）

図 2 0 は、実施の形態 2 に係る LED チップ 5 2（図 8 参照）を有した照明モジュールである白色 LED モジュール（以下、単に「LED モジュール」と称する。）2 0 0 の外觀斜視図である。LED モジュール 2 0 0 は、後述する照明器具 2 3 2（図 2 3）に装着して用いられるものである。

30

【0086】

LED モジュールは、直径 5 c m の円形をした A l N からなるセラミックス基板 2 0 2 と 2 1 7 個の樹脂レンズ 2 0 4 とを有している。セラミックス基板 2 0 2 には照明器具 2 3 2 に取り付けるためのガイド凹部 2 0 6 や、照明器具 2 3 2 からの給電を受けるための端子 2 0 8 , 2 1 0 が設けられている。

図 2 1 (a) は LED モジュール 2 0 0 の平面図、図 2 1 (b) は図 2 1 (a) における G · G 線断面図、図 2 1 (c) は、図 2 1 (b) におけるチップ実装部分の拡大図をそれぞれ示している。

【0087】

図 2 1 (c) に示すように、セラミックス基板 2 0 2 の下面には放熱特性を改善するための金メッキ 2 1 2 が施されている。

40

図 2 1 (a) において円形に見える各レンズの中心に対応するセラミックス基板 2 0 2 の上に、LED チップ 5 2 が 1 個ずつ（全部で 2 1 7 個）実装されている。

セラミックス基板 2 0 2 は、厚さ 0 . 5 m m で A l N を主材料とする 2 枚のセラミックス基板 2 1 4 , 2 1 6 が積層されてなるセラミックス基板である。なお、セラミックス基板 2 1 4 , 2 1 6 の材料としては、A l N 以外に A l ₂ O ₃、B N、M g O、Z n O、S i C、ダイヤモンド等が考えられる。

【0088】

LED チップ 5 2 は、下層のセラミックス基板 2 1 6 に実装されている。上層のセラミ

50

ックス基板 214 には LED チップ 52 を実装する空間を創出するテーパ状の貫通孔 218 が開設されている。

LED チップ 52 の各実装位置に対応するセラミックス基板 216 上面には、図 22 (b) に示すようなボンディングパッドである、カソードパッド 220 とアノードパッド 222 が形成されている。各パッド 220, 222 には Cu の表面に Au メッキを行ったものが用いられている。各パッド 220, 222 には PbSn ハンダが載せられ、LED チップ 52 の金メッキからなる給電端子 80、82 (図 8 参照) が接合される。

【0089】

或いは、LED チップ 52 の給電端子 80、82 に、更に PbSn ハンダをメッキしておけば、各パッド 220、222 にハンダを載せる工程が不要となる。全パッドに LED チップ 52 を配した後、リフロー炉を通してセラミック基板 202 の温度をハンダが溶ける温度まで上昇させれば、一度に、217 個全ての LED チップ 52 を接合することができる。ここでは触れないが、パッドの形状、ハンダの量、LED チップ 52 の給電端子の形状等を最適化しておけば、上記したリフロー半田付けは可能である。なお、ハンダによらず銀ペーストやバンプにより接合しても構わない。

【0090】

ここで、実装に供される LED チップ 52 は、実装前に実施される色ムラや色温度等の光学的特性検査に合格したものである。すなわち、本実施の形態によれば、LED チップ 52 自体が蛍光体層を有しており、白色光を発することができるので、当該 LED チップ 52 の実装前に上記光学的特性検査を実行することが可能となり、当該光学的特性に起因して、LED モジュールが不良品(規格外)となることを未然に防止することができるのである。その結果、完成品(LED モジュール)の歩留まりが向上することになる。

【0091】

図 21 (c) に示すように、上層のセラミックス基板 214 に開設された前記貫通孔 218 の側壁及び当該セラミックス基板 214 の上面にはアルミ反射膜 224 が形成されている。

セラミックス基板 216 に LED チップ 52 を実装後、第 1 の樹脂としてシリコーン樹脂 226 等で LED チップ 52 を覆い、更に第 2 の樹脂としてエポキシ樹脂 228 などを用いたインジェクションモールドによりレンズ 204 を形成する。なお、シリコーン樹脂を用いずに、エポキシ樹脂のみでモールドしてもよい。

【0092】

217 個の LED チップ 52 は、セラミックス基板 216 上面に形成された配線パターン 230 によって、31 直列 7 並列に接続されている。

図 22 (a) は、レンズ 204 および上層のセラミックス基板 214 を取り除いた状態の LED モジュール 200 の平面図である。LED チップ 52 それぞれの実装位置のセラミックス基板 216 表面は、上述したようにアノードパッド 222 とカソードパッド 220 (図 22 (b)) が配されている。

【0093】

そして各 LED チップ 52 と接続された各アノードパッド 222 と各カソードパッド 220 間が、LED チップ 52 が 31 個ずつ直列に接続され、当該直列に接続された 7 グループの LED チップ同士が並列に接続されるように、配線パターン 230 によって接続されている。配線パターン 230 の一端部側はスルーホール(不図示)を介して、図 21 (a) に示す正極端子 208 と接続され、他端部はスルーホール(不図示)を介して同図に示す負極端子 210 と接続されている。

【0094】

上記のように構成された LED モジュール 200 は、照明器具 232 に取り付けられて使用される。LED モジュール 200 と照明器具 232 とで照明装置 234 が構成される。

図 23 (a) に照明装置 234 の概略斜視図を、図 23 (b) に照明装置 234 の底面図を示す。

10

20

30

40

50

【0095】

照明器具232は、例えば、室内の天井などに固定される。照明器具232は商用電源からの交流電力（例えば、100V、50/60Hz）を、LEDモジュール200を駆動するのに必要な直流電力に変換する電源回路（不図示）を備えている。

図24を参照にしながら、LEDモジュール200の照明器具232への取り付け構造について説明する。

【0096】

照明器具232はLEDモジュール200がはめ込まれる円形凹部236を有している。円形凹部236の底面は、平坦面に仕上げられている。円形凹部236の内壁の開口部寄り部分には、雌ねじ（不図示）が切られている。また、当該雌ねじと底面との間における内壁から、フレキシブルな給電端子238、240とガイド片242とが突出されている。なお、給電端子238が正極、給電端子240が負極である。

10

【0097】

LEDモジュール200を照明器具232へ取り付けるための部材として、シリコンゴム製のO-リング244とリングねじ246とが備えられている。リングねじ246は略矩形断面を有するリング状をしており、その外周には、不図示の雄ねじが形成されている。また、リングねじ246は、その周方向の一部が切りかかれてなる切り欠き部246Aを有している。

【0098】

続いて、取り付け手順を説明する。

20

まず、LEDモジュール200を円形凹部にはめ込む。このとき、LEDモジュール200のセラミックス基板202が、給電端子238、240と円形凹部236の底面との間に位置するとともに、ガイド凹部206とガイド片242とが係合するようにはめ込む。ガイド凹部206とガイド片242とで、正極端子208、負極端子210と対応する給電端子238、240との位置合わせがなされる。

【0099】

LEDモジュール200がはめ込まれると、O-リング244を装着した後、リングねじ246を円形凹部236にねじ込んで固定する。これにより、正極端子208と給電端子238、負極端子210と給電端子240とが密着し、電気的に確実に接続されることになる。また、セラミックス基板202のほぼ全面と円形凹部236の平坦な底面とが密着することになり、LEDモジュール200で発生した熱が照明器具232へ効果的に伝達され、LEDモジュール200の冷却効果が向上することになる。なお、LEDモジュール200の照明器具232への熱伝達効率を更に上げるため、セラミックス基板202と円形凹部236の底面にシリコングリスを塗布することとしても良い。

30

【0100】

上記の構成からなる照明装置234において、商業電源から給電がなされると、前述したように、各LEDチップ52から白色光が発せられ、レンズ204を介して放射される。

LEDモジュール200に対して560mAの電流を流したときの典型的な特性として、全光束は2800lm、中心光度5,000cdであった。また、その発光スペクトルは図25(a)に、その色度図は図25(b)に示すとおりであった。

40

【0101】

なお、上記の例では、LEDモジュールを構成するLEDチップとして実施の形態2のLEDチップ52を用いたが、これに代えて、実施の形態1のLEDチップ2を用いても構わない。

図26に、LEDチップ2の実装態様を示す。図26(a)は図21(c)に、図26(b)は図22(b)にそれぞれ対応する。なお、LEDチップ2を用いた場合には、後述するように、ボンディングワイヤを用いる関係上、貫通孔218の口径が若干大きくなる以外は、基本的に、LEDチップ52を用いた場合と同様である。したがって、図26において、図21(c)、図22(b)に示すのと同様の部材には、同じ符号を付してその説明については省略する。

50

【0102】

アノード給電端子4(図1(b)参照)の底面をアノードパッド222と接合する形でLEDチップ2は、セラミックス基板202に搭載される。そして、カソード給電端子20とカソードパッド220とがボンディングワイヤー154によって接続される。

ここで、LEDチップ2の実装にはボンディングワイヤー154が用いられるのであるが、当該ボンディングワイヤー154は、n-GaN層14(図1参照)の光取出し面よりも、光射出方向後方に設けられたカソード給電端子20から引き出されている。すなわち、ボンディングワイヤー154の一部たりとも、光取出し面前方を遮らないため、当該ボンディングワイヤー154の影が被照射面に生じにくいのである。

【0103】

LEDチップ2を用いた場合の発光スペクトルは図27(a)に、色度図は図27(b)に示すとおりであった。

ここまでは、半導体発光装置を照明モジュールや照明装置等の照明用途に用いる例を紹介してきたが、これに限らず、本発明に係る半導体発光装置(LEDチップ)は表示用途に用いることができる。すなわち、本発明に係る半導体発光装置を表示素子の光源として利用しても構わない。表示素子としては、例えば、LEDチップをパッケージングしてなる表面実装型(SMD)LEDが挙げられる。表面実装型LEDは、例えば、セラミックス基板上に半導体発光装置(LEDチップ)をマウントし、当該半導体発光装置を透明のエポキシ樹脂で封止した(モールドした)構造を有するものである。なお、表面実装型(SMD)LEDの具体例については後述する。

【0104】

表面実装型LEDは、単体であるいは複数個同時に使用される。単体で使用される例としては、テレビやビデオ、エアコンといった家電製品のリモコンに搭載される場合や、あるいは当該家電製品の電源ランプとして用いられる場合等がある。複数同時に使用される例としては、文字、数字、記号等を表示するドットマトリクス表示装置の各ドットとして用いられる場合が挙げられる。特に、本発明に係る半導体発光装置(LEDチップ)は、従来のもよりも発光効率が高いので、従来のLEDチップよりも小さいもので従来と同等以上の光出力が得られる。このことは、小型の表面実装部品を実現できることを意味し、当該表面実装部品の組み込まれるスマートフォンなどの携帯用電子機器の小型化にも寄与する。

【0105】

なお、ドットマトリクス表示装置として用いる場合には、表面実装型とすることなく、いわゆるチップオンボードタイプとして構成しても構わない。すなわち、回路基板上に直接LEDチップを縦横に配列して(搭載して)表示装置を構成するのである。ドットマトリクス表示装置の具体例についても後述する。

(実施の形態5)

ここまで説明してきた実施の形態では、主としてp側電極の形状を工夫することによって、駆動電流を増加させることなく発光効率を向上させることとした。これに対し、実施の形態5では、主として半導体多層膜の形状を工夫することとしている。

【0106】

図29に実施の形態5に係るLEDチップ302を示す。図29(a)は、LEDチップ302の平面図を、図29(b)は、図29(a)におけるE-E線断面図をそれぞれ示している。

図29(a)、(b)に示すように、LEDチップ302は、ベース基板となるn型GaN基板304と、n型GaN基板304上に結晶成長により形成された半導体多層膜306とを有する。半導体多層膜306は、n型GaN基板304側から順に、主として、n-AlGaN層308(厚さ2 μ m)、InGaN/GaN量子井戸発光層310(厚さ200nm)、p-AlGaN層312(厚さ200nm)で構成される。

【0107】

n型GaN基板304の上面(光取出し面)は、光取出し効率を改善するため、切頭六

10

20

30

40

50

角錐形状をした突起が林立したような凹凸面304Aに形成されている。前記上面には、十字型をしたn側電極314が設けられている。n側電極314は、n型GaN基板304側から順に形成されたTi/Au膜からなる。

図29(c)は、LEDチップ302において、後述するp側電極318(図29(b))を取り除いた状態の下面図である。すなわち、図29(c)では、半導体多層膜306の下面の一部と後述する絶縁膜316(図29(b))のみが見えている。当該図29(c)および図29(b)に示すように、半導体多層膜306の下面(n型GaN基板304と反対側の主面)は、切頭六角錐形状をした凸部306Aが略一様に分散されてなる凹凸面306Bを有する。なお、凹凸のピッチは約20μmである。

【0108】

前記凹凸面306Bの凹部306Cの底部は、n-AlGaN層308の厚み方向中ほどに存する。すなわち、前記発光層310(および、p-AlGaN層312)は、前記凸部306Aの個数分に分散されている。

凹凸面306Bにおける凸部306A頂部以外の領域(すなわち、凹部306C底部および凸部306Aの側面(斜面))には、絶縁膜316が形成されている。絶縁膜316は、窒化シリコンからなる。

【0109】

絶縁膜316に続けて、前記半導体多層膜306の略全面に対向してp側電極318が形成されている。p側電極318は、半導体多層膜306側から順に形成された、Rh/Pt/Au膜320とAu膜322で構成される。Rh/Pt/Au膜320は、発光層310からの光を高反射率で反射する反射膜として機能する。p側電極318は、前記絶縁膜316の存在によって、前記凸部306Aの頂部(p-AlGaN層312)のみと電氣的に接続されることとなる。また、p側電極318は、半導体多層膜306の前記凹凸面306Bの凹部306Cを充塞するように形成されているので、結果的に、半導体多層膜306と対向する側の面は、前記凹凸面306Bを反転させたような凹凸面となる。したがって、p側電極318の凹部318Aの側壁318Bは、n型GaN基板304側に広がった斜面となる。

【0110】

上記の構成からなるLEDチップ302において、p側電極318とn側電極314を介して通電すると、発光層310から波長460nmの青色光が発せられる。発光層310から発した青色光の内、p-AlGaN層312に直接向かった光(下方に向かった光)は、Rh/Pt/Au膜320でn型GaN基板304側に(上方に)反射される。また、横方向に向かった青色光は、p側電極318の凹部318Aの側壁(斜面)318Bで上方へと反射され、n型GaN基板304へと向かう。n型GaN基板304内に進行した青色光は、凹凸面304Aの効果によって反射されることなく当該n型GaN基板304から出射される。

【0111】

このように、LEDチップ302は、発光層310で発生し、そのままn型GaN基板304に向かう(上方に向かう)光のみならず、下方に向かう光、さらには横方向に向かう光もRh/Pt/Au膜320で反射させてn型GaN基板304から取り出すことができることとなり、発光効率に優れたものとなる。

また、p側電極318は半導体多層膜306の略全面に臨むように設けることとしているものの、p側電極318の半導体多層膜306(p-AlGaN層312)との電氣的な接続は、一様に分散させた凸部306Aの頂部で成すこととしている。その結果、p側電極318に供給された(駆動)電流は、各凸部306Aに集中して注入される(その密度(電流密度)を高められて注入される)こととなり、高められた状態をほぼ維持したまま、発光層310に注入されることとなる。その結果、発光層310においては、電流密度(キャリア密度)高くなり、スクリーニング効果が発揮されてピエゾ効果が打ち消され、発光再結合割合が上昇して、発光量が増大する。そして、前記凸部306Aは、半導体多層膜306においてほぼ一様に分散されているので、半導体多層膜306全体としての

10

20

30

40

50

発光量が増大するのである。

【0112】

上記の構成からなるLEDチップ302の製造方法について、図30～図32を参照しながら説明する。なお、図30～図32では、LEDチップ302の各構成部分となる素材部分には5000番台の符号を付し、その下3桁には、LEDチップ302の対応する構成部分に付した番号を用いることとする。

まず、MOCVD法を用い、図30に示すように、n型GaN基板5304上に厚さ30nmのGaN下地層（不図示）、n-AlGaN層5308、InGaN/GaN量子井戸発光層5310、p-AlGaN層5312をこの順に結晶成長によって積層する[工程A3]。なお、n型GaN基板5304は、直径2インチ、厚さ200μmの基板である。

10

【0113】

次に、エッチングにより半導体多層膜5306の所定領域をn-AlGaN層5308の中ほどまで除去し、切頭六角錐形状をした前記凸部306Aを形成する[工程B3]。

各凸部306Aの頂部以外の半導体多層膜上面を窒化シリコン膜で覆い、絶縁層316を形成する[工程C3]。

各LEDチップ302となる部分に対応させて、Rh/Pt/Au膜320を形成する[工程D3]。

【0114】

メッキによりAu膜322を形成する[工程E3]。半導体多層膜の前記凹凸面306B（図29）を保護するためである。なお、Au膜322の厚みは約30μmである。

20

続いて、n型GaN基板5304を研磨して、100μm程度の厚さに調整する[工程F3]。

n型GaN層5304の裏面をパターンニングによって、凹凸面5304Aに仕上げる[工程G3]。

【0115】

n型GaN層5304表面の所定位置に、n側電極314を形成する[工程H3]。

ダイシングブレードDBによって個片にダイシングして、LEDチップ302が完成する[工程I3]。

（実施の形態6）

30

実施の形態5では、LEDチップに供給する駆動電流を増加させることなく発光効率を向上させるため、p側電極と対向する半導体多層膜の面を、切頭六角錐形状をした凸部がほぼ一様に分散されてなる凹凸面に形成した。これに対し、実施の形態6では、同じ目的を達成するため、切頭六角錐形状をした凹部（穴）をほぼ一様に分散させて凹凸面を形成することとした点が、実施の形態5と大きく異なっている。

【0116】

図33に実施の形態6に係るLEDチップ402を示す。図33(a)は、LEDチップ402の平面図を、図33(b)は、図33(a)におけるF・F線断面図をそれぞれ示している。

図33(a)、(b)に示すように、LEDチップ402は、ベース基板となるn型GaN基板404と、n型GaN基板404上に結晶成長により形成された半導体多層膜406とを有する。半導体多層膜406は、n型GaN基板404側から順に、主として、n-AlGaN層408（厚さ2μm）、InGaN/GaN量子井戸発光層410（厚さ200nm）、p-AlGaN層412（厚さ200nm）で構成される。

40

【0117】

n型GaN基板404の上面（光取り出し面）は、光取り出し効率を改善するため、切頭六角錐形状をした突起が林立したような凹凸面404Aに形成されている。

半導体多層膜406の一隅は、p-AlGaN層412からn-AlGaN層408の中ほどまでが切除されており、当該切除部分にn側電極414が設けられている。なお、n側電極414は金（Au）で形成されている。

50

【0118】

図33(c)は、LEDチップ402において、n側電極414および後述するp側電極418(図33(b))を取り除いた状態の下面図である。すなわち、図33(c)では、半導体多層膜406の一部および後述する絶縁膜416のみが見えている。図33(c)において、二重の六角形で表しているのは、紙面奥側に向かって凹んでいる凹部406Aである。なお、当該二重六角形(凹部406A)は、かなり誇大に描いている関係上、図33(c)においては、半導体多層膜406の隅では描かれていないが、現実には、二重六角形で表された凹部406Aは、半導体多層膜406の隅々まで形成されている。内側の六角形は当該凹部の底部を表しており、外側の六角形は開口部の周縁を示している。内側の六角形と外側の六角形の間は、凹部406Aのテーパ状になっている側壁を示している。 10

図33(c)および図33(b)に示すように、半導体多層膜406の下面(n型GaN基板404と反対側の主面)は、切頭六角錐形状をした上記凹部406Aが略一様に分散されてなる凹凸面406Bを有する。なお、凹凸のピッチは約20 μ mである。

【0119】

前記凹凸面406Bの凹部406Aの底部は、発光層410に存する。すなわち、前記、p-AlGaN層412は、凹部406Aによって、網目状になっている。

凹部406Aの底面と側壁には、絶縁膜416が形成されている。絶縁膜416は、窒化シリコンからなる。

絶縁膜416に続けて、前記半導体多層膜406のp側電極418が形成されている。p側電極418は、半導体多層膜406側から順に形成された、Rh/Pt/Au膜420とAu膜422で構成される。Rh/Pt/Au膜420は、発光層410からの光を高反射率で反射する反射膜として機能する。 20

【0120】

p側電極418は、前記絶縁膜416の存在によって、p-AlGaN層412の下面(すなわち、前記凹凸面406Bにおける凸部406C(図33(c)の頂部)のみと電氣的に接続されることとなる。

また、p側電極418は、半導体多層膜406の前記凹凸面406Bの凹部406Aを充塞するように形成されているので、結果的に、半導体多層膜406と対向する側の面は、前記凹凸面406Bを反転させたような凹凸面となる。したがって、p側電極418の凸部の側面は、n型GaN基板404側に狭まったテーパ面となる。 30

【0121】

上記の構成からなるLEDチップ402において、p側電極418とn側電極414を介して通電すると、発光層410から波長460nmの青色光が発せられる。発光層410から発した青色光の内、p-AlGaN層412に直接向かった光(下方に向かった光)は、Rh/Pt/Au膜420でn型GaN基板404側に(上方に)反射される。n型GaN基板404内に進行した青色光は、凹凸面404Aの効果によって反射されることなく当該n型GaN基板404から出射される。

【0122】

このように、LEDチップ402は、発光層410で発生し、そのままn型GaN基板404に向かう(上方に向かう)光のみならず、下方に向かう光もRh/Pt/Au膜420で反射させてn型GaN基板404から取り出すことができることとなり、発光効率に優れたものとなる。 40

また、p側電極418の半導体多層膜406(p-AlGaN層412)との電氣的な接続は、網目状をした、前記凸部406Cの頂部で成すこととしている。その結果、p側電極418に供給された(駆動)電流は、当該凸部406Cに集中して注入される(その密度(電流密度)を高められて注入される)こととなり、高められた状態をほぼ維持したまま、発光層410に注入されることとなる。その結果、発光層410においては、電流密度(キャリア密度)高くなり、スクリーニング効果が発揮されてピエゾ効果が打ち消され、発光再結合割合が上昇して、発光量が増大する。そして、前記凸部406Cは、半導 50

体多層膜 406 においてほぼ一様に分布しているのので、半導体多層膜 406 全体としての発光量が増大する。

(実施の形態 7)

上記実施の形態 1 ~ 3、5、6 の LED チップで表面実装型 (SMD) LED を構成した例を紹介する。

【0123】

ここでは、上記いずれの LED チップを用いても構わないのであるが、ここでは、実施の形態 6 に係る LED チップ 402 を用いた例を紹介する。

図 34 (a) に、実施の形態 7 に係る表面実装型 LED 502 (以下、単に「LED 502」と言う。)の平面図を、図 34 (b) に、図 34 (a) における H・H 線断面図をそれぞれ示す。 10

【0124】

LED 502 は、長方形の板体をしたセラミック基板 504 と、当該セラミック基板 504 の上下両面にかけて形成された一对の給電端子 506、508 を有する。給電端子 506、508 の前記セラミック基板 504 の上面側端部部分に LED チップ 402 が搭載されている。LED チップ 402 の周囲には、蛍光体膜 510 が形成されており、さらに当該蛍光体膜 510 は、封止部材であるエポキシ樹脂 520 で封止されている。

【0125】

上記のように構成された LED 502 において、給電端子 506、508 を介して給電すると、LED チップ 402 は、青色光を発する。当該青色光は、前記蛍光体膜 510 で白色光に変換されエポキシ樹脂 520 膜を透過して外部へと射出される。 20

なお、LED 502 は、電気機器内に設けられたプリント配線板の配線パターンに前記給電端子 506、508 の前記セラミック基板 504 の下面側端部を導通させて表面実装される。

(実施の形態 8)

上記実施の形態 1 ~ 3、5、6 の LED チップを表示装置の光源として用いた例を紹介する。

【0126】

ここでは、上記いずれの LED チップを用いても構わないのであるが、ここでは、実施の形態 6 に係る LED チップ 402 を用いた例を紹介する。 30

図 35 (a) は、表示装置の一種であるドットマトリクス表示装置 602 (以下、単に「表示装置 602」と言う。)の斜視図である。

表示装置 602 は、多層プリント配線板 604 の主面状の一部領域に、反射ミラー 606、レンズ板 608 が順に積層され、この領域に 16 行 16 列の合計 256 個の発光部 610 が形成された構成を有している。発光部 610 の各々は、後述するように LED チップ 402 を 1 個ずつ有している。

【0127】

多層プリント配線板 604 の主表面における他の領域には、各発光部 610 を構成する LED チップ 402 を駆動するための外部駆動回路 (不図示) と接続される接続端子 612、614 が形成されている。また、接続端子 612、614 の各々は、多層プリント配線板 604 内の配線パターンによって、前記各 LED チップ 402 と接続されていて、前記外部駆動回路によって、各 LED チップ 402 を独立して点灯制御することができるようになっている。 40

【0128】

図 35 (b) は、発光部 610 の拡大断面図である。

図 35 (b) に示すように、LED チップ 402 は、多層プリント配線板 604 の主表面上に配された導電ランド 616 に LED チップ 402 がフリップチップ実装されている。LED チップ 402 を取り囲むようにして反射ミラー 606 の反射面 618 が形成されている。また、前記反射面 618 を形成するテーパ状の孔 618A がエポキシ樹脂で充塞されて前記レンズ板 608 が形成されている。 50

【 0 1 2 9 】

多層プリント配線板 6 0 4 は、第 1 層の金属層 6 2 0 とこれに積層された 3 層の絶縁層 6 2 2、6 2 4、6 2 6 を備え、絶縁層 6 2 2、6 2 4 間に配線層 6 2 8、絶縁層 6 2 4、6 2 6 間に配線層 6 3 0 がそれぞれ形成された構成を有している。なお、導電ランド 6 1 6 と各配線層 6 3 0、6 2 8 との間は、ビアホールで接続されている。

以上、本発明を実施の形態に基づいて説明してきたが、本発明は上記形態に限らないことは勿論であり、例えば、以下のような形態とすることも可能である。

(1) 上記実施の形態では、いずれも、発光層を多重量子井戸構造とすることとしたが、単一量子井戸構造としても構わない。

(2) 格子欠陥を集結させて高欠陥領域と低欠陥領域を形成する方法は、上記実施の形態 2 で紹介した方法に限らない。例えば、特開 2 0 0 1 - 3 0 8 4 6 2 号公報に開示されている方法や、E L O G (E p i t a x i a l L a t e r a l O v e r g r o w t h) と称される公知技術を用いても構わない。また、上記実施の形態では、半導体多層膜の結晶成長にサファイア基板を用いたが、これに限らず、G a N 基板、S i C 基板、S i 基板、G a A s 基板などの半導体基板を用いてもよい。

(3) 上記実施の形態 2 では、サファイア基板上に半導体多層膜を結晶成長によって形成した後、当該サファイア基板上において、半導体多層膜をチップ (半導体発光装置) 単位に分割することとした。しかしながら、これに限らず、半導体多層膜の上記分割はサファイア基板上では行わず、最終的に L E D チップを構成することとなるベース基板 (高抵抗 S i 基板) に、結晶成長した半導体多層膜の全部を転写した後に、当該ベース基板上で行うこととしてもよい。

【 0 1 3 0 】

また、半導体多層膜を S i 基板に転写する形態を示したが、他の金属 (例えば C u)、半導体 (例えば S i C)、セラミック (例えば A l N) などに転写しても構わない。

(4) 半導体多層膜の、p 側電極と対向する面を凹凸に形成した実施の形態 5、6 において、当該凹凸面における凹部底部が、実施の形態 5 では n 型半導体層に存し、実施の形態 6 では発光層に存するようにした。しかし、これに限らず、当該凹部底部は、p 型半導体層に存するようにしても構わない。

(5) 実施の形態 5、6 において、凹凸面を形成する場合の凸部または凹部の横断面形状を六角形としたがこれに限らず、図 1 8 (c)、(d) や図 1 9 に示すような形状としても構わない。

(6) 実施の形態 1 または 2 の白色 L E D チップの半導体多層膜と p 側電極に代えて、実施の形態 5 または 6 で示した半導体多層膜と p 側電極を採用して白色 L E D チップを構成することとしても構わない。すなわち、半導体多層膜と p 側電極等以外の基本的な構成を実施の形態 1 または 2 の白色 L E D チップとし、半導体多層膜と p 側電極等には、実施の形態 5 または 6 に記載した構成のものを採用するのである。

(7) 実施の形態 2 で記した、半導体多層膜に生じる格子欠陥を p 側電極との接続部分以外のところに集結させ (高欠陥領域)、p 側電極と半導体多層膜 (p 型半導体層) との接続部分は格子欠陥の少ない領域 (低欠陥領域) とする構成を、実施の形態 5 または 6 に適用することとしても構わない。

【 0 1 3 1 】

すなわち、図 2 9、図 3 3 を用いて説明したように、p 側電極 (3 1 8、4 1 8) と対向する半導体多層膜 (3 0 6、4 0 6) の面を、実施の形態 5 では複数の凸部 (3 0 6 A) が略一様に分散されてなる凹凸面 (3 0 6 B) に形成し、実施の形態 6 では複数の凹部 (4 0 6 A) が略一様に分散されてなる凹凸面 (4 0 6 B) に形成した。そして、前記凹凸面 (3 0 6 B、4 0 6 B) における凸部 (3 0 6 A、4 0 6 C) 頂部の p 型半導体層 (3 1 2、4 1 2) 部分において、当該 p 型半導体層 (3 1 2、4 1 2) と p 側電極 (3 1 8、4 1 8) とを電氣的に接続することとした。そこで、半導体多層膜 (3 0 6、4 0 6) の p 側電極 (3 1 8、4 1 8) と対向する表面において、凸部 (3 0 6 A、4 0 6 C) 頂部が低欠陥領域となり、それ以外の領域が高欠陥領域となるようにするのである。

10

20

30

40

50

(8) 蛍光体膜は、低融点ガラスに蛍光体粉末を分散させて形成することとしてもよい。

【0132】

また、上記した実施の形態では、複数種類の蛍光体材料を混ぜ合わせて一層の蛍光体層を形成したが、これに限らず、蛍光体材料の種別毎に蛍光体層を形成し、これを積層することとしても構わない。後者の構成を採用すると、異なる種類の蛍光体材料間での光の再吸収を抑えたり、色度の制御を容易にしたりすることができる。

(9) 上記実施の形態1では、図1に示すように、p側電極24の凹部24Cは、絶縁材26で充塞することとしたが、これに限らず、凹部24Cは、p-GaN層(p半導体層)で充塞することとしてもよい。

【0133】

このようにして構成したLEDチップ700を図36(a)、(b)に示す。

LEDチップ700は、p-GaN層の形状が異なる以外は、実施の形態1のLEDチップ2と基本的に同じ構成である。したがって、共通部分には同じ符号を付してその説明は省略し、異なる部分を中心に説明する。

図36(a)は、LEDチップ700の断面図であり、図1(b)に対応するものである。図36(b)は、図36(a)からp側電極24とp-GaN層702のみを抜き出して描いた拡大図である。なお、図36(a)、図36(b)においても、これまでの図と同様、各構成部材間の縮尺は統一していない。

【0134】

LEDチップ700において、p-GaN層702は、p側電極24の凹部24Cを充塞している。また、このようなp-GaN層702と発光層12とn-GaN層14とで半導体多層膜704が構成されている。

p-GaN層702における、p側電極24の凸部24Aの頂部に対応する部分の厚み t_p が、以下に示す関係を満たす程度に薄ければ、絶縁材で凹部24Cを充塞することなく、実施の形態1のLEDチップ2と同様の効果が得られる。

【0135】

ここで、p-GaN層702の、凹部24Cに対応する部分の厚みを t_d とし、凹部24Cの幅を w_d とする。

上記の定義の下、 t_p と t_d は、 $t_p < t_d$ の関係にあることが好ましい。さらに好ましくは、 $5t_p < t_d$ 、もっと好ましくは $10t_p < t_d$ の関係にあることである。

また、 t_p と w_d は、 $t_p < w_d$ の関係にあることが好ましい。さらに好ましくは、 $2t_p < w_d$ 、もっと好ましくは、 $5t_p < w_d$ の関係にあることである。

【0136】

t_p と t_d の関係および/または t_p と w_d の関係を上記の範囲とすることで、凸部24A頂部からの電流は、p-GaN層702においてほとんど面方向に広がることなくその直上へと流れて、発光層12に注入されることとなる。

【産業上の利用可能性】

【0137】

本発明に係る半導体発光装置は、例えば、高い発光効率の要求される照明分野等で用いられるLEDに好適に利用可能である。

【図面の簡単な説明】

【0138】

【図1】実施の形態1に係るLEDチップを示す図である。

【図2】p側電極における開口率を変化させた場合の相対輝度と注入部電流密度との関係を示すグラフである。

【図3】p側電極とp-GaN層の接合箇所を、一箇所のみとした場合と複数箇所に分散させた場合とにおける、相対輝度と注入部電流密度との関係を示すグラフである。

【図4】実施の形態1に係るLEDチップの製造工程の一部を示す図である。

【図5】実施の形態1に係るLEDチップの製造工程の一部を示す図である。

【図6】実施の形態1に係るLEDチップの製造工程の一部を示す図である。

10

20

30

40

50

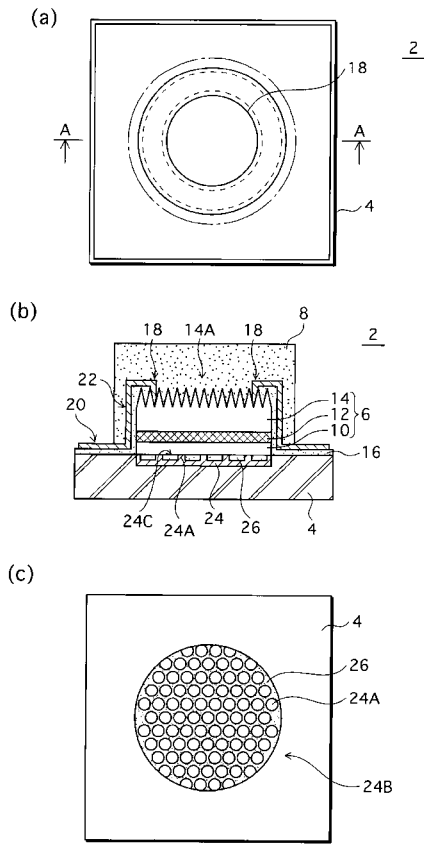
- 【図 7】実施の形態 1 に係る L E D チップの製造工程の一部を示す図である。
- 【図 8】実施の形態 2 に係る L E D チップを示す図である。
- 【図 9】実施の形態 2 に係る L E D チップを示す図である。
- 【図 1 0】実施の形態 2 に係る L E D チップの製造工程の一部を示す図である。
- 【図 1 1】図 1 0 の製造工程の詳細を示す図である。
- 【図 1 2】図 1 0 の製造工程の詳細を示す図である。
- 【図 1 3】実施の形態 2 に係る L E D チップの製造工程の一部を示す図である。
- 【図 1 4】実施の形態 2 に係る L E D チップの製造工程の一部を示す図である。
- 【図 1 5】実施の形態 2 に係る L E D チップの製造工程の一部を示す図である。
- 【図 1 6】実施の形態 2 に係る L E D チップの製造工程の一部を示す図である。 10
- 【図 1 7】実施の形態 2 に係る L E D チップの製造工程の一部を示す図である。
- 【図 1 8】実施の形態 3 に係る L E D チップを示す図である。
- 【図 1 9】p 側電極の凹凸面の変形例を示す図である。
- 【図 2 0】実施の形態 4 に係る白色 L E D モジュールの斜視図である。
- 【図 2 1】(a) は上記白色 L E D モジュールの平面図であり、(b) は(a)における G ・ G 線断面図であり、(c) は、(b) におけるチップ実装部の拡大図である。
- 【図 2 2】(a) は上記白色 L E D モジュールにおける配線パターンを示す図であり、(b) は、白色 L E D モジュールを構成するセラミックス基板上に形成されるパッドパターンを示す図である。
- 【図 2 3】(a) は実施の形態 4 における照明装置を示す斜視図であり、(b) は当該照 20
明装置の下面図である。
- 【図 2 4】実施の形態 4 における照明装置の分解斜視図である。
- 【図 2 5】実施の形態 4 における照明装置の発光スペクトルおよび色度を示す図である。
- 【図 2 6】実施の形態 4 の変形例を示す図である。
- 【図 2 7】上記変形例における照明装置の発光スペクトルおよび色度を示す図である。
- 【図 2 8】半導体プロセスにおいて、格子欠陥が集結した高欠陥領域を形成するために、バッファ層または n 型半導体層表面に施す凹凸構造の一例を示す図である。
- 【図 2 9】実施の形態 5 に係る L E D チップを示す図である。
- 【図 3 0】実施の形態 5 に係る L E D チップの製造工程の一部を示す図である。
- 【図 3 1】実施の形態 5 に係る L E D チップの製造工程の一部を示す図である。 30
- 【図 3 2】実施の形態 5 に係る L E D チップの製造工程の一部を示す図である。
- 【図 3 3】実施の形態 6 に係る L E D チップの製造工程の一部を示す図である。
- 【図 3 4】実施の形態 7 に係る表面実装型 (S M D) L E D を示す図である。
- 【図 3 5】実施の形態 8 に係るドットマトリクス表示装置を示す図である。
- 【図 3 6】実施の形態 1 の変形例に係る L E D チップを示す図である。

【符号の説明】

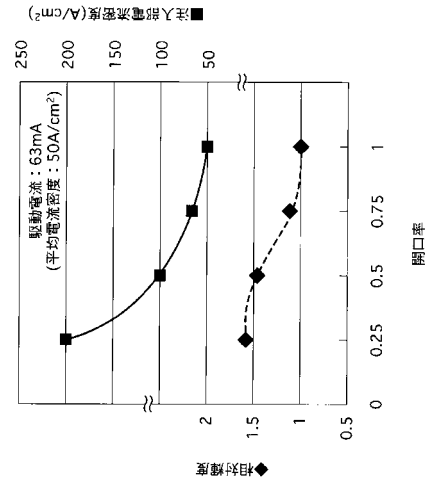
【 0 1 3 9 】

- 1 0、1 2 2 p - G a N 層
- 1 2 I n G a N / G a N 多重量子井戸発光層
- 1 4、1 1 8 n - G a N 層
- 2 4、6 6、1 2 6 p 側電極
- 2 4 A、6 6 A、1 2 6 A 凸部
- 2 4 B、6 6 B、1 2 6 B 凹凸面
- 2 4 C、6 6 C、1 2 6 C 凹部
- 2 6、9 2、1 2 8 絶縁材
- 6 0 p - A l G a N 層
- 6 2 A l G a N / I n G a N 多重量子井戸発光層
- 6 4 n - A l G a N 層
- 1 2 0 I n G a N 量子井戸発光層

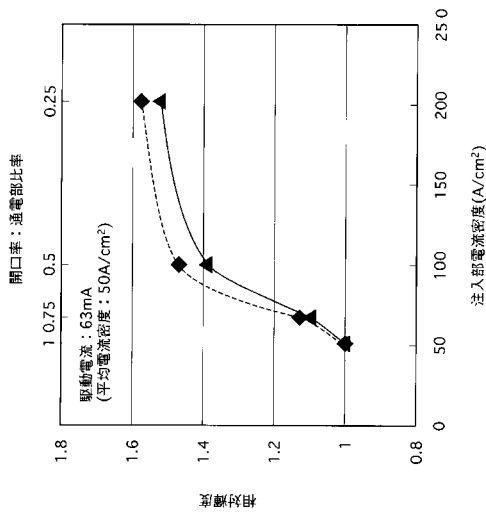
【 図 1 】



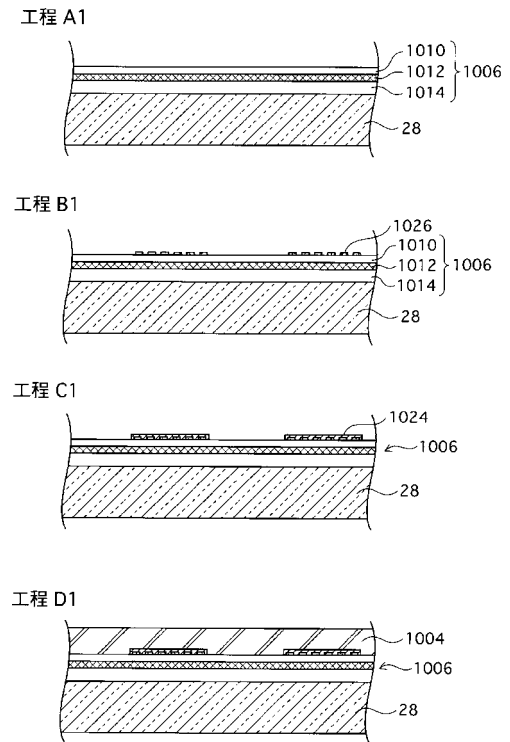
【 図 2 】



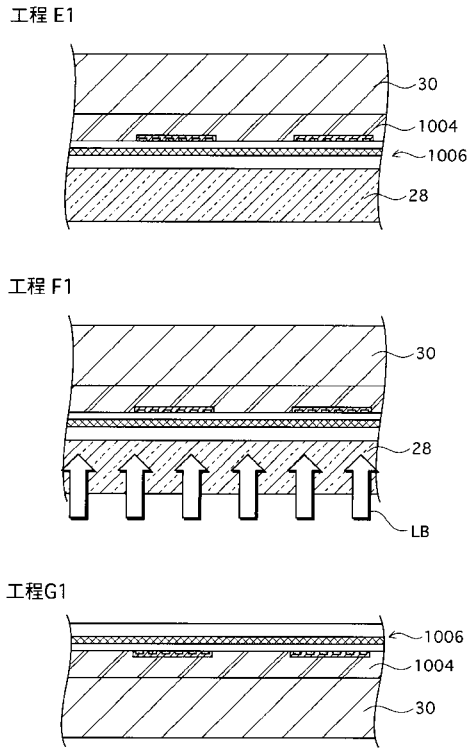
【 図 3 】



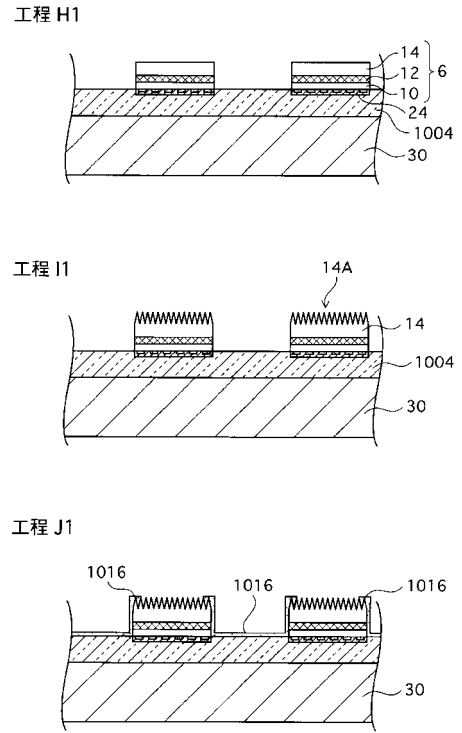
【 図 4 】



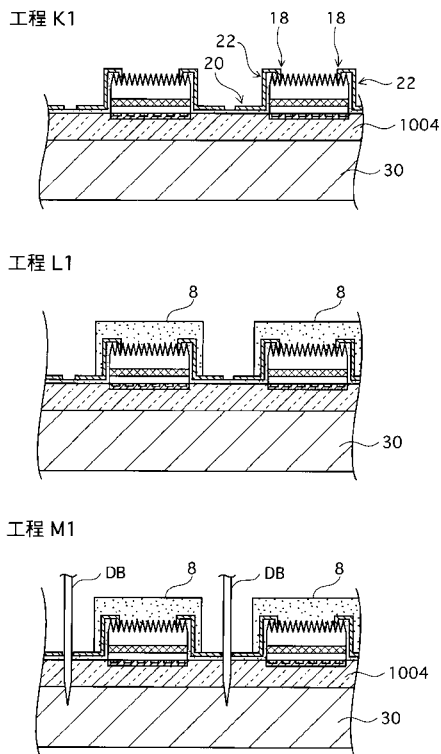
【 图 5 】



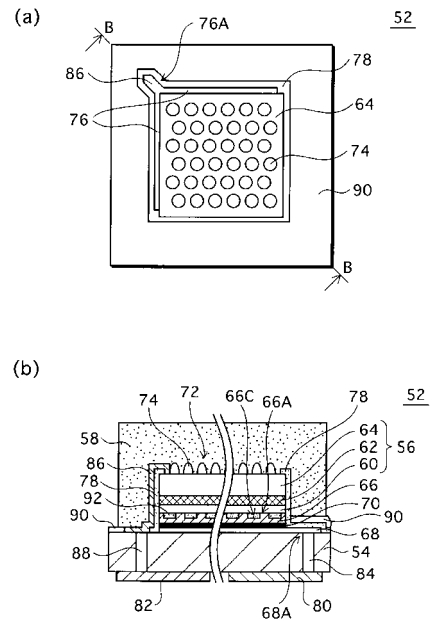
【 图 6 】



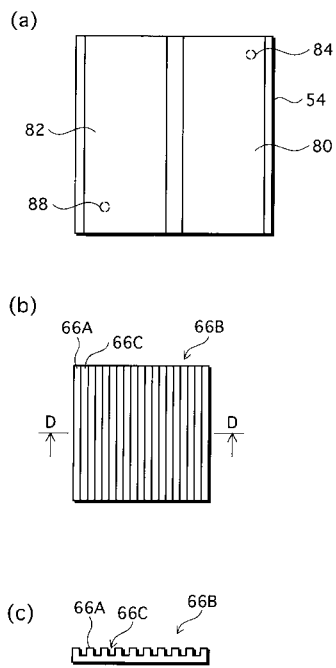
【 图 7 】



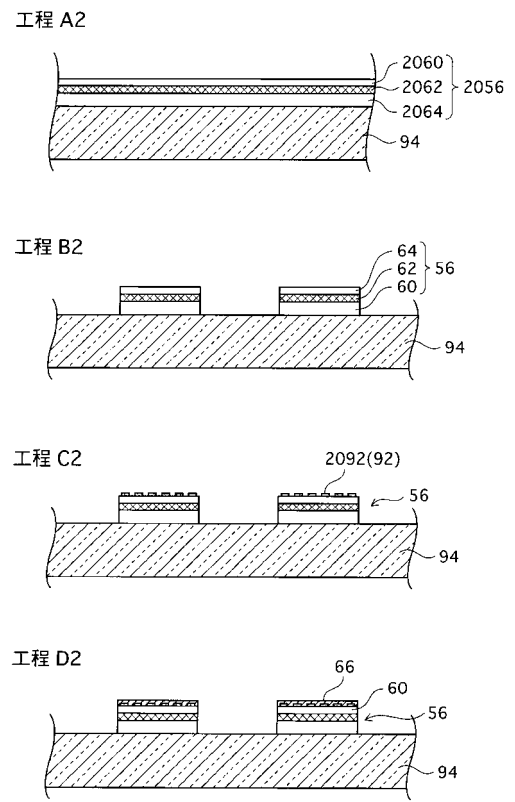
【 图 8 】



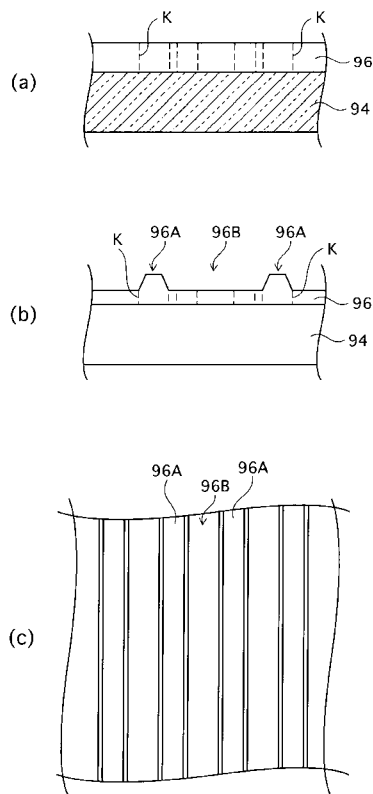
【 図 9 】



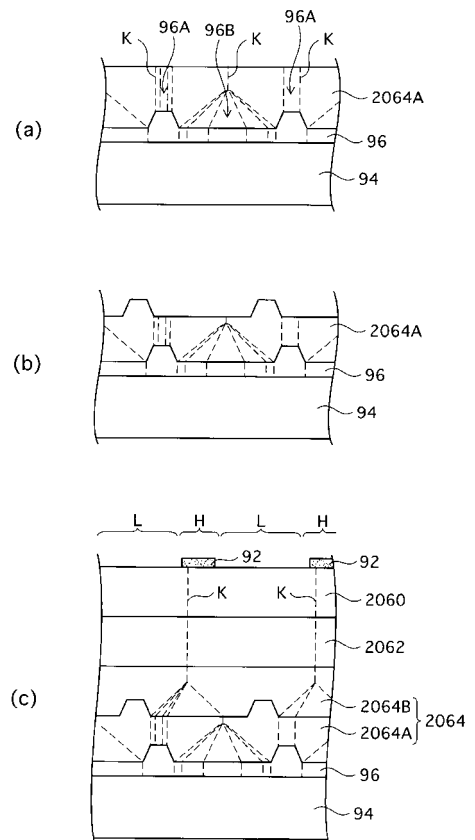
【 図 1 0 】



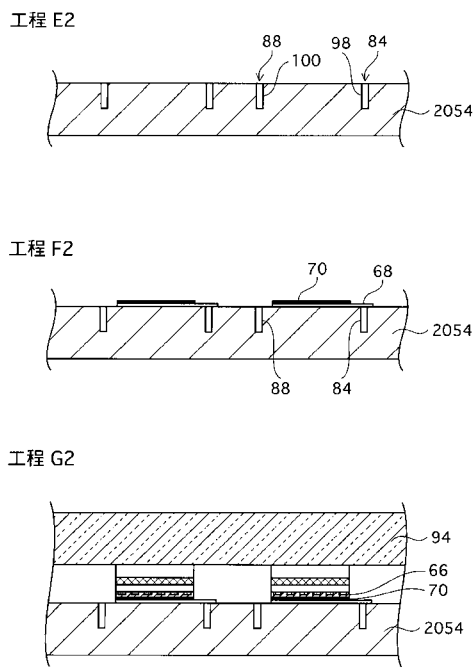
【 図 1 1 】



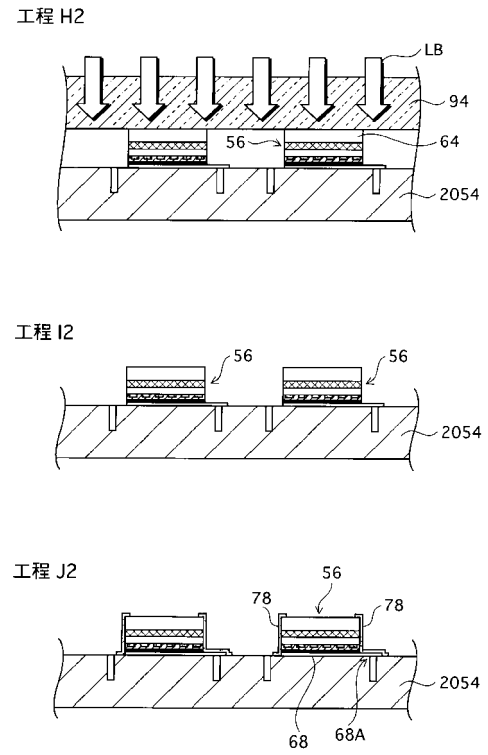
【 図 1 2 】



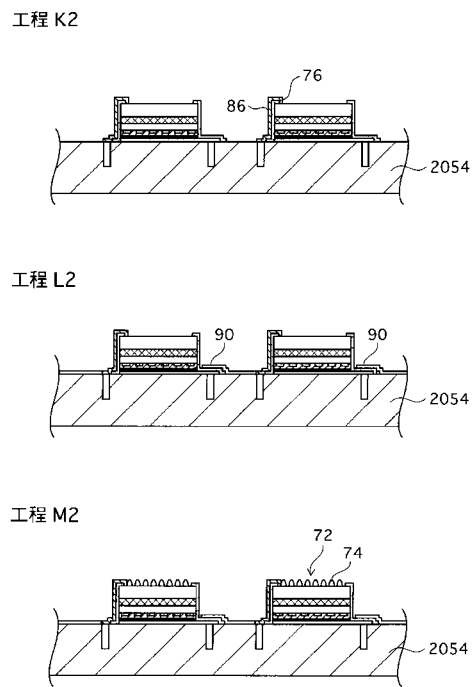
【 图 1 3 】



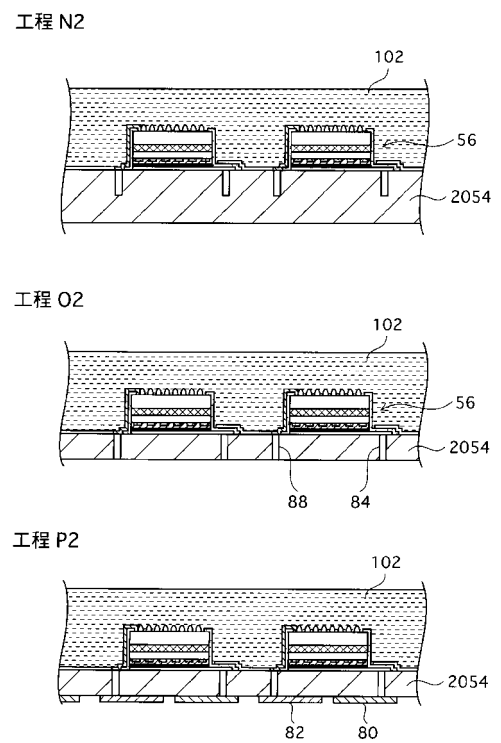
【 图 1 4 】



【 图 1 5 】

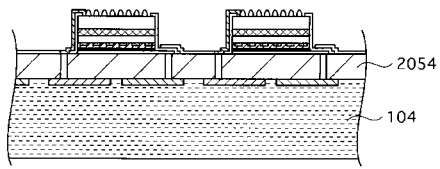


【 图 1 6 】

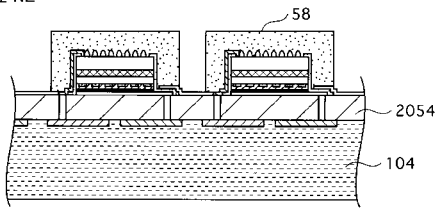


【 図 1 7 】

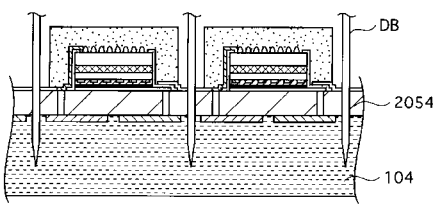
工程 Q2



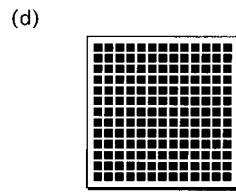
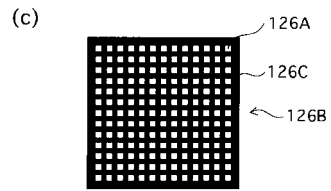
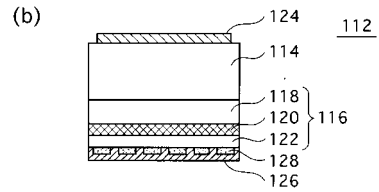
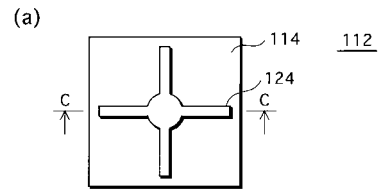
工程 R2



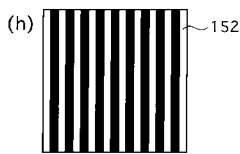
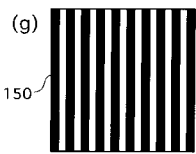
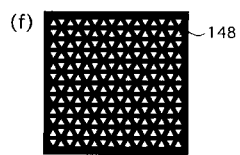
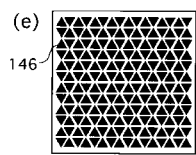
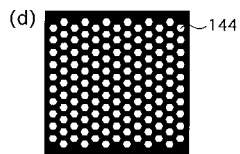
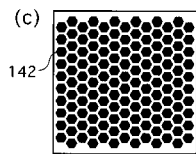
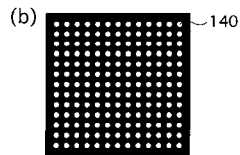
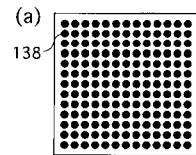
工程 S2



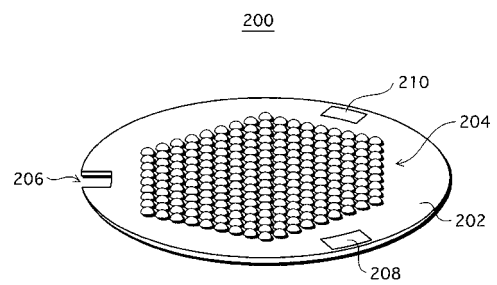
【 図 1 8 】



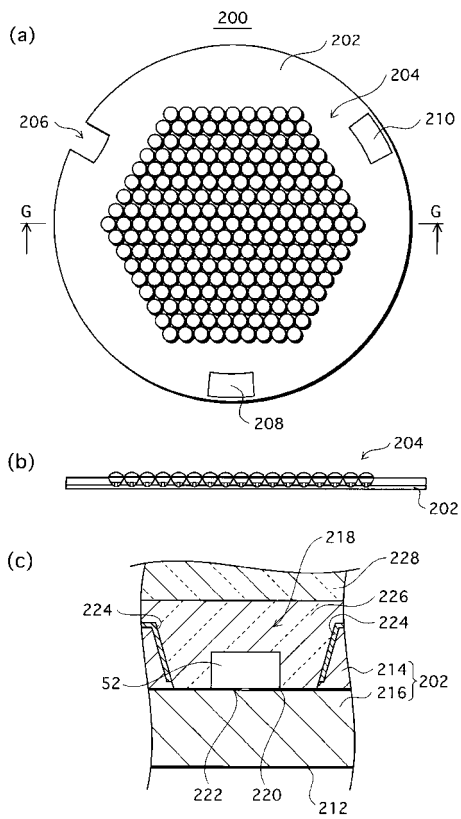
【 図 1 9 】



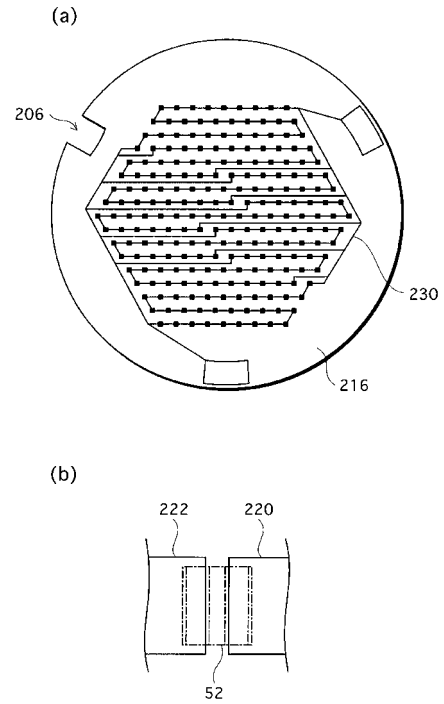
【 図 2 0 】



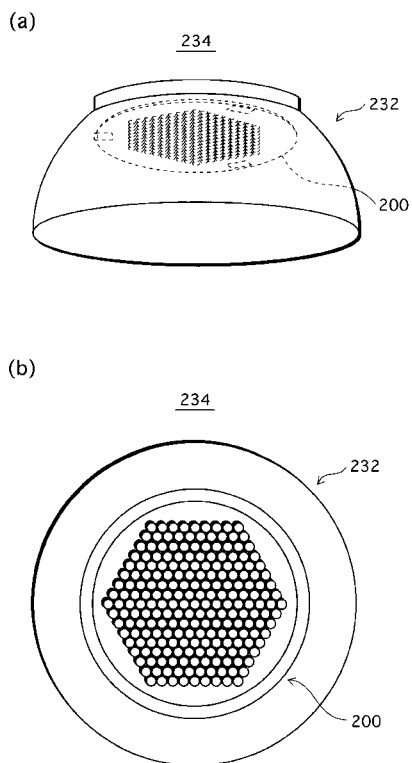
【 図 2 1 】



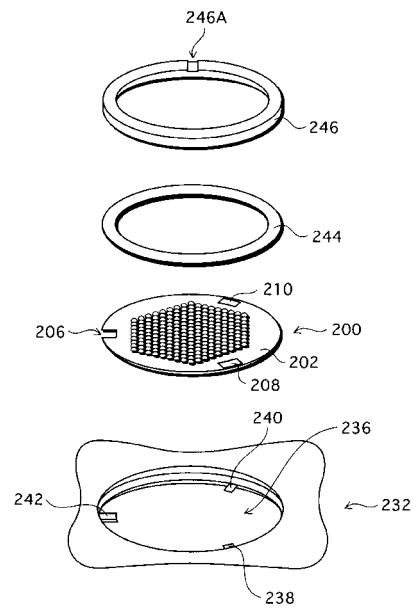
【 図 2 2 】



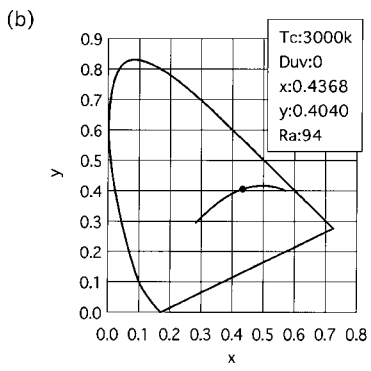
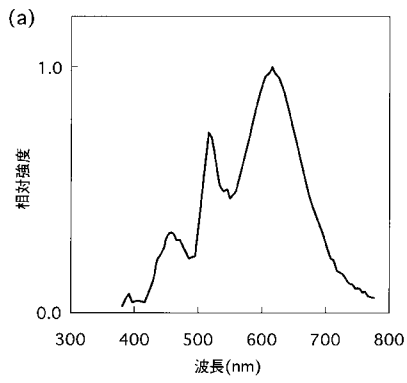
【 図 2 3 】



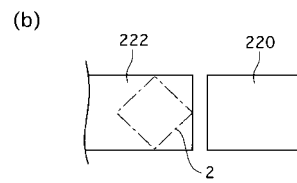
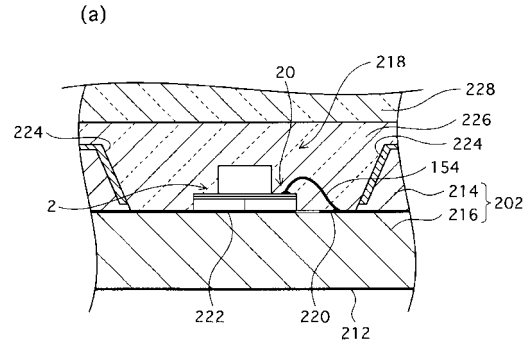
【 図 2 4 】



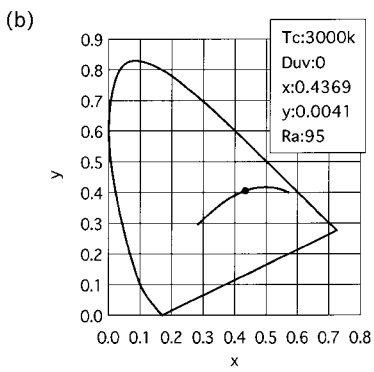
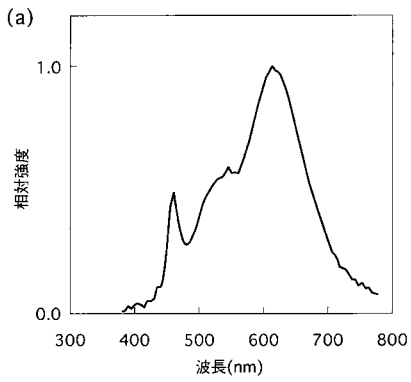
【 図 2 5 】



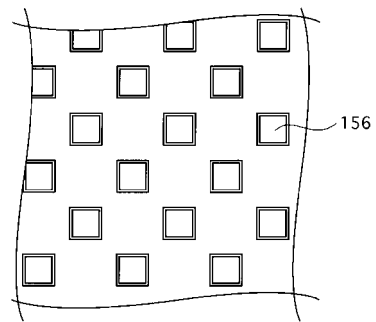
【 図 2 6 】



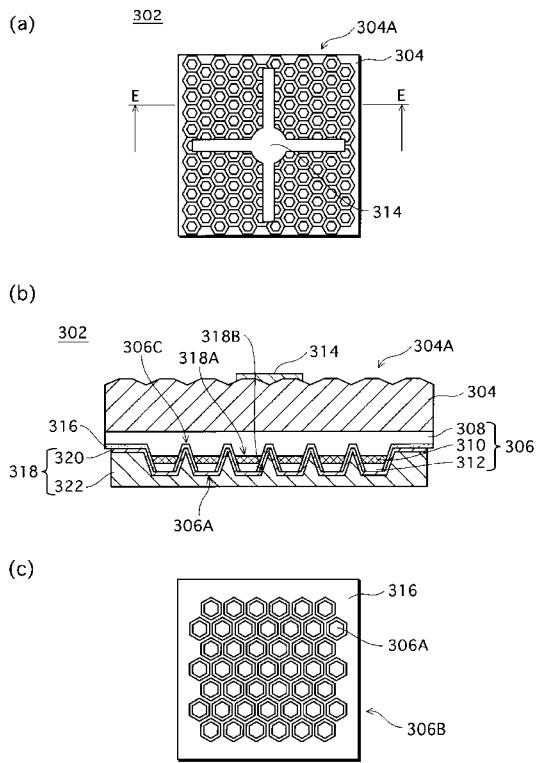
【 図 2 7 】



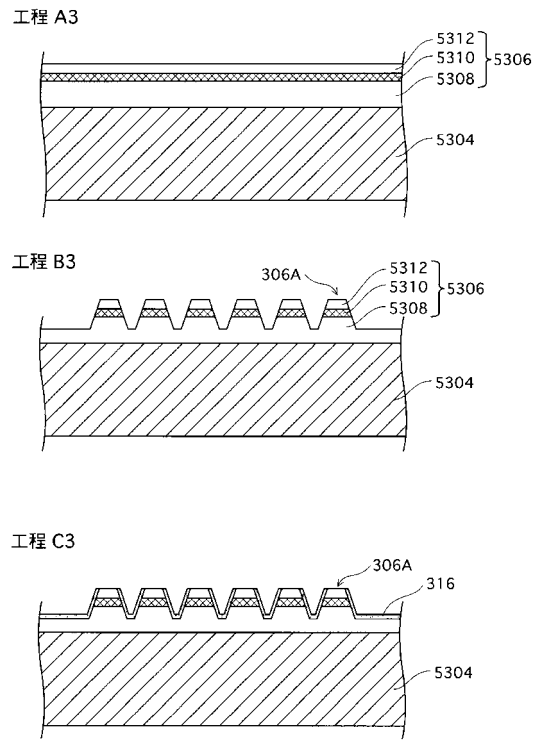
【 図 2 8 】



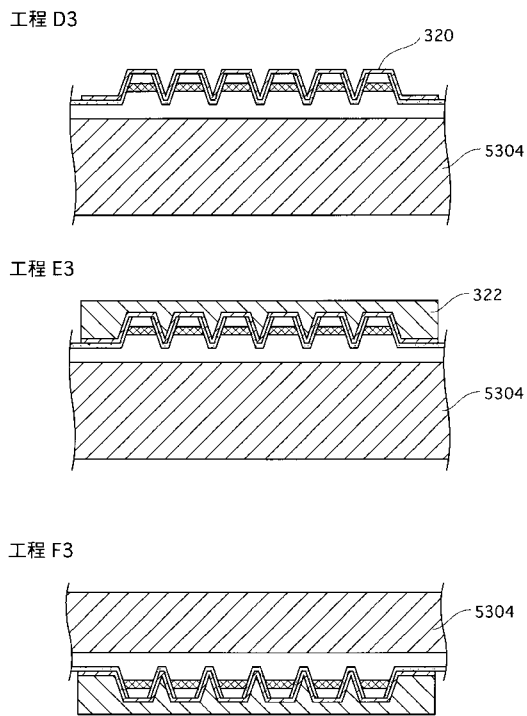
【 図 2 9 】



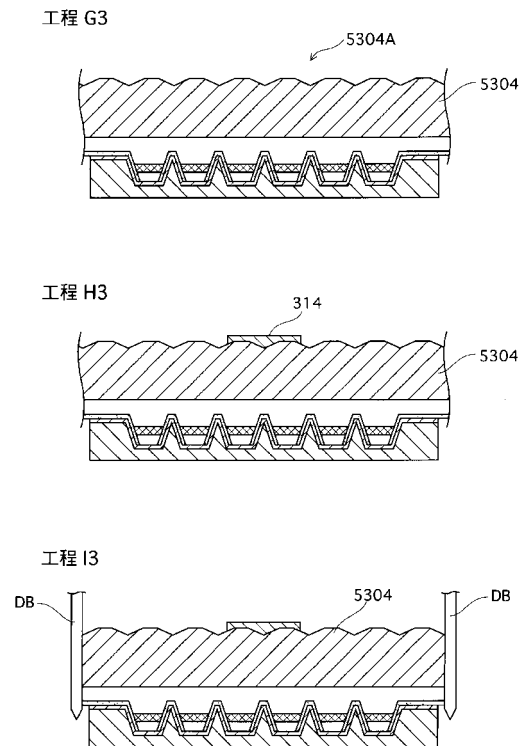
【 図 3 0 】



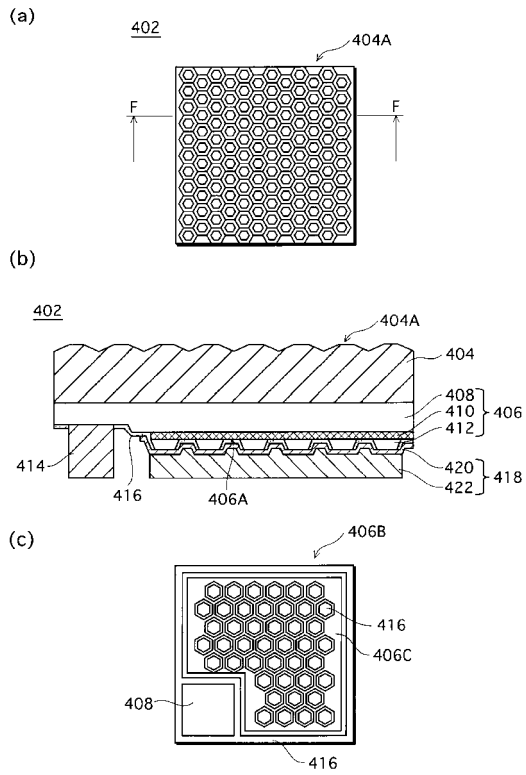
【 図 3 1 】



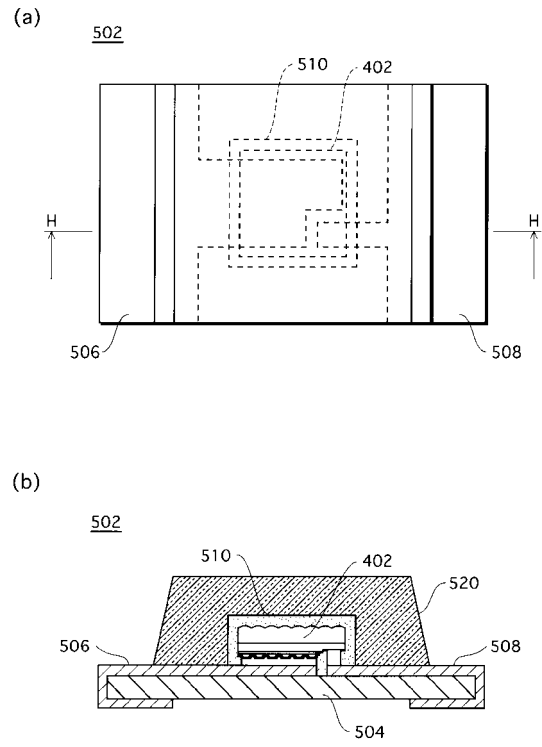
【 図 3 2 】



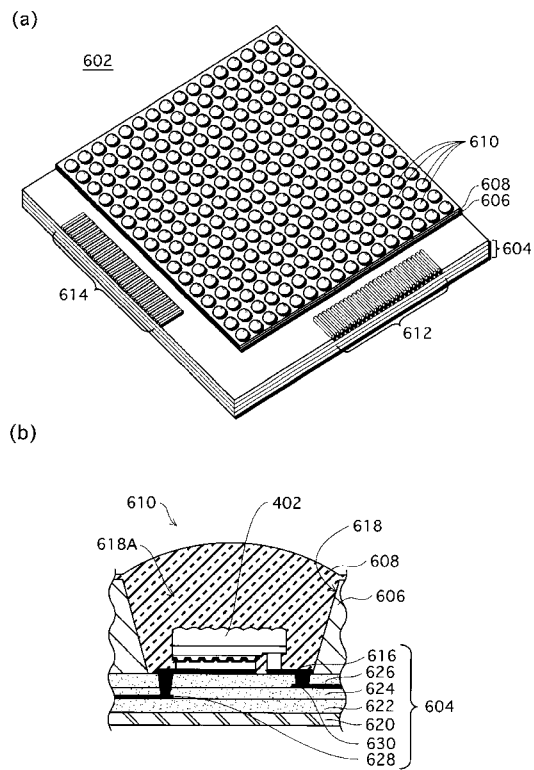
【 図 3 3 】



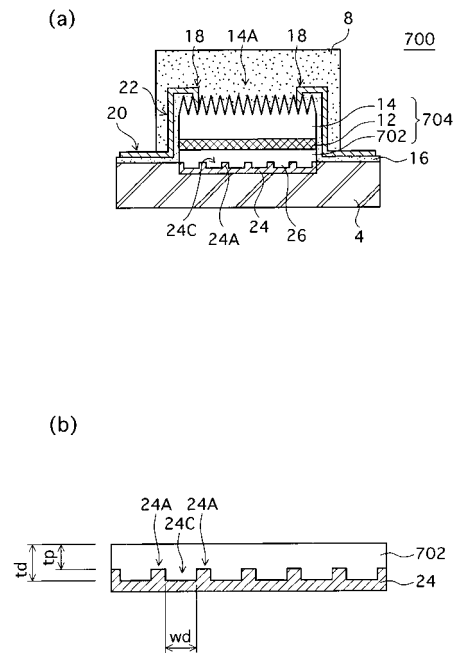
【 図 3 4 】



【 図 3 5 】



【 図 3 6 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International Application No PCT/JP2005/005296
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L33/00		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	YAMADA M ET AL: "INGAN-BASED NEAR-ULTRAVIOLET AND BLUE-LIGHT-EMITTING DIODES WITH HIGH EXTERNAL QUANTUM EFFICIENCY USING A PATTERNED SAPPHIRE SUBSTRATE AND A MESH ELECTRODE" JAPANESE JOURNAL OF APPLIED PHYSICS, PUBLICATION OFFICE JAPANESE JOURNAL OF APPLIED PHYSICS. TOKYO, JP, vol. 42, no. 12B, PART 2, 15 December 2002 (2002-12-15), pages L1431-L1433, XP001162408 ISSN: 0021-4922	1,2, 8-10, 14-19
Y	the whole document	3,4, 11-13
Y	US 6 222 207 B1 (CARTER-COMAN CARRIE ET AL) 24 April 2001 (2001-04-24) abstract	3,4, 11-13
----- -/-		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family members are listed in annex.
* Special categories of cited documents :		
A document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed		*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family
Date of the actual completion of the international search 12 July 2005		Date of mailing of the international search report 27/07/2005
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Werner, A

INTERNATIONAL SEARCH REPORT

International Application No
PCT/JP2005/005296

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 316 785 B1 (NUNOUÉ SHINYA ET AL) 13 November 2001 (2001-11-13) abstract	9,14
A	----- US 2004/031956 A1 (SAXLER ADAM WILLIAM) 19 February 2004 (2004-02-19) abstract -----	1

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/JP2005/005296

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 6222207	B1	24-04-2001	DE 10016503 A1	28-12-2000
			GB 2352088 A	17-01-2001
			JP 2000349349 A	15-12-2000
			TW 516161 B	01-01-2003
			US 2001004534 A1	21-06-2001
US 6316785	B1	13-11-2001	JP 3592553 B2	24-11-2004
			JP 2000124500 A	28-04-2000
US 2004031956	A1	19-02-2004	NONE	

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

Fターム(参考) 5F041 AA03 AA11 AA21 CA04 CA05 CA12 CA40 CA65 CA74 CA76
CA77 CA88 CA92 CA93 CA98 CB02 CB04 CB11 CB15 CB36
DA13 DA19 DA20 DA34 DA44 DA45 DA55 DA58 DA77 DA78
DB08 DB09 EE11 EE25 FF11