

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年8月23日(23.08.2018)



(10) 国際公開番号

WO 2018/150809 A1

(51) 国際特許分類:

H01L 21/60 (2006.01) H05K 3/28 (2006.01)
H01L 21/56 (2006.01)

神奈川県厚木市旭町四丁目14番
1号 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2018/001566

(22) 国際出願日: 2018年1月19日(19.01.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2017-027830 2017年2月17日(17.02.2017) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

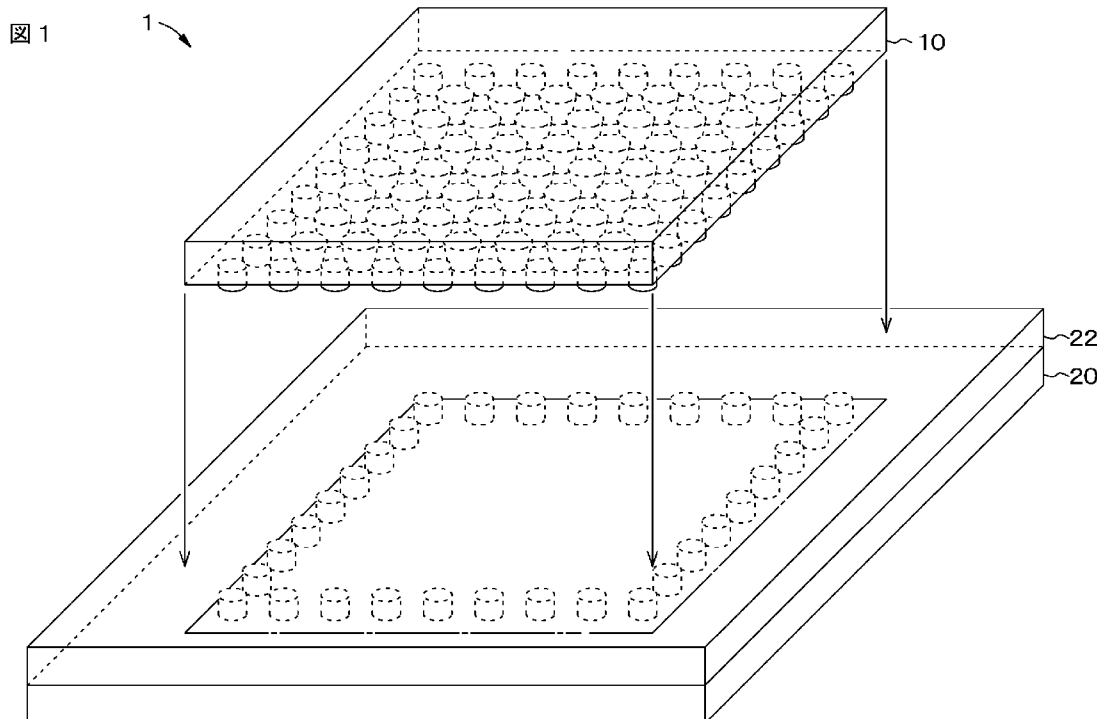
(72) 発明者: 梅沢 譲(UMEZAWA Jo); 〒8691102 熊本県菊池郡菊陽町大字原水4000番地1 ソニーセミコンダクタマニュファクチャリング株式会社内 Kumamoto (JP). 恒見 大樹(TSUNEMI Hiroki); 〒8691102 熊本県菊池郡菊陽町大字原水4000番地1 ソニーセミコンダクタマニュファクチャリング株式会社内 Kumamoto (JP).

(74) 代理人: 山本 孝久, 外(YAMAMOTO Takahisa et al.); 〒1410032 東京都品川区大崎4丁目3番2号 秋葉ビル301号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,

(54) Title: SEMICONDUCTOR DEVICE, CHIP-LIKE SEMICONDUCTOR ELEMENT, ELECTRONIC DEVICE EQUIPPED WITH SEMICONDUCTOR DEVICE, AND SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(54) 発明の名称: 半導体装置、チップ状半導体素子、半導体装置を備えた電子機器、及び、半導体装置の製造方法



(57) Abstract: A semiconductor device is formed by a wiring substrate and a chip-like semiconductor element mounted on the wiring substrate in a flip-chip manner. The surface of the chip-like semiconductor element on the opposing side to the wiring substrate is provided with a plurality of solder bumps and a plurality of projections formed of an insulating



BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

material. The chip-like semiconductor element is disposed so as to face the wiring substrate with an under-filling material interposed therebetween, said under-filling material having a characteristic that the viscosity decreases with temperature rise and being coated on the wiring substrate. After that, the chip-like semiconductor element undergoes a reflow process, thereby being mounted on the wiring substrate in a flip-chip manner.

(57) 要約: 半導体装置は、配線基板と配線基板上にフリップチップ実装されたチップ状半導体素子とから成り、配線基板と対向する側のチップ状半導体素子の面には、複数のハンダバンプと、絶縁性材料から成る複数の突起物とが設けられており、チップ状半導体素子は、温度上昇に伴い粘度が低下する特性を有するアンダーフィル材が配線基板上に塗布された状態でアンダーフィル材を介して配線基板と対向するように配置された後にリフロー処理が施されることによって、配線基板上にフリップチップ実装されている。

明 細 書

発明の名称：

半導体装置、チップ状半導体素子、半導体装置を備えた電子機器、及び、半導体装置の製造方法

技術分野

[0001] 本開示は、半導体装置、チップ状半導体素子、半導体装置を備えた電子機器、及び、半導体装置の製造方法に関する。

背景技術

[0002] 電子機器の小型化や薄型化に伴い、チップ状半導体素子を含むパッケージについても、小型薄型化や多端子化が要求されている。このため、ハンダバンプなどを用いて、チップ状半導体素子（以下、単に、チップと称する場合がある）を、インターポーザー基板などの配線基板に接合するフリップチップ実装方式が提案されている。

[0003] 先ず、チップと配線基板とが電氣的に接合された状態とし、次いで、チップの周辺部に液状のアンダーフィル材を塗布して毛細管現象を利用してアンダーフィル材を配線基板とチップとの間隙に浸透させる、所謂キャピラリーアンダーフィル方式を用いた実装方式について説明する。この実装方式における基本的な工程を図28Aに示す。

[0004] チップと配線基板との間でハンダ接合を行なう際には、金属表面の酸化膜を除去するためにフラックス処理を施す必要がある。しかしながら、フラックスが残存していると、アンダーフィル封止工程において信頼性が低下する原因となる。従って、チップと配線基板を接合した後に、残留フラックスを除去するための洗浄処理を施す。次いで、チップの周辺部に液状のアンダーフィル材を塗布し、毛細管現象を利用してアンダーフィル材を配線基板とチップとの間隙に浸透させる。そして、その後、アンダーフィル材に硬化処理を施して硬化させて封止を行なう。電極間の短絡防止や、キャピラリーアンダーフィル方式によるアンダーフィル材の流動性向上などを目的として、電

極とは別の突起物をチップに形成するといったことが、例えば、特開 2007-324418 号公報や特開 2008-270257 号公報に開示されている。

[0005] キャピラリーアンダーフィル方式では、毛細管現象を利用してアンダーフィル材を配線基板とチップの間隙に浸透させる。このため、間隙を狭くしたり、配線基板とチップとの接合部の狭ピッチ化をすると、フラックス等の残渣によりアンダーフィル材のぬれ性が悪化し、アンダーフィル材の浸透が妨げられる。従って、キャピラリーアンダーフィル方式による封止を用いる場合、狭ピッチ化には限界がある。また、キャピラリーアンダーフィル方式による封止工程には比較的長時間を要し、また、フラックスの洗浄といった工程も必要となるなど、キャピラリーアンダーフィル方式を用いた実装方式には、生産工程のタクトタイム短縮による生産性の向上を図り難いといった課題がある。

[0006] このため、アンダーフィル材を先に塗布し、次いで、チップと配線基板とが電氣的に接合された状態とするといった、アンダーフィル材の先塗り方式による実装方式が、例えば、特開 2002-203874 号公報に開示されている。この実装方式における基本的な工程を図 28B に示す。

[0007] アンダーフィル材の先塗り方式は、残留フラックスの洗浄工程が不要であり、配線基板とチップの間隙を狭くしたり配線基板とチップとの接合部の狭ピッチ化を図っても封止を行なうことができるといった利点を備えている。

先行技術文献

特許文献

- [0008] 特許文献1：特開 2007-324418 号公報
特許文献2：特開 2008-270257 号公報
特許文献3：特開 2002-203874 号公報

発明の概要

発明が解決しようとする課題

[0009] 上述した特許文献3に開示された技術では、アンダーフィル材の選択的な塗布や、配線基板とチップとの間で高精度な位置出しがされた状態とした上で加熱下で加圧してチップを実装するといったことが必要となる。しかしながら、生産性向上の観点からは、アンダーフィル材の選択的な塗布や高精度な位置出しといったことを必要とせずにチップ実装ができることが好ましい。

[0010] また、アンダーフィル材の先塗り方式では、チップ実装工程において、フラックス機能の還元作用等によるボイドがアンダーフィル材中に残留しやすい。しかしながら、上述した特許文献3に開示された技術では、チップ実装時においてアンダーフィル材中に残るボイドをどのように外部に逃がしていくかといったことについて、アンダーフィル材の粘度の低下による効果の他には、何ら言及されていない。

[0011] 従って、本開示の目的は、アンダーフィル材の選択的な塗布や高精度な位置出しといったことを必要とせず、更には、チップ実装時におけるアンダーフィル材のボイドを低減することができる、半導体装置、係る半導体装置を備えた電子機器、係る半導体装置に用いられるチップ状半導体素子、及び、係る半導体装置の製造方法を提供することにある。

課題を解決するための手段

[0012] 上記の目的を達成するための本開示の第1の態様に係る半導体装置は、
配線基板と、

配線基板上にフリップチップ実装されたチップ状半導体素子と、
を備えており、

配線基板と対向する側のチップ状半導体素子の面には、複数のハンダバン
プと、絶縁性材料から成る複数の突起物とが設けられており、

チップ状半導体素子は、温度上昇に伴い粘度が低下する特性を有するアン
ダーフィル材が配線基板上に塗布された状態でアンダーフィル材を介して配
線基板と対向するように配置された後にリフロー処理が施されることによっ
て、配線基板上にフリップチップ実装されている、

半導体装置である。

[0013] 上記の目的を達成するための本開示の第1の態様に係るチップ状半導体素子は、

アンダーフィル材が塗布されている配線基板上にフリップチップ実装されるチップ状半導体素子であって、

配線基板と対向する側のチップ状半導体素子の面には、複数のハンダバンプと、絶縁性材料から成る複数の突起物とが設けられている、チップ状半導体素子である。

[0014] 上記の目的を達成するための本開示の第1の態様に係る電子機器は、

配線基板と配線基板上にフリップチップ実装されたチップ状半導体素子とから成る半導体装置を備えた電子機器であって、

配線基板と対向する側のチップ状半導体素子の面には、複数のハンダバンプと、絶縁性材料から成る複数の突起物とが設けられており、

チップ状半導体素子は、温度上昇に伴い粘度が低下する特性を有するアンダーフィル材が配線基板上に塗布された状態でアンダーフィル材を介して配線基板と対向するように配置された後にリフロー処理が施されることによって、配線基板上にフリップチップ実装されている、電子機器である。

[0015] 上記の目的を達成するための本開示の第1の態様に係る半導体装置の製造方法は、

配線基板と対向する側の面に複数のハンダバンプと絶縁性材料から成る複数の突起物とが設けられているチップ状半導体素子を、温度上昇に伴い粘度が低下する特性を有するアンダーフィル材が配線基板上に塗布された状態でアンダーフィル材を介して配線基板と対向するように配置した後、リフロー処理を施すことによって配線基板上にフリップチップ実装する工程を含む、半導体装置の製造方法である。

発明の効果

[0016] 本開示の半導体装置に用いられるチップ状半導体素子は、配線基板と対向

する側の面に、複数のハンダバンプと、絶縁性材料から成る複数の突起物が設けられている。そして、チップ状半導体素子は、温度上昇に伴い粘度が低下する特性を有するアンダーフィル材が配線基板上に塗布された状態でアンダーフィル材を介して配線基板と対向するように配置された後にリフロー処理が施されることによって、実装される。個々のチップへの加熱加圧プロセスを必要とせず、セルフアライメントによる位置補正が可能なため、アンダーフィル材の選択的な塗布や高精度な位置出しといったことを必要とせずにチップ実装を行なうことができる。また、リフロー処理の際に、チップ状半導体素子の突起物間の隙間が気体の流路となるので、チップ実装時におけるアンダーフィル材のボイドを低減することができる。

図面の簡単な説明

[0017] [図1]図1は、本開示の第1の態様に係る半導体装置を説明するための模式的な分解斜視図である。

[図2]図2は、本開示の第1の態様に係る半導体装置の基本的な製造工程を説明するための工程図である。

[図3]図3A及び図3Bは、チップ状半導体素子の電極と突起物の配置を説明するための模式的な斜視図である。図3Aは突起物形成前の状態を示し、図3Bは突起物形成後の状態を示す。

[図4]図4は、配線基板の電極配置を説明するための模式的な斜視図である。

[図5]図5は、配線基板の電極と先塗りアンダーフィル材層の配置を説明するための模式的な斜視図である。

[図6]図6Aないし図6Eは、半導体装置の製造工程を説明するための、模式的な一部断面図である。

[図7]図7Aないし図7Cは、図6Eに引き続き、半導体装置の製造工程を説明するための、模式的な一部断面図である。

[図8]図8Aないし図8Dは、半導体装置の製造工程を説明するための、模式的な一部断面図である。

[図9]図9は、第2の実施形態に係るチップ状半導体素子の構造を説明するた

めの、模式的な平面図である。

[図10]図10は、第3の実施形態に係るチップ状半導体素子の構造を説明するための、模式的な平面図である。

[図11]図11は、第4の実施形態に係るチップ状半導体素子の構造を説明するための、模式的な平面図である。

[図12]図12A及び図12Bは、第5の実施形態に係るチップ状半導体素子の構造を説明するための模式的な平面図であって、図12Aは電極の配置関係を示し、図12Bは突起物の配置関係を示す。

[図13]図13は、第5の実施形態に係るチップ状半導体素子の構造を説明するための模式的な平面図であって、電極と突起物の配置関係を示す。

[図14]図14A及び図14Bは、第6の実施形態に係るチップ状半導体素子の構造を説明するための模式的な平面図であって、図14Aは電極の配置関係を示し、図14Bは突起物の配置関係を示す。

[図15]図15は、第6の実施形態に係るチップ状半導体素子の構造を説明するための模式的な平面図であって、電極と突起物の配置関係を示す。

[図16]図16A及び図16Bは、第7の実施形態に係るチップ状半導体素子の構造を説明するための模式的な平面図であって、図16Aは電極の配置関係を示し、図16Bは突起物の配置関係を示す。

[図17]図17は、第7の実施形態に係るチップ状半導体素子の構造を説明するための模式的な平面図であって、電極と突起物の配置関係を示す。

[図18]図18A及び図18Bは、第8の実施形態に係るチップ状半導体素子の構造を説明するための模式的な平面図であって、図18Aは電極の配置関係を示し、図18Bは突起物の配置関係を示す。

[図19]図19は、第8の実施形態に係るチップ状半導体素子の構造を説明するための模式的な平面図であって、電極と突起物の配置関係を示す。

[図20]図20は、一对のチップ状半導体素子を供える第9の実施形態に係る半導体装置の構造を説明するための模式的な平面図である。

[図21]図21A及び図21Bは、第9の実施形態に係る一对のチップ状半導

体素子のうちの一方の構造を説明するための模式的な平面図であって、図 2 1 A は電極の配置関係を示し、図 2 1 B は突起物の配置関係を示す。

[図22]図 2 2 A 及び図 2 2 B は、第 9 の実施形態に係る一对のチップ状半導体素子のうちの他方の構造を説明するための模式的な平面図であって、図 2 2 A は電極の配置関係を示し、図 2 2 B は突起物の配置関係を示す。

[図23]図 2 3 A 及び図 2 3 B は、第 1 0 の実施形態に係る半導体装置の製造工程を説明するための、模式的な一部断面図である。

[図24]図 2 4 は、第 1 1 の実施形態に係るチップ状半導体素子の突起部の構造を説明するための模式図である。

[図25]図 2 5 A 及び図 2 5 B は、第 1 1 の実施形態に係るチップ状半導体素子の突起部の機能を説明するための模式図である。

[図26]図 2 6 は、第 1 2 の実施形態についての図であって、本開示の半導体装置が用いられる電子機器の模式的な斜視図である。

[図27]図 2 7 は、図 2 6 に示す電子機器の回路構成を示す模式的なブロック図である。

[図28]図 2 8 A 及び図 2 8 B は、半導体装置の製造工程を説明するための工程図である。

発明を実施するための形態

[0018] 以下、図面を参照して、実施形態に基づいて本開示を説明する。本開示は実施形態に限定されるものではなく、実施形態における種々の数値や材料は例示である。以下の説明において、同一要素または同一機能を有する要素には同一符号を用いることとし、重複する説明は省略する。尚、説明は、以下の順序で行う。

1. 本開示に係る、半導体装置、チップ状半導体素子、半導体装置を備えた電子機器、及び、半導体装置の製造方法、全般に関する説明
2. 第 1 の実施形態
3. 第 2 の実施形態
4. 第 3 の実施形態

- 5. 第4の実施形態
- 6. 第5の実施形態
- 7. 第6の実施形態
- 8. 第7の実施形態
- 9. 第8の実施形態
- 10. 第9の実施形態
- 11. 第10の実施形態
- 12. 第11の実施形態
- 13. 第12の実施形態
- 14. その他

[0019] [本開示に係る、半導体装置、チップ状半導体素子、半導体装置を備えた電子機器、及び、半導体装置の製造方法、全般に関する説明]

本開示に係る半導体装置、本開示に係る電子機器に用いられる半導体装置、及び、本開示に係る半導体装置の製造方法により製造される半導体装置（以下、これらを単に、本開示の半導体装置と呼ぶ場合がある）において、チップ状半導体素子は、チップ状半導体素子がフリップチップ実装された状態において先端が配線基板に達しないように形成されている突起物を有する構成とすることができる。

[0020] 上述した好ましい構成を含む本開示の半導体装置において、チップ状半導体素子は、配線基板に設けられたハンダバンプとチップ状半導体素子に設けられたハンダバンプとがリフロー処理によって融合することによって、配線基板に対して位置出しがされた状態で実装される構成とすることができる。

[0021] 上述した各種の好ましい構成を含む本開示の半導体装置において、アンダーフィル材は配線基板上に選択的に塗布されてもよいし、一括塗布されてもよい。生産性の向上といった観点からは、配線基板上に一括塗布される構成とすることが好ましい。

[0022] 上述した各種の好ましい構成を含む本開示の半導体装置にあつては、アンダーフィル材はフラックス機能を有するものであることが好ましい。この構

成によれば、アンダーフィル材と接する金属表面の酸化物が除去されるので、リフロー処理によるハンダバンプの融合を良好に行なうことができる。

[0023] 上述したように、本開示に係るチップ状半導体素子は、アンダーフィル材が塗布されている配線基板上にフリップチップ実装されるチップ状半導体素子である。配線基板と対向する側のチップ状半導体素子の面には、複数のハンダバンプと、絶縁性材料から成る複数の突起物とが設けられている。そして、チップ状半導体素子がフリップチップ実装された状態において先端が配線基板に達しないように形成されている突起物を有する構成とすることができる。

[0024] 本開示に係るチップ状半導体素子、及び、本開示の半導体チップに用いられるチップ状半導体素子（以下、これらを単に、本開示のチップ状半導体素子と呼ぶ場合がある）は、チップ状半導体素子に設けられているハンダバンプよりも高く形成されている突起物を有する構成であってもよいし、ハンダバンプと同じ高さに形成されている突起物を有する構成であってもよいし、ハンダバンプよりも低く形成されている突起物を有する構成であってもよい。

[0025] 上述した各種の好ましい構成を含む本開示のチップ状半導体素子にあっては、

チップ状半導体素子の面における突起物が配置される領域には、一定の密度で突起物が設けられている構成とすることができる。

[0026] あるいは又、チップ状半導体素子の面における突起物が配置される領域には、領域内の位置に応じた異なる密度で突起物が設けられている構成とすることができる。

[0027] この場合において、隣接する突起物間の間隙が突起物が配置される領域を横切るように設けられている構成とすることができる。あるいは又、チップ状半導体素子の面の中央領域における突起物の密度は、中央領域を囲む周辺領域における突起物の密度よりも高い構成とすることができる。

[0028] 上述した各種の好ましい構成を含む本開示のチップ状半導体素子にあって

は、チップ状半導体素子の面には、同一形状の突起物が設けられている構成とすることができる。

[0029] あるいは又、チップ状半導体素子の面には、形状の異なる複数種の突起物が設けられている構成とすることができる。この場合において、高さの異なる複数種の突起物が設けられている構成とすることができる。

[0030] 上述した各種の好ましい構成を含む本開示のチップ状半導体素子において、突起物は、チップ状半導体素子の面から離れるほど形状が小さくなるように形成されている構成とすることができる。例えば、突起物は、チップ状半導体素子の面側を底面とし、チップ状半導体素子の面から離れるほど断面形状が小さくなる切頭錐といった形状とすることができる。上述した各種の好ましい構成を含む本開示のチップ状半導体素子にあっては、突起物是对称形状であってもよいし、非対称形状であってもよい。

[0031] 上述した各種の好ましい構成を含む、本開示に係る、半導体装置、チップ状半導体素子、半導体装置を備えた電子機器、及び、半導体装置の製造方法（以下、これらを単に、本開示と呼ぶ場合がある）に用いられる配線基板の形状や構成は、本開示の実施に支障がない限り、特に限定するものではない。例えば、1つの配線基板上に1つのチップ状半導体素子を実装するといった構成であってもよいし、1つの配線基板に複数のチップ状半導体素子を実装するといった構成であってもよい。また、チップ状半導体素子と表面実装部品とを配置した構成であってもよい。

[0032] 本開示のチップ状半導体素子に設けられる突起物は、例えば、PI系、フェノール系、PBO系、BCB系、アクリル系などの感光性樹脂を用いて、露光等によるフォトリソグラフィー技術を用いて形成することができる。あるいは又、ポリアミド系、ABS系などの樹脂を用いて、3Dプリンター技術を用いて形成することができる。更には又、ガラス系の材料を用いてエッチング技術によって形成することができる。

[0033] 配線基板上にアンダーフィル材を塗布する方法は、本開示の実施に支障がない限り、特に限定するものではない。例えば、スピンコート法、スプレー

コート法、印刷法などの各種印刷法で塗布することができる。

[0034] 本開示に用いられるアンダーフィル材を構成する材料は、本開示の実施に支障がない限り、特に限定するものではない。具体的には、リフロー処理の際にセルフアライメントが阻害されない程度に粘度が低下すると共に、リフロー処理後に硬化処理を行うことができる材料であればよい。アンダーフィル材を構成する材料として、例えば、エポキシ系の材料を例示することができる。例えば、熱硬化性のアンダーフィル材は長時間の加熱により硬化剤が反応することで硬化する。リフローの際の加熱時間は短く、硬化反応は僅かであって、温度上昇によって粘度は低下する。

[0035] 本明細書における各種の条件は、厳密に成立する場合の他、実質的に成立する場合にも満たされる。設計上あるいは製造上生ずる種々のばらつきの存在は許容される。また、以下の説明で用いる各図面は模式的なものであり、実際の寸法やその割合を示すものではない。

[0036] [第1の実施形態]

第1の実施形態は、本開示の第1の態様に係る、半導体装置、チップ状半導体素子、及び、半導体装置の製造方法に関する。

[0037] 図1は、本開示の第1の態様に係る半導体装置を説明するための模式的な分解斜視図である。

[0038] 尚、図示および説明の都合上、図1においては、チップ状半導体素子10や配線基板20などに設けられる電極や突起物などを誇張して示した。また、説明の都合上、1つの配線基板には1つのチップ状半導体素子が実装されるとして説明するが、本開示はこれに限るものではない。

[0039] 半導体装置1は、配線基板20と、配線基板20上にフリップチップ実装されたチップ状半導体素子10とを備えている。配線基板20と対向する側のチップ状半導体素子10の面には、複数のハンダバンプと、絶縁性材料から成る複数の突起物とが設けられている。

[0040] チップ状半導体素子10は、温度上昇に伴い粘度が低下する特性を有するアンダーフィル材22が配線基板20上に塗布された状態で、アンダーフィ

ル材 22 を介して配線基板 20 と対向するように配置された後にリフロー処理が施されることによって、配線基板 20 上にフリップチップ実装されている。

[0041] チップ状半導体素子 10 は、チップ状半導体素子 10 がフリップチップ実装された状態において先端が配線基板 20 に達しないように形成されている突起物を有する。そして、チップ状半導体素子 10 は、配線基板 20 に設けられたハンダバンプとチップ状半導体素子 10 に設けられたハンダバンプとがリフロー処理によって融合することによって、配線基板 20 に対して位置出しがされた状態で実装される。

[0042] 半導体装置 1 の基本的な製造工程について説明する。

[0043] 図 2 は、本開示の第 1 の態様に係る半導体装置の基本的な製造工程を説明するための工程図である。

[0044] 図 2 に示すように、アンダーフィル材 22 は、配線基板 20 上に一括して塗布される（例えば、後述する図 5 参照）。チップ状半導体素子 10 は、アンダーフィル材 22 を介して配線基板 20 と対向するように配置される。尚、このとき、チップ状半導体素子 10 はセルフアライメントが効く程度の精度で配置されていれば足りる。即ち、配線基板 20 の電極とチップ状半導体素子 10 の電極とが正確に対向するように高精度に位置出しされていることを要としない。次いで、一括のリフロー処理が行われる。後述する図 6 及び図 7 を参照して後で詳しく説明するが、リフロー処理の際にハンダ接合によるセルフアライメントが生じ、チップ状半導体素子 10 は配線基板 20 に対して位置合わせがされた状態で実装される。その後、アンダーフィル材 22 に硬化処理が行われ、半導体装置 1 が完成する。

[0045] 上述したように、配線基板 20 と対向する側のチップ状半導体素子 10 の面には、複数のハンダバンプと、絶縁性材料から成る複数の突起物とが設けられている。フリップチップ実装前のチップ状半導体素子 10 について、詳しく説明する。

[0046] 図 3 A 及び図 3 B は、チップ状半導体素子 10 の電極と突起物の配置を説

明するための模式的な斜視図である。図 3 A は突起物形成前の状態を示し、図 3 B は突起物形成後の状態を示す。

[0047] 図に示す例では、矩形状のチップ状半導体素子 10 の各辺に沿って、所定の間隔でハンダバンプ 11 が設けられている（図 3 A 参照）。この状態のチップ状半導体素子 10 に対して、例えばフォトリソグラフィー技術を用いて、ハンダバンプ 11 で囲まれた領域の内側に、絶縁性材料から成る複数の突起物 12 を形成する（図 3 B 参照）。

[0048] 図に示す例では、突起物 12 は、チップ状半導体素子 10 の面から離れるほど形状が小さくなるように形成されており、対称形状である。突起物 12 は、配線基板 20 に先塗りされたアンダーフィル材 22 を、毛細管現象によってチップ状半導体素子側に吸い上げて充填させる機能を有する。突起物 12 は、ハンダバンプ 11 よりも高く形成されている。

[0049] 次いで、フリップチップ実装前の配線基板 20 について説明する。

[0050] 図 4 は、配線基板の電極配置を説明するための模式的な斜視図である。図 5 は、配線基板の電極と先塗りアンダーフィル材層の配置を説明するための模式的な斜視図である。

[0051] 配線基板 20 においてチップ状半導体素子 10 と対向する部分を符号 20 A で表す。尚、以下の説明において、符号 20 A で表す部分を単に対向部 20 A と呼ぶ場合がある。対向部 20 A は略矩形であり、各辺に沿って、チップ状半導体素子 10 と対応するようにハンダバンプ 21 が形成されている（図 4 参照）。この状態の配線基板 20 に対して、アンダーフィル材 22 が一括塗布される（図 5 参照）。

[0052] 以上、半導体装置 1 の概要について説明した。引き続き、図を参照して、半導体装置 1 の製造方法について詳しく説明する。

[0053] 本開示の半導体装置の製造方法は、

配線基板 20 と対向する側の面に複数のハンダバンプ 11 と絶縁性材料から成る複数の突起物 12 とが設けられているチップ状半導体素子 10 を、温度上昇に伴い粘度が低下する特性を有するアンダーフィル材 22 が配線基板

20上に塗布された状態でアンダーフィル材22を介して配線基板20と対向するように配置した後、リフロー処理を施すことによって配線基板20上にフリップチップ実装する工程を含む。

[0054] 図6Aないし図6Eは、半導体装置の製造工程を説明するための、模式的な一部断面図である。図7Aないし図7Cは、図6Eに引き続き、半導体装置の製造工程を説明するための、模式的な一部断面図である。図示の都合上、これらの図において、配線基板は対向部20Aの部分のみ図示した。また、各構成要素の形状などは簡略化して示した。

[0055] [工程-100] (図6A及び図6B、参照)

チップ状半導体素子10を準備し、その上に、電極となるハンダバンプ11を形成する(図6A参照)。次いで、例えばフォトリソグラフィ技術を用いて、ハンダバンプ11で囲まれた領域の内側に、絶縁性材料から成る複数の突起物12を形成する(図6B参照)。

[0056] [工程-110] (図6C及び図6D、参照)

配線基板20を準備し、対向部20A上に、電極となるハンダバンプ21を形成する(図6C参照)。次いで、対向部20A上を含む全面に、アンダーフィル材22を一括して塗布する(図6D参照)。

[0057] 上述したように、アンダーフィル材22は配線基板20上に一括塗布される。対向部20Aに対して選択的に塗布するといったことを要しない。また、塗布には、フラックス機能を有するアンダーフィル材22が用いられる。

[0058] [工程-120] (図6E参照)

その後、チップ状半導体素子10を、アンダーフィル材22を介して配線基板20と対向するように配置する。

[0059] [工程-130] (図7A及び図7B、参照)

次いで、リフロー処理を行う。

[0060] 温度上昇に伴いアンダーフィル材22の粘度が低下すると、チップ状半導体素子10の突起物12は毛細管現象によってアンダーフィル材22を吸い上げる(図7A参照)。流動状態のアンダーフィル材を符号22Aで表す。

- [0061] 続いて、チップ状半導体素子 10 と配線基板 20 のハンダバンプ 11, 21 が融合してお互いを引き合う(図 7 B 参照)。これによってセルフアライメントが生じ、チップ状半導体素子 10 は配線基板 20 に対して位置合わせがされた状態となる。従って、[工程-120]においてチップ状半導体素子 10 の配置に多少のずれが残っていても、位置合わせに支障は生じない。
- [0062] また、ハンダバンプ 11, 21 の融合によって、チップ状半導体素子 10 は更に沈み込むので、チップ状半導体素子 10 と配線基板 20 間のアンダーフィル材 22 A の充填が促進される。チップ状半導体素子 10 の突起物間の隙間は、アンダーフィル材 22 A の充填過程において、気体の流路となる。従って、チップ実装時におけるアンダーフィル材 22 のボイドを低減することができる。リフロー処理の際のアンダーフィル材 22 A の吸い上がり量や到達高さは、突起物 12 のデザインによって制御することができる。
- [0063] アンダーフィル材 22 A の充填過程において突起物 12 の先端が配線基板 20 に達していると、ハンダバンプ 11, 21 が融合することによるセルフアライメント効果が阻害される。従って、突起物 12 は、チップ状半導体素子 10 がフリップチップ実装された状態において先端が配線基板 20 に達しないように形成されている。尚、場合によっては、セルフアライメント効果を阻害しない範囲で、先端が配線基板 20 に達するギャップ間隔設定用途などの突起物を更に含んでいてもよい。
- [0064] [工程-140] (図 7 C、参照)
- 次いで、アンダーフィル材 22 A の硬化処理を行う。硬化処理は、アンダーフィル材の種類に応じて、適宜好適な方法を選択すればよい。硬化後のアンダーフィル材を符号 22 B で表す。これによって、配線基板 20 にチップ状半導体素子 10 が実装されて成る半導体装置 1 を得ることができる。
- [0065] 本開示の製造方法は、アンダーフィル材を先塗りする方法であり、キャピラリーアンダーフィル方式よりも封止に要するタクトタイムは短い。更に、本開示の製造方法では、チップ実装の際にチップ個別での加圧加熱といったことを必要としない。そして、ハンダ接合によるセルフアライメントが発揮

されるので、チップ状半導体素子を配置する際の位置出しの精度は緩和される。従って、本開示の製造方法によれば、工程を簡素化することができ、タクトタイムやリードタイムを大幅に短縮することができる。

[0066] 尚、以上の説明では、突起物 1 2 はハンダバンプ 1 1 よりも高く形成されているとしたが、これに限るものではない。例えば、突起物 1 2 はハンダバンプ 1 1 と同じ高さ、あるいは、突起物 1 2 はハンダバンプ 1 1 よりも低いといった構成であってもよい。突起物 1 2 をハンダバンプ 1 1 より低くした場合の工程図を、図 8 に示す。

[0067] 図 8 A は図 6 E に対応する図である。突起物 1 2 がハンダバンプ 1 1 より低いので、突起物 1 2 よりもハンダバンプ 1 1 が先にアンダーフィル材 2 2 に接触する。

[0068] 図 8 B は図 7 A に対応する図であって、図 8 C は図 7 B に対応する図である。リフロー処理によってアンダーフィル材 2 2 の粘度が低下すると、先ず、ハンダバンプ 1 1 を通じて樹脂が吸い上げられ（図 8 B 参照）、次いで、突起部 1 2 によっても樹脂が吸い上げられる（図 8 C 参照）。

[0069] 図 8 D は図 7 C に対応する図である。リフロー処理後に硬化処理を行うことで、配線基板 2 0 にチップ状半導体素子 1 0 が実装されて成る半導体装置 1 を得ることができる。

[0070] [第 2 の実施形態]

第 2 の実施形態は、本開示の第 1 の態様に係るチップ状半導体素子に関する。

[0071] 図 9 は、第 2 の実施形態に係るチップ状半導体素子の構造を説明するための、模式的な平面図である。

[0072] 第 2 の実施形態に係るチップ状半導体素子 1 0 は、ハンダバンプ 1 1 がチップ状半導体素子 1 0 の外周部の各辺に沿って連続して配置されている。そして、チップ状半導体素子 1 0 の面における突起物が配置される領域（より具体的には、ハンダバンプによって囲まれた領域）には、一定の密度で突起物 1 2 が設けられている。

[0073] この構成では、チップ状半導体素子 10 の面には、同一形状の突起物 12 が、一様に同一ピッチで配置されている。突起物 12 は、例えば、感光性の絶縁樹脂材料を塗布した後、必要なパターンが描かれたフォトリソグラフィ技術を用いて露光し、その後、現像処理を行なうといったフォトリソグラフィ技術を用いて形成することができる。

[0074] [第 3 の実施形態]

第 3 の実施形態も、本開示の第 1 の態様に係るチップ状半導体素子に関する。第 2 の実施形態では、突起物が配置される領域には、一定の密度で突起物が設けられていた。これに対し、第 3 の実施形態では、領域内の位置に応じた異なる密度で突起物が設けられている。

[0075] 図 10 は、第 3 の実施形態に係るチップ状半導体素子の構造を説明するための、模式的な平面図である。

[0076] 第 3 の実施形態においても、ハンダバンプ 11 はチップ状半導体素子 10 の外周部の各辺に沿って連続して配置され、チップ状半導体素子 10 の面における突起物が配置される領域に突起物 12 が設けられている。

[0077] 但し、第 3 の実施形態にあつては、ハンダバンプ 11 によって囲まれた領域は複数のブロックに分割されている。そして、ブロックとブロックとの間には間隙 13 が設けられている。各ブロック内には、同一形状の突起物 12 が、一様に同一ピッチで配置されている。間隙 13 は、ブロック内における突起物間の間隔よりも広く設定されている。この構造においては、隣接する突起物間の間隙 13 が突起物が配置される領域を横切るように配置されている。これらの間隙 13 は、チップ状半導体素子 10 の実装時における気体の流路となるので、チップ状半導体素子 10 の実装時におけるアンダーフィル材のボイドを効率的に低減することができる。

[0078] [第 4 の実施形態]

第 4 の実施形態は、第 3 の実施形態の変形例である。第 3 の実施形態にあつては、各ブロック内には、同一形状の突起物が、一様に同一ピッチで配置されていた。これに対して、第 4 の実施形態では、形状の異なる複数種の突

起物が設けられている点が主に相違する。

[0079] 図 1 1 は、第 4 の実施形態に係るチップ状半導体素子の構造を説明するための、模式的な平面図である。

[0080] 第 4 の実施形態においても、ハンダバンプ 1 1 はチップ状半導体素子 1 0 の外周部の各辺に沿って連続して配置され、チップ状半導体素子 1 0 の面における突起物が配置される領域に突起物が設けられている。そして、ハンダバンプ 1 1 によって囲まれた領域は複数のブロックに分割されている。そして、ブロックとブロックとの間には間隙 1 3 が設けられている。

[0081] チップ状半導体素子 1 0 の周辺付近のブロックには、例えば図 1 0 に示す突起物 1 2 と同様の突起物 1 2 A が配置されている。一方、チップ状半導体素子 1 0 の中央付近のブロックには、より大径の突起物 1 2 B が配置されている。突起物 1 2 B も、チップ状半導体素子 1 0 の面から離れるほど形状が小さくなるように形成されており、対称形状である。尚、突起物 1 2 A と突起物 1 2 B の高さは同一であってもよいし、異なってもよい。

[0082] 第 3 の実施形態と同様に、間隙 1 3 は、ブロック内における突起物間の間隔よりも広く設定されている。第 3 の実施形態と同様に、これらの間隙 1 3 は、チップ状半導体素子の実装時における気体の流路となるので、チップ状半導体素子の実装時におけるアンダーフィル材のボイドを効率的に低減することができる。

[0083] [第 5 の実施形態]

第 5 の実施形態も、本開示の第 1 の態様に係るチップ状半導体素子に関する。

[0084] 図 1 2 A 及び図 1 2 B は、第 5 の実施形態に係るチップ状半導体素子の構造を説明するための模式的な平面図であって、図 1 2 A は電極の配置関係を示し、図 1 2 B は突起物の配置関係を示す。図 1 3 は、第 5 の実施形態に係るチップ状半導体素子の構造を説明するための模式的な平面図であって、電極と突起物の配置関係を示す。

[0085] 第 2 の実施形態ないし第 4 の実施形態にあつては、ハンダバンプがチップ

状半導体素子の外周部の各辺に沿って連続して配置されていた。これに対し、第5の実施形態にあっては、ハンダバンプ11がチップ状半導体素子10の面にマトリクス状に配置されている。そして、チップ状半導体素子10の面における突起物が配置される領域（より具体的には、ハンダバンプが配置されていない領域）には、ハンダバンプの間を埋めるように、突起物が配置されている。

[0086] チップ状半導体素子10の面における突起物が配置される領域には、領域内の位置に応じた異なる密度で突起物が設けられている。そして、チップ状半導体素子10の面には、形状の異なる複数種の突起物が設けられており、チップ状半導体素子10の面の中央領域における突起物の密度は、中央領域を囲む周辺領域における突起物の密度よりも高い。

[0087] 図に示す例では、チップ状半導体素子10の面は4つのブロックに分割されている。そして、基本的には、チップ状半導体素子10の中心部に近い領域はサイズが大きい突起物12Bを密度高く配置し、チップ状半導体素子10の中心部から離れるとサイズの小さい突起物12Aを廃しかつ密度を低くするといった構成である。

[0088] [第6の実施形態]

第6の実施形態は、第5の実施形態の変形例である。第5の実施形態にあっては、ハンダバンプがチップ状半導体素子の面にマトリクス状に配置されていた。これに対し、第6の実施形態にあっては、一部にハンダバンプが配置されておらず、代わりに、突起物が形成されているといった点が相違する。

[0089] 図14A及び図14Bは、第6の実施形態に係るチップ状半導体素子の構造を説明するための模式的な平面図であって、図14Aは電極の配置関係を示し、図14Bは突起物の配置関係を示す。図15は、第6の実施形態に係るチップ状半導体素子の構造を説明するための模式的な平面図であって、電極と突起物の配置関係を示す。

[0090] 第6の実施形態においては、符号13で示す領域には、ハンダバンプ11

が配置されていない。この領域 1 3 を埋めるように、突起物 1 2 A, 1 2 B が配置されているといった構成である。

[0091] [第 7 の実施形態]

第 7 の実施形態は、第 6 の実施形態の変形例である。

[0092] 図 1 6 A 及び図 1 6 B は、第 7 の実施形態に係るチップ状半導体素子の構造を説明するための模式的な平面図であって、図 1 6 A は電極の配置関係を示し、図 1 6 B は突起物の配置関係を示す。図 1 7 は、第 7 の実施形態に係るチップ状半導体素子の構造を説明するための模式的な平面図であって、電極と突起物の配置関係を示す。

[0093] 第 7 の実施形態において、ハンダバンプ 1 1 が配置されていない領域 1 3 には、平面形状に倣うように形成された突起物 1 2 C が形成されている。

[0094] [第 8 の実施形態]

第 8 の実施形態も、本開示の第 1 の態様に係るチップ状半導体素子に関する。

[0095] 図 1 8 A 及び図 1 8 B は、第 8 の実施形態に係るチップ状半導体素子の構造を説明するための模式的な平面図であって、図 1 8 A は電極の配置関係を示し、図 1 8 B は突起物の配置関係を示す。図 1 9 は、第 8 の実施形態に係るチップ状半導体素子の構造を説明するための模式的な平面図であって、電極と突起物の配置関係を示す。

[0096] 第 1 の実施形態において、突起物がハンダバンプより低い場合の工程を図 8 A ないし図 8 D を参照して説明した。この場合、突起物よりもハンダバンプが先にアンダーフィル材に接触するので、チップの外に通ずる通路を確保するようにハンダバンプなどを配置することが好ましい。

[0097] 第 8 の実施形態に係るチップ状半導体素子 1 0 において、ハンダバンプ 1 1 は、チップ状半導体素子 1 0 の外周部の各辺に沿って配置されている。しかしながら、チップ状半導体素子 1 0 の四隅と左右の辺それぞれの中央部においてチップの外に通ずる通路を確保するように、これらの部分では間隔を空けてハンダバンプ 1 1 が配されている。

[0098] そして、チップ状半導体素子 10 の面における突起物が配置される領域（より具体的には、ハンダバンプによって囲まれた領域）には、チップの外に通ずる流路を確保するように、突起物 12 C, 12 D, 12 E が配されている。

[0099] この構成によれば、リフロー時にハンダバンプ 11 が先にアンダーフィル材 22 に触れたとしても、チップ状半導体素子 10 の中央からチップの外に通ずる通路が確保されるので、ボイドを効率的に低減することができる。

[0100] [第 9 の実施形態]

第 9 の実施形態は、本開示の第 1 の態様に係る半導体装置やチップ状半導体素子に関する。

[0101] 第 1 の実施形態では、半導体装置は配線基板に 1 つのチップ状半導体素子が実装されて構成されるとして説明した。これに対し、第 9 の実施形態の半導体装置は、所謂マルチチップ構成である。

[0102] 図 20 は、一对のチップ状半導体素子を供える第 9 の実施形態に係る半導体装置の構造を説明するための模式的な平面図である。

[0103] 第 9 の実施形態に係る半導体装置 1 A は、マルチチップ構成の半導体装置であって、配線基板にチップ状半導体素子 10 A, 10 B が実装されて成る。尚、図 20 では、配線基板の記載は省略されている。

[0104] 図 21 A 及び図 21 B は、第 9 の実施形態に係る一对のチップ状半導体素子のうちの一方の構造を説明するための模式的な平面図であって、図 21 A は電極の配置関係を示し、図 21 B は突起物の配置関係を示す。

[0105] 一方のチップ状半導体素子 10 A にあっては、第 5 の実施形態と同様に、ハンダバンプ 11 がチップ状半導体素子 10 A の面にマトリクス状に配置されている。そして、チップ状半導体素子 10 A の面における突起物が配置される領域（より具体的には、ハンダバンプが配置されていない領域）には、ハンダバンプの間を埋めるように、突起物 12 A, 12 B が配置されている。

[0106] 図 22 A 及び図 22 B は、第 9 の実施形態に係る一对のチップ状半導体素

子のうちの他方の構造を説明するための模式的な平面図であって、図 2 2 A は電極の配置関係を示し、図 2 2 B は突起物の配置関係を示す。

[0107] 他方のチップ状半導体素子 1 0 B にあっては、第 6 実施形態と同様に、一部にハンダバンプ 1 1 が配置されておらず、代わりに、突起物が形成されている。

[0108] チップ状半導体素子 1 0 A, 1 0 B のいずれにおいても、チップ状半導体素子の面は 4 つのブロックに分割されている。そして、それぞれのチップ状半導体素子の中心部に近い領域の突起物のサイズを大きくかつ密度を高くし、外側に向かうにつれて小さくかつ密度を低くしたといった構成である。更に、チップ状半導体素子 1 0 A, 1 0 B が対向する辺側においては、他の辺に比べて突起物のサイズを小さくかつ密度を低くしたといった構成である。突起物の密度を低くすることで、チップ状半導体素子 1 0 A とチップ状半導体素子 1 0 B とが対向する面についてアンダーフィル材の過剰な流入を防ぐことができ、チップ状半導体素子間で発生する張力を適切に制御することができる。

[0109] [第 1 0 の実施形態]

第 1 0 の実施形態は、本開示の第 1 の態様に係る半導体装置に関する。

[0110] 第 1 0 の実施形態に係る半導体装置は、フリップチップ実装による結線とワイヤーボンディングによる結線とを混在させた半導体装置である。

[0111] 図 2 3 A 及び図 2 3 B は、第 1 0 の実施形態に係る半導体装置の製造工程を説明するための、模式的な一部断面図である。

[0112] アンダーフィル材の一括塗布は、ワイヤーボンディングを行なう上で支障となる。そこで、配線基板 2 0 には、フリップチップ実装するチップ状半導体素子 1 0 C に対応する部分にアンダーフィル材 2 2 を選択的に塗布する。そして、その上にチップ状半導体素子 1 0 D を配置した後、リフロー処理、次いで、硬化処理を行う。図 2 3 A は、リフロー処理中の様子を示す。

[0113] 次いで、フリップチップ実装されたチップ状半導体素子 1 0 C 上に、例えば接着層 3 0 によってワイヤーボンディングされるチップ状半導体素子 1 0

Dを搭載した後、ワイヤーボンディング40によって電極23に配線を行なうことによって半導体装置1Bを得ることができる（図23B参照）。

[0114] [第11の実施形態]

第11の実施形態は、本開示の第1の態様に係るチップ状半導体素子に関する。

[0115] チップ状半導体素子に設ける突起物が対称形状である場合、軟化したアンダーフィル材に突起物が沈む際には、基本的には、突起物周辺に等方的にアンダーフィル材が押し出される。

[0116] アンダーフィル材の充填性について不均一があるような場合に、チップ状半導体素子の面における突起物の配置密度を調整するといった対処の他、突起物の形状を非対称にするといった対処が考えられる。

[0117] 図24は、第10の実施形態に係るチップ状半導体素子の突起部の構造を説明するための模式図である。

[0118] 図に示す突起物12は、チップ状半導体素子面に対して、左側の斜面がなす角（符号A1で示す）と右側の斜面がなす角（符号A2で示す）とが異なり、また、突起物12における先端の面とチップ状半導体素子側の面とにおいて中心位置が異なるといった、非対称形状である。

[0119] 図25A及び図25Bは、第11の実施形態に係るチップ状半導体素子の突起部の機能を説明するための模式図である。

[0120] 図25Aに示す状態からチップ状半導体素子が更に沈み図25Bに示す状態となると、流動状態のアンダーフィル材22Aは突起物12の右側により多く押し出される。これによって、アンダーフィル材22の充填の程度を調整することができる。

[0121] 突起物12をどのような非対称形状とするかは、チップ状半導体素子の仕様などに基づいて、適宜好適な形状を選択すればよい。非対称形状の突出部は、例えば3Dプリンター技術などを用いて形成することができる。

[0122] [第12の実施形態]

本開示に係る第12の実施形態は、上述した各実施形態によって得られる

半導体装置を搭載した電子機器である。電子機器の概略構成を図26に示す。

[0123] 電子機器1100は、例えば、横長の扁平な形状に形成された外筐1101の内外に所要の各部が配置されて成り、例えば、ゲーム機器として用いられる。

[0124] 外筐1101の前面には、左右方向における中央部に表示パネル1102が設けられ、表示パネル1102の左右には、それぞれ、周方向に離隔して配置された4つの操作キー1103と、4つの操作キー1104が設けられている。また、外筐1101の前面における下端部には、4つの操作キー1105が設けられている。操作キー1103、操作キー1104、及び、操作キー1105は、表示パネル1102に表示されるメニュー項目の選択やゲームの進行などに用いられる方向キーや決定キーとして機能する。

[0125] 外筐1101の上面には、外部機器を接続するための接続端子1106、電力供給用の供給端子1107、外部機器との赤外線通信を行う受光窓1108などが設けられている。

[0126] 引き続き、電子機器1100の回路構成について説明する。

[0127] 図27は、図26に示す電子機器の回路構成を示す模式的なブロック図である。

[0128] 電子機器1100は、メインCPU (Central Processing Unit) 1110とシステムコントローラ1120とを備えている。メインCPU1110とシステムコントローラ1120には、例えば、図示しないバッテリーから異なる系統で電力が供給される。電子機器1100は、更に、ユーザーにより設定された各種の情報を保持するメモリなどから成る設定情報保持部1130を有している。メインCPU1110、システムコントローラ1120、及び、設定情報保持部1130は、本開示による一体の半導体装置として構成されている。

[0129] メインCPU1110は、各種の情報の設定やアプリケーションの選択をユーザーに行わせるためのメニュー画面を生成するメニュー処理部111と

、アプリケーションを実行するアプリケーション処理部 112 とを有している。設定された情報は、メイン CPU 1110 によって設定情報保持部 1130 に送出され、設定情報保持部 1130 において保持される。システムコントローラー 1120 は操作入力受付部 121、通信処理部 122 及び電力制御部 123 を有している。操作入力受付部 121 によって操作キー 1103、操作キー 1104、及び、操作キー 1105 の状態検出が行われ、通信処理部 122 によって外部機器との間の通信処理が行われ、電力制御部 123 によって各部に供給される電力の制御が行われる。

[0130] [その他]

以上、本開示の実施形態について具体的に説明したが、本開示は、上述の実施形態に限定されるものではなく、本開示の技術的思想に基づく各種の変形が可能である。例えば、上述の実施形態において挙げた数値、構造、基板、原料、プロセスなどはあくまでも例に過ぎず、必要に応じて、これらと異なる数値、構造、基板、原料、プロセスなどを用いてもよい。

[0131] 尚、本開示の技術は以下のような構成も取ることができる。

[0132] [A 1]

配線基板と、

配線基板上にフリップチップ実装されたチップ状半導体素子と、
を備えており、

配線基板と対向する側のチップ状半導体素子の面には、複数のハンダバンプと、絶縁性材料から成る複数の突起物とが設けられており、

チップ状半導体素子は、温度上昇に伴い粘度が低下する特性を有するアンダーフィル材が配線基板上に塗布された状態でアンダーフィル材を介して配線基板と対向するように配置された後にリフロー処理が施されることによって、配線基板上にフリップチップ実装されている、
半導体装置。

[A 2]

チップ状半導体素子は、チップ状半導体素子がフリップチップ実装された

状態において先端が配線基板に達しないように形成されている突起物を有する、

上記〔A 1〕に記載の半導体装置。

〔A 3〕

チップ状半導体素子は、配線基板に設けられたハンダバンプとチップ状半導体素子に設けられたハンダバンプとがリフロー処理によって融合することによって、配線基板に対して位置出しがされた状態で実装される、

上記〔A 1〕または〔A 2〕に記載の半導体装置。

〔A 4〕

アンダーフィル材は配線基板上に一括塗布される、

上記〔A 1〕ないし〔A 3〕のいずれかに記載の半導体装置。

〔A 5〕

アンダーフィル材はフラックス機能を有する、

上記〔A 1〕ないし〔A 4〕のいずれかに記載の半導体装置。

〔A 6〕

チップ状半導体素子の面における突起物が配置される領域には、一定の密度で突起物が設けられている、

上記〔A 1〕ないし〔A 5〕のいずれかに記載の半導体装置。

〔A 7〕

チップ状半導体素子の面における突起物が配置される領域には、領域内の位置に応じた異なる密度で突起物が設けられている、

上記〔A 1〕ないし〔A 5〕のいずれかに記載の半導体装置。

〔A 8〕

チップ状半導体素子の面の隣接する突起物間の間隙が突起物が配置される領域を横切るように設けられている、

上記〔A 7〕に記載の半導体装置。

〔A 9〕

チップ状半導体素子の面の中央領域における突起物の密度は、中央領域を

囲む周辺領域における突起物の密度よりも高い、
上記 [A 7] または [A 8] に記載の半導体装置。

[A 1 0]

チップ状半導体素子の面には、同一形状の突起物が設けられている、
上記 [A 1] ないし [A 9] のいずれかに記載の半導体装置。

[A 1 1]

チップ状半導体素子の面には、形状の異なる複数種の突起物が設けられている、
上記 [A 1] ないし [A 9] のいずれかに記載の半導体装置。

[A 1 2]

チップ状半導体素子の面には、高さの異なる複数種の突起物が設けられている、
上記 [A 1 1] に記載の半導体装置。

[A 1 3]

チップ状半導体素子の面の突起物は、チップ状半導体素子の面から離れる
ほど形状が小さくなるように形成されている、
上記 [A 1] ないし [A 1 2] のいずれかに記載の半導体装置。

[A 1 4]

チップ状半導体素子の面の突起物是对称形状である、
上記 [A 1] ないし [A 1 3] のいずれかに記載の半導体装置。

[A 1 5]

チップ状半導体素子の面の突起物是非対称形状である、
上記 [A 1] ないし [A 1 3] のいずれかに記載の半導体装置。

[0133] [B 1]

アンダーフィル材が塗布されている配線基板上にフリップチップ実装される
チップ状半導体素子であって、

配線基板と対向する側のチップ状半導体素子の面には、複数のハンダバン
プと、絶縁性材料から成る複数の突起物とが設けられている、

チップ状半導体素子。

[B 2]

チップ状半導体素子は、チップ状半導体素子がフリップチップ実装された状態において先端が配線基板に達しないように形成されている突起物を有する、

上記[B 1]に記載のチップ状半導体素子。

[B 3]

チップ状半導体素子の面における突起物が配置される領域には、一定の密度で突起物が設けられている、

上記[B 1]または[B 2]に記載のチップ状半導体素子。

[B 4]

チップ状半導体素子の面における突起物が配置される領域には、領域内の位置に応じた異なる密度で突起物が設けられている、

上記[B 1]ないし[B 3]のいずれかに記載のチップ状半導体素子。

[B 5]

隣接する突起物間の間隙が突起物が配置される領域を横切るように設けられている、

上記[B 4]に記載のチップ状半導体素子。

[B 6]

チップ状半導体素子の面の中央領域における突起物の密度は、中央領域を囲む周辺領域における突起物の密度よりも高い、

上記[B 4]または[B 5]に記載のチップ状半導体素子。

[B 7]

チップ状半導体素子の面には、同一形状の突起物が設けられている、
上記[B 1]ないし[B 6]のいずれかに記載のチップ状半導体素子。

[B 8]

チップ状半導体素子の面には、形状の異なる複数種の突起物が設けられている、

上記 [B 1] ないし [B 6] のいずれかに記載のチップ状半導体素子。

[B 9]

高さの異なる複数種の突起物が設けられている、

上記 [B 8] に記載のチップ状半導体素子。

[B 10]

突起物は、チップ状半導体素子の面から離れるほど形状が小さくなるように形成されている、

上記 [B 1] ないし [B 9] のいずれかに記載のチップ状半導体素子。

[B 11]

突起物是对称形状である、

上記 [B 1] ないし [B 10] のいずれかに記載のチップ状半導体素子。

[B 12]

突起物是非対称形状である、

上記 [B 1] ないし [B 10] のいずれかに記載のチップ状半導体素子。

[0134] [C 1]

配線基板と配線基板上にフリップチップ実装されたチップ状半導体素子とから成る半導体装置を備えた電子機器であって、

配線基板と対向する側のチップ状半導体素子の面には、複数のハンダバンプと、絶縁性材料から成る複数の突起物とが設けられており、

チップ状半導体素子は、温度上昇に伴い粘度が低下する特性を有するアンダーフィル材が配線基板上に塗布された状態でアンダーフィル材を介して配線基板と対向するように配置された後にリフロー処理が施されることによって、配線基板上にフリップチップ実装されている、
電子機器。

[C 2]

チップ状半導体素子は、チップ状半導体素子がフリップチップ実装された状態において先端が配線基板に達しないように形成されている突起物を有する、

上記〔C 1〕に記載の電子機器。

〔C 3〕

チップ状半導体素子は、配線基板に設けられたハンダバンプとチップ状半導体素子に設けられたハンダバンプとがリフロー処理によって融合することによって、配線基板に対して位置出しがされた状態で実装される、

上記〔C 1〕または〔C 2〕に記載の電子機器。

〔C 4〕

アンダーフィル材は配線基板上に一括塗布される、
上記〔C 1〕ないし〔C 3〕のいずれかに記載の電子機器。

〔C 5〕

アンダーフィル材はフラックス機能を有する、
上記〔C 1〕ないし〔C 4〕のいずれかに記載の電子機器。

〔C 6〕

チップ状半導体素子の面における突起物が配置される領域には、一定の密度で突起物が設けられている、

上記〔C 1〕ないし〔C 5〕のいずれかに記載の電子機器。

〔C 7〕

チップ状半導体素子の面における突起物が配置される領域には、領域内の位置に応じた異なる密度で突起物が設けられている、

上記〔C 1〕ないし〔C 5〕のいずれかに記載の電子機器。

〔C 8〕

チップ状半導体素子の面の隣接する突起物間の間隙が突起物が配置される領域を横切るように設けられている、

上記〔C 7〕に記載の電子機器。

〔C 9〕

チップ状半導体素子の面の中央領域における突起物の密度は、中央領域を囲む周辺領域における突起物の密度よりも高い、

上記〔C 7〕または〔C 8〕に記載の電子機器。

[C 1 0]

チップ状半導体素子の面には、同一形状の突起物が設けられている、
上記 [C 1] ないし [C 9] のいずれかに記載の電子機器。

[C 1 1]

チップ状半導体素子の面には、形状の異なる複数種の突起物が設けられている、
上記 [C 1] ないし [C 9] のいずれかに記載の電子機器。

[C 1 2]

チップ状半導体素子の面には、高さの異なる複数種の突起物が設けられている、
上記 [C 1 1] に記載の電子機器。

[C 1 3]

チップ状半導体素子の面の突起物は、チップ状半導体素子の面から離れる
ほど形状が小さくなるように形成されている、
上記 [C 1] ないし [C 1 2] のいずれかに記載の電子機器。

[C 1 4]

チップ状半導体素子の面の突起物是对称形状である、
上記 [C 1] ないし [C 1 3] のいずれかに記載の電子機器。

[C 1 5]

チップ状半導体素子の面の突起物是非対称形状である、
上記 [C 1] ないし [C 1 3] のいずれかに記載の電子機器。

[0135] [D 1]

配線基板と対向する側の面に複数のハンダバンプと絶縁性材料から成る複数の突起物とが設けられているチップ状半導体素子を、温度上昇に伴い粘度が低下する特性を有するアンダーフィル材が配線基板上に塗布された状態でアンダーフィル材を介して配線基板と対向するように配置した後、リフロー処理を施すことによって配線基板上にフリップチップ実装する工程を含む、半導体装置の製造方法の製造方法。

[D 2]

チップ状半導体素子は、チップ状半導体素子がフリップチップ実装された状態において先端が配線基板に達しないように形成されている突起物を有する、

上記 [D 1] に記載の半導体装置の製造方法。

[D 3]

チップ状半導体素子は、配線基板に設けられたハンダバンプとチップ状半導体素子に設けられたハンダバンプとがリフロー処理によって融合することによって、配線基板に対して位置出しがされた状態で実装される、

上記 [D 1] または [D 2] に記載の半導体装置の製造方法。

[D 4]

アンダーフィル材を配線基板上に一括塗布する、

上記 [D 1] ないし [D 3] のいずれかに記載の半導体装置の製造方法。

[D 5]

アンダーフィル材はフラックス機能を有する、

上記 [D 1] ないし [D 4] のいずれかに記載の半導体装置の製造方法。

[D 6]

チップ状半導体素子の面における突起物が配置される領域には、一定の密度で突起物が設けられている、

上記 [D 1] ないし [D 5] のいずれかに記載の半導体装置の製造方法。

[D 7]

チップ状半導体素子の面における突起物が配置される領域には、領域内の位置に応じた異なる密度で突起物が設けられている、

上記 [D 1] ないし [D 5] のいずれかに記載の半導体装置の製造方法。

[D 8]

チップ状半導体素子の面の隣接する突起物間の間隙が突起物が配置される領域を横切るように設けられている、

上記 [D 7] に記載の半導体装置の製造方法。

[D 9]

チップ状半導体素子の面の中央領域における突起物の密度は、中央領域を囲む周辺領域における突起物の密度よりも高い、

上記 [D 7] または [D 8] に記載の半導体装置の製造方法。

[D 10]

チップ状半導体素子の面には、同一形状の突起物が設けられている、
上記 [D 1] ないし [D 9] のいずれかに記載の半導体装置の製造方法。

[D 11]

チップ状半導体素子の面には、形状の異なる複数種の突起物が設けられている、

上記 [D 1] ないし [D 9] のいずれかに記載の半導体装置の製造方法。

[D 12]

チップ状半導体素子の面には、高さの異なる複数種の突起物が設けられている、

上記 [D 11] に記載の半導体装置の製造方法。

[D 13]

チップ状半導体素子の面の突起物は、チップ状半導体素子の面から離れるほど形状が小さくなるように形成されている、

上記 [D 1] ないし [D 12] のいずれかに記載の半導体装置の製造方法。

[D 14]

チップ状半導体素子の面の突起物是对称形状である、
上記 [D 1] ないし [D 13] のいずれかに記載の半導体装置の製造方法。

[D 15]

チップ状半導体素子の面の突起物是非対称形状である、
上記 [D 1] ないし [D 13] のいずれかに記載の半導体装置の製造方法。

符号の説明

[0136] 1, 1A, 1B・・・半導体装置、10, 10A, 10B, 10C, 10D
・・・チップ状半導体素子、11・・・チップ状半導体素子の電極（ハンダ

バンプ)、12, 12A, 12B, 12C, 12D, 12E, 12F . . .
突起物、13 . . . 間隙、20 . . . 配線基板、20A . . . 対向部、21
. . . 配線基板の電極 (ハンダバンプ)、22, 22A, 22B . . . アン
ダーフィル材、23 . . . 電極、30 . . . 接着層、40 . . . ボンディン
グワイヤ、1100 . . . 電子機器、1101 . . . 外筐、1102 . . .
表示パネル、1103 . . . 操作キー、1104 . . . 操作キー、1105
. . . 操作キー、1106 . . . 端子、1107 . . . 電力供給用の供給端
子、1108 . . . 受光窓、1110 . . . メインCPU、1111 . . .
メニュー処理部、1112 . . . アプリケーション処理部、1120 . . .
システムコントローラー、1121 . . . 操作入力受付部、1122 . . .
通信処理部、1123 . . . 電力制御部、1130 . . . 設定情報保持部

請求の範囲

- [請求項1] 配線基板と、
配線基板上にフリップチップ実装されたチップ状半導体素子と、
を備えており、
配線基板と対向する側のチップ状半導体素子の面には、複数のハンダバンプと、絶縁性材料から成る複数の突起物とが設けられており、
チップ状半導体素子は、温度上昇に伴い粘度が低下する特性を有するアンダーフィル材が配線基板上に塗布された状態でアンダーフィル材を介して配線基板と対向するように配置された後にリフロー処理が施されることによって、配線基板上にフリップチップ実装されている、
半導体装置。
- [請求項2] チップ状半導体素子は、チップ状半導体素子がフリップチップ実装された状態において先端が配線基板に達しないように形成されている突起物を有する、
請求項1に記載の半導体装置。
- [請求項3] チップ状半導体素子は、配線基板に設けられたハンダバンプとチップ状半導体素子に設けられたハンダバンプとがリフロー処理によって融合することによって、配線基板に対して位置出しがされた状態で実装される、
請求項1に記載の半導体装置。
- [請求項4] アンダーフィル材は配線基板上に一括塗布される、
請求項1に記載の半導体装置。
- [請求項5] アンダーフィル材はフラックス機能を有する、
請求項1に記載の半導体装置。
- [請求項6] アンダーフィル材が塗布されている配線基板上にフリップチップ実装されるチップ状半導体素子であって、
配線基板と対向する側のチップ状半導体素子の面には、複数のハン

ダバンプと、絶縁性材料から成る複数の突起物とが設けられている、チップ状半導体素子。

[請求項7] チップ状半導体素子は、チップ状半導体素子がフリップチップ実装された状態において先端が配線基板に達しないように形成されている突起物を有する、請求項6に記載のチップ状半導体素子。

[請求項8] チップ状半導体素子の面における突起物が配置される領域には、一定の密度で突起物が設けられている、請求項6に記載のチップ状半導体素子。

[請求項9] チップ状半導体素子の面における突起物が配置される領域には、領域内の位置に応じた異なる密度で突起物が設けられている、請求項6に記載のチップ状半導体素子。

[請求項10] 隣接する突起物間の間隙が突起物が配置される領域を横切るように設けられている、請求項9に記載のチップ状半導体素子。

[請求項11] チップ状半導体素子の面の中央領域における突起物の密度は、中央領域を囲む周辺領域における突起物の密度よりも高い、請求項9に記載のチップ状半導体素子。

[請求項12] チップ状半導体素子の面には、同一形状の突起物が設けられている、請求項6に記載のチップ状半導体素子。

[請求項13] チップ状半導体素子の面には、形状の異なる複数種の突起物が設けられている、請求項6に記載のチップ状半導体素子。

[請求項14] 高さの異なる複数種の突起物が設けられている、請求項13に記載のチップ状半導体素子。

[請求項15] 突起物は、チップ状半導体素子の面から離れるほど形状が小さくなるように形成されている、

請求項 6 に記載のチップ状半導体素子。

[請求項16] 突起物是对称形状である、

請求項 6 に記載のチップ状半導体素子。

[請求項17] 突起物是非対称形状である、

請求項 6 に記載のチップ状半導体素子。

[請求項18] 配線基板と配線基板上にフリップチップ実装されたチップ状半導体素子とから成る半導体装置を備えた電子機器であって、

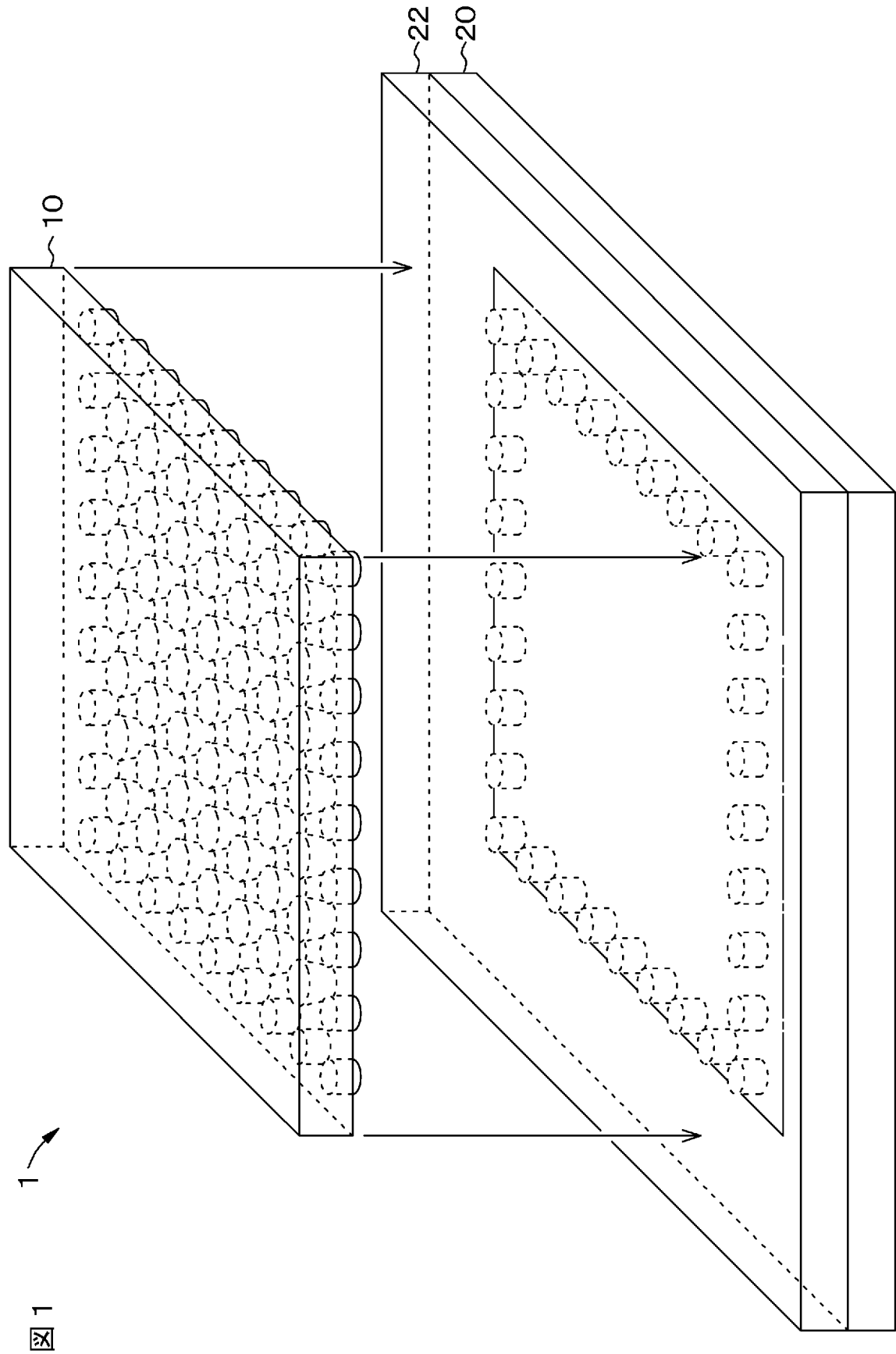
配線基板と対向する側のチップ状半導体素子の面には、複数のハンダバンプと、絶縁性材料から成る複数の突起物とが設けられており、

チップ状半導体素子は、温度上昇に伴い粘度が低下する特性を有するアンダーフィル材が配線基板上に塗布された状態でアンダーフィル材を介して配線基板と対向するように配置された後にリフロー処理が施されることによって、配線基板上にフリップチップ実装されている、

電子機器。

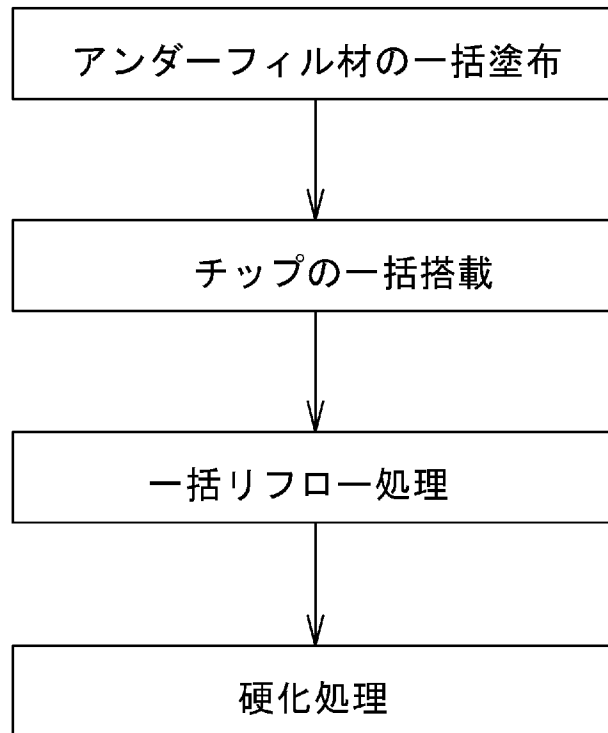
[請求項19] 配線基板と対向する側の面に複数のハンダバンプと絶縁性材料から成る複数の突起物とが設けられているチップ状半導体素子を、温度上昇に伴い粘度が低下する特性を有するアンダーフィル材が配線基板上に塗布された状態でアンダーフィル材を介して配線基板と対向するように配置した後、リフロー処理を施すことによって配線基板上にフリップチップ実装する工程を含む、半導体装置の製造方法。

[図1]



[図2]

図 2



[図3]

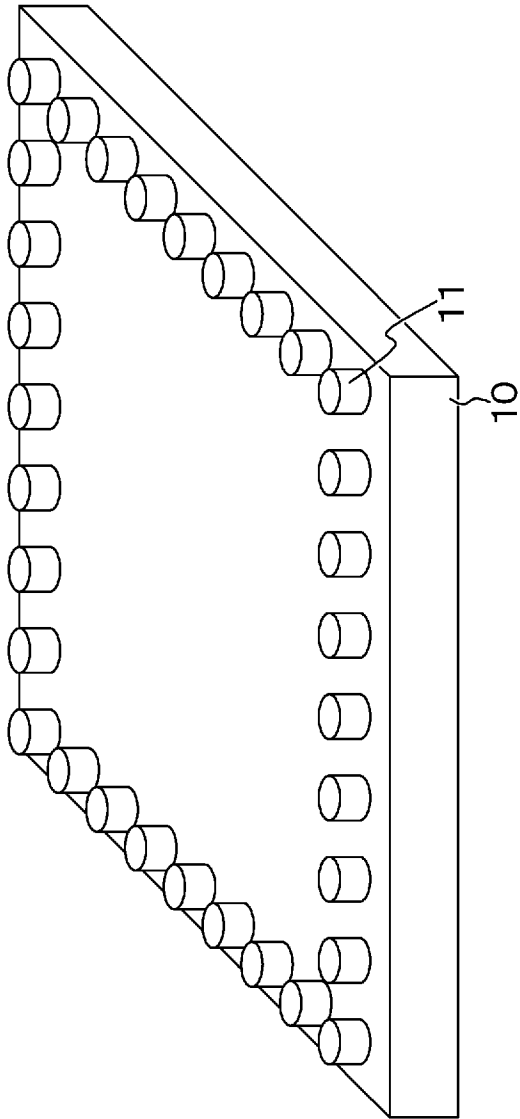


図 3 A

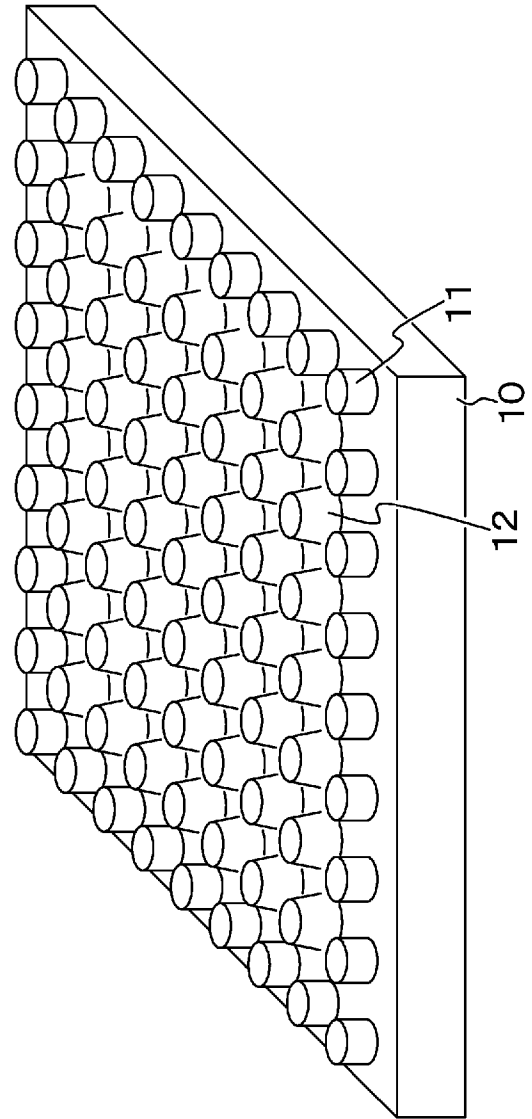


図 3 B

[図4]

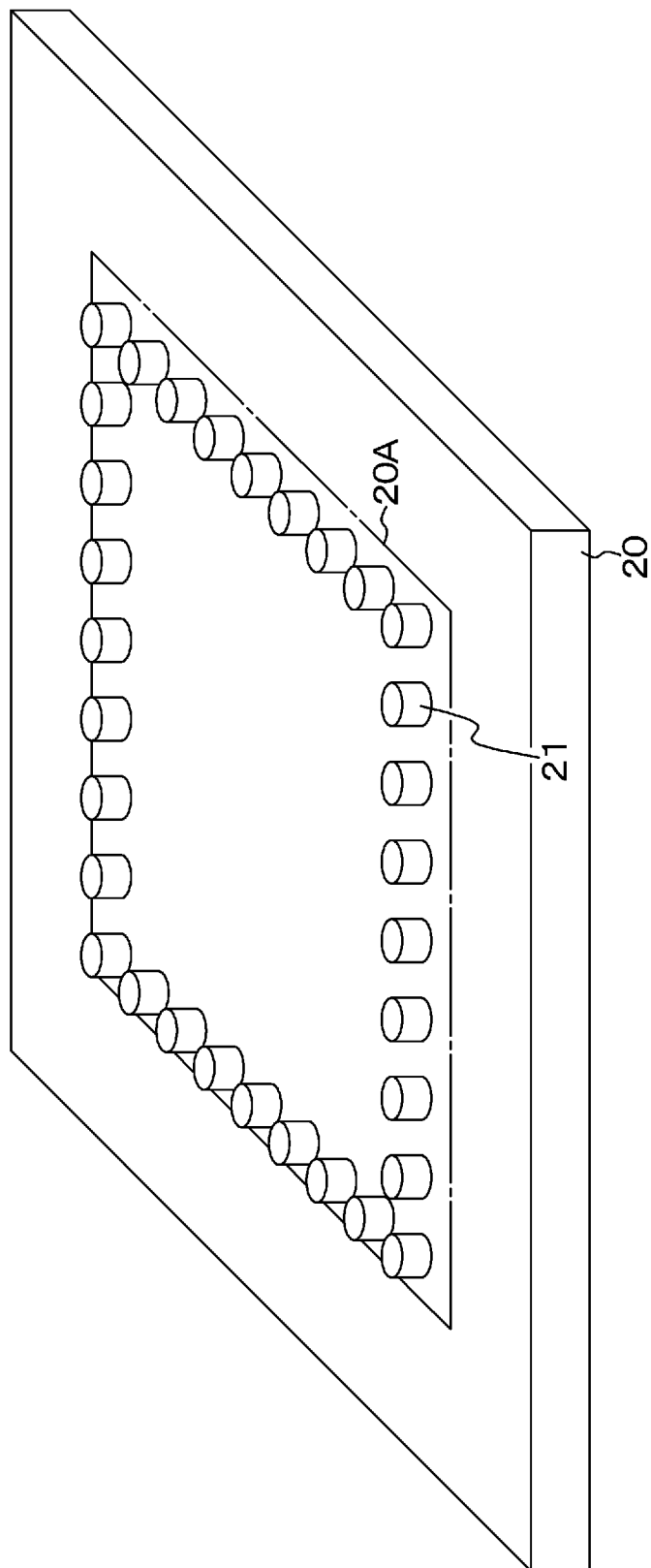


図 4

[図5]

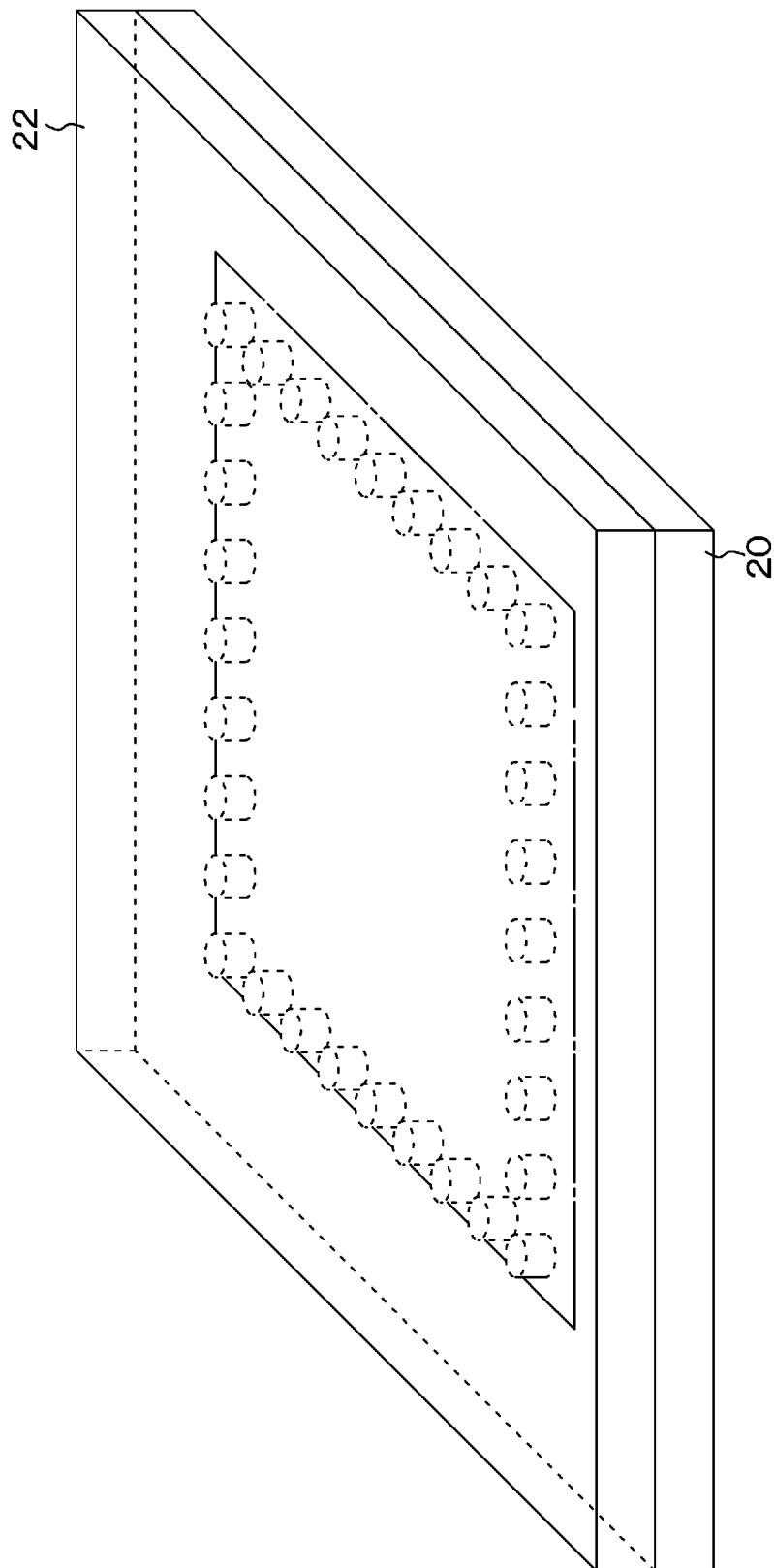


図 5

[図6]

図 6 A

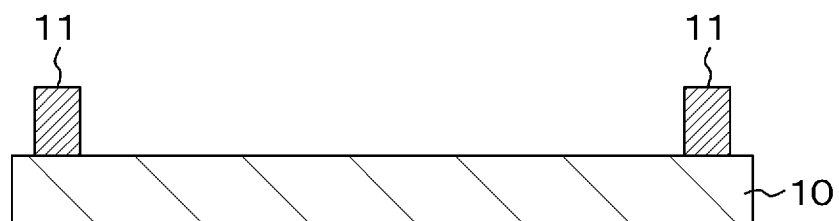


図 6 B

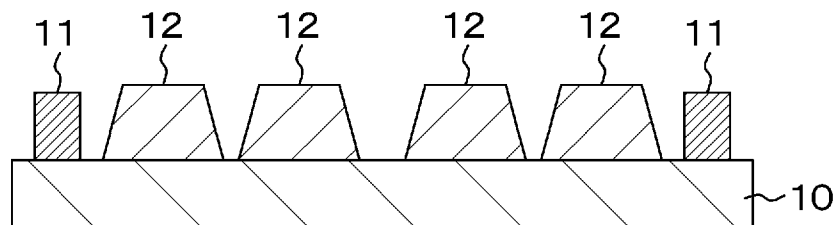


図 6 C

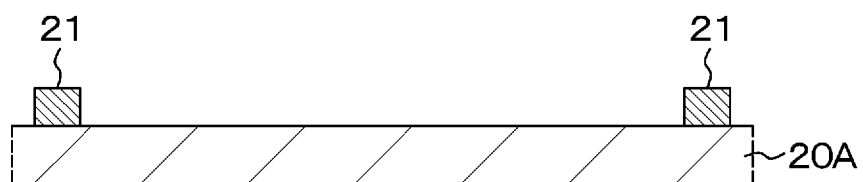


図 6 D

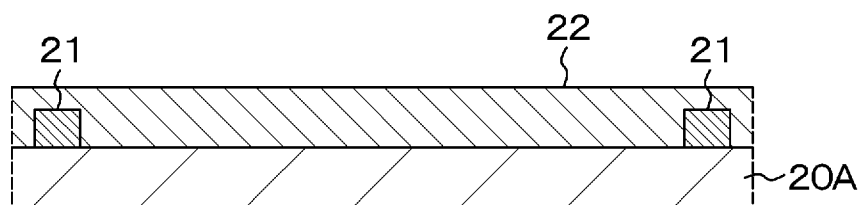
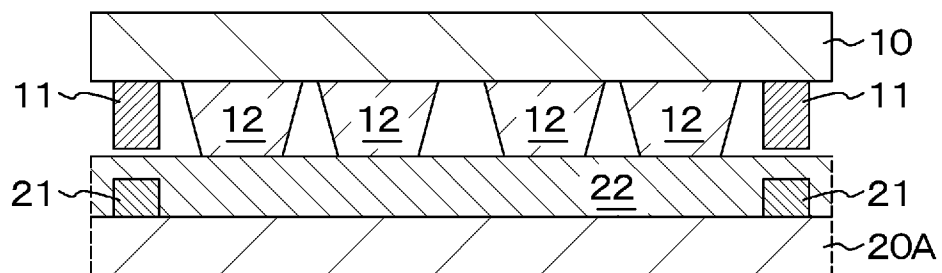


図 6 E



[図7]

図 7 A

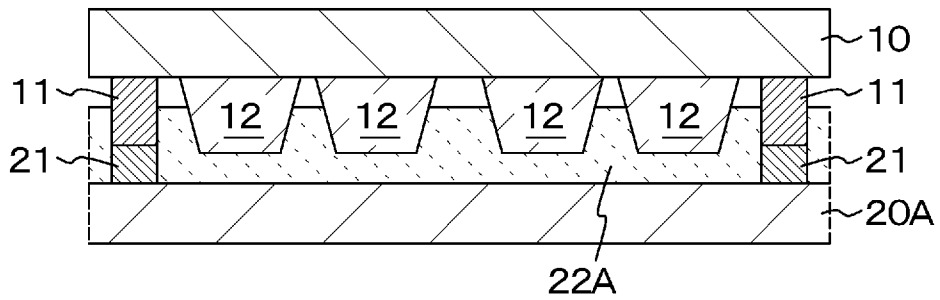


図 7 B

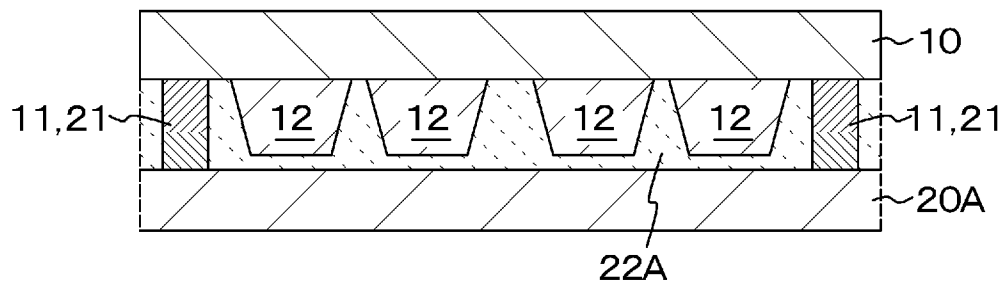
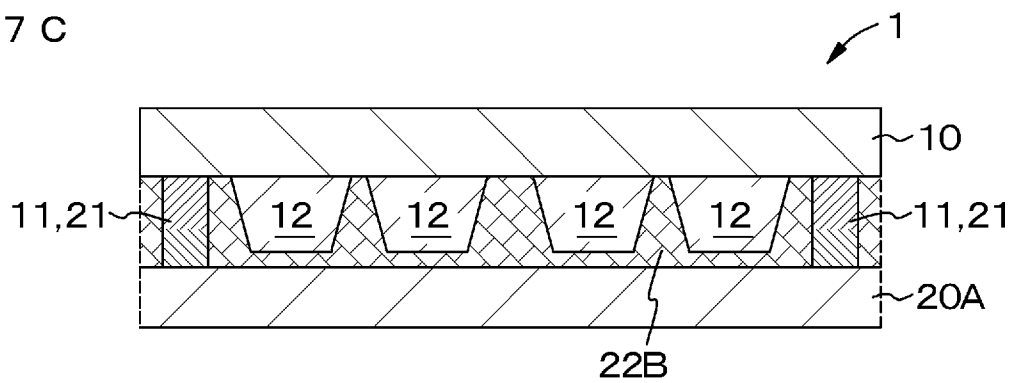


図 7 C



[図8]

図 8 A

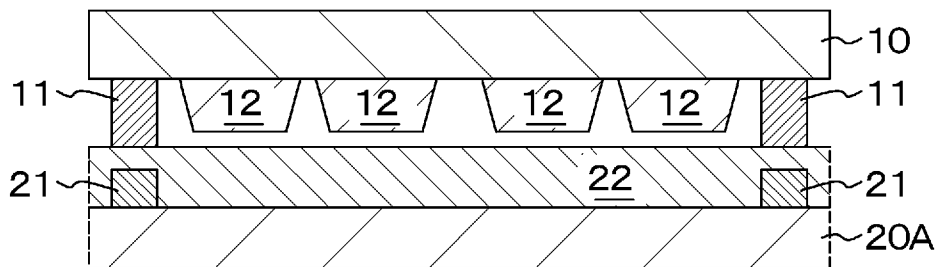


図 8 B

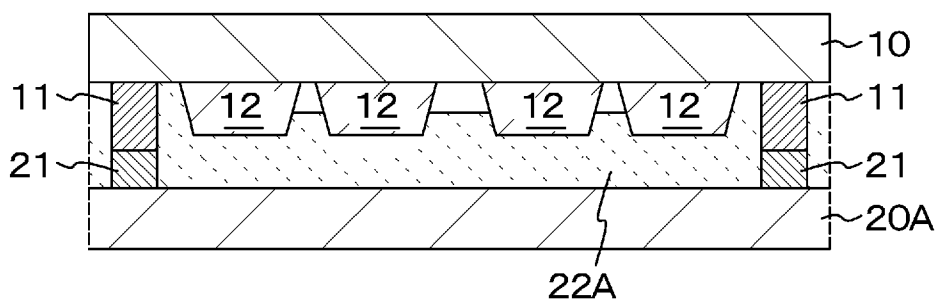


図 8 C

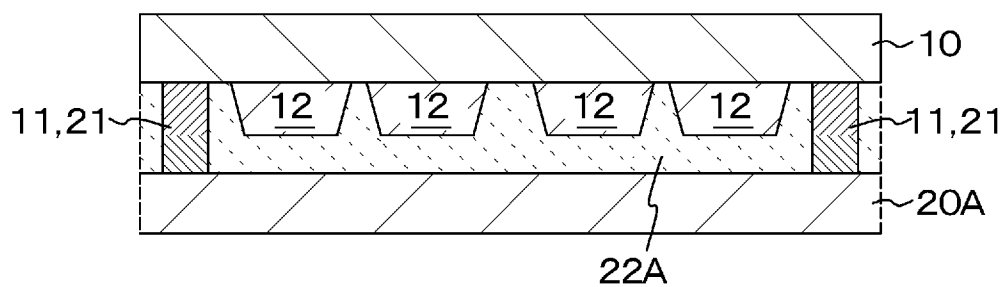
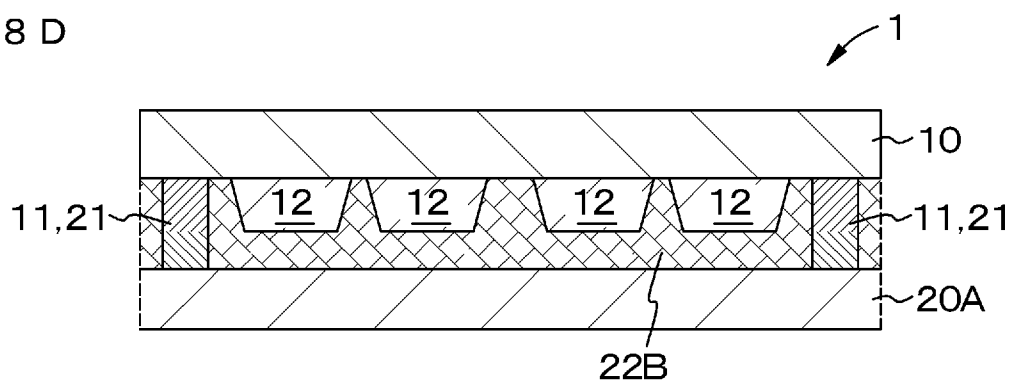
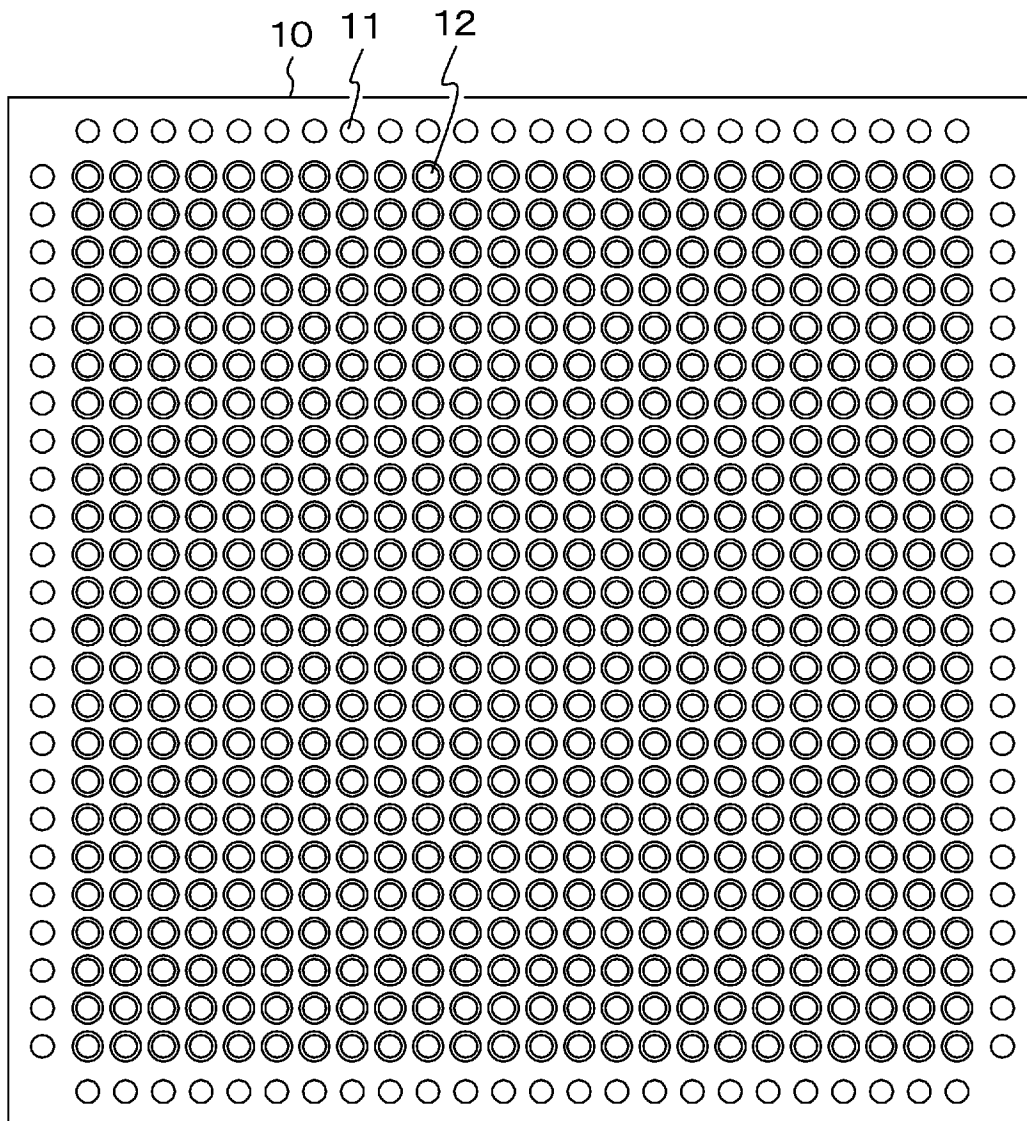


図 8 D



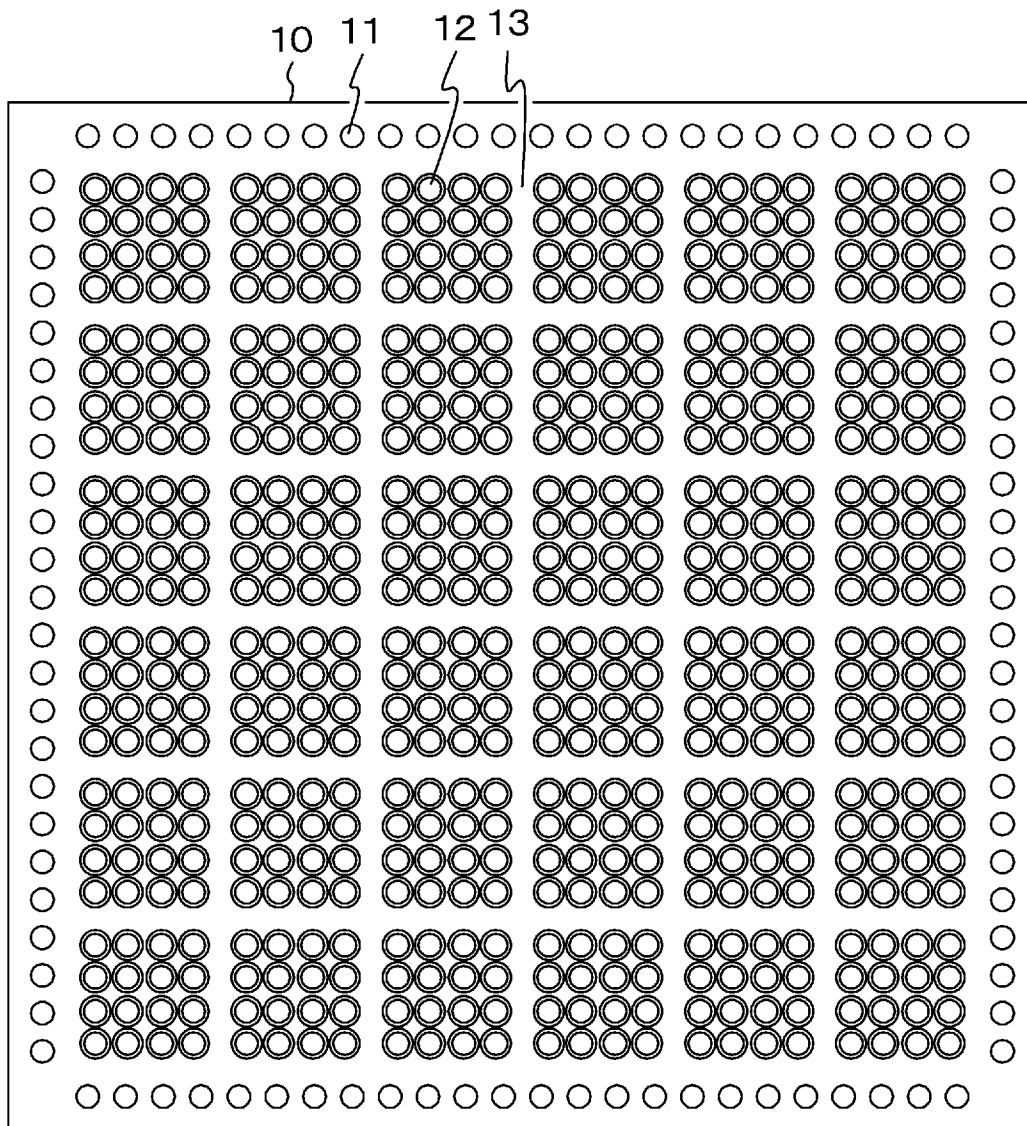
[図9]

図 9



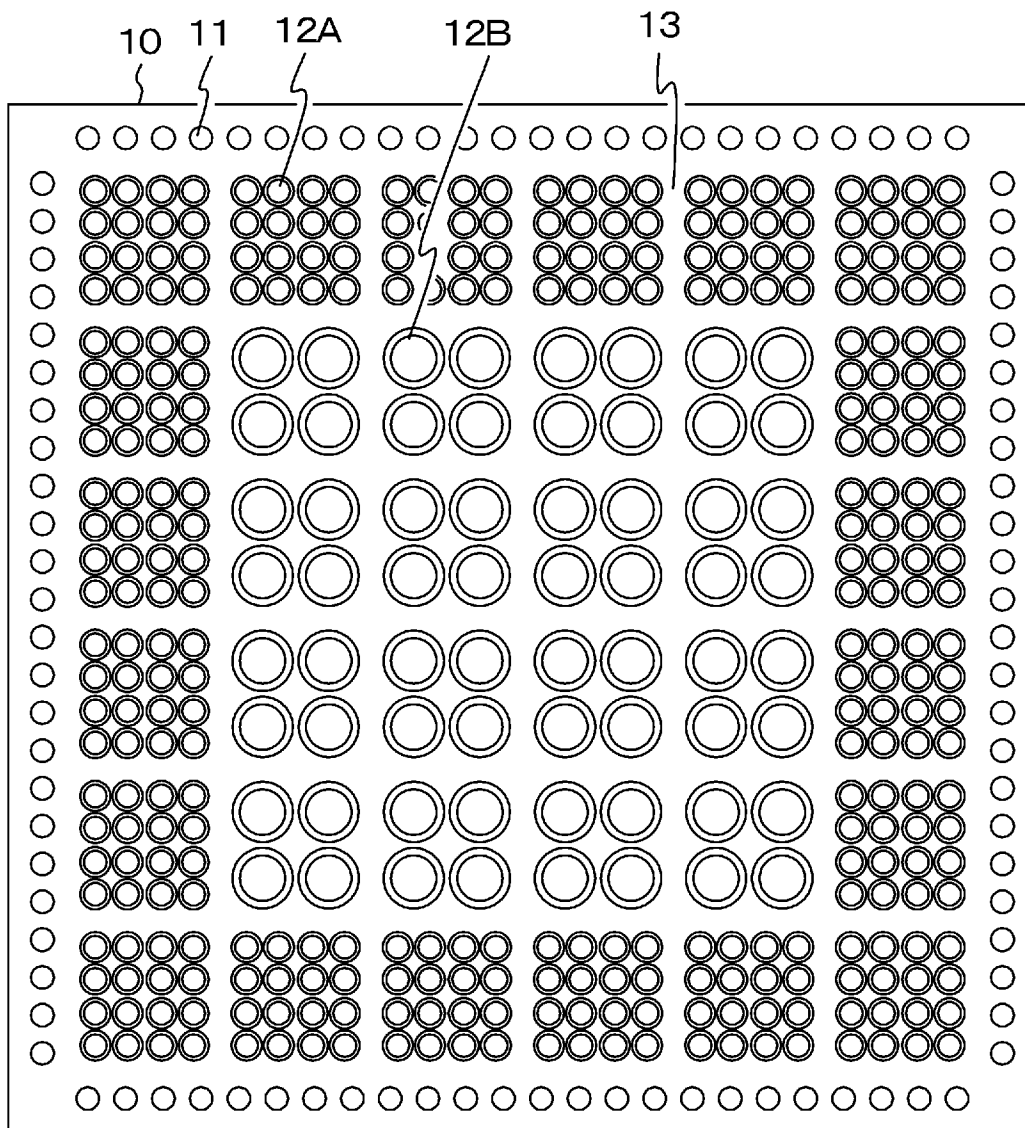
[図10]

図 10

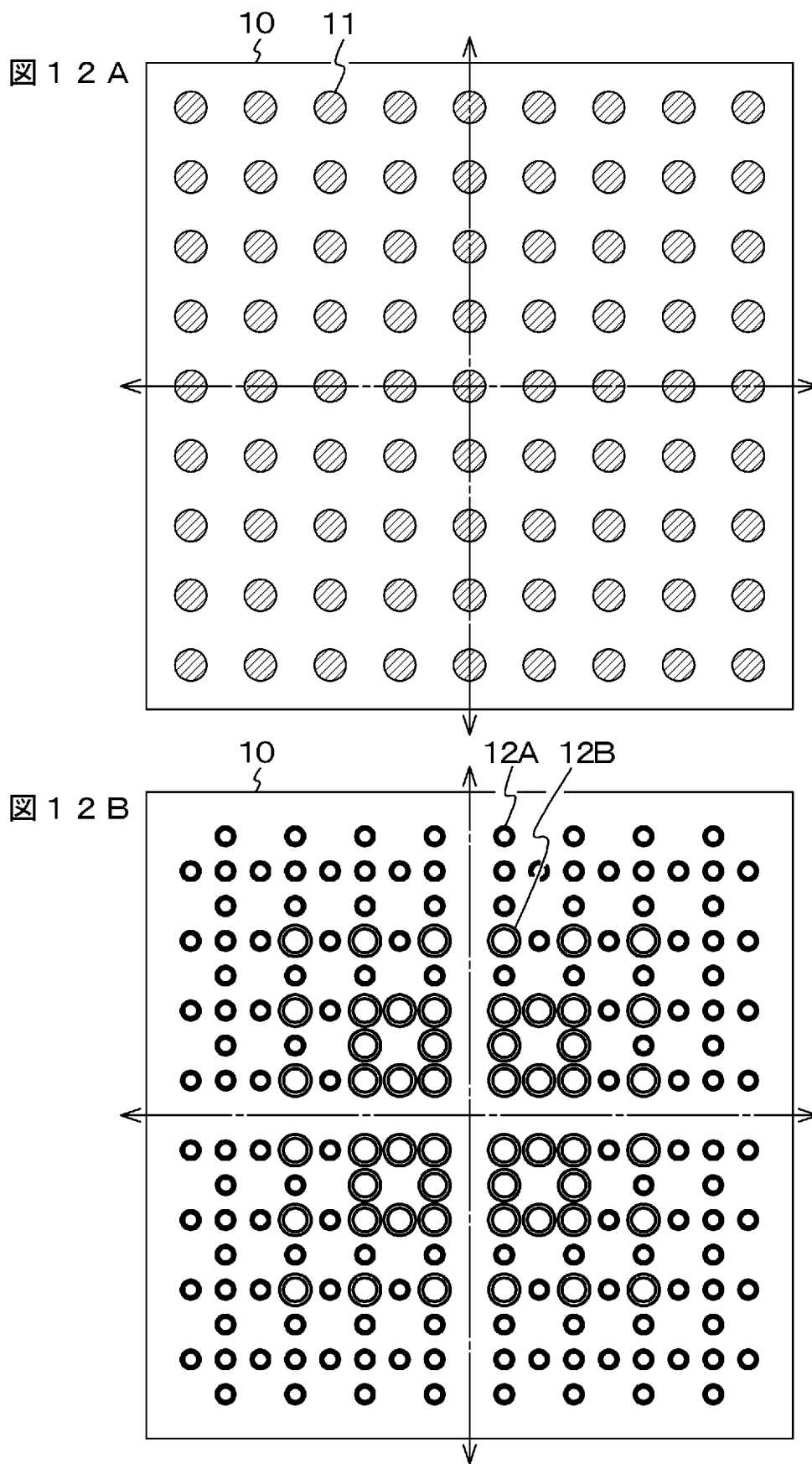


[図11]

図 1 1

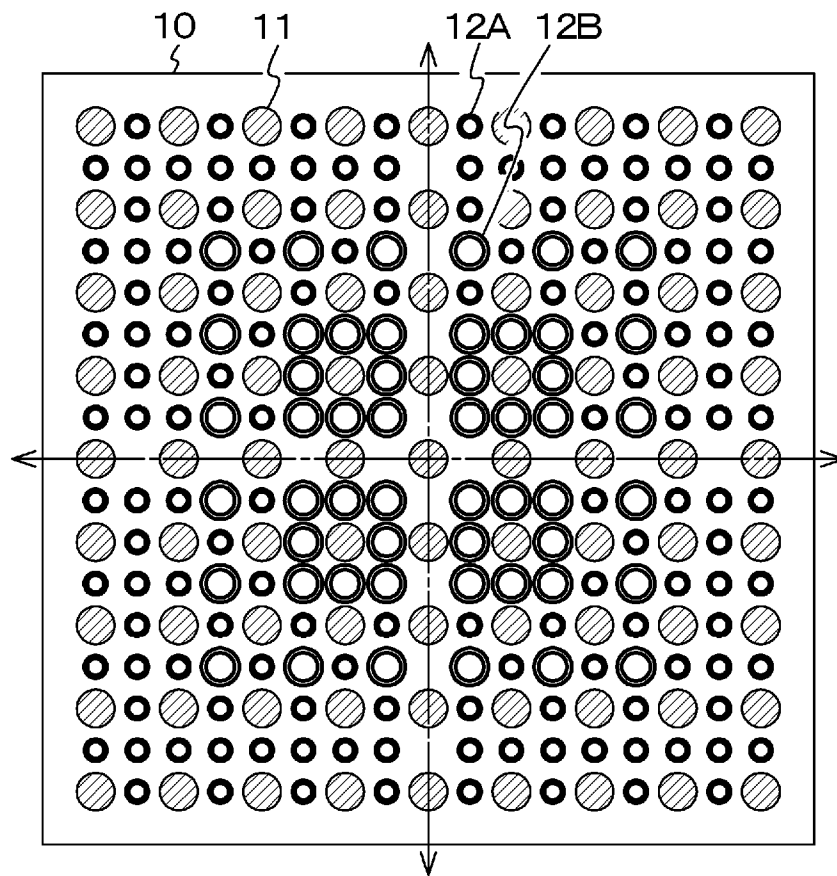


[図12]

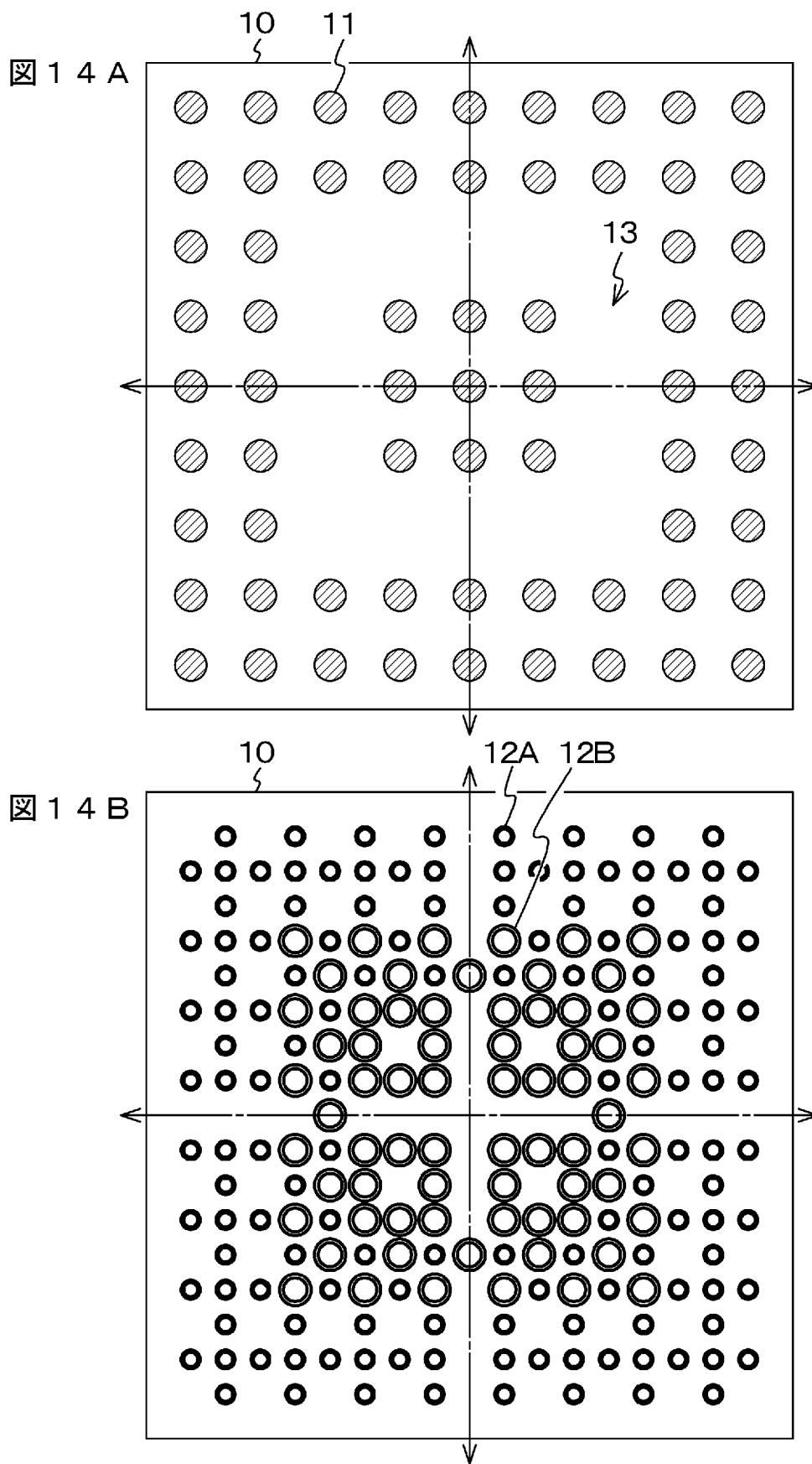


[図13]

図 1 3

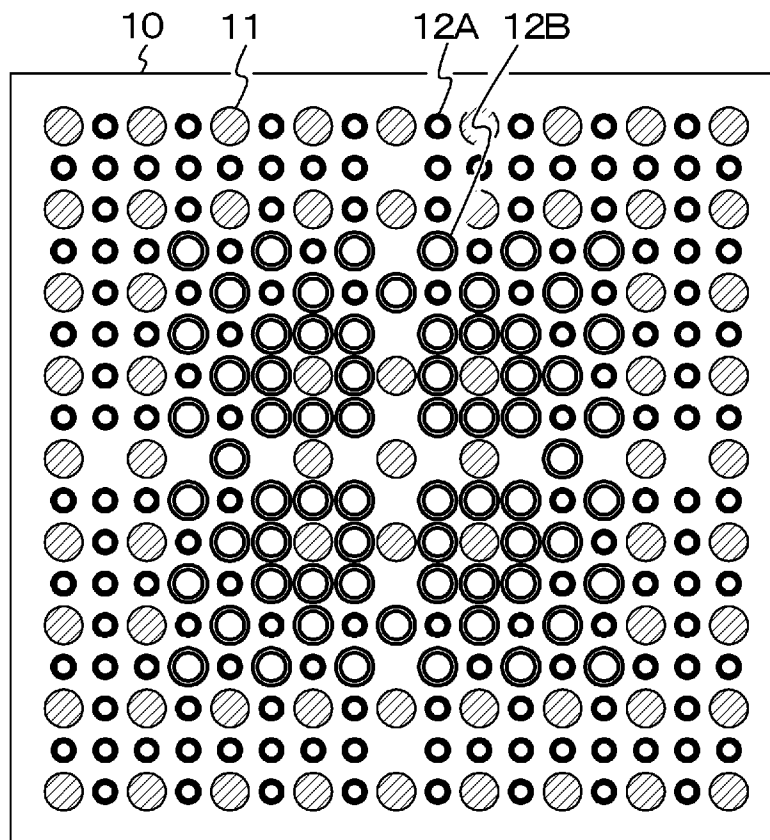


[図14]

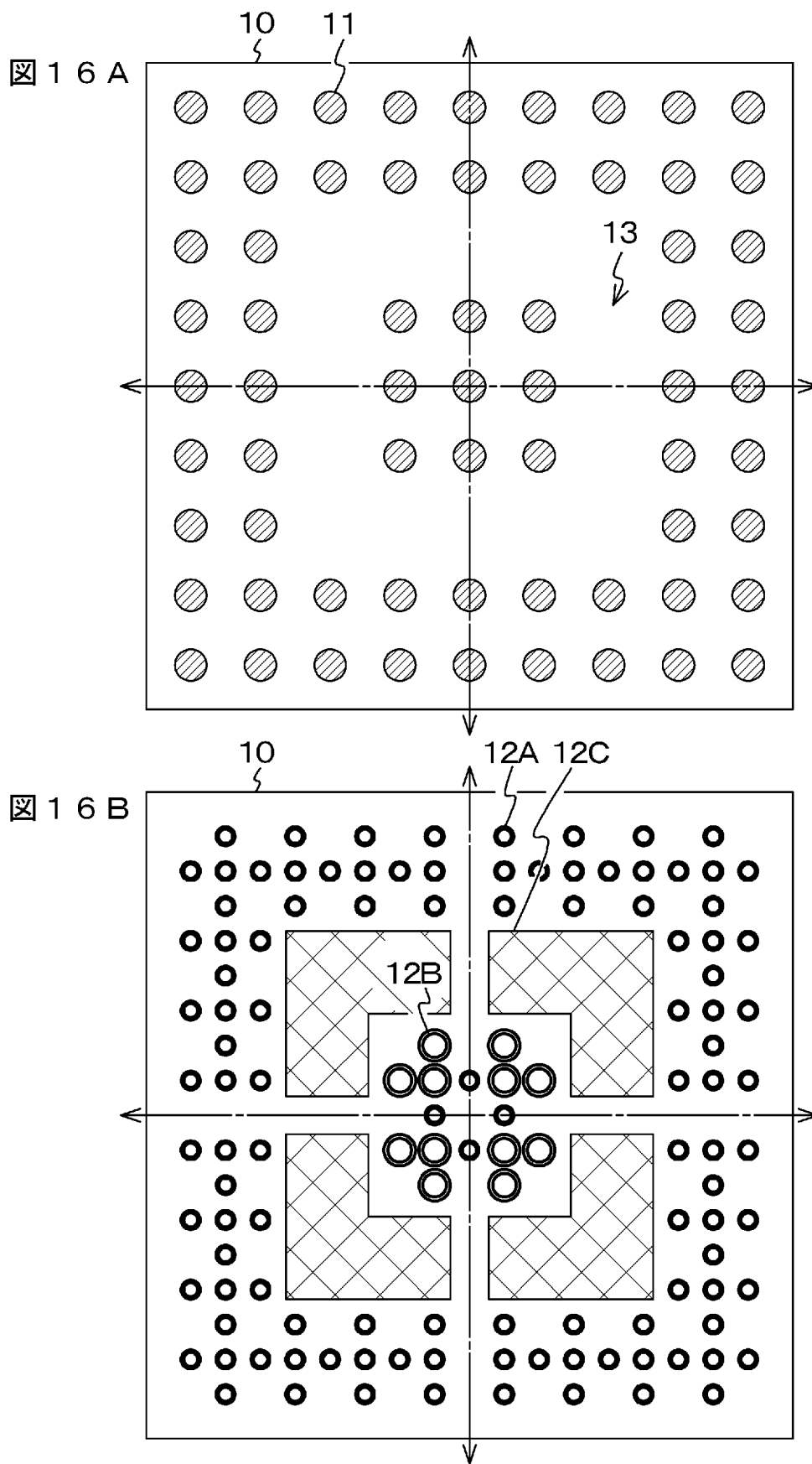


[図15]

図 1 5

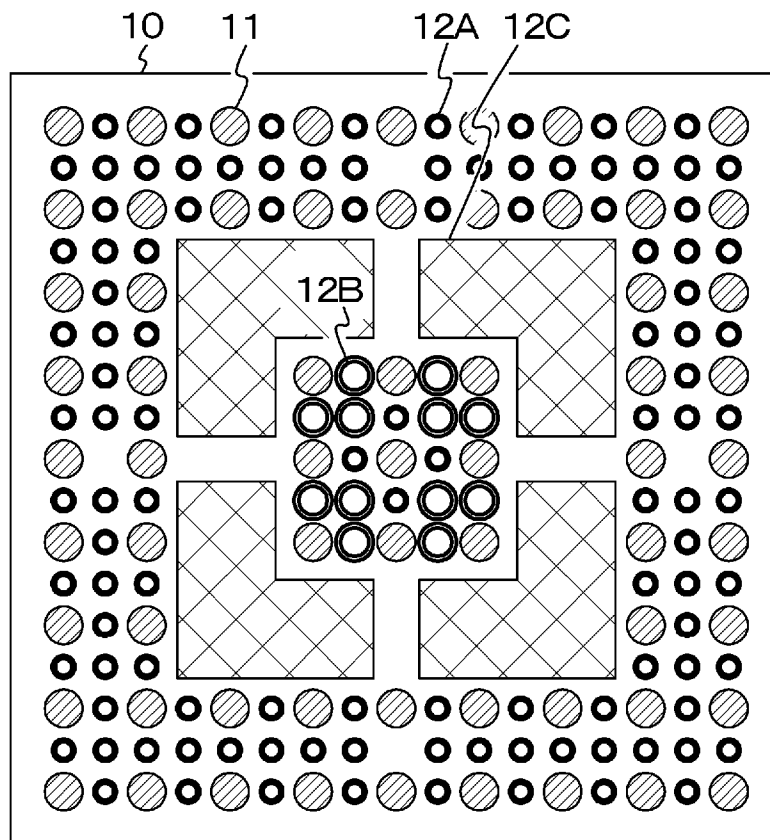


[図16]

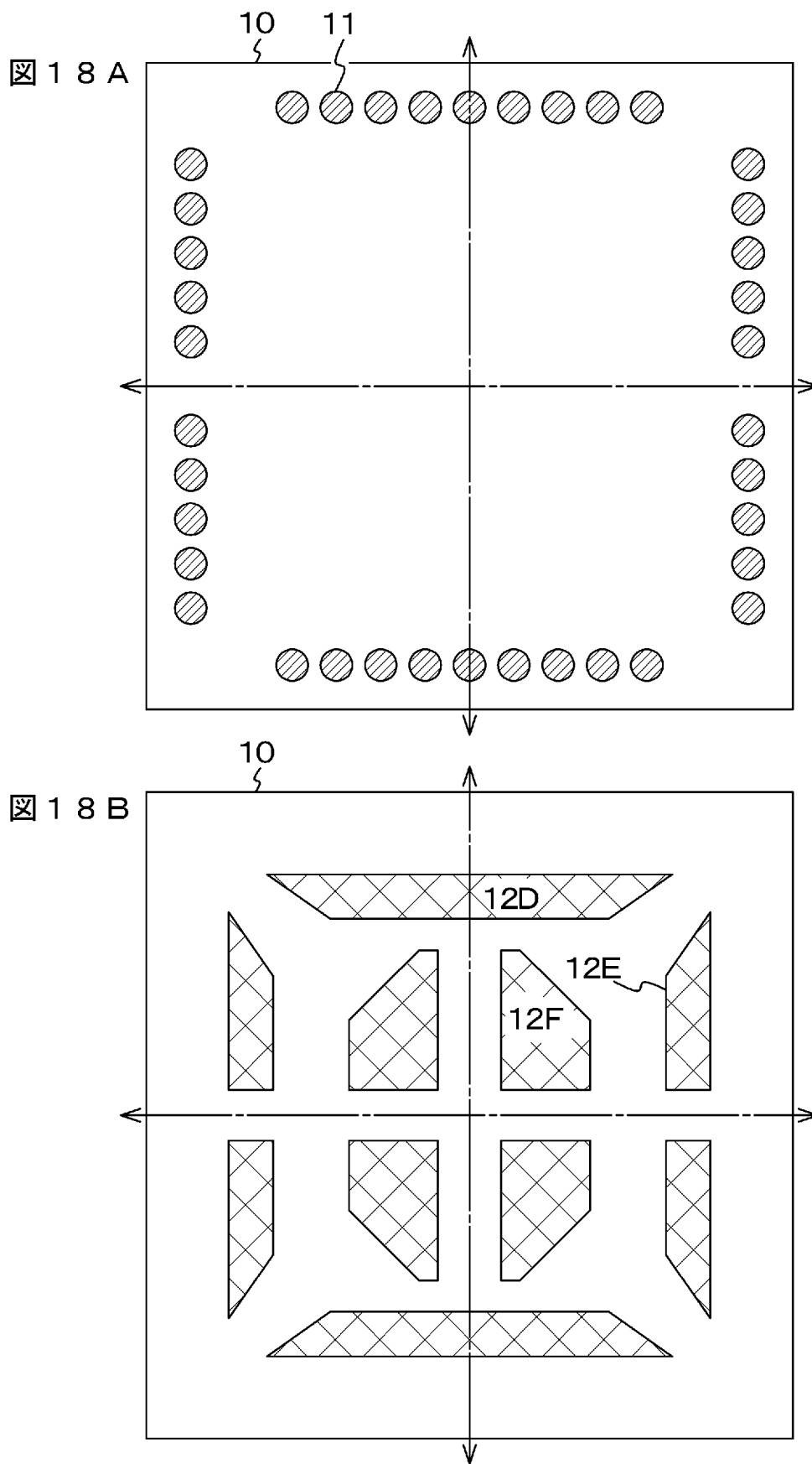


[図17]

図 1 7

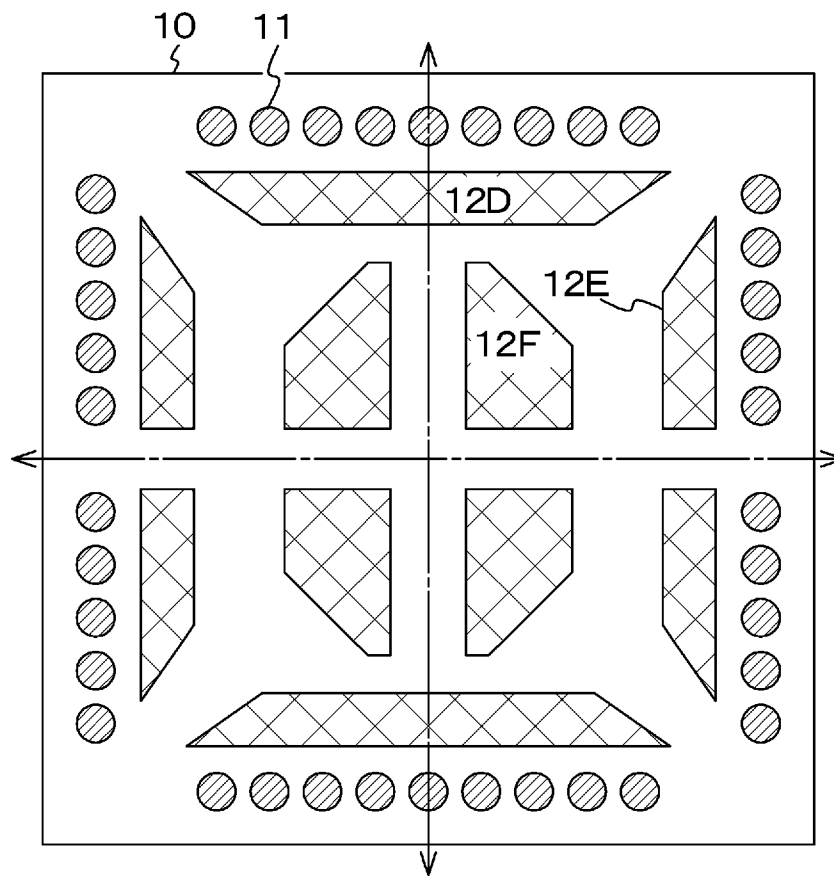


[図18]

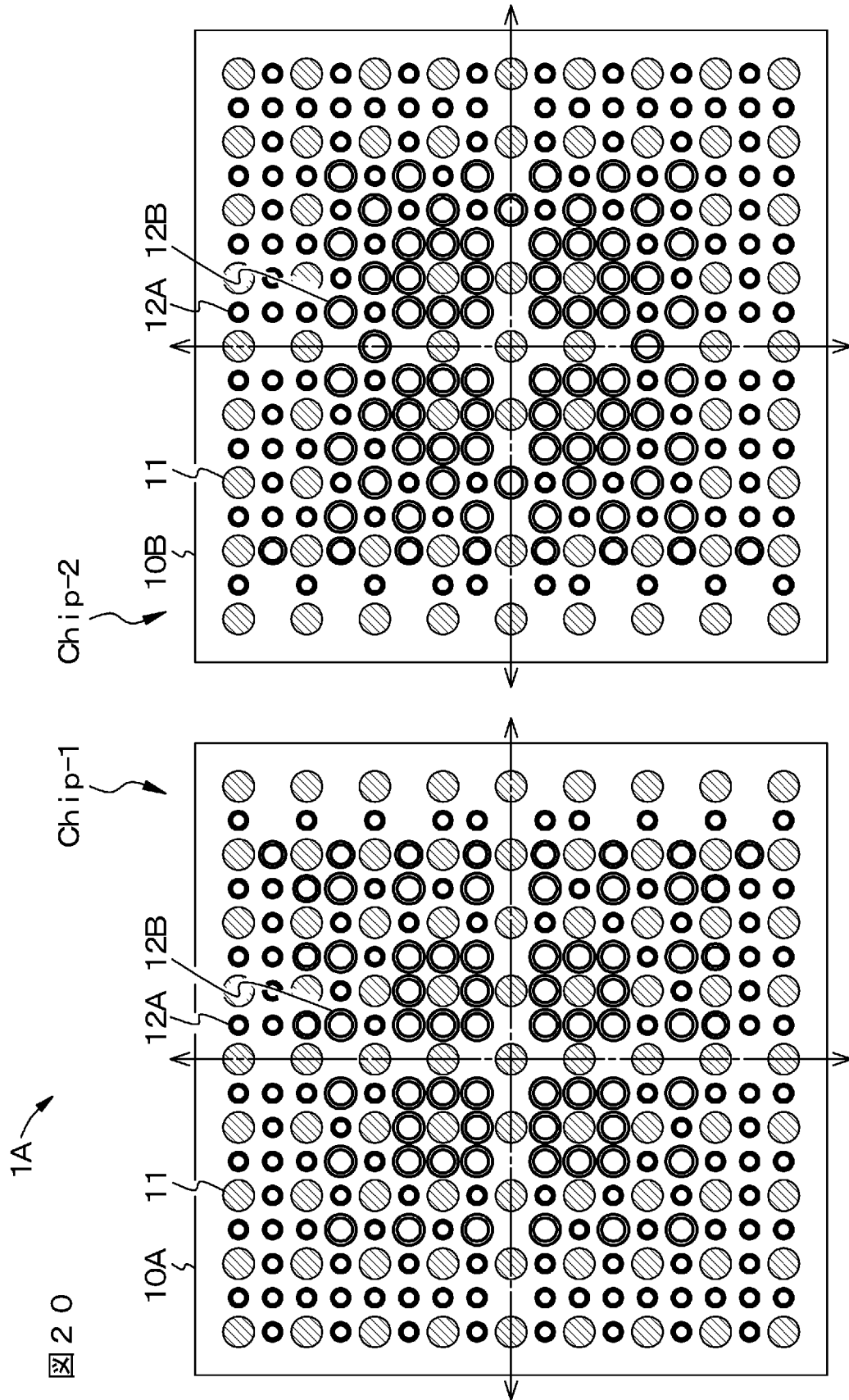


[図19]

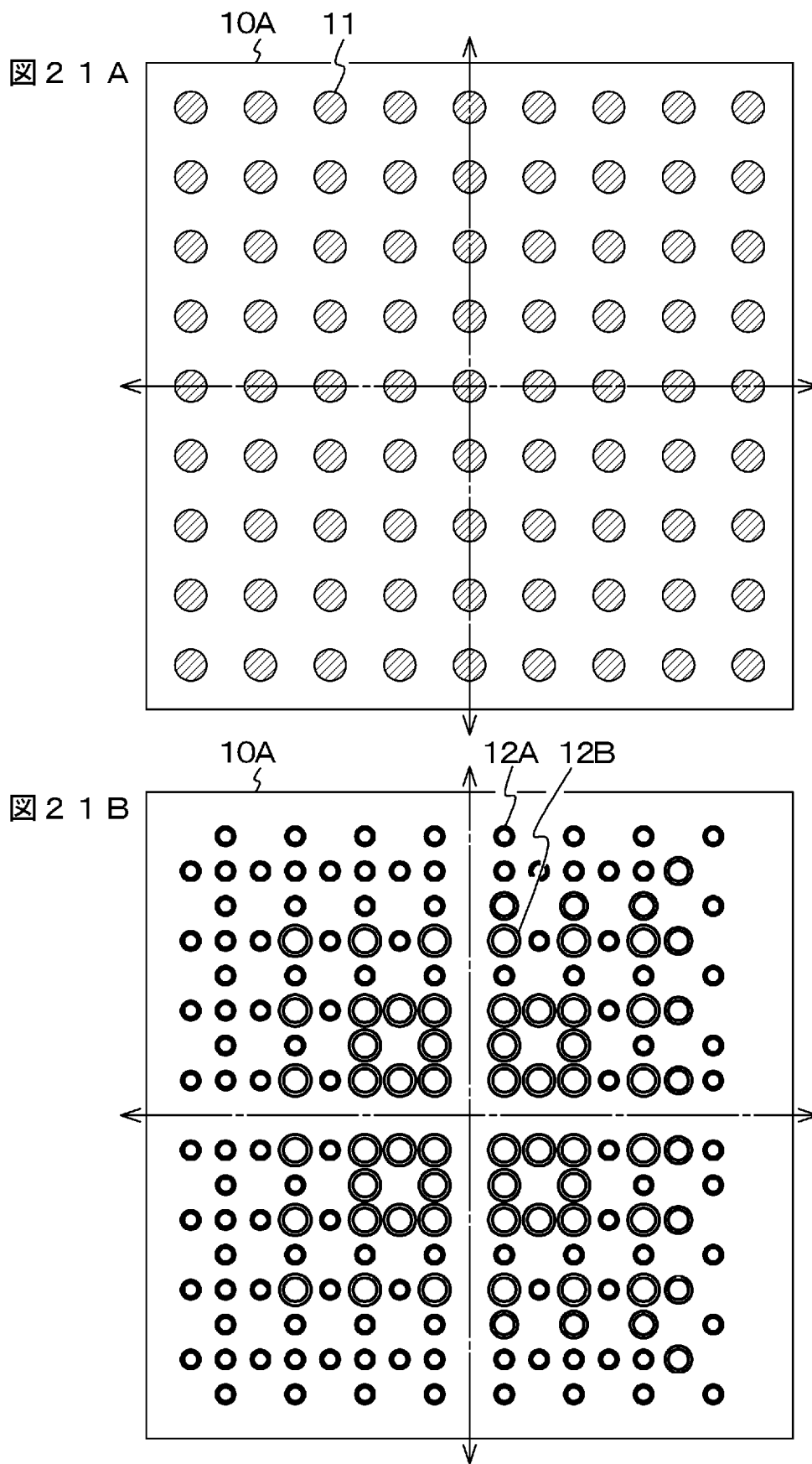
図 19



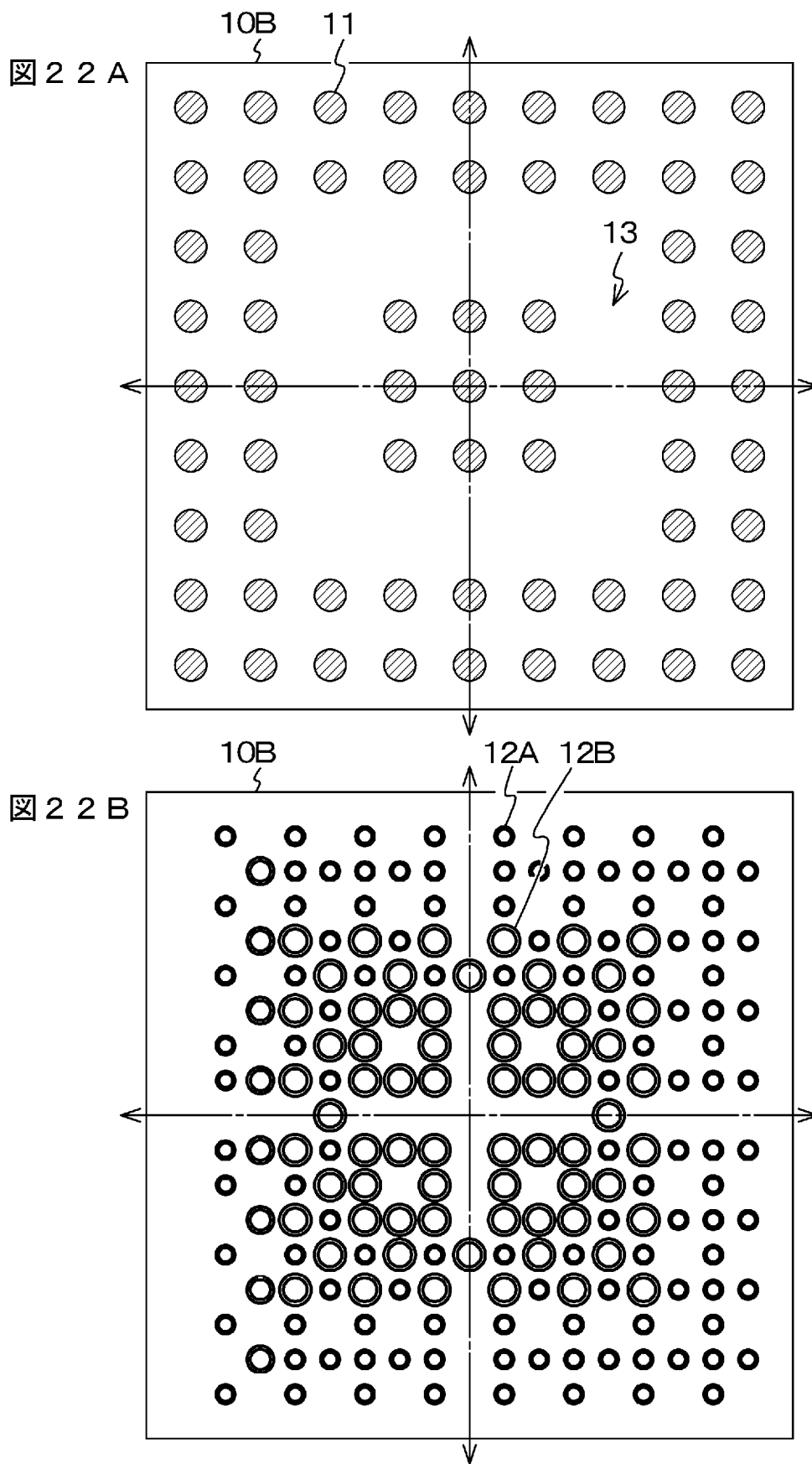
[図20]



[図21]

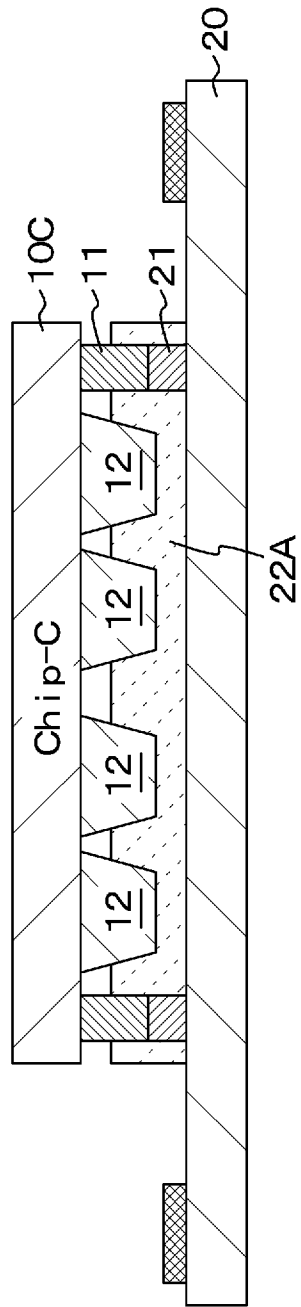


[図22]



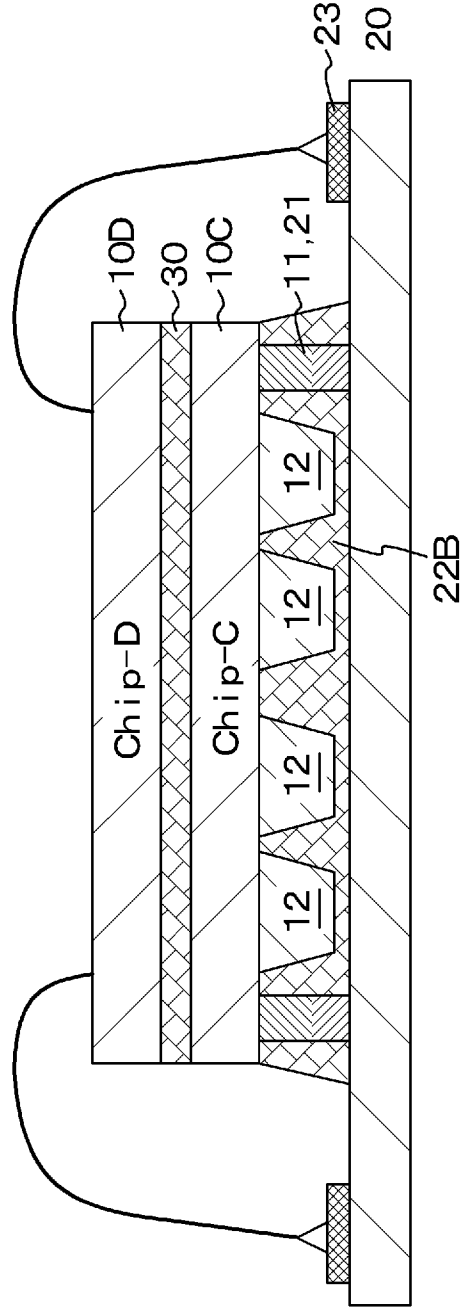
[図23]

図 23 A



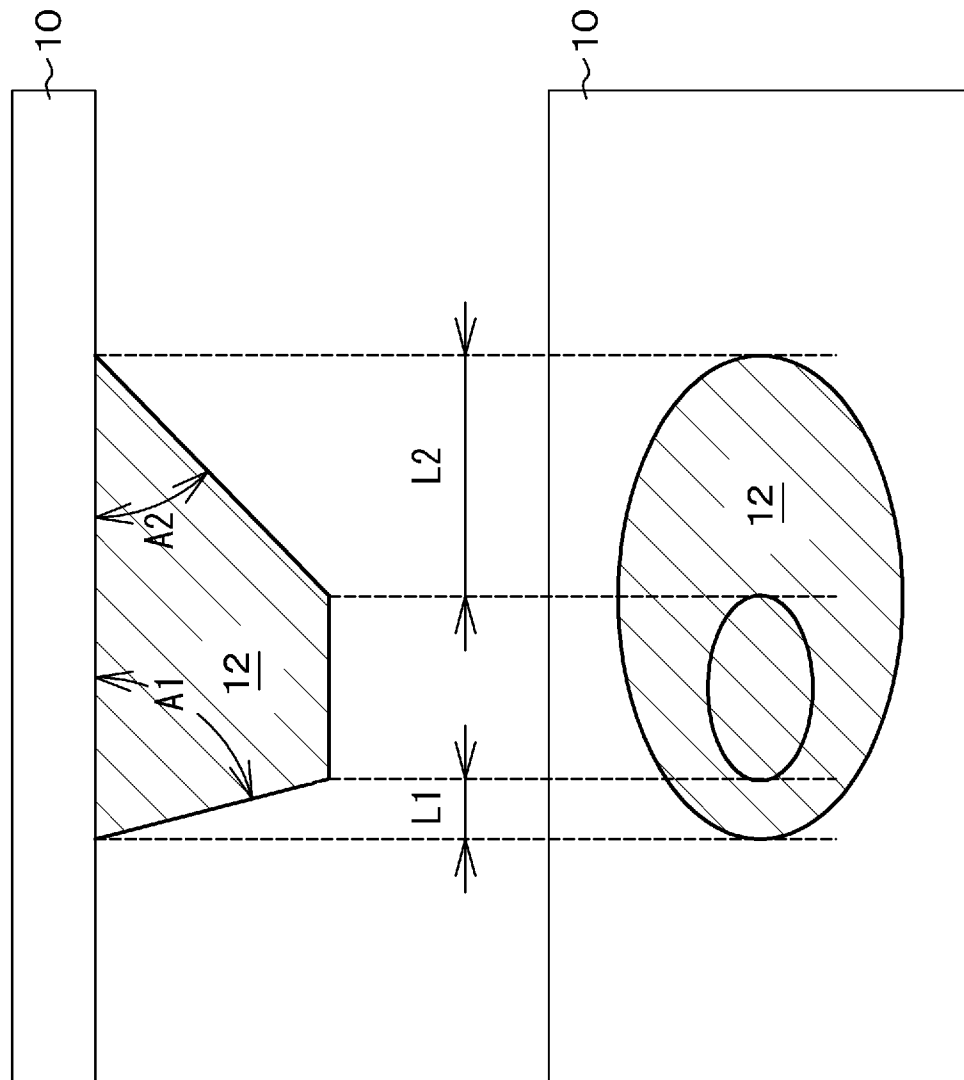
1B

図 23 B



[図24]

図 24



[図25]

図 25 A

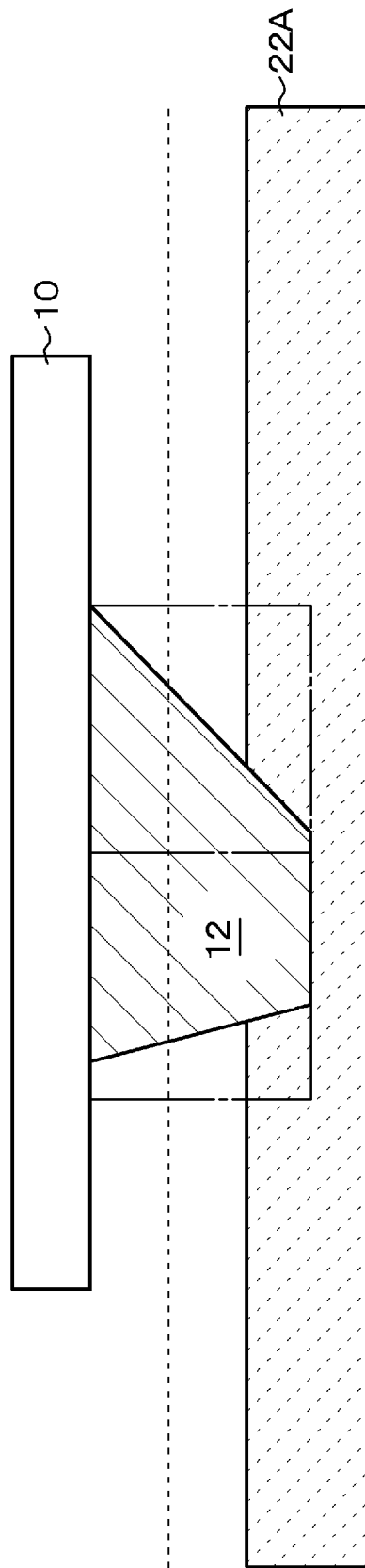
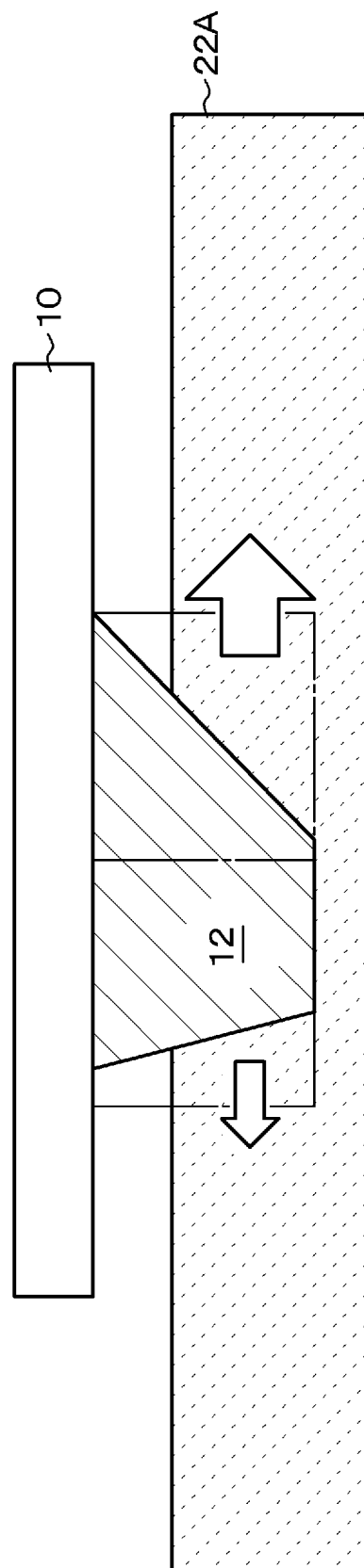


図 25 B



[図26]

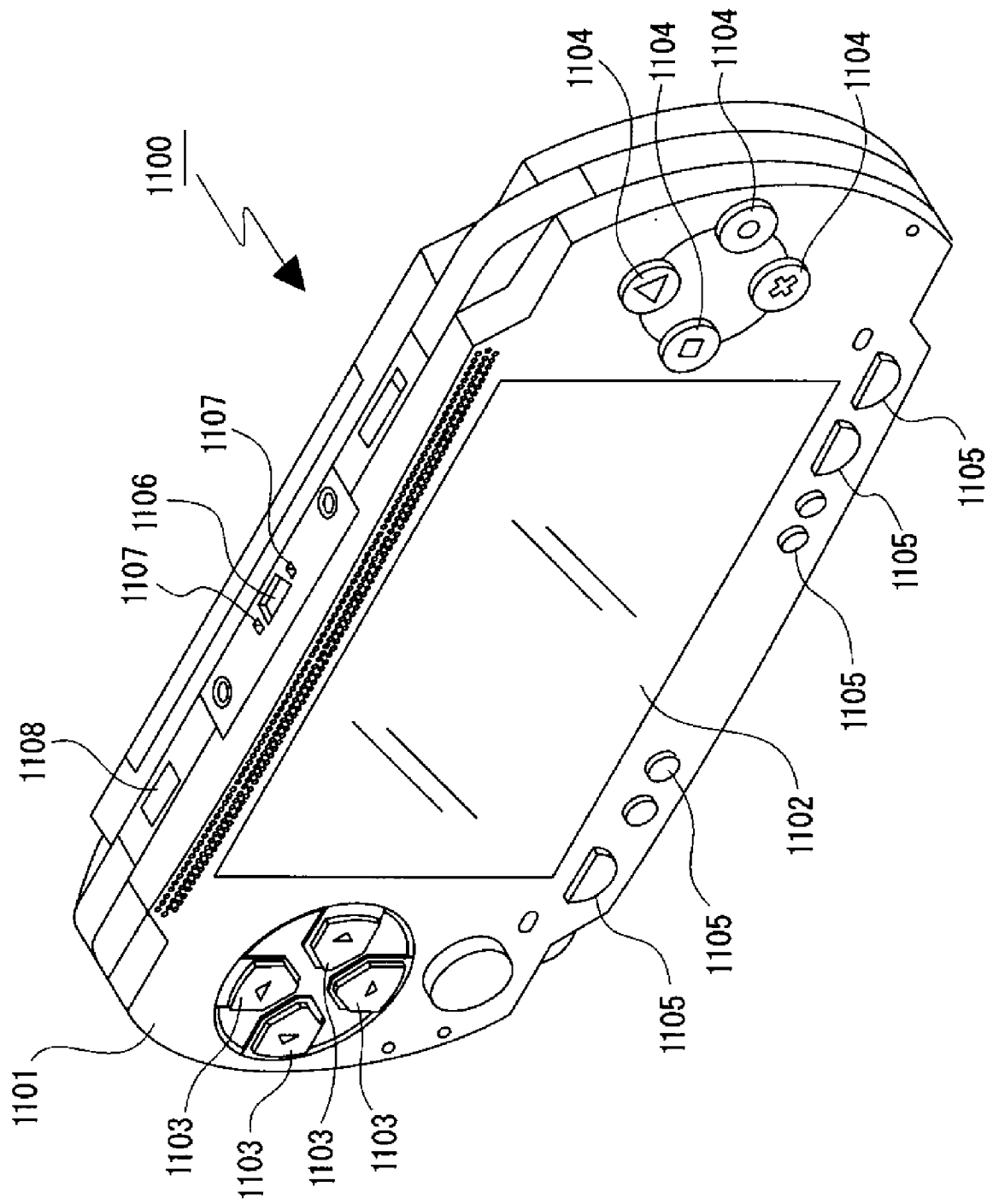
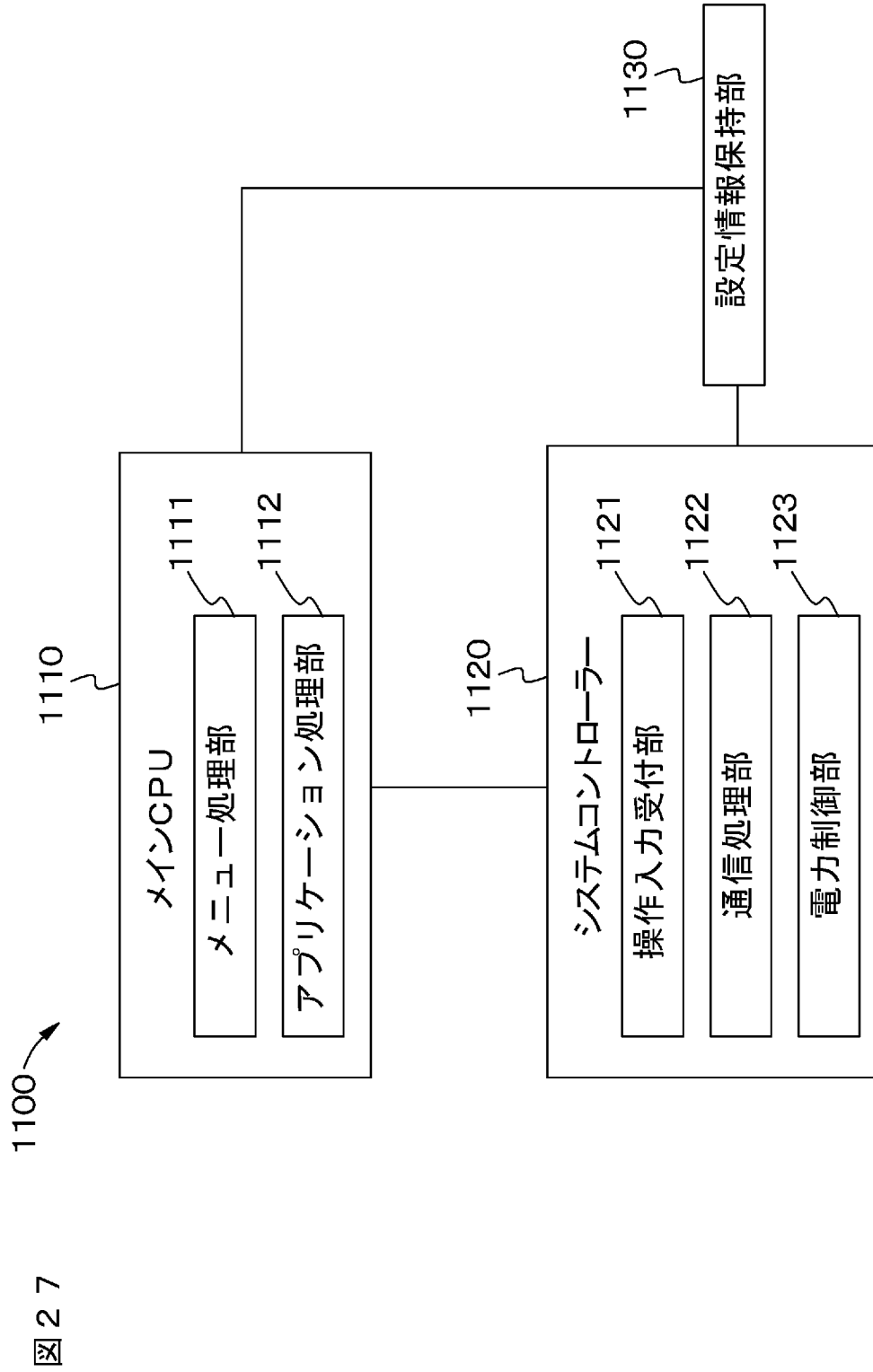


図 26

[図27]



[図28]

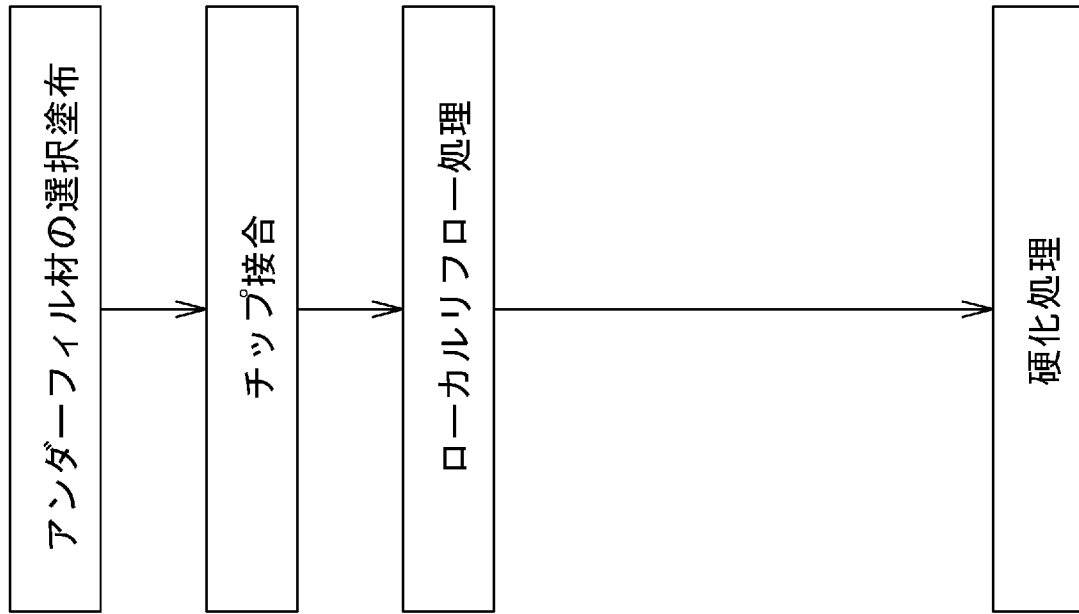


図28B

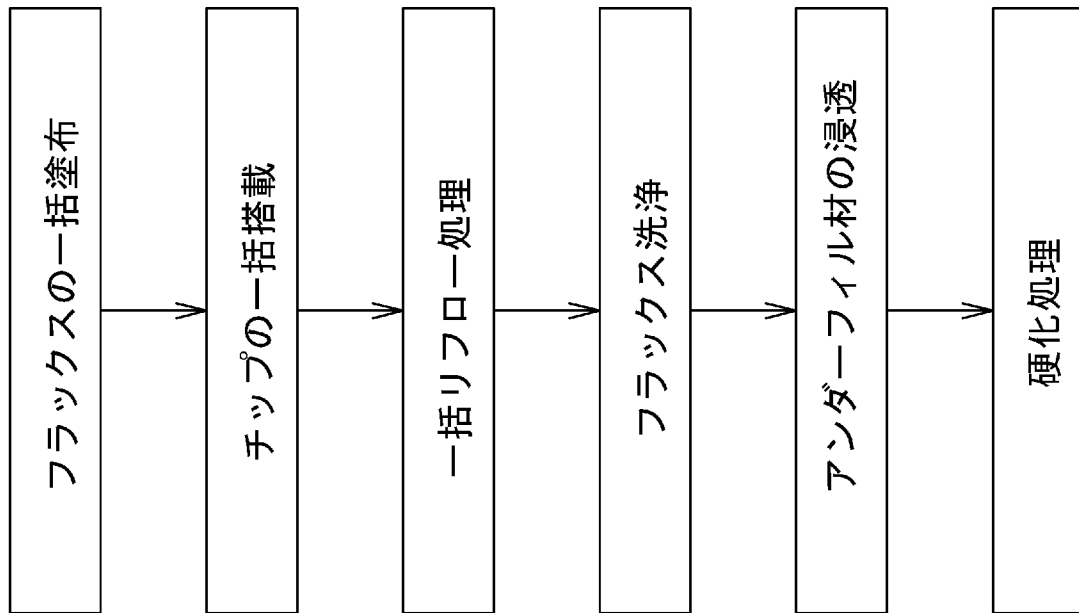


図28A

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/001566

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/60 (2006.01) i, H01L21/56 (2006.01) i, H05K3/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/60, H01L21/56, H05K3/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2012/0212918 A1 (DOHLE, R.) 23 August 2012, paragraphs [0051]-[0068], fig. 1-6	1, 3-6, 12, 16, 18-19
Y	& EP 2492959 A1 & DE 102011000866 A	1-19
X	JP 2007-324418 A (FUJITSU LIMITED) 13 December 2007, paragraphs [0027]-[0102], fig. 1-12	1-4, 6-9, 12-14, 16, 18
Y	(Family: none)	1-19



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
12.03.2018

Date of mailing of the international search report
27.03.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/001566

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2004-134653 A (SHARP CORPORATION) 30 April 2004, paragraphs [0030]-[0045], fig. 1-5	1-2, 4, 6-8, 12, 16, 18
Y	(Family: none)	1-19
Y	JP 2014-130993 A (WASEDA UNIVERSITY) 10 July 2014, paragraphs [0016]-[0101], fig. 1-36 (Family: none)	1-19
Y	JP 2006-100552 A (ROHM CO., LTD.) 13 April 2006, paragraphs [0018]-[0038], fig. 1-5 & US 2007/0200249 A1, paragraphs [0039]-[0072], fig. 1-5 & WO 2006/035548 A1 & CN 1943024 A & KR 10-2007-0057704 A & TW 200616169 A	1-19
Y	JP 2012-243947 A (POWERTECH TECHNOLOGY INC.) 10 December 2012, paragraphs [0016]-[0034], fig. 1-4D (Family: none)	1-19
Y	WO 2010/146884 A1 (SHARP CORPORATION) 23 December 2010, paragraphs [0005], [0006], [0040]-[0059], fig. 1-16 & US 2012/0080789 A1, paragraphs [0006], [0007], [0090]-[0109], fig. 1-16 & EP 2432006 A1 & CN 102460668 A & RU 2487435 C	1-19
Y	JP 2013-243333 A (SUGA, Tadatomo) 05 December 2013, paragraph [0189], fig. 10 & US 2015/0048523 A1, paragraph [0232], fig. 9 & WO 2013/161891 A1 & KR 10-2015-0006845 A	3

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/60(2006.01)i, H01L21/56(2006.01)i, H05K3/28(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/60, H01L21/56, H05K3/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	US 2012/0212918 A1 (DOHLE, Rainer) 2012.08.23, 段落[0051]－[0068]及びFIGS. 1－6	1, 3-6, 12, 16, 18-19
Y	& EP 2492959 A1 & DE 102011000866 A	1-19
X	JP 2007-324418 A (富士通株式会社) 2007.12.13, 段落[0027]－[0102]及び図1－12（ファミリーなし）	1-4, 6-9, 12- 14, 16, 18
Y		1-19

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

12.03.2018

国際調査報告の発送日

27.03.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

安田 雅彦

50

9447

電話番号 03-3581-1101 内線 3559

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2004-134653 A (シャープ株式会社) 2004. 04. 30, 段落[0030]－[0045]及び図 1－5 (ファミリーなし)	1-2, 4, 6-8, 12 , 16, 18
Y		1-19
Y	JP 2014-130993 A (学校法人早稲田大学) 2014. 07. 10, 段落[0016]－[0101]及び図 1－36 (ファミリーなし)	1-19
Y	JP 2006-100552 A (ローム株式会社) 2006. 04. 13, 段落[0018]－[0038]及び図 1－5 & US 2007/0200249 A1, 段落[0039]－[0072]及び FIGS. 1－5 & WO 2006/035548 A1 & CN 1943024 A & KR 10-2007-0057704 A & TW 200616169 A	1-19
Y	JP 2012-243947 A (力成科技股分有限公司) 2012. 12. 10, 段落[0016]－[0034]及び図 1－4 D (ファミリーなし)	1-19
Y	WO 2010/146884 A1 (シャープ株式会社) 2010. 12. 23, 段落[0005]－[0006], [0040]－[0059]及び図 1－16 & US 2012/0080789 A1, 段落[0006]－[0007], [0090]－[0109] 及び FIGS. 1－16 & EP 2432006 A1 & CN 102460668 A & RU 2487435 C	1-19
Y	JP 2013-243333 A (須賀唯知) 2013. 12. 05, 段落[0189]及び図 1 O & US 2015/0048523 A1, 段落[0232]及び FIG. 9 & WO 2013/161891 A1 & KR 10-2015-0006845 A	3