

**POLSKA
RZECZPOSPOLITA
LUDOWA**



**URZĄD
PATENTOWY
PRL**

OPIS PATENTOWY 101443

Patent dodatkowy
do patentu nr _____

Zgłoszono: 29.12.76 (P. 194865)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 07.11.77

Opis patentowy opublikowano: 31.07.1981

Int. Cl² G06F 7/385

Int. Cl³ G06 F7/50

CZYTELNIA

Urzędu Patentowego
Polskiej Rzeczypospolitej Ludowej

Twórcy wynalazku: Marek Chwierut, Andrzej Więcek, Ewa Dominik
Uprawniony z patentu : Politechnika Świętokrzyska, Kielce (Polska)

Elektroniczny układ sumowania sygnałów częstotliwościowych ze stałym mnożnikiem programowanym

Przedmiotem wynalazku jest elektroniczny układ sumowania dowolnej liczby sygnałów częstotliwościowych ze stałym mnożnikiem programowanym, o wyjściu częstotliwościowym.

Znane układy sumowania sygnałów częstotliwościowych ze stałym mnożnikiem programowanym o wyjściu częstotliwościowym oparte są na wykorzystaniu sumatorów n-bitowych. Układy te składają się z części przetwarzającej częstotliwość na cyfrę, a następnie z właściwej części sumującej, oraz mnożnika programowanego. W niektórych spośród tych układów dodatkowo wymagany jest na wyjściu układ przetwarzania cyfry na częstotliwość.

Układy te posiadają niedogodności, a to ze względu na to, że są to układy rozbudowane i skomplikowane, oraz wprowadzają opóźnienie czasowe wyniku spowodowane koniecznością przetworzenia częstotliwości na cyfrę i cyfry na częstotliwość.

Celem wynalazku jest wyeliminowanie wspomnianych niedogodności, skonstruowanie prostego układu eliminującego opóźnienie w uzyskaniu wyniku.

Cel ten spełnia rozwiązanie według wynalazku.

Istotą wynalazku jest zastosowanie układu arytmetycznej sumy n-bitowej i licznika liczącego w dół połączonych w ten sposób, że wyjścia binarne układu arytmetycznej sumy n-bitowej podane są na wejścia równoległego wpisu licznika taktowanego impulsami z generatora korzystnie o dużej częstotliwości, bramkowymi w momencie osiągnięcia stanu zerowego licznika, lub dokonywania wpisu równoległego. Wejście taktujące licznika jest jednocześnie wyjściem całego układu.

Inicjowanie wpisu równoległego dokonuje się impulsami z generatora korzystnie z niesymetrycznym przebiegiem, których częstotliwości warunkuje wartość mnożnika. Przedmiot wynalazku przedstawiony jest w przykładzie wykonania na rysunku.

Wyjścia układu arytmetycznej sumy n-bitowej 1 połączone są z wejściami wpisu równoległego licznika 2 liczącego w dół. Licznik 2 taktowany jest impulsami z generatora dużej częstotliwości 6, które bramkowane są sygnałem z detektora stanu zerowego 3 w momencie osiągnięcia przez licznik 2 stanu zerowego, lub impulsami

z generatora 5 inicjującymi jego wpis równoległy. Bramka 4 zamykana jest w momencie wykrycia stanu zerowego licznika 2, lub w momencie dokonywania wpisu do licznika 2.

Częstotliwość impulsów z generatora 5 warunkuje wartość mnożnika. Wejście taktujące licznika 2 jest jednocześnie wyjściem całego układu. Otrzymywany sygnał wyjściowy układu sumowania sygnałów częstotliwościowych ze stałym mnożnikiem programowanym jest sygnałem częstotliwościowym.

Zastrzeżenie patentowe

Elektroniczny układ sumowania sygnałów częstotliwościowych ze stałym mnożnikiem programowanym, z n a m i e n n y t y m, że posiada układ arytmetycznej sumy n -bitowej (1) połączony z licznikiem (2) liczącym w dół, przy czym wyjścia binarne układu arytmetycznej sumy n -bitowej (1) podane są na wejścia wpisu równoległego licznika (2) liczącego w dół, a jego wejście inicjujące wpis równoległy sterowane jest impulsami z generatora o zmiennej częstotliwości (5) korzystnie z niesymetrycznym przebiegiem impulsów, przy czym impulsy z generatora (6) korzystnie o dużej częstotliwości taktujące licznik (2) liczący w dół bramkowane są w momencie osiągnięcia stanu zerowego licznika (2), lub dokonywania wpisu równoległego, przy czym jego wejście taktujące jest jednocześnie wyjściem układu.

