世界知的所有権機関
国際事務局

PCT

特許協力条約に基づいて公開された国際出願

(51) 国際特許分類6 **G06F 13/28, 13/36**	**A1**	(11) 国際公開番号 **WO98/48357** (43) 国際公開日 1998年10月29日(29.10.98)

(21) 国際出願番号 PCT/JP98/01857

(22) 国際出願日 1998年4月22日(22.04.98)

(30) 優先権データ
特願平9/104979 1997年4月22日(22.04.97) JP

(71) 出願人（米国を除くすべての指定国について）
株式会社 ソニー・コンピュータエンタテインメント
(SONY COMPUTER ENTERTAINMENT INC.)[JP/JP]
〒107-0052 東京都港区赤坂7丁目1番1号 Tokyo, (JP)
(72) 発明者；および
(75) 発明者／出願人（米国についてのみ）
山本靖之(YAMAMOTO, Yasuyuki)[JP/JP]
〒107-0052 東京都港区赤坂7丁目1番1号
株式会社 ソニー・コンピュータエンタテインメント内
Tokyo, (JP)
(74) 代理人
弁理士 小池 晃, 外(KOIKE, Akira et al.)
〒105-0001 東京都港区虎ノ門二丁目6番4号 第11森ビル
Tokyo, (JP)

(81) 指定国 AU, CA, CN, KR, MX, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

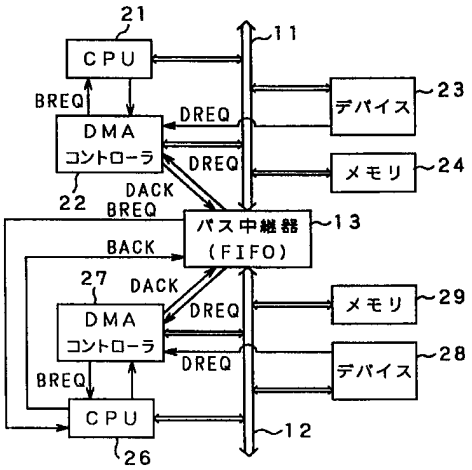
添付公開書類
国際調査報告書

(54)Title: DATA TRANSFER METHOD AND DEVICE

(54)発明の名称 データ転送方法及び装置

(57) Abstract

The first bus (11) and the second bus (12) are interconnected via the bus repeater (13) having a buffer memory, with DMA (direct memory access) controllers (22, 27) connected to respective buses (11 and 12). The bus repeater (13) can send DMA requests to the DMA controllers (22, 27), and the CPUs (21, 26) can mask these DMA requests. The DMA controller (22) DMA-transfers data on the bus (11) to and from the buffer memory in the bus repeater (13). The DMA controller (27) DMA-transfers data between the buffer memory and the bus (12). The CPU (21) can mask the DMA request from the bus repeater (13) and directly accesses the buffer to check the DMA function. This facilitates debugging of a system to be DMA-transferred between different buses through the buffer.



13 ... Bus repeater (FIFO)
22 ... DMA controller
23 ... Device
24 ... Memory
27 ... DMA controller
29 ... Memory

(57)要約

第１のバス１１と第２のバス１２とはバッファメモリを有するバス中継器１３を介して接続され、各バス１１、１２にはＤＭＡ（ダイレクトメモリアクセス）コントローラ２２、２７が接続される。バス中継器１３は各ＤＭＡコントローラ２２、２７にＤＭＡ要求を出すことができ、各ＣＰＵ２２，２７によりこれらのＤＭＡ要求をマスクすることができる。ＤＭＡコントローラ２２は、バス１１上のデータをバス中継器１３内のバッファメモリとの間でＤＭＡ転送し、ＤＭＡコントローラ２７は該バッファメモリとバス１２との間でＤＭＡ転送する。ＣＰＵ２２は、バス中継器１３のＤＭＡ要求をマスクし、直接バッファをアクセスすることによって、ＤＭＡ機能をチェックすることができる。これによって、異なるバス間でバッファを介してＤＭＡ転送するシステムのデバッグを容易に行う。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AL アルバニア
AM アルメニア
AT オーストリア
AU オーストラリア
AZ アゼルバイジャン
BA ボズニア・ヘルツェゴビナ
BB バルバドス
BE ベルギー
BF ブルギナ・ファソ
BG ブルガリア
BJ ベナン
BR ブラジル
BY ベラルーシ
CA カナダ
CF 中央アフリカ
CG コンゴー
CH スイス
CI コートジボアール
CM カメルーン
CN 中国
CU キューバ
CY キプロス
CZ チェッコ
DE ドイツ
DK デンマーク
EE エストニア
ES スペイン
FI フィンランド
FR フランス
GA ガボン
GB 英国
GD グレナダ
GE グルジア
GH ガーナ
GM ガンビア
GN ギニア
GW ギニア・ビサオ
GR ギリシャ
HR クロアチア
HU ハンガリー
ID インドネシア
IE アイルランド
IL イスラエル
IS アイスランド
IT イタリア
JP 日本
KE ケニア
KG キルギスタン
KP 北朝鮮
KR 韓国
KZ カザフスタン
LC セントルシア
LI リヒテンシュタイン
LK スリ・ランカ
LR リベリア
LS レソト
LT リトアニア
LU ルクセンブルグ
LV ラトヴィア
MC モナコ
MD モルドヴァ
MG マダガスカル
MK マケドニア旧ユーゴスラヴィア共和国
ML マリ
MN モンゴル
MR モーリタニア
MW マラウイ
MX メキシコ
NE ニジェール
NL オランダ
NO ノールウェー
NZ ニュー・ジーランド
PL ポーランド
PT ポルトガル
RO ルーマニア
RU ロシア
SD スーダン
SE スウェーデン
SG シンガポール
SI スロヴェニア
SK スロヴァキア
SL シエラ・レオネ
SN セネガル
SZ スワジランド
TD チャード
TG トーゴー
TJ タジキスタン
TM トルクメニスタン
TR トルコ
TT トリニダッド・トバゴ
UA ウクライナ
UG ウガンダ
US 米国
UZ ウズベキスタン
VN ヴィェトナム
YU ユーゴースラビア
ZW ジンバブエ

明　細　書

データ転送方法及び装置

技　術　分　野

本発明は、２つの異なるバスにそれぞれ接続されたデバイスやメモリの間でデータを転送するためのデータ転送方法及び装置に関し、特に、データ転送が正常に機能しているか否かの診断が行えるデータ転送方法及び装置に関する。

背　景　技　術

従来において、メインバスとサブバスのような異なるバスをゲートウェイ等のバス中継器を介して接続し、メインバスに設けられたＤＭＡ（ダイレクトメモリアクセス）コントローラによりこれらのバス間でデータのＤＭＡ転送を行うものが知られている。

例えば、図１に示すような構成において、メインバス１０１とサブバス１０２とはそれぞれバスゲートウェイ等のバス中継器１０３に接続されている。メインバス１０１には、ＣＰＵや各種インターフェース等のデバイス１０４、ＤＭＡコントローラ１０５が接続され、サブバス１０２には、デバイス１０６、ＲＯＭ等のメモリ１０７が接続される。

この図１の例では、メインバス１０１上のＤＭＡコントローラ１０５がバス中継器１０３を介してサブバス１０２も制御することに

より、例えばデバイス１０４とデバイス１０６との間のＤＭＡ転送を実現している。このように、異なるバス１０１、１０２間であっても、それぞれのバスのアクセス時間が同じ程度であれば、無駄な待ち時間がなく、効率の良いデータ転送を行うことができる。

ところで、１つのシステム内で異なるバスが共存する場合には、バス幅やデータアクセス速度が異なることが多く、例えば図１の例では、メインバス１０１が３２ビット幅で高速、サブバス１０２が１６ビット幅で低速となっている。

このように、バス幅やデータアクセス速度が異なるバス間でＤＭＡ転送を行わせる場合には、高速のバス、例えば図１のメインバス１０１上で無駄な待ち時間を生じさせてしまうという欠点がある。

そこで、２つの異なるバス間をバッファメモリを介して接続し、このバッファメモリを介してＤＭＡ転送を行うことが考えられるが、ＤＭＡ転送が正常に機能しているか否かを診断しようとすると、それぞれのバスのＣＰＵをデバッグモードで走らせなければならず面倒である。

また、データ転送が正常に行われなかった場合、双方のバスのＣＰＵや診断プログラムに欠陥があることが想定されるので、原因の発見が非常に困難になることが多い。

特に、１つのＬＳＩ内にＣＰＵやＤＭＡコントローラ等を設ける場合には、長い開発期間がかかり、診断のスケジュール等も大きな問題となる。

実際にＬＳＩを設計試作する前には周辺機器を含んだソフトウェアシミュレーションを行い、可能な限り多くの機能を確認するわけであるが、シミュレーションには時間がかかることから、十分な検

証ができず、試作ＬＳＩ等ができてから短時間に問題点を洗い出さなければならないという実情もあり、上述したようなデバッグの困難性が製品開発のネックとなることが多い。

さらに、デバイス間でデータ転送を行う場合には、それぞれのデバイスにとって都合のよいデータの並びかたがあり、これに対応するために、余分なデータを切り捨てたり、転送されたデータ列の間に別のデータを挿入したりすることが必要とされる。

メモリ上に展開されたデータ列に対して、上述のような操作をＣＰＵが行おうとすると、一旦ＣＰＵのレジスタに読み込んだ後、また書かなければならないことから、非常に効率が悪く、これはＣＰＵが他の作業を行おうとする時間を削減することにもなり、好ましくない。

ここで、ＤＭＡコントローラがデータ転送時に転送元アドレスや転送先アドレスを毎回変更することも考えられ、この場合には、転送元のアドレスと転送量のリストを用意し、ＤＭＡコントローラが毎回そのリストに従ってＤＭＡ転送を行うわけであるが、転送仕様テーブルをＣＰＵが用意しなければならず、毎回転送仕様をチェックするためのオーバーヘッドが生ずる等の難点がある。

また、上述したような１つのシステム内で異なるバスが共存する場合には、バス幅が異なることが多く、例えば図１の例では、メインバス１０１が３２ビット幅で高速、サブバス１０２が１６ビット幅で低速となっている。このように、バス幅が異なるバス間でＤＭＡ転送を行わせる場合にも、余分なデータを切り捨てたり、転送されたデータ列の間に別のデータを挿入したりすることがあり、この場合にも簡単にデータ構造やアドレスの区切りの変更が行えること

が望ましい。

発　明　の　開　示

本発明は、このような実情に鑑みてなされたものであり、異なる２つのバス間でのＤＭＡ転送機能の診断が容易に行え、問題のある場所の特定が短時間で行えるようなデータ転送方法及び装置の提供を目的とする。

また、本発明の他の目的は、異なる２つのバス間でのデータ転送の際に、ＣＰＵに負担をかけずに簡単に転送データブロックのサイズを変更でき、作業効率の向上を図ることができるようなデータ転送方法及び装置を提供することである。

すなわち、本発明は、上述した課題を解決するために、第１のバス及び第２のバスと、これらの第１のバス及び第２のバスにそれぞれ接続されたバッファメモリを有するバス中継手段と、上記第１のバスに接続された第１のＤＭＡ（ダイレクトメモリアクセス）制御手段と、上記第１のバスに接続された第１のデータ処理手段（ＣＰＵ）とを有し、上記バス中継手段は、上記第１のＤＭＡ制御手段に対してＤＭＡ要求を出す機能と、このＤＭＡ要求を上記第１のデータ処理手段によりマスクする機能とを有し、上記第１のデータ処理手段により、上記バス中継手段のＤＭＡ要求をマスクし、上記バス中継手段内の上記バッファメモリを直接アクセスすることを特徴としている。

ここで、上記第２のバスには、第２のＤＭＡ（ダイレクトメモリアクセス）制御手段と、第２のデータ処理手段（ＣＰＵ）とが接続

され、上記第１、第２のＤＭＡ制御手段は、上記バス中継手段内のバッファメモリに対してデータの読み書きを行うことで上記第１、第２のバス間のデータ転送を行い、上記バス中継手段は、上記第２のＤＭＡ制御手段に対してＤＭＡ要求を出す機能と、このＤＭＡ要求を上記第２のデータ処理手段によりマスクする機能とを有し、上記第２のデータ処理手段により、上記バス中継手段のＤＭＡ要求をマスクし、上記バス中継手段内の上記バッファメモリを直接アクセスすることが挙げられる。

この場合、上記第１、第２のデータ処理手段（ＣＰＵ）の一方により、上記バス中継器における他方のバス上のＤＭＡ要求をマスクし、上記他方のバス上から上記バス中継器内の上記バッファメモリをアクセスすることが挙げられる。

また、本発明は、互いに異なる第１のバスと第２のバスとの間をバッファメモリを有するバス中継手段を介して接続し、第１のバスに第１のＤＭＡ（ダイレクトメモリアクセス）制御手段を、第２のバスに第２のＤＭＡ制御手段をそれぞれ接続し、これらの第１、第２のＤＭＡ制御手段により、第１のバスに接続されたメモリやデバイスと第２のバスに接続されたメモリやデバイスとの間のＤＭＡ転送を、上記バッファメモリを介して行わせると共に、上記バス中継手段からの上記第１又は上記第２のＤＭＡ制御手段へのＤＭＡ要求をデータ処理手段（ＣＰＵ）によりマスクし、上記データ処理手段により上記バス中継手段内の上記バッファメモリを直接アクセスすることを特徴としている。

この場合、上記第１のバスに第１のデータ処理手段を、上記第２のバスに第２のデータ処理手段をそれぞれ設け、上記第１のバス上

のＤＭＡ要求を上記第１のデータ処理手段がマスクし、上記第２のバス上のダイレクトメモリアクセス要求を上記第２のデータ処理手段がマスクし、上記第１、第２のデータ処理手段は、それぞれのバス上の第１、第２のダイレクトメモリアクセス制御手段と同じ転送条件で上記バス中継器内の上記バッファメモリを直接アクセスすることが挙げられる。

さらに、上記第２のバス上のＤＭＡ要求を上記第１のデータ処理手段がマスクし、上記第１のデータ処理手段は、第２のバス側から上記バス中継器内の上記バッファメモリを直接アクセスすることが挙げられる。

第１、第２のバス上の各ＤＭＡ制御手段により、各バス上のメモリやデバイスとバス中継手段のバッファメモリとの間でＤＭＡ転送することにより、このバッファメモリを介して、異なるバス上の各メモリやデバイスの間でのＤＭＡ転送が行える。このとき、各バス上のＤＭＡ要求をそれぞれのバス上のデータ処理手段（ＣＰＵ）がマスクし、直接上記バッファメモリをアクセスすることによって、ＤＭＡ機能をチェックすることができる。また、第１のバス上のデータ処理手段が第２のバス上のＤＭＡ要求をマスクし、第２のバス側から上記バッファメモリをアクセスすることによって、第２のバスのＤＭＡ機能をチェックすることができる。

また、本発明は、上述した課題を解決するために、互いに異なる第１のバスと第２のバスとをバッファメモリを有するバス中継手段を介して接続し、上記第１のバスと上記第２のバスとの間でのデータ転送を上記バス中継手段内のバッファメモリを介して行い、上記バス中継手段はデータ転送時にダミーデータを付加することにより

転送データブロックのサイズを大きくすること、又は、上記バス中継手段はデータ転送時に一部のデータを省略することにより転送データブロックのサイズを小さくすることを特徴とする。

ここで、上記第１のバスに接続された第１のダイレクトメモリアクセス制御手段により、上記第１のバスと上記バス中継手段内のバッファメモリとの間でデータ転送制御し、上記第２のバスに接続された第２のダイレクトメモリアクセス制御手段により、上記第２のバスと上記バス中継手段内のバッファメモリとの間でデータ転送制御することが挙げられる。また、上記バス中継手段は、データ転送時に上記バッファメモリ内のデータがなくなっても出力要求がきているときにダミーデータを出力することにより転送データブロックのサイズを大きくしたり、データ転送時に出力側のデータ転送が終了した時点で上記バッファメモリ内のデータが残存しているときに、該残存データを破棄することにより転送データブロックのサイズを小さくすることが挙げられる。

転送を仲介するバス中継器に、転送データのブロックサイズを大きくしたり、小さくしたりする機能を付加することにより、データ転送時に簡単なデータ構成の変更を行うことができる。

図面の簡単な説明

図１は、２バスを用いるシステムの従来例を示すブロック図である。

図２は、本発明の実施の形態の概略構成を示すブロック図である。

図３は、本発明の実施の形態に用いられるバス中継器の内部構成

の一例を示すブロック図である。

図４は、本発明の実施の形態の動作の一例を説明するためのフローチャートである。

図５は、本発明の実施の形態の動作の他の例を説明するためのフローチャートである。

図６は、転送前のデータ列の具体例を示す図である。

図７は、転送の際に一部を省略して得られたデータ列の具体例を示す図である。

図８は、転送の際に別のデータを追加して得られたデータ列の具体例を示す図である。

図９は、テクスチャ画像上の転送すべきデータ領域の一例を示す図である。

図１０は、図９のメモリ上でのデータ配列を示す図である。

図１１は、いくつかのデータ列にヘッダを付加した一例を示す図である。

図１２は、図１１で付加されるヘッダの具体例を示す図である。

図１３は、本発明の実施の形態が適用されたシステムの一例を示すブロック図である。

発明を実施するための最良の形態

以下、本発明に係る実施の形態について、図面を参照しながら説明する。

図２は、本発明に係る実施の形態となるデータ転送方法が適用されるシステム構成をを示すブロック図である。

この図２において、第１のバス１１及び第２のバス１２は、ＦＩＦＯ等のバッファメモリを用いて成るバス中継器１３にそれぞれ接続され、このバス中継器１３を介してバス１１、１２間で互いにデータの転送を行うことができる。第１のバス１１には、ＣＰＵ２１、ＤＭＡ（ダイレクトメモリアクセス）コントローラ２２、デバイス２３、メモリ２４等が接続されており、第２のバス１２には、ＣＰＵ２６、ＤＭＡコントローラ２７、デバイス２８、メモリ２９等が接続されている。

デバイス２３はＤＭＡコントローラ２２に対して、デバイス２８はＤＭＡコントローラ２７に対して、それぞれＤＭＡ要求を出すことができる。これらのデバイス２３，２８としては、例えば、画像や音声のエンコーダ、デコーダ、グラフィック処理のためのグラフィックエンジン、画像処理や音声処理ＩＣ等、あるいは、それぞれのインターフェースを介してのハードディスク装置、光磁気ディスク装置、フロッピィディスク装置、ＣＤ－ＲＯＭ装置等の周辺機器を挙げることができる。バス中継器１３は、ＤＭＡコントローラ２２、２７に対してそれぞれＤＭＡ要求（DREQ：ＤＭＡリクエスト）を出すことができる。これらのＤＭＡ要求は、複数のＤＭＡチャネルの内のどのＤＭＡチャネルかを指定することができる。また、バス中継器１３は、例えばバス１２上のＣＰＵ２６に対してバス１２の使用権の要求（BREQ：バスリクエスト）を出し、ＣＰＵ２６からのバス使用許可の応答（BACK：バスアクノリッジ）を受け取ることができる。

このような図２のシステムに用いられるバス中継器１３の構成の一例を図３に示す。この図３において、上記図２の第１のバス１１

はデータバス１１ａとアドレス・制御バス１１ｂとに分けて、上記第２のバス１２はデータバス１２ｂとアドレス・制御バス１２ｂとに分けて示されている。バス中継器１３内には、第１のバス１１のデータバス１１ａに接続される内部バス３１と、第２のバス１２のデータバス１２ａに接続される内部バス３２とが設けられ、これらの内部バス３１，３２には、ＦＩＦＯ（First In First Out：先入れ先出し）メモリ３３が接続されている。さらにバッファ制御ユニット３４をこれらの内部バス３１，３２に接続するようにしてもよい。バッファ制御ユニット３４は、第１のバス１１のアドレス・制御バス１１ｂ、及び第２のバス１２のアドレス・制御バス１２ｂとも接続されている。また、バッファ制御ユニット３４には、上記図２のＤＭＡコントローラ２２，２７との間でＤＭＡ要求（DREQ）やチャネル指定等を行うための制御信号ラインが接続されている。

マスクフラグ３５は、バス１１側のＤＭＡを禁止するためのフラグであり、図２のＣＰＵ２１の制御によって、このフラグがＯＮあるいは“１”になっているときは、バッファ制御ユニット３４から図２のＤＭＡコントローラ２２へのＤＭＡ要求（DREQ）は出力されない。マスクフラグ３６は、バス１２側のＤＭＡを禁止するためのフラグであり、図２のＣＰＵ２６によってこのフラグがＯＮあるいは“１”になっているときは、バッファ制御ユニット３４から図２のＤＭＡコントローラ２７へのＤＭＡ要求（DREQ）は出力されない。

ＤＲＥＱビット３７及び３８は、それぞれのバス１１及び１２に対するＤＭＡ要求のＯＮ／ＯＦＦ（あるいは“１”／“０”）を表すフラグで、ＣＰＵ２１、２２のいずれからも読むことができる。これらのＤＲＥＱビット３７及び３８のフラグは、上記マスクフラ

グ３５，３６がＯＮであってもマスクされず、バス中継器１３から各ＤＭＡコントローラ２２，２７へのＤＭＡ要求（DREQ）に現れないＤＭＡ要求の状態を各ＣＰＵ２１，２６で読み取ることができる。

バスゲートウェイ３９は、図２のバス１１側のＣＰＵ２１が、バス１２をアクセスするために内部バス３１と３２とを接続するものである。これらのマスクフラグ３５，３６、ＤＲＥＱビット３７，３８、及びバスゲートウェイ３９は、バッファ制御ユニット３４と接続されている。

この図３に示すバス中継器１３において、ＦＩＦＯメモリ３３は、バッファの役割を果たすメモリであり、バッファ制御ユニット３４によって、アクセスされるバス１１，１２、すなわちこれらに接続された内部バス３１，３２に対してデータの入出力を制御される。バッファ制御ユニット３４は、ＦＩＦＯメモリ３３のバスアクセス動作を制御すると共に、各バス１１，１２のＤＭＡコントローラ２２，２７に対してＤＭＡ要求（DREQ）を出し、その応答（DACK：ＤＭＡアクノリッジ）を受け取る。このＤＭＡ要求は、複数のＤＭＡチャネルの１つを指定して出すことができる。ＤＭＡコントローラ２２，２７からのＤＭＡチャネル選択情報もこのバッファ制御ユニット３４に送られる。

また、例えばＣＰＵ２１がバス１２のアドレスをアクセスすると、バス中継器１３のバッファ制御ユニット３４がバス１２のＣＰＵ２６に対してバス１２の使用権の要求（BREQ：バスリクエスト）を出す。ＣＰＵ２６は、このバス要求に応じてバス１２の使用を許可する応答（BACK：バスアクノリッジ）をバス中継器１３のバッファ制御ユニット３４に送る。この後、ＣＰＵ２１はバス中継器１３の内

部バス３２側のマスクフラグ３６、ＦＩＦＯ３３、及びバス１２上のＤＭＡコントローラ２７、デバイス２８、メモリ２９等をアクセスすることができる。

ところで、第１のバス１１と第２のバス１２との間で、バス中継器１３を介してＤＭＡ転送を行う場合には、ＤＭＡコントローラ２２及び２７のＤＭＡの設定（例えばデータサイズ等）が矛盾なく対応している必要がある。ＣＰＵ２１はＤＭＡコントローラ２２に対して、またＣＰＵ２６はＤＭＡコントローラ２７に対して、それぞれのバス上のＤＭＡの設定を行う。

例えば、第１のバス１１のメモリ２４から第２のバス１２のメモリ２８にＤＭＡによるデータ転送を行う場合、第１のバス１１のＤＭＡコントローラ２２にはメモリ２４からバス中継器１３へのＤＭＡについて、また第２のバス１２のＤＭＡコントローラ２７にはバス中継器１３からメモリ２９へのＤＭＡについて、それぞれ同じデータサイズ（データ量）で対応するＤＭＡチャネルとなるように設定されることが必要である。これらの設定がされた後の処理手順は、図４のようになる。

この図４において、最初のステップＳ６１で、バス中継器１３からＤＭＡコントローラ２２に対してＤＭＡ要求（DREQ）を行う。次のステップＳ６２で、ＤＭＡコントローラ２２はＣＰＵ２１にバス１１の使用権の要求（BREQ）を行ってバス使用権をもらい、メモリ２４からバス中継器１３へのＤＭＡ転送を行う。次のステップＳ６３では、バス中継器１３はＤＭＡコントローラ２７に対してＤＭＡ要求（DREQ）を行う。次のステップＳ６４では、ＤＭＡコントローラ２７はＣＰＵ２６にバス１２の使用権の要求（BREQ）を行ってバ

ス使用権をもらい、バス中継器１３からメモリ２９へのＤＭＡ転送を行う。

また、第２のバス１２上のデバイス２８から第１のバス１１上のデバイス２３にデータをＤＭＡ転送する場合には、ＤＭＡコントローラ２７にはデバイス２８からバス中継器１３へのＤＭＡについて、またＤＭＡコントローラ２２にはバス中継器１３からデバイス２３へのＤＭＡについて、それぞれ同じデータサイズで対応するＤＭＡチャネルとなるように設定されることが必要である。これらの設定がされた後の処理手順は、図５のようになる。

この図５の最初のステップＳ７１において、第２のバス１２上のデバイス２８はＤＭＡコントローラ２７に対してＤＭＡ要求（DREQ）を行う。次のステップＳ７２で、バス中継器１３はＤＭＡコントローラ２７に対してＤＭＡ要求（DREQ）を行う。ステップＳ７３で、ＤＭＡコントローラ２７は、デバイス２８及びバス中継器１３からの各ＤＭＡ要求を受けたことに応じて、ＣＰＵ２６にバス１２の使用権の要求（BREQ）を行ってバス使用権をもらい、デバイス２８からバス中継器１３へのＤＭＡ転送を行う。このとき、ＣＰＵ２６がバス要求（BREQ）に応じてバスを開放したときの応答をＤＭＡコントローラ２７に返し、ＤＭＡコントローラ２７はＤＭＡアクノリッジ（DACK）をバス中継器１３等に返すことは、通常のＤＭＡ転送と同様である。次のステップＳ７４で、バス中継器１３が第１のバス１１上のＤＭＡコントローラ２２に対してＤＭＡ要求（DREQ）を行い、ステップＳ７５で、デバイス２３がＤＭＡコントローラ２２に対してＤＭＡ要求（DREQ）を行う。次のステップＳ７６で、ＤＭＡコントローラ２２は、デバイス２３及びバス中継器１３からの各Ｄ

ＭＡ要求を受けたことに応じて、ＣＰＵ２１にバス１１の使用権の要求（BREQ）を行ってバス使用権をもらい、バス中継器１３からデバイス２３へのＤＭＡ転送を行う。

なお、バス中継器１３のＦＩＦＯ等のメモリ容量は有限なので、それを超える大きさのデータを転送する場合には、ＤＭＡコントローラ２２、２７に分割転送の設定をして、上記ステップＳ６１からＳ６４まで、あるいはステップＳ７１からＳ７６までを繰り返せばよい。この分割転送の際の１回の転送単位（ブロック）は、バス中継器１３のメモリ容量によって決まる。

従って、バス中継器１３のバッファメモリを介して２つのバス１１，１２間でＤＭＡ転送を行わせることにより、異なるバス間のＤＭＡを無駄な待ち時間を発生させることなく行うことができる。また、複数のＤＭＡチャネルを同時に動作可能にすることにより、ＣＰＵの処理を簡素化し、平易なプログラミングと少ないオーバーヘッドを実現できる。また、バス間の中継器のバッファを効率よく活用することができる。さらに、マルチスレッドのプログラムを簡単に書くことができる。

ところで、例えばＣＰＵ２１がバス１２をアクセスするとき、バス中継器１３がＣＰＵ２６に対してバス１２の使用権の要求（BREQ）を出し、その応答（BACK）を受け取って、バス１２上のＤＭＡコントローラ２７、デバイス２８、メモリ２９等をアクセスする。

このとき、図３のＦＩＦＯ３３は、マスクフラグ３５，３６により各ＤＭＡコントローラ２２，２７へのＤＭＡ要求（DREQ）の出力を禁止したときに、それぞれのバス１１，１２でＩ／Ｏアクセスが可能となるわけであるが、このＩ／Ｏアクセスは、ＤＭＡの処理と

矛盾なく同等に行われなければならない。従って、任意にアクセスできるわけではなく、ＤＭＡのアクセスと同じ条件で許可されることになる。このＩ／Ｏアクセスの条件の一例を次の表１に示す。

表１

信号及びフラグの状態						２１ｱｸｾｽ		２２ｱｸｾｽ	
３７	３８	３５	３６	BACK	転送方向	読出	書込	読出	書込
0	0	*	*	*	*	×	×	×	×
1	0	0	*	*	*	×	×	×	×
1	0	1	*	*	１２→１１	○	×	×	×
1	0	1	*	*	１１→１２	×	○	×	×
0	1	*	0	*	*	×	×	×	×
0	1	*	1	0	１２→１１	×	×	○	×
0	1	*	1	0	１１→１２	×	×	×	○
0	1	*	1	1	１２→１１	○	×	×	×
0	1	*	1	1	１１→１２	×	○	×	×

この表１の「信号及びフラグの状態」の欄の「＊」は、任意(Don't care) の状態を表している。

ここで、ＤＭＡ機能を診断する条件としては、以下のような場合が考えられる。

条件＃１：バス１１，バス１２共に、ＤＭＡコントローラ２２，２７を用いてデータ転送する。

条件＃２：バス１１側だけ、ＣＰＵ２１がＩ／Ｏアクセスでデー

タの授受を行う。

条件＃３：バス１２側だけ、ＣＰＵ２６がＩ／Ｏアクセスでデータの授受を行う。

条件＃４：バス１１，バス１２側共に、ＣＰＵ２１，２６がＩ／Ｏアクセスでデータの授受を行う。

条件＃５：バス１２側のデバイスが存在せず、あるいはバス１２側のデバイスを用いず、バス１１側はＤＭＡコントローラ２２によるＤＭＡで、バス１２側はＣＰＵ２１がＩ／Ｏアクセスでデータ転送する。

条件＃６：バス１２側のデバイスが存在せず、あるいはバス１２側のデバイスを用いず、バス１１，バス１２側共にＣＰＵ２１がＩ／Ｏアクセスでデータ転送する。

なお、現実のデバッグの順序としては、条件＃６から逆の順にＤＭＡ機能の診断を行うことが想定される。

上述した各条件＃１～＃６の下で、次のような手順でデータ転送を行い、どの条件下で問題が起こるかを調べることによって、不完全なあるいは問題のある機能ユニットを特定することができる。

条件＃１

マスクフラグ３５：ｏｆｆ　、マスクフラグ３６：ｏｆｆ

転送方向　：　＊

CPU２１：DMAC２２に転送の指示

CPU２６：DMAC２７に転送の指示。

条件＃２

マスクフラグ３５：ｏｎ　、マスクフラグ３６：ｏｆｆ

転送方向　：バス１１→バス１２

CPU２６：DMAC２７に転送の指示

CPU２１：DREQﾋﾞｯﾄ37のonを待ってバス中継器１３にﾃﾞｰﾀを書く

転送方向　：バス１２→バス１１

CPU２６：DMAC２７に転送の指示

CPU２１：DREQﾋﾞｯﾄ３７のonを待ってバス中継器１３からﾃﾞｰﾀを読む。

条件＃３

マスクフラグ３５：ｏｆｆ、マスクフラグ３６：ｏｎ

転送方向　：バス１１→バス１２

CPU２１：DMAC２２に転送の指示

CPU２６：DREQﾋﾞｯﾄ３８のonを待ってバス中継器１３からﾃﾞｰﾀを読む

転送方向　：バス１２→バス１１

CPU２１：DMAC２２に転送の指示

CPU２６：DREQﾋﾞｯﾄ38のonを待ってバス中継器１３にﾃﾞｰﾀを書く。

条件＃４

マスクフラグ３５：ｏｎ　、マスクフラグ３６：ｏｎ

転送方向　：バス１１→バス１２

CPU２１：DREQﾋﾞｯﾄ37のonを待ってバス中継器１３にﾃﾞｰﾀを書く

CPU２６：DREQﾋﾞｯﾄ３８のonを待ってバス中継器１３からﾃﾞｰﾀを読む

転送方向　：バス１２→バス１１

CPU２６：DREQﾋﾞｯﾄ38のonを待ってバス中継器１３にﾃﾞｰﾀを書く

CPU２１：DREQﾋﾞｯﾄ３７のonを待ってバス中継器１３からﾃﾞｰﾀを読む。

条件＃５

マスクフラグ３５：ｏｆｆ、マスクフラグ３６：ｏｎ

転送方向　：バス１１→バス１２

CPU２１：DMAC２２に転送の指示

：DREQﾋﾞｯﾄ３８のonを待ってバス中継器１３からﾃﾞｰﾀを読む

転送方向　：バス１２→バス１１

CPU２１：DMAC２２に転送の指示

：DREQﾋﾞｯﾄ38のonを待ってバス中継器１３にﾃﾞｰﾀを書く。

条件＃６

マスクフラグ３５：ｏｎ　、マスクフラグ３６：ｏｎ

転送方向　：バス１１→バス１２

CPU２１：DREQﾋﾞｯﾄ37のonを待ってバス中継器１３にﾃﾞｰﾀを書く

：DREQﾋﾞｯﾄ３８のonを待ってバス中継器１３からﾃﾞｰﾀを読む

転送方向　：バス１２→バス１１

CPU２１：DREQﾋﾞｯﾄ38のonを待ってバス中継器１３にﾃﾞｰﾀを書く

：DREQﾋﾞｯﾄ３７のonを待ってバス中継器１３からﾃﾞｰﾀを読む。

これらの６種類の条件の内のいずれの条件で異常が生じるかを確認することにより、故障個所や問題点の診断をするわけである。なお、バス１２上に転送されたデータは、ＣＰＵ２１がバス１２を直接アクセスすることにより、ＣＰＵ２１のテストプログラムで確認することができる。

従って、このような本発明の実施の形態によれば、異なるバス１

１，１２間のＤＭＡ転送機能を容易にデバッグし、問題のある場所を特定することができる。また、主体となるバス１１上のＣＰＵ２１だけで、機能確認を行うことができ、さらに、他方のバス１２に直接アクセスすることによりＤＭＡ機能以外のデバッグを行うこともできる。

以上の説明をまとめると、本発明の実施の形態によれば、第１のバス及び第２のバスの間にバッファメモリを有するバス中継手段を設け、第１のバスに第１のダイレクトメモリアクセス（ＤＭＡ）制御手段を、第２のバスに第２のダイレクトメモリアクセス制御手段をそれぞれ接続し、これらの第１、第２のダイレクトメモリアクセス制御手段により、第１のバスに接続されたメモリやデバイスと第２のバスに接続されたメモリやデバイスとの間のダイレクトメモリアクセス転送を、上記バッファメモリを介して行わせると共に、上記バス中継手段からの上記第１又は上記第２のダイレクトメモリアクセス制御手段へのダイレクトメモリアクセス要求をデータ処理手段（ＣＰＵ）によりマスクし、上記データ処理手段により上記バス中継手段内の上記バッファメモリを直接アクセスすることにより、このバッファメモリを介して、異なるバス上の各メモリやデバイスの間でのダイレクトメモリアクセス転送が行える。このとき、各バス上のダイレクトメモリアクセス要求をそれぞれのバス上のデータ処理手段（ＣＰＵ）がマスクし、直接上記バッファメモリをアクセスすることによって、ダイレクトメモリアクセス機能をチェックすることができる。また、第１のバス上のデータ処理手段が第２のバス上のダイレクトメモリアクセス要求をマスクし、第２のバス側から上記バッファメモリをアクセスすることによって、第２のバスの

ダイレクトメモリアクセス機能をチェックすることができる。

従って、異なるバス間のダイレクトメモリアクセス転送機能を容易にデバッグし、問題のある場所を特定することができる。また、主体となるバス上のデータ処理手段だけで機能確認を行うことができ、さらに、他方のバスに直接アクセスすることによりダイレクトメモリアクセス機能以外のデバッグを行うこともできる。

次に、異なるバス間でバッファを介してＤＭＡ転送するシステムの転送データのブロックサイズを簡単に変更可能とする例について説明する。

この例において、バス中継器１３は、データ転送時にダミーデータを付加したり、一部のデータを省略することにより、ブロックサイズを変更している。

すなわち、上記図２～図５と共に説明したようなＤＭＡ転送の際に、転送元からの連続したデータ列を全て転送先にそのまま書き込む場合、１回の転送単位（ブロック）は、ＤＭＡコントローラ２２，２７共にバス中継器１３内のＦＩＦＯ３３のサイズと等しく設定することによって最も効率のよい転送が行われる。

バス中継器１３は、バッファ（ＦＩＦＯ３３）に入ってくるデータ量と出て行くデータ量とが異なる場合に、次のような処理を行う機能を有している。

すなわち、第１に、入力されたデータがバッファ（ＦＩＦＯ３３）からなくなってもさらに出力要求がきている場合にはダミーデータを出力する。

第２に、入力されたデータが出力側のＤＭＡが終了した時点でバッファ（ＦＩＦＯ３３）に残っている場合には、残ったデータを破

棄する。

このようなバス中継器１３の機能によって、転送するデータ列の構成を変えることができる。このデータ列の構成の変更としては、ＤＭＡ転送時にダミーデータを追加することによりデータブロックのサイズを大きくすることと、ＤＭＡ転送時に一部のデータを省略することによりデータブロックのサイズを小さくすることが挙げられる。

以下、バス中継器１３のバッファ（ＦＩＦＯ３３）の容量が６４バイトである場合の具体例について説明する。

例えば、図６に示すようなデータ列S_{1A}，S_{1B}，S_{1C}，S_{2A}，…が、図２のメモリ２９に展開されているものとする。このデータ列S_{1A}，S_{1B}，S_{1C}，S_{2A}，…の添字のＡ，Ｂ，Ｃは、それぞれ種類の異なるデータを表し、これらの３種類のデータの内のＢ，Ｃの種類のデータだけを図２のデバイス２３に転送する場合を想定する。このときデバイス２３には、図７に示すようなデータ列を書き込む必要がある。なお、データ列S_{1A}，S_{1B}，S_{1C}，S_{2A}，…の添字の数字１，２，３，…は、１回の転送単位であるデータブロックの番号を示す。

ＤＭＡコントローラ２７には、上記データS_{1A}，S_{1B}，S_{1C}，S_{2A}，…の全ての種類（Ａ，Ｂ，Ｃ）、すなわち３２バイトを１ブロックとして、データ列S_{1B}から３ブロック分を転送するようなＤＭＡ転送の設定を行う。これに対して、ＤＭＡコントローラ２２には、上記Ｂ，Ｃの２種類だけ、すなわち２４バイトを１ブロックとして３ブロック分を転送するように設定する。これによって、種類Ｃのデータ列（S_{1C}，S_{2C}）に続く８バイト（データ列S_{2A}，S_{3A}）

は破棄されるから、結果として、図７に示すようなデータ列をデバイス２３に書き込むことができる。

次に、図２のデバイス２３から図７に示すような書式のデータ列を出力し、これを例えばメモリ２９に展開すると共に図８に示すように種類Ｃのデータ列の後に種類Ｄのデータ列を挿入しようとする場合を想定する。

この場合には、ＤＭＡコントローラ２７には、３６バイトを１ブロックとして３ブロック転送するように設定を行う。このとき、ＤＭＡ転送の結果、上記種類Ｂ，Ｃの２４バイトのデータ列の後に１２バイトのダミーデータが書き込まれるため、図２のＣＰＵ２６は、このダミーデータ領域に上記種類Ｄのデータ列を直接書き込むことができる。すなわち、ＣＰＵ２６は、メモリ２９上でデータをシフトさせる手間を省くことができる。

なお、図２の例えばデバイス２８が図８のようなデータ列を出力し、その内のＢ，Ｃの種類だけのデータ列をデバイス２３に書き込むような場合には、ＤＭＡコントローラ２７にはデータ列の先頭から３６バイトを１ブロックとして３ブロック転送するように設定し、ＤＭＡコントローラ２７には２４バイトを１ブロックとして３ブロック転送するように設定すればよい。

このように、転送を仲介するバス中継器１３に上述した機能を付加するだけで、簡単なデータ構成の変換をデータ列の転送時に行うことができ、システムのパフォーマンスを向上させることができる。

ここで、上述したような余分のデータを切り捨てたり、データ列の間に別のデータを挿入する場合の具体例について、図面を参照しながら説明する。

図９は、コンピュータグラフィックス等の画像処理におけるテクスチャマッピングのためのテクスチャ画像領域を示しており、この広いテクスチャ領域内の一部、例えば図中の斜線部で示す領域T_1，T_2，T_3，T_4を転送することを想定する。このテクスチャ画像は、メモリ上で例えば図１０のように展開され、このメモリ上での一部領域T_1，T_2，T_3，T_4のデータを転送するときに、余分なデータを切り捨てることが必要とされる。

また、データ付加の例としては、図１１に示すようにいくつかのデータ列、例えばポリゴンデータにヘッダを付加する場合が挙げられる。すなわち、ポリゴンデータは、頂点数、シェーディング、テクスチャの有無などによってデータ列の大きさが異なり、また、テクスチャデータとの区別や転送先の区別などのために、ヘッダ（GPUIFtag）を付けることがある。ＧＰＵ（グラフィックプロセッサユニット）のインターフェースＧＰＵＩＦにより転送されるデータは、先頭のヘッダ（GPUIFtag）と、後続するデータとで構成されるプリミティブと称されるデータの一まとまりを基本単位とし、また一括処理される複数のプリミティブをまとめてＧＰＵパケットという。図１２は、上記ヘッダ（GPUIFtag）の構成例を示しており、ＭＳＢから順に、レジスタ記述子REGS、レジスタ記述子数NREG、データ形式FLG 等から成っている。このように、ポリゴンデータにヘッダ（GPUIFtag）を付加する場合に、データ列の間に別のデータを挿入することが必要とされる。

以上のような簡単なデータ構成の変換を必要とする場合に、上述した本発明の実施の形態を用いることにより、メモリ上にＤＭＡ転送されたデータ列あるいはメモリ上のＤＭＡ転送されようとしてい

るデータ列をＣＰＵが並べ替えるといった効率の悪い作業を省くことができ、システムのパフォーマンスが向上する。また、異なるデータフォーマットのデバイス間のＤＭＡ転送を行うことができる。さらに、特別な仕様の転送元アドレスや転送量のテーブルを用意したり、テーブルを参照したりする作業を省略できる。

以上の説明から明らかなように、本発明の実施の形態の図６～図１１と共に説明した例によれば、第１のバス及び第２のバスの間にバッファメモリを有するバス中継手段を設け、上記第１のバスと上記第２のバスとの間でのデータ転送を上記バス中継手段内のバッファメモリを介して行い、上記バス中継手段は、データ転送時にダミーデータを付加することにより転送データブロックのサイズを大きくすること、又は、データ転送時に一部のデータを省略することにより転送データブロックのサイズを小さくすることにより、データ転送時に簡単なデータ構成の変更を行うことができ、システムのパフォーマンスを向上させることができる。

また、上記第１のバスに第１のダイレクトメモリアクセス制御手段を接続して、上記第１のバスと上記バス中継手段内のバッファメモリとの間でデータ転送制御し、上記第２のバスに第２のダイレクトメモリアクセス制御手段を接続して、上記第２のバスと上記バス中継手段内のバッファメモリとの間でデータ転送制御するようにし、上記バス中継手段としては、データ転送時に上記バッファメモリ内のデータがなくなっても出力要求がきているときにダミーデータを出力する機能と、データ転送時に出力側のデータ転送が終了した時点で上記バッファメモリ内のデータが残存しているときに該残存データを破棄する機能とを持たせることにより、データ転送されたあ

るいはデータ転送されようとしているメモリ上のデータをＣＰＵ等が並べ替え処理するような効率の悪い作業を省くことができ、またデータ転送のための転送元アドレスや転送量等の特別の転送仕様テーブルを用意したり参照したりする手間が省ける。また、異なるデータフォーマットのデバイス間のデータ転送を行うことができる。

次に、図１３は、上述したような本発明の実施の形態が適用されるシステムの一例を示し、このシステムにおいては、高速の画像処理を行うためのメインバス１１１と、ＣＤ－ＲＯＭドライブ等の低速な周辺デバイスが接続されるサブバス１１２とを、ＦＩＦＯ等のバッファメモリを有するバス中継器１１３を介して接続している。

すなわち、図１３において、高速のメインバス１１１には、メインＣＰＵ１２１と、ＤＭＡコントローラ１２２と、高速画像処理のためのグラフィックエンジン１２３と、メインメモリ１２４とが接続され、比較的低速のサブバス１２２には、サブＣＰＵ１２６と、ＤＭＡコントローラ１２７と、ＣＤ－ＲＯＭ等のデータ記録媒体１２８と、サブメモリ１２９とが接続されている。これらのメインバス１１１とサブバス１１２とは、上述したようなＦＩＦＯ等のバッファメモリを有するバス中継器１１３を介して接続され、このバス中継器１１３は、ＤＭＡコントローラ１２２、１２７に複数のＤＭＡチャネルに対応する複数種類のＤＭＡ要求、例えば３種類のＤＭＡ要求を出すことができる。このバス中継器１１３の具体的な構成及び動作は、上記図２～図５と共に説明した実施の形態のバス中継器１３と同様とすればよいため、説明を省略する。

このように、高速バスと低速バスとの間でＤＭＡ転送する場合に、高速バス上で無駄な待ち時間を生じさせることなくデータ転送が行

え、ＣＰＵの処理を簡素化できる。また、異なるバス間のＤＭＡ転送機能のデバッグを容易に行うことができる。

なお、本発明は上記実施の形態のみに限定されるものではなく、例えば、上記実施の形態では、第１のバスと第２のバスとの間で双方向のＤＭＡ転送を行う例について説明したが、第１のバスから第２のバスへのＤＭＡ転送のみ、あるいは第２のバスから第１のバスへのＤＭＡ転送のみを行う場合にも本発明を適用できる。また、ＤＭＡチャネル数、各バスに接続される回路等は実施の形態に限定されないことは勿論である。

請 求 の 範 囲

1． 互いに異なる第1のバスと第2のバスとをバッファメモリを有するバス中継手段を介して接続し、

上記第1のバスに接続された第1のダイレクトメモリアクセス制御手段により、上記第1のバスと上記バス中継手段内のバッファメモリとの間でデータ転送制御し、

上記第2のバスに接続された第2のダイレクトメモリアクセス制御手段により、上記第2のバスと上記バス中継手段内のバッファメモリとの間でデータ転送制御し、

上記バス中継手段からの上記第1又は上記第2のダイレクトメモリアクセス制御手段へのダイレクトメモリアクセス要求をデータ処理手段によりマスクし、上記データ処理手段により上記バス中継手段内の上記バッファメモリを直接アクセスすること

を特徴とするデータ転送方法。

2． 上記データ処理手段としては、上記第1のバスに第1のデータ処理手段が、上記第2のバスに第2のデータ処理手段がそれぞれ設けられ、

上記第1のバス上のダイレクトメモリアクセス要求を上記第1のデータ処理手段がマスクし、

上記第2のバス上のダイレクトメモリアクセス要求を上記第2のデータ処理手段がマスクし、

上記第1、第2のデータ処理手段は、それぞれのバス上の第1、第2のダイレクトメモリアクセス制御手段と同じ転送条件で上記バ

ス中継器内の上記バッファメモリを直接アクセスすること

を特徴とする請求の範囲第１項記載のデータ転送方法。

３．　上記データ処理手段として、上記第１のバスに第１のデータ処理手段が設けられ、

上記第２のバス上のダイレクトメモリアクセス要求を上記第１のデータ処理手段がマスクし、

上記第１のデータ処理手段は、第２のバス側から上記バス中継器内の上記バッファメモリを直接アクセスすること

を特徴とする請求の範囲第１項記載のデータ転送方法。

４．　第１のバス及び第２のバスと、

これらの第１のバス及び第２のバスにそれぞれ接続されたバッファメモリを有するバス中継手段と、

上記第１のバスに接続された第１のダイレクトメモリアクセス制御手段と、

上記第１のバスに接続された第１のデータ処理手段とを有し、

上記バス中継手段は、上記第１のダイレクトメモリアクセス制御手段に対してダイレクトメモリアクセス要求を出す機能と、このダイレクトメモリアクセス要求を上記第１のデータ処理手段によりマスクする機能とを有し、

上記第１のデータ処理手段により、上記バス中継手段のダイレクトメモリアクセス要求をマスクし、上記バス中継手段内の上記バッファメモリを直接アクセスすること

を特徴とするデータ転送装置。

５．　上記第２のバスには、第２のダイレクトメモリアクセス制御手段と、第２のデータ処理手段とが接続され、

上記第１、第２のダイレクトメモリアクセス制御手段は、上記バス中継手段内のバッファメモリに対してデータの読み書きを行うことで上記第１、第２のバス間のデータ転送を行い、

上記バス中継手段は、上記第２のダイレクトメモリアクセス制御手段に対してダイレクトメモリアクセス要求を出す機能と、このダイレクトメモリアクセス要求を上記第２のデータ処理手段によりマスクする機能とを有し、

上記第２のデータ処理手段により、上記バス中継手段のダイレクトメモリアクセス要求をマスクし、上記バス中継手段内の上記バッファメモリを直接アクセスすること

を特徴とする請求の範囲第４項記載のデータ転送装置。

６．　上記第１、第２のデータ処理手段の一方により、上記バス中継器における他方のバス上のダイレクトメモリアクセス要求をマスクし、上記他方のバス上から上記バス中継器内の上記バッファメモリをアクセスすること

を特徴とする請求の範囲第５項記載のデータ転送装置。

７．　互いに異なる第１のバスと第２のバスとをバッファメモリを有するバス中継手段を介して接続し、

上記第１のバスと上記第２のバスとの間でのデータ転送を上記バス中継手段内のバッファメモリを介して行い、

上記バス中継手段はデータ転送時にダミーデータを付加することにより転送データブロックのサイズを大きくすること

を特徴とするデータ転送方法。

８．　上記第１のバスに接続された第１のダイレクトメモリアクセス制御手段により、上記第１のバスと上記バス中継手段内のバッフ

ァメモリとの間でデータ転送制御し、

上記第２のバスに接続された第２のダイレクトメモリアクセス制御手段により、上記第２のバスと上記バス中継手段内のバッファメモリとの間でデータ転送制御し、

上記バス中継手段は、データ転送時に上記バッファメモリ内のデータがなくなっても出力要求がきているときにダミーデータを出力すること

を特徴とする請求の範囲第７項記載のデータ転送方法。

９．　上記バス中継手段はデータ転送時に一部のデータを省略することにより転送データブロックのサイズを小さくすること

を特徴とする請求の範囲第７項記載のデータ転送方法。

１０．　互いに異なる第１のバスと第２のバスとをバッファメモリを有するバス中継手段を介して接続し、

上記第１のバスと上記第２のバスとの間でのデータ転送を上記バス中継手段内のバッファメモリを介して行い、

上記バス中継手段はデータ転送時に一部のデータを省略することにより転送データブロックのサイズを小さくすること

を特徴とするデータ転送方法。

１１．　上記第１のバスに接続された第１のダイレクトメモリアクセス制御手段により、上記第１のバスと上記バス中継手段内のバッファメモリとの間でデータ転送制御し、

上記第２のバスに接続された第２のダイレクトメモリアクセス制御手段により、上記第２のバスと上記バス中継手段内のバッファメモリとの間でデータ転送制御し、

上記バス中継手段は、データ転送時に出力側のデータ転送が終了

した時点で上記バッファメモリ内のデータが残存しているときに、該残存データを破棄すること

を特徴とする請求の範囲第１０項記載のデータ転送方法。

１２．　第１のバス及び第２のバスと、

これらの第１のバス及び第２のバスにそれぞれ接続されたバッファメモリを有するバス中継手段と、

上記第１のバスに接続された第１のダイレクトメモリアクセス制御手段と、

上記第２のバスに接続された第２のダイレクトメモリアクセス制御手段とを有し、

上記バス中継手段は、データ転送時に上記バッファメモリ内のデータがなくなっても出力要求がきているときにダミーデータを出力すること

を特徴とするデータ転送装置。

１３．　上記バス中継手段は、データ転送時に出力側のデータ転送が終了した時点で上記バッファメモリ内のデータが残存しているときに、該残存データを破棄すること

を特徴とする請求の範囲第１２項記載のデータ転送方法。

１４．　第１のバス及び第２のバスと、

これらの第１のバス及び第２のバスにそれぞれ接続されたバッファメモリを有するバス中継手段と、

上記第１のバスに接続された第１のダイレクトメモリアクセス制御手段と、

上記第２のバスに接続された第２のダイレクトメモリアクセス制御手段とを有し、

上記バス中継手段は、データ転送時に出力側のデータ転送が終了した時点で上記バッファメモリ内のデータが残存しているときに、該残存データを破棄すること

を特徴とするデータ転送装置。

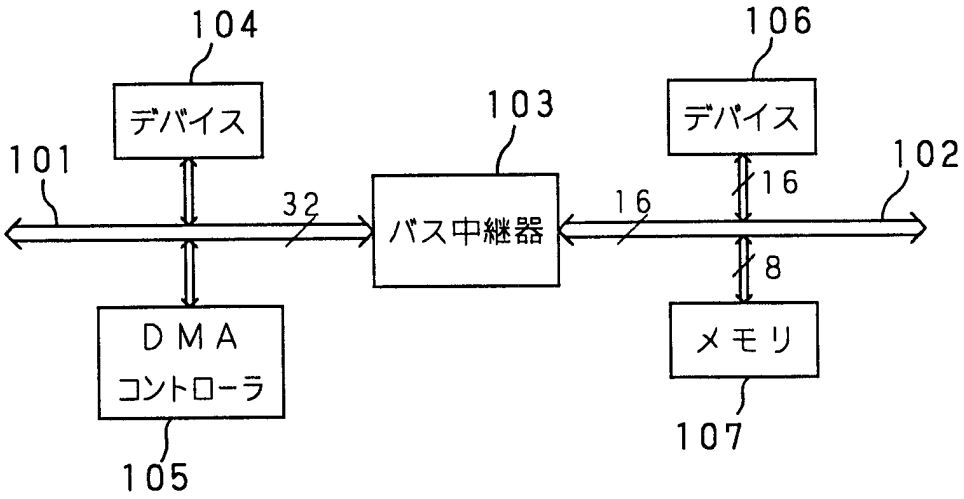

104
デバイス
106
デバイス
103
101
102
32
バス中継器
16
16
8
DMA
コントローラ
メモリ
105
107

FIG. 1

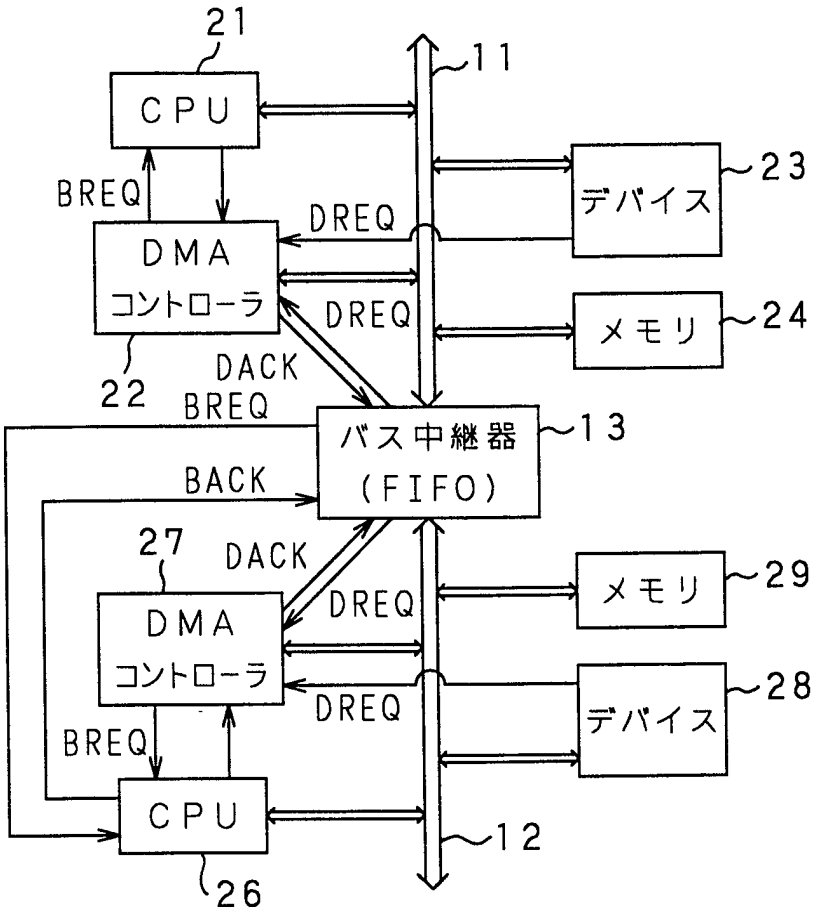

21
CPU
11
BREQ
DREQ
DMA
コントローラ
デバイス
23
DREQ
メモリ
24
DACK
22
BREQ
バス中継器
(FIFO)
13
BACK
27
DACK
DREQ
DMA
コントローラ
メモリ
29
DREQ
デバイス
28
BREQ
CPU
12
26

FIG. 2

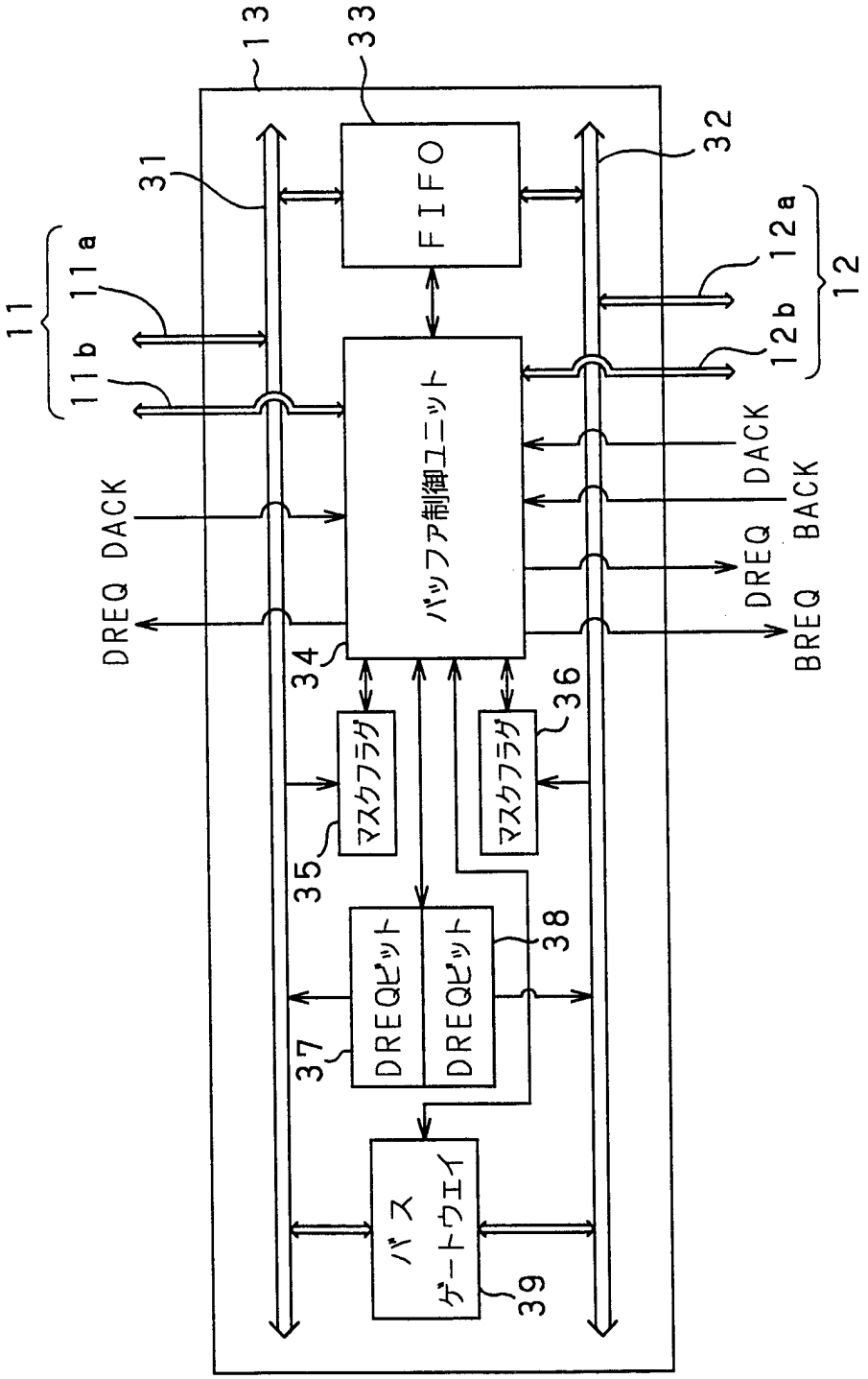

13
33
FIFO
32
31
11
11a
11b
12
12a
12b
バッファ制御ユニット
DREQ DACK
DREQ BACK
34
36
マスクフラグ
マスクフラグ
35
37
38
DREQビット
DREQビット
バス
ゲートウェイ
39

FIG. 3

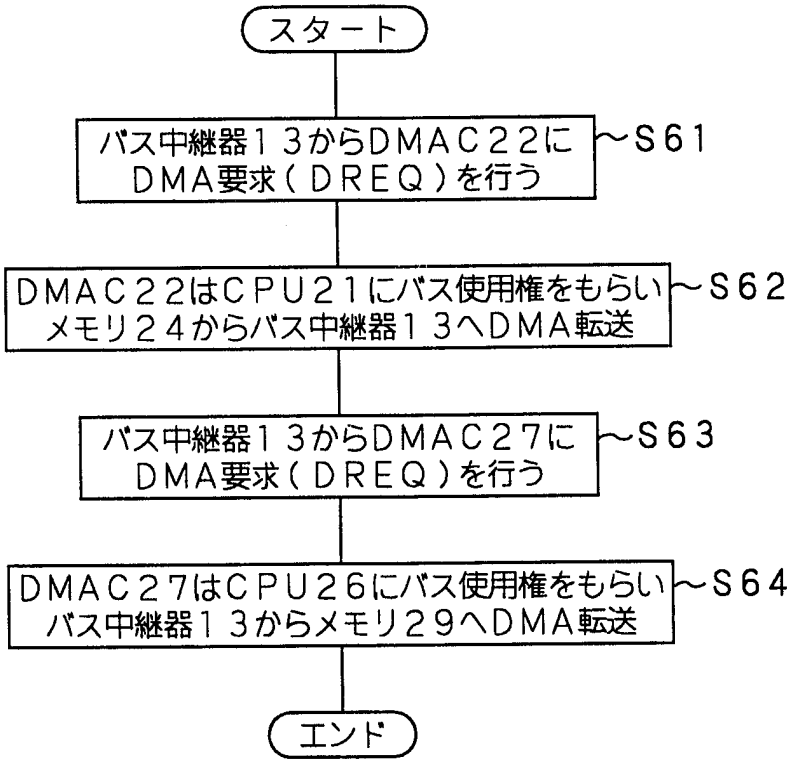

スタート
バス中継器１３からＤＭＡＣ２２に
ＤＭＡ要求（ＤＲＥＱ）を行う
～Ｓ６１
ＤＭＡＣ２２はＣＰＵ２１にバス使用権をもらい
メモリ２４からバス中継器１３へＤＭＡ転送
～Ｓ６２
バス中継器１３からＤＭＡＣ２７に
ＤＭＡ要求（ＤＲＥＱ）を行う
～Ｓ６３
ＤＭＡＣ２７はＣＰＵ２６にバス使用権をもらい
バス中継器１３からメモリ２９へＤＭＡ転送
～Ｓ６４
エンド

FIG. 4

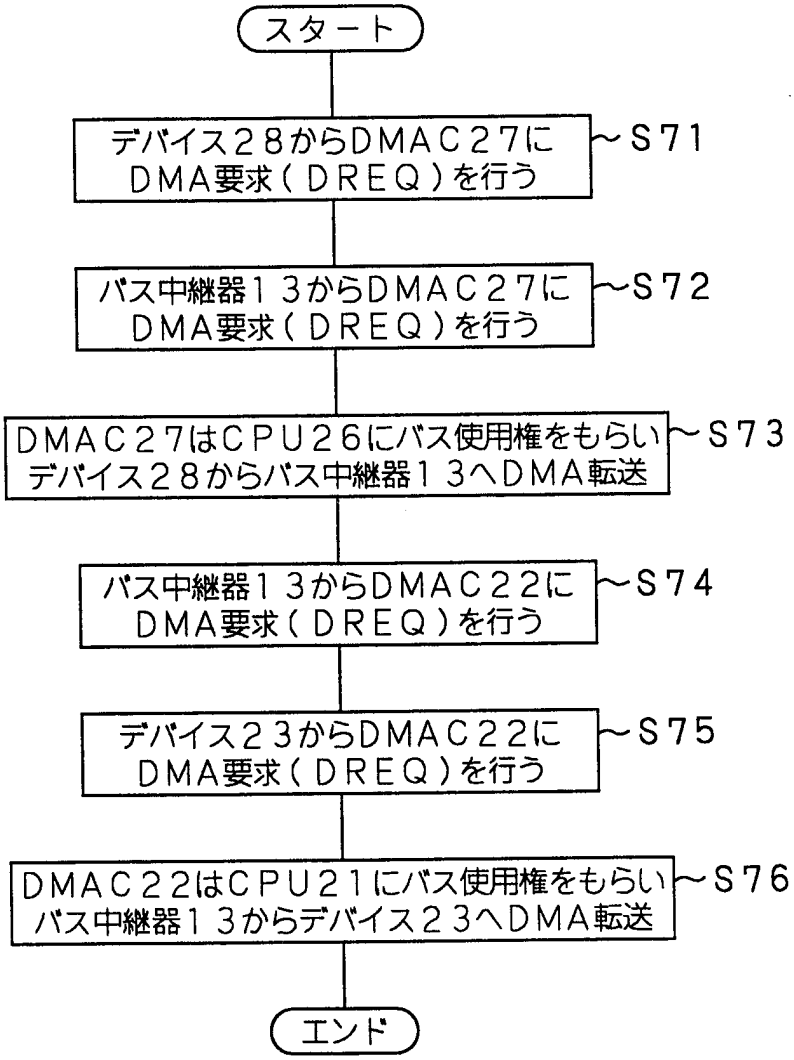

スタート
デバイス２８からＤＭＡＣ２７に
ＤＭＡ要求（ＤＲＥＱ）を行う
S71
バス中継器１３からＤＭＡＣ２７に
ＤＭＡ要求（ＤＲＥＱ）を行う
S72
ＤＭＡＣ２７はＣＰＵ２６にバス使用権をもらい
デバイス２８からバス中継器１３へＤＭＡ転送
S73
バス中継器１３からＤＭＡＣ２２に
ＤＭＡ要求（ＤＲＥＱ）を行う
S74
デバイス２３からＤＭＡＣ２２に
ＤＭＡ要求（ＤＲＥＱ）を行う
S75
ＤＭＡＣ２２はＣＰＵ２１にバス使用権をもらい
バス中継器１３からデバイス２３へＤＭＡ転送
S76
エンド

FIG. 5

データ列S_{1A}（8Byte）
データ列S_{1B}（8Byte）
データ列S_{1C}（16Byte）
データ列S_{2A}（8Byte）
データ列S_{2B}（8Byte）
データ列S_{2C}（16Byte）
データ列S_{3A}（8Byte）
データ列S_{3B}（8Byte）
データ列S_{3C}（16Byte）

FIG. 6

データ列S_{1B}（8Byte）
データ列S_{1C}（16Byte）
データ列S_{2B}（8Byte）
データ列S_{2C}（16Byte）
データ列S_{3B}（8Byte）
データ列S_{3C}（16Byte）

FIG. 7

データ列S_{1B}（8Byte）
データ列S_{1C}（16Byte）
データ列S_{1D}（12Byte）
データ列S_{2B}（8Byte）
データ列S_{2C}（16Byte）
データ列S_{2D}（12Byte）
データ列S_{3B}（8Byte）
データ列S_{3C}（16Byte）
データ列S_{3D}（12Byte）

FIG. 8

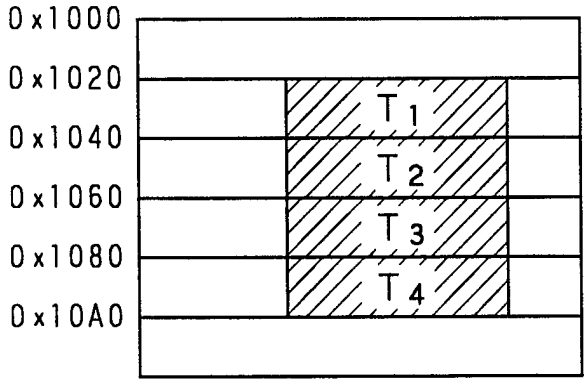


FIG. 9

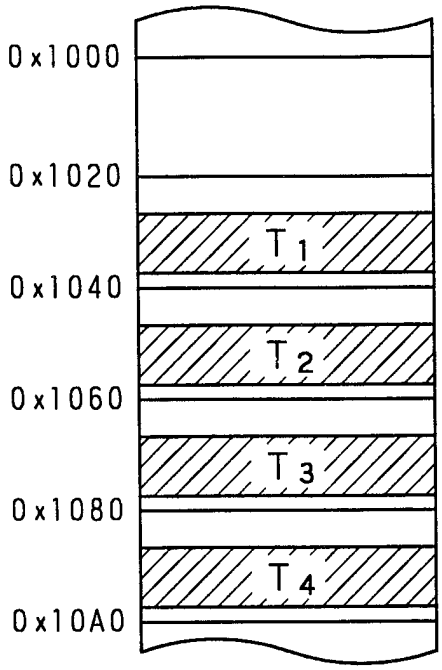

0x1000
0x1020
T1
0x1040
T2
0x1060
T3
0x1080
T4
0x10A0

FIG. 10

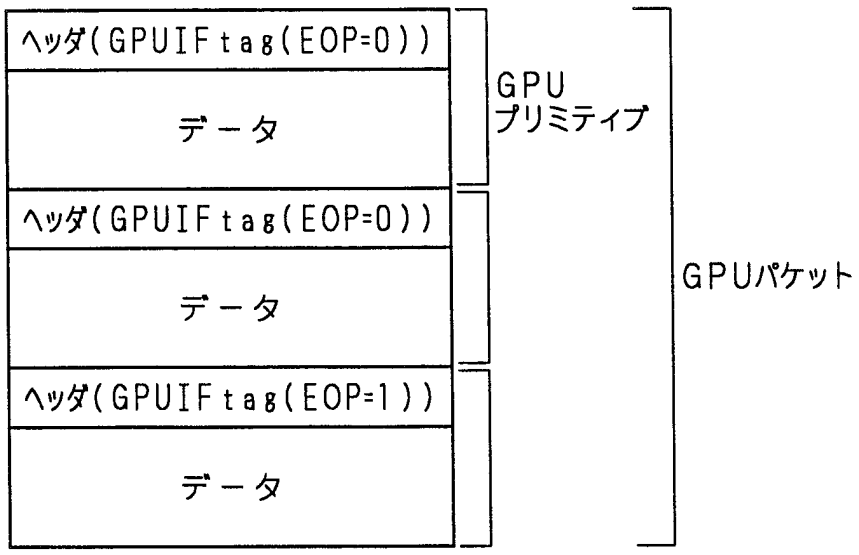

ヘッダ(GPUIF tag(EOP=0))
データ
ヘッダ(GPUIF tag(EOP=0))
データ
ヘッダ(GPUIF tag(EOP=1))
データ
GPU
プリミティブ
GPUパケット

FIG. 11

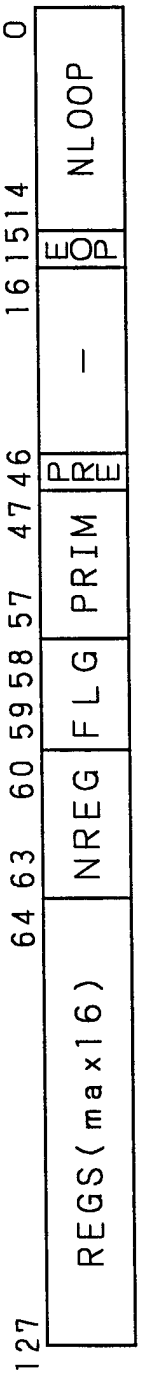

127
64
63
60
59
58
57
47
46
16
15
14
0
REGS(max16)
NREG
FLG
PRIM
PRE
—
EOP
NLOOP

FIG. 12

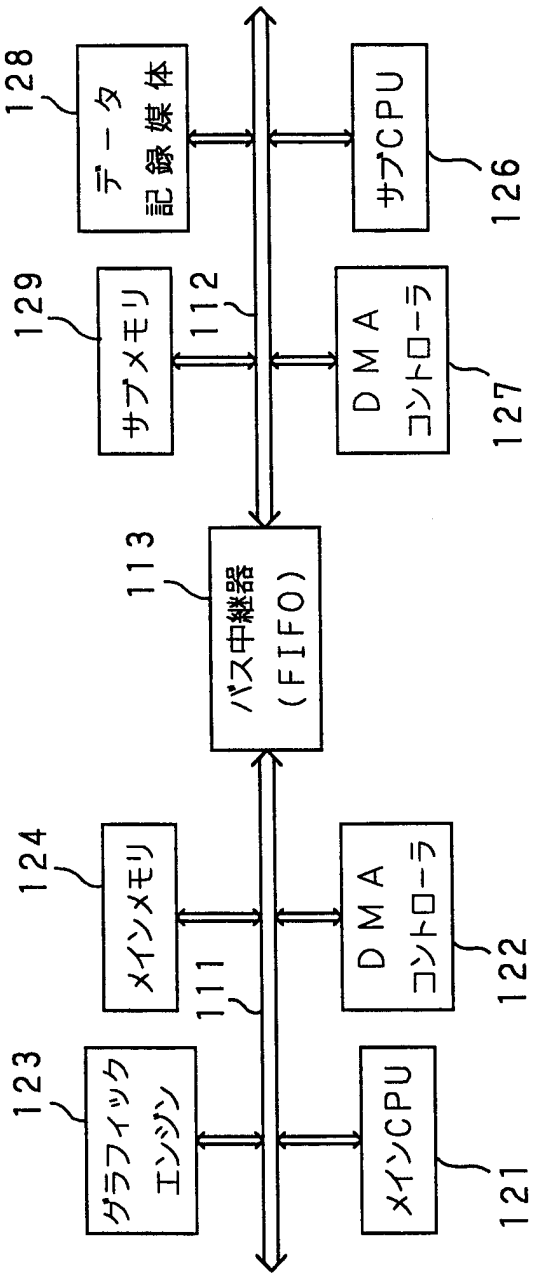

128
データ記録媒体
サブCPU
126
129
サブメモリ
112
DMA コントローラ
127
113
バス中継器 (FIFO)
124
メインメモリ
111
DMA コントローラ
122
123
グラフィックエンジン
メインCPU
121

FIG. 13

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP98/01857

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[6] G06F13/28, 13/36

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[6] G06F13/28, 13/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1998
Kokai Jitsuyo Shinan Koho 1971-1998

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 5-173933, A (Oki Electric Industry Co., Ltd.), July 13, 1993 (13. 07. 93), Fig. 6 (Family: none)	1-6
Y	JP, 5-128049, A (Mitsubishi Electric Corp.), May 25, 1993 (25. 05. 93), Column 5, lines 23 to 29 (Family: none)	7, 12
Y	JP, 6-348644, A (Sharp Corp.), December 22, 1994 (22. 12. 94), Column 5, lines 5 to 9 (Family: none)	10

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
July 28, 1998 (28. 07. 98)	August 11, 1998 (11. 08. 98)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP98/01857

Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The objects of claims 1 to 6 are to perform debugging during the data transfer, whereas those of claims 7 to 14 are to change the data structure during the data transfer. Hence, the claims 1-6 and the claims 7-14 are not considered as a group of inventions so linked as to form a single general inventive concept.

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

☐ The additional search fees were accompanied by the applicant's protest.

☒ No protest accompanied the payment of additional search fees.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ９８／０１８５７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））
Ｉｎｔ．Ｃｌ[6]　Ｇ０６Ｆ１３／２８，１３／３６

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））
Ｉｎｔ．Ｃｌ[6]　Ｇ０６Ｆ１３／２８，１３／３６

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報　　１９２６－１９９８年
日本国公開実用新案公報　　１９７１－１９９８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ａ	ＪＰ，５－１７３９３３，Ａ（沖電気工業株式会社）１３．７月．１９９３（１３．０７．９３），第６図（ファミリーなし）	１－６
Ｙ	ＪＰ，５－１２８０４９，Ａ（三菱電機株式会社）２５．５月．１９９３（２５．０５．９３），第５欄，第２３－２９行（ファミリーなし）	７，１２
Ｙ	ＪＰ，６－３４８６４４，Ａ（シャープ株式会社）２２．１２月．１９９４（２２．１２．９４），第５欄，第５－９行（ファミリーなし）	１０

☐ Ｃ欄の続きにも文献が列挙されている。　　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」先行文献ではあるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２８．０７．９８	11.08.98

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）		
日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	堀江　義隆	５Ｅ	９１７２
	電話番号　０３－３５８１－１１０１　内線　３５２３		

様式ＰＣＴ／ＩＳＡ／２１０（第２ページ）（１９９２年７月）

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ９８／０１８５７

第Ⅰ欄　請求の範囲の一部の調査ができないときの意見（第１ページの１の続き）

法第８条第３項（ＰＣＴ１７条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1．☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、

2．☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

3．☐ 請求の範囲 _____ は、従属請求の範囲であってＰＣＴ規則6.4(a)の第２文及び第３文の規定に従って記載されていない。

第Ⅱ欄　発明の単一性が欠如しているときの意見（第１ページの２の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求の範囲１－６の目的は、データ転送におけるデバッグを行うことであるのに対し、請求の範囲７－１４の目的は、データ転送時にデータ構成の変更を行うことである。したがって、請求の範囲１－６と請求の範囲７－１４は単一の一般的発明概念を形成するように関連している一群の発明ではない。

1．☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。

2．☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。

3．☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。

4．☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。

☒ 追加調査手数料の納付と共に出願人から異議申立てがなかった。