

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-220729

(P2010-220729A)

(43) 公開日 平成22年10月7日(2010.10.7)

(51) Int.Cl. F I テーマコード(参考)
A 6 3 F 7/02 (2006.01) A 6 3 F 7/02 3 1 5 Z 2 C 0 8 8
 A 6 3 F 7/02 3 3 4

審査請求 未請求 請求項の数 3 O L (全 144 頁)

(21) 出願番号 特願2009-69714 (P2009-69714)
 (22) 出願日 平成21年3月23日 (2009. 3. 23)

(71) 出願人 000144522
 株式会社三洋物産
 愛知県名古屋市千種区今池3丁目9番21号
 (74) 代理人 100121821
 弁理士 山田 強
 (74) 代理人 100143063
 弁理士 安藤 悟
 (72) 発明者 大池 規晶
 愛知県名古屋市千種区今池3丁目9番21号 株式会社三洋物産内
 Fターム(参考) 2C088 AA33 BC31

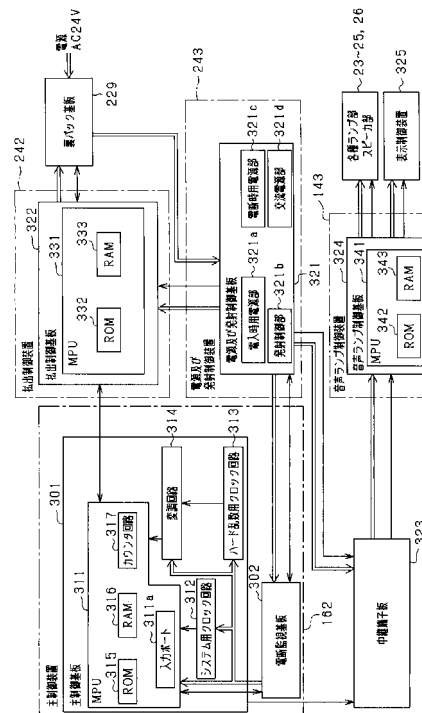
(54) 【発明の名称】 遊技機

(57) 【要約】

【課題】 所定の処理タイミングを把握し、その把握結果に基づく不正行為を抑制することのできる遊技機を提供すること。

【解決手段】 主制御基板301には、システム用クロック信号を出力するシステム用クロック回路312と、遊技の進行を制御するMPU311と、ハード乱数用クロック信号を出力するハード乱数用クロック回路313と、が設けられている。MPU311は、システム用クロック信号が入力されることに基づいて遊技の進行を制御する。一方、大当たり乱数カウンタは、ハード乱数用クロック信号の立ち上がりトリガとして更新される。ここで、ハード乱数用クロック信号は、システム用クロック信号と同期しないこと及びトリガ間隔がシステム用クロック信号と異なることのうち少なくとも一方の条件を満たすように設定されている。

【選択図】 図14



【特許請求の範囲】**【請求項 1】**

遊技用クロック信号を出力する遊技用信号出力手段と、
遊技の進行を制御する制御手段と、
予め定められた数値範囲内において数値情報を順次更新可能な数値情報更新手段と、
予め定められた取得条件が成立した場合に、前記数値情報更新手段から前記数値情報を取得する取得手段と、
を備え、

前記制御手段は、前記遊技用信号出力手段から前記遊技用クロック信号が入力されたことに基づいて、遊技の進行を制御するものであり、

前記取得手段によって取得された数値情報が予め定められた特定情報に対応していることに基づいて、特定状態になる遊技機において、

更新用クロック信号を出力する更新用信号出力手段を備え、

前記数値情報更新手段は、前記更新用クロック信号における立ち上がりから立ち下がりまでの所定箇所をトリガとして、前記数値情報を更新するものであり、

前記更新用信号出力手段は、前記遊技用クロック信号と同期しないこと及び前記トリガに相当する信号状態の出力間隔が前記遊技用クロック信号と異なることのうち少なくとも一方の条件を満たすようにして、前記更新用クロック信号を出力するものであることを特徴とする遊技機。

【請求項 2】

前記遊技用信号出力手段及び前記制御手段を接続する第 1 信号経路と、
前記遊技用信号出力手段及び前記数値情報更新手段を接続する第 2 信号経路と、
を備え、

前記遊技用信号出力手段は、前記制御手段及び前記数値情報更新手段のそれぞれに対して前記遊技用クロック信号を出力するものであり、

前記更新用信号出力手段は、前記第 2 信号経路上に設けられ、前記遊技用信号出力手段から前記遊技用クロック信号が入力されることに基づいて、前記更新用クロック信号を出力するクロック変換手段を備えていることを特徴とする請求項 1 に記載の遊技機。

【請求項 3】

前記クロック変換手段は、前記遊技用信号出力手段から出力された前記遊技用クロック信号を分周又は逡倍することによって前記遊技用クロック信号の周波数を変換する周波数変換手段と、

前記周波数変換手段により周波数変換されたクロック信号の位相を、前記遊技用クロック信号の位相に対して、所定量だけずらす位相シフト手段と、
を備えていることを特徴とする請求項 2 に記載の遊技機。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、遊技機に関するものである。

【背景技術】**【0002】**

遊技機の一つとしてパチンコ機がある。パチンコ機においては、例えば遊技領域に発射された遊技球が作動口に入球することに基づき、大当たり抽選が行われる。当該抽選において大当たり状態の発生に当選すると、例えば所定の表示装置において変動表示される図柄が予め定められた特定の組み合わせで停止表示された後、遊技領域に設けられた可変入球装置の開閉が実行される。そして、可変入球装置への入球数に応じた遊技球が払い出されるといった特典が遊技者に付与される（例えば特許文献 1 参照）。

【先行技術文献】**【特許文献】****【0003】**

10

20

30

40

50

【特許文献1】特開2004-756号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ここで、パチンコ機には、遊技に係る制御プログラムが記憶されているメモリ等の記憶素子並びに当該制御プログラムを実行する演算素子、又はこれらが集積化されたMPUが実装されている制御基板が設けられているものが知られている。当該パチンコ機は、制御プログラムによって一連の遊技が制御されている。

【0005】

上記遊技機においては、演算素子の動作タイミングの基準となるクロック信号を出力する発振回路が設けられている。演算素子は、当該発振回路から出力されるクロック信号が入力されることに同期して、複数の素子を動作させることによって、制御プログラムを実行する。制御プログラムとしては、例えば予め定められた数値範囲内にてカウンタを定期的に更新させるとともに、遊技球が作動口へ入球した場合には、その時点におけるカウンタの値を取得して、当該カウンタの値が例えば「7」などの所定の当選値と一致する場合には、遊技状態を大当たり状態に移行させるものがある。

10

【0006】

ここで、大当たり抽選で用いられるカウンタの更新タイミングなどを把握することによって、当該カウンタの値が大当たり当選値となるタイミングが把握される場合がある。すると、当該タイミングに合わせて、正規の制御基板に対して不正な信号を出力することによって、故意に大当たりを発生させる不正行為が考えられる。

20

【0007】

なお、遊技機においては各種の不正行為が想定され、上記のように制御主体における所定の処理タイミングなどを把握し、その把握結果に基づいて不正を行う行為は、大当たり抽選に関するものに限られない。また、かかる不正行為は、パチンコ機に限らず、スロットマシンにおいても同様である。

【0008】

本発明は、以上例示した事情等に鑑みてなされたものであり、所定の処理タイミングを把握し、その把握結果に基づく不正行為を抑制することのできる遊技機を提供することを目的とする。

30

【課題を解決するための手段】

【0009】

以下、上記課題を解決するため、請求項1に記載の発明は、遊技用クロック信号を出力する遊技用信号出力手段と、遊技の進行を制御する制御手段と、予め定められた数値範囲内において数値情報を順次更新可能な数値情報更新手段と、予め定められた取得条件が成立した場合に、前記数値情報更新手段から前記数値情報を取得する取得手段と、を備え、前記制御手段は、前記遊技用信号出力手段から前記遊技用クロック信号が入力されたことに基づいて、遊技の進行を制御するものであり、前記取得手段によって取得された数値情報が予め定められた特定情報に対応していることに基づいて、特定状態になる遊技機において、更新用クロック信号を出力する更新用信号出力手段を備え、前記数値情報更新手段は、前記更新用クロック信号における立ち上がりから立ち下がりまでの所定箇所をトリガとして、前記数値情報を更新するものであり、前記更新用信号出力手段は、前記遊技用クロック信号と同期しないこと及び前記トリガに相当する信号状態の出力間隔が前記遊技用クロック信号と異なることのうち少なくとも一方の条件を満たすようにして、前記更新用クロック信号を出力するものであることを特徴とする。

40

【発明の効果】

【0010】

本発明によれば、所定の処理タイミングを把握し、その把握結果に基づく不正行為を抑制することができる。

【図面の簡単な説明】

50

【 0 0 1 1 】

【 図 1 】 第 1 の実施形態におけるパチンコ機を示す正面図である。

【 図 2 】 パチンコ機の主要な構成を展開して示す斜視図である。

【 図 3 】 パチンコ機の主要な構成を展開して示す斜視図である。

【 図 4 】 パチンコ機の構成を示す背面図である。

【 図 5 】 前扉枠の構成を示す背面図である。

【 図 6 】 本体枠の構成を示す正面図である。

【 図 7 】 遊技盤の構成を示す正面図である。

【 図 8 】 本体枠の構成を示す背面図である。

【 図 9 】 遊技盤の背面構成を示す斜視図である。

10

【 図 1 0 】 遊技盤から主制御装置ユニットを取り外した状態を示す背面図である。

【 図 1 1 】 主制御装置ユニットの構成を示す斜視図である。

【 図 1 2 】 裏パックユニットの構成を示す正面図である。

【 図 1 3 】 裏パックユニットの分解斜視図である。

【 図 1 4 】 パチンコ機の電氣的構成を示すブロック図である。

【 図 1 5 】 遊技制御に用いる各種カウンタの概要を示す説明図。

【 図 1 6 】 主制御基板の M P U による N M I 割込み処理を示すフローチャートである。

【 図 1 7 】 主制御基板の M P U によるタイマ割込み処理を示すフローチャートである。

【 図 1 8 】 始動入賞処理を示すフローチャートである。

【 図 1 9 】 メイン処理を示すフローチャートである。

20

【 図 2 0 】 通常処理を示すフローチャートである。

【 図 2 1 】 ハード乱数用クロック回路の構成を示すブロック回路図である。

【 図 2 2 】 ハード乱数用クロック回路の動作を説明するためのタイミングチャートである。

【 図 2 3 】 パルス信号群と大当たり乱数カウンタとの関係を説明するためのタイミングチャートである。

【 図 2 4 】 第 2 の実施形態におけるタイマ割込み処理を示すフローチャートである。

【 図 2 5 】 第 3 の実施形態におけるパルス信号群と大当たり乱数カウンタとの関係を説明するためのタイミングチャートである。

【 図 2 6 】 第 4 の実施形態におけるパチンコ機の電氣的構成を示すブロック図の一部である。

30

【 図 2 7 】 第 5 の実施形態におけるパチンコ機の電氣的構成を示すブロック図である。

【 図 2 8 】 遊技制御に用いる各種カウンタの概要を示す説明図である。

【 図 2 9 】 タイマ割込み処理を示すフローチャートである。

【 図 3 0 】 始動入賞処理を示すフローチャートである。

【 図 3 1 】 不規則遅延回路に関する構成を説明するためのブロック回路図である。

【 図 3 2 】 電源が投入された場合の不規則遅延回路の動作を説明するためのタイミングチャートである。

【 図 3 3 】 第 6 の実施形態における不規則遅延回路に関する構成を説明するためのブロック回路図である。

40

【 図 3 4 】 第 7 の実施形態におけるパチンコ機の電氣的構成を示すブロック図である。

【 図 3 5 】 不規則遅延回路に関する構成を説明するためのブロック回路図である。

【 図 3 6 】 電源が投入された場合の不規則遅延回路の動作を説明するためのタイミングチャートである。

【 図 3 7 】 第 8 の実施形態における不規則遅延回路に関する構成を説明するためのブロック回路図である。

【 図 3 8 】 第 8 の実施形態において、電源が投入された場合の不規則遅延回路の動作を説明するためのタイミングチャートである。

【 図 3 9 】 第 9 の実施形態における不規則遅延回路に関する構成を説明するためのブロック回路図である。

50

【図 4 0】第 9 の実施形態において、電源が投入された場合の不規則遅延回路の動作を説明するためのタイミングチャートである。

【図 4 1】第 1 0 の実施形態における不規則遅延回路に関する構成を説明するためのブロック回路図である。

【図 4 2】第 1 0 の実施形態において、電源が投入された場合の不規則遅延回路の動作を説明するためのタイミングチャートである。

【図 4 3】第 1 1 の実施形態における不規則遅延回路に関する構成を説明するためのブロック回路図である。

【図 4 4】第 1 1 の実施形態において、電源が投入された場合の不規則遅延回路の動作を説明するためのタイミングチャートである。

10

【図 4 5】第 1 2 の実施形態におけるパチンコ機の電氣的構成を示すブロック図である。

【図 4 6】メイン処理を示すフローチャートである。

【図 4 7】第 1 3 の実施形態におけるパチンコ機の電氣的構成を示すブロック図である。

【図 4 8】不規則遅延回路に関する構成を説明するためのブロック回路図である。

【図 4 9】第 1 4 の実施形態における通常処理を示すフローチャートである。

【図 5 0】第 1 5 の実施形態におけるパチンコ機の電氣的構成を示すブロック図である。

【図 5 1】電力伝達回路に関する構成を説明するためのブロック回路図である。

【図 5 2】第 1 6 の実施形態におけるパチンコ機の電氣的構成を示すブロック図である。

【図 5 3】電力伝達回路に関する構成を説明するためのブロック回路図である。

20

【図 5 4】不規則遅延回路の動作を説明するためのタイミングチャートである。

【図 5 5】第 1 7 の実施形態におけるパチンコ機の電氣的構成を示すブロック図である。

【図 5 6】電力伝達回路に関する構成を説明するためのブロック回路図である。

【図 5 7】大当たり判定処理を示すフローチャートである。

【図 5 8】第 2 の実施形態におけるタイマ割込み処理の変形例を示すフローチャートである。

【図 5 9】第 1 7 の実施形態の変形例を示すブロック図である。

【発明を実施するための形態】

【0012】

< 第 1 の実施形態 >

以下、遊技機的一种であるパチンコ遊技機（以下、「パチンコ機」という）の第 1 の実施形態を、図面に基づいて詳細に説明する。図 1 はパチンコ機 1 0 の正面図、図 2 及び図 3 はパチンコ機 1 0 の主要な構成を展開して示す斜視図、図 4 はパチンコ機 1 0 の背面図である。なお、図 2 では便宜上パチンコ機 1 0 の遊技領域内の構成を省略している。

30

【0013】

パチンコ機 1 0 は、当該パチンコ機 1 0 の外殻を形成する外枠 1 1 と、この外枠 1 1 に対して前方に回動可能に取り付けられた遊技機主部 1 2 とを有する。外枠 1 1 は木製の板材を四辺に連結し構成されるものであって矩形枠状をなしている。パチンコ機 1 0 は、外枠 1 1 を島設備に取り付け固定することにより、遊技ホールに設置される。

【0014】

遊技機主部 1 2 は、ベース体としての本体枠 1 3 と、その本体枠 1 3 の前方に配置される前扉枠 1 4 と、本体枠 1 3 の後方に配置される裏パックユニット 1 5 とを備えている。遊技機主部 1 2 のうち本体枠 1 3 が外枠 1 1 に対して回動可能に支持されている。詳細には、正面視で左側を回動基端側とし右側を回動先端側として本体枠 1 3 が前方へ回動可能とされている。

40

【0015】

本体枠 1 3 には、図 2 に示すように、前扉枠 1 4 が回動可能に支持されており、正面視で左側を回動基端側とし右側を回動先端側として前方へ回動可能とされている。また、本体枠 1 3 には、図 3 に示すように、裏パックユニット 1 5 が回動可能に支持されており、正面視で左側を回動基端側とし右側を回動先端側として後方へ回動可能とされている。

【0016】

50

次に、前扉枠 14 について説明する。なお、以下の説明では、図 1 ~ 図 3 を参照するとともに、前扉枠 14 の背面の構成については図 5 を参照する。図 5 は、前扉枠 14 の背面図である。

【0017】

前扉枠 14 は本体枠 13 の前面側全体を覆うようにして設けられている。前扉枠 14 には後述する遊技領域のほぼ全域を前方から視認することができるようにした窓部 21 が形成されている。窓部 21 は、略楕円形状をなし、透明性を有するガラス 22 が嵌め込まれている。窓部 21 の周囲には、各種ランプ等の発光手段が設けられている。例えば、窓部 21 の周縁に沿って LED 等の発光手段を内蔵した環状ランプ部 23 が設けられている。環状ランプ部 23 では、大当たり時や所定のリーチ時等における遊技状態の変化に応じて点灯や点滅が行われる。また、環状ランプ部 23 の中央であってパチンコ機 10 の最上部には所定のエラー時に点灯するエラー表示ランプ部 24 が設けられ、さらにその左右側方には賞球払出中に点灯する賞球ランプ部 25 が設けられている。また、左右の賞球ランプ部 25 に近接した位置には、遊技状態に応じた効果音などが出力されるスピーカ部 26 が設けられている。

10

【0018】

前扉枠 14 における窓部 21 の下方には、手前側へ膨出した上側膨出部 31 と下側膨出部 32 とが上下に並設されている。上側膨出部 31 内側には上方に開口した上皿 33 が設けられており、下側膨出部 32 内側には同じく上方に開口した下皿 34 が設けられている。上皿 33 は、後述する払出装置より払い出された遊技球を一旦貯留し、一列に整列させながら後述する遊技球発射機構側へ導くための機能を有する。また、下皿 34 は、上皿 33 内にて余剰となった遊技球を貯留する機能を有する。

20

【0019】

下側膨出部 32 の右方には、手前側へ突出するようにして遊技球発射ハンドル 41 が設けられている。遊技球発射ハンドル 41 が操作されることにより、後述する遊技球発射機構から遊技球が発射される。

【0020】

前扉枠 14 の背面には、図 2 及び図 5 に示すように、通路形成ユニット 50 が取り付けられている。通路形成ユニット 50 は、合成樹脂により成形されており、上皿 33 に通じる前扉側上皿通路 51 と、下皿 34 に通じる前扉側下皿通路 52 とが形成されている。通路形成ユニット 50 において、その上側隅部には後方に突出し上方に開放された受口部 53 が形成されており、当該受口部 53 を仕切壁 54 によって左右に仕切ることによって前扉側上皿通路 51 と前扉側下皿通路 52 の入口部分とが形成されている。前扉側上皿通路 51 及び前扉側下皿通路 52 は上流側が後述する遊技球分配部に通じており、前扉側上皿通路 51 に入った遊技球は上皿 33 に導かれ、前扉側下皿通路 52 に入った遊技球は下皿 34 に導かれる。

30

【0021】

前扉枠 14 の背面における回動基端側（図 5 の右側）には、その上端部及び下端部に突起軸 61, 62 が設けられている。これら突起軸 61, 62 は本体枠 13 に対する組付機構を構成する。また、前扉枠 14 の背面における回動先端側（図 5 の左側）には、図 2 に示すように、後方に延びる鉤金具 63 が上下方向に複数並設されている。これら鉤金具 63 は本体枠 13 に対する施錠機構を構成する。

40

【0022】

次に、本体枠 13 について詳細に説明する。図 6 は本体枠 13 の正面図である。

【0023】

本体枠 13 は、外形が外枠 11 とほぼ同一形状をなす樹脂ベース 71 を主体に構成されている。樹脂ベース 71 の前面における回動基端側（図 6 の左側）には、その上端部及び下端部に支持金具 72, 73 が取り付けられている。図示は省略するが、支持金具 72, 73 には軸孔が形成されており、それら軸孔に前扉枠 14 の突起軸 61, 62 が挿入されることにより、本体枠 13 に対して前扉枠 14 が回動可能に支持されている。

50

【0024】

樹脂ベース71の前面における回動先端側(図6の右側)には、前扉枠14の背面に設けられた鉤金具63を挿入するための挿入孔74がそれぞれ設けられている。本パチンコ機10では、本体枠13や前扉枠14を施錠状態とするための施錠装置が本体枠13の背面側に隠れて配置される構成となっている。したがって、鉤金具63が挿入孔74を介して施錠装置に係止されることによって、前扉枠14が本体枠13に対して開放不能に施錠される。

【0025】

樹脂ベース71の右下隅部には、施錠装置の解錠操作を行うためのシリンダ錠75が設置されている。シリンダ錠75は施錠装置に一体化されており、シリンダ錠75の鍵穴に差し込んだキーを右に回すと本体枠13に対する前扉枠14の施錠が解かれるようになっている。なお、シリンダ錠75の鍵穴に差し込んだキーを左に回すと外枠11に対する本体枠13の施錠が解かれるようになっている。

10

【0026】

樹脂ベース71の中央部には略楕円形状の窓孔76が形成されている。樹脂ベース71には遊技盤81が着脱可能に取り付けられている。遊技盤81は合板よりなり、遊技盤81の前面に形成された遊技領域が樹脂ベース71の窓孔76を通じて本体枠13の前面側に露出した状態となっている。

【0027】

ここで、遊技盤81の構成を図7に基づいて説明する。遊技盤81には、ルータ加工が施されることによって前後方向に貫通する大小複数の開口部が形成されている。各開口部には一般入賞口82、可変入賞装置83、作動口84、スルーゲート85及び可変表示ユニット86等がそれぞれ設けられている。一般入賞口82は、左右にそれぞれ2個ずつ合計4個設けられている。一般入賞口82、可変入賞装置83及び作動口84に遊技球が入ると、それが後述する検知スイッチにより検知され、その検知結果に基づいて所定数の賞球の払い出しが実行される。その他に、遊技盤81の最下部にはアウト口87が設けられており、各種入賞口等に入らなかった遊技球はアウト口87を通過して遊技領域から排出される。また、遊技盤81には、遊技球の落下方向を適宜分散、調整等するために多数の釘88が植設されていると共に、風車等の各種部材(役物)が配設されている。

20

【0028】

可変表示ユニット86には、作動口84への入賞をトリガとして図柄を可変表示する図柄表示装置91が設けられている。また、可変表示ユニット86には、図柄表示装置91を囲むようにしてセンターフレーム92が配設されている。センターフレーム92の上部には、第1特定ランプ部93及び第2特定ランプ部94が設けられている。また、センターフレーム92の上部及び下部にはそれぞれ保留ランプ部95、96が設けられている。下側の保留ランプ部95は、図柄表示装置91及び第1特定ランプ部93に対応しており、遊技球が作動口84を通過した回数は最大4回まで保留され保留ランプ部95の点灯によってその保留個数が表示されるようになっている。上側の保留ランプ部96は、第2特定ランプ部94に対応しており、遊技球がスルーゲート85を通過した回数は最大4回まで保留され保留ランプ部96の点灯によってその保留個数が表示されるようになっている。

30

40

【0029】

図柄表示装置91は、液晶ディスプレイを備えた液晶表示装置として構成されており、後述する表示制御装置により表示内容が制御される。図柄表示装置91には、例えば左、中及び右に並べて図柄が表示され、これらの図柄が上下方向にスクロールされるようにして変動表示されるようになっている。そして、予め設定されている有効ライン上に所定の組合せの図柄が停止表示された場合には、特別遊技状態(以下、大当たりという)が発生することとなる。

【0030】

第1特定ランプ部93では、作動口84への入賞をトリガとして所定の順序で発光色の

50

切り替えが行われ、予め定められた色で停止表示された場合には大当たりが発生する。また、第2特定ランプ部94では、遊技球のスルーゲート85の通過をトリガとして所定の順序で発光色の切り替えが行われ、予め定められた色で停止表示された場合には作動口84に付随する電動役物が所定時間だけ開放状態となる。

【0031】

可変入賞装置83は、通常は遊技球が入賞できない又は入賞し難い閉状態になっており、大当たりの際に遊技球が入賞しやすい所定の開放状態に切り換えられるようになっている。可変入賞装置83の開放態様としては、所定時間(例えば30秒間)の経過又は所定個数(例えば10個)の入賞を1ラウンドとして、複数ラウンド(例えば15ラウンド)を上限として可変入賞装置83が繰り返し開放されるものが一般的である。

10

【0032】

遊技盤81には、内レール部101と外レール部102とが取り付けられており、これら内レール部101と外レール部102とにより誘導レールが構成され、後述する遊技球発射機構から発射された遊技球が遊技領域の上部に案内されるようになっている。

【0033】

遊技球発射機構110は、図6に示すように、樹脂ベース71における窓孔76の下方に取り付けられている。遊技球発射機構110は、電磁式のソレノイド111と、発射レール112と、球送り機構113とからなり、ソレノイド111への電気的な信号の入力により当該ソレノイド111の出力軸が伸縮方向に移動し、球送り機構113によって発射レール112上に置かれた遊技球を遊技領域に向けて打ち出す。

20

【0034】

発射レール112と遊技盤81に取り付けられた内、外レール部101、102との間には所定間隔の隙間があり、この隙間より下方には前扉枠14の通路形成ユニット50に形成されたファール球通路55が配設されている。したがって、仮に遊技球発射機構110から発射された遊技球が遊技領域の上部に到達せずに、内、外レール部101、102によって構成される誘導レールを逆戻りする場合には、そのファール球がファール球通路55内に入る。ファール球通路55は前扉側下皿通路52に通じており、ファール球通路55に入った遊技球は下皿34に排出される。

【0035】

樹脂ベース71において発射レール112の左方には、樹脂ベース71を前後方向に貫通させて通路形成部121が設けられている。通路形成部121には図3に示すように本体側上皿通路122と本体側下皿通路123とが形成されている。本体側上皿通路122及び本体側下皿通路123の上流側は、後述する遊技球分配部に通じている。また、通路形成部121の下方には前扉枠14に取り付けられた通路形成ユニット50の受口部53が入り込んでおり、本体側上皿通路122の下方には前扉側上皿通路51が配置され、本体側下皿通路123の下方には前扉側上皿通路51が配置されている。

30

【0036】

樹脂ベース71において通路形成部121の下方には、本体側上皿通路122及び本体側下皿通路123を開閉する開閉部材124が取り付けられている。開閉部材124はその下端に設けられた支軸125により前後方向に回動可能に支持されており、さらに本体側上皿通路122及び本体側下皿通路123を閉鎖する前方位置に付勢する図示しない付勢部材が設けられている。したがって、前扉枠14を本体枠13に対して開いた状態では開閉部材124が図示の如く起き上がり、本体側上皿通路122及び本体側下皿通路123を閉鎖する。これにより、本体側上皿通路122又は本体側下皿通路123に遊技球が貯留されている状態で前扉枠14を開放した場合、その貯留球がこぼれ落ちてしまうといった不都合が防止できる。これに対し、前扉枠14を閉じた状態では、前扉枠14の通路形成ユニット50に設けられた受口部53により付勢力に抗して開閉部材124が押し開けられる。この状態では、本体側上皿通路122と前扉側上皿通路51とが連通し、さらに本体側下皿通路123と前扉側下皿通路52とが連通している。

40

【0037】

50

次に、本体枠 13 の背面構成について説明する。図 8 は本体枠 13 の背面図である。

【0038】

樹脂ベース 71 の背面における回動先端側（図 8 の左側）には、施錠装置 131 が設けられており、シリンダ錠 75 におけるキー操作に対して施錠装置 131 が連動し、本体枠 13 及び前扉枠 14 の解錠が行われる。

【0039】

樹脂ベース 71 の背面における回動基端側（図 8 の右側）には、軸受け金具 132 が取り付けられている。軸受け金具 132 には、上下に離間させて軸受け部 133 が形成されており、これら軸受け部 133 により本体枠 13 に対して裏パックユニット 15 が回動可能に取り付けられている。また、樹脂ベース 71 の背面には、裏パックユニット 15 を本体枠 13 に締結するための被締結孔 134 が設けられている。

10

【0040】

樹脂ベース 71 の背面には、係止金具 135 が複数設けられており、これら係止金具 135 によって上述したように樹脂ベース 71 に対して遊技盤 81 が取り付けられている。ここで、遊技盤 81 の背面の構成を説明する。図 9 は遊技盤 81 を後方より見た斜視図、図 10 は遊技盤 81 から主制御装置ユニット 160 を取り外した状態を示す背面図である。

【0041】

遊技盤 81 の中央に配置される可変表示ユニット 86 には、センターフレーム 92 を背後から覆う合成樹脂製のフレームカバー 141 が後方に突出させて設けられており、フレームカバー 141 に対して後側から上述した図柄表示装置 91 が取り付けられるとともに、その図柄表示装置を駆動するための表示制御装置が取り付けられている（図示は省略）。これら図柄表示装置 91 及び表示制御装置は前後方向に重ねて配置され（図柄表示装置が前、表示制御装置が後）、さらにその後方に音声ランプ制御装置ユニット 142 が搭載されている。音声ランプ制御装置ユニット 142 は、音声ランプ制御装置 143 と、取付台 144 とを具備する構成となっており、取付台 144 上に音声ランプ制御装置 143 が装着されている。

20

【0042】

音声ランプ制御装置 143 は、後述する主制御装置からの指示に従い音声やランプ表示、及び表示制御装置の制御を司る音声ランプ制御基板を具備しており、音声ランプ制御基板が透明樹脂材料等よりなる基板ボックス 145 に収容されて構成されている。

30

【0043】

遊技盤 81 の背面には、図 10 に示すように、可変表示ユニット 86 の下方に集合板ユニット 150 が設けられている。集合板ユニット 150 には、各種入賞口に入賞した遊技球を回収するための遊技球回収機構や、各種入賞口等への遊技球の入賞を検知するための入賞検知機構などが設けられている。

【0044】

遊技球回収機構について説明すると、集合板ユニット 150 には、前記一般入賞口 82、可変入賞装置 83、作動口 84 の遊技盤開口部に対応して且つ下流側で 1カ所に集合する回収通路 151 が形成されている。したがって、一般入賞口 82 等に入賞した遊技球は何れも回収通路 151 を介して遊技盤 81 の下方に集合する。遊技盤 81 の下方には後述する排出通路があり、回収通路 151 により遊技盤 81 の下方に集合した遊技球は排出通路内に導出される。なお、アウト口 87 も同様に排出通路に通じており、何れの入賞口にも入賞しなかった遊技球もアウト口 87 を介して排出通路内に導出される。

40

【0045】

入賞検知機構について説明すると、集合板ユニット 150 には、遊技盤 81 表側の各一般入賞口 82 と対応する位置にそれぞれ入賞口スイッチ 152 a ~ 152 d が設けられている。また、可変入賞装置 83 と対応する位置にカウントスイッチ 153 が設けられ、作動口 84 に対応する位置に作動口スイッチ 154 が設けられている。これらスイッチ 152 ~ 154 により遊技球の入賞がそれぞれ検知される。また、集合板ユニット 150 外に

50

おける可変表示ユニット 86 の右側には、スルーゲート 85 を通過する遊技球を検知するゲートスイッチ 155 が設けられている。これらスイッチ 152 ~ 155 の検知について詳細には、各スイッチ 152 ~ 155 は後述する主制御装置に電氣的に接続されており、遊技球を検知していない状態では主制御装置に対して LOW レベル信号を出力し、遊技球を検知している状態では主制御装置に対して HI レベル信号を出力するよう構成されている。

【0046】

遊技盤 81 の背面には、集合板ユニット 150 を後側から覆うようにして主制御装置ユニット 160 が搭載されている。主制御装置ユニット 160 の構成について図 11 を用いて説明する。図 11 は主制御装置ユニット 160 の構成を示す斜視図である。

10

【0047】

主制御装置ユニット 160 は、合成樹脂製の取付台 161 を有し、取付台 161 に主制御装置 162 が搭載されている。主制御装置 162 は、遊技の主たる制御を司る機能（主制御回路）と、を有する主制御基板を具備しており、当該主制御基板が透明樹脂材料等よりなる基板ボックス 163 に収容されて構成されている。

【0048】

基板ボックス 163 は、略直方体形状のボックスベース（表ケース体）とこのボックスベースの開口部を覆うボックスカバー（裏ケース体）とを備えている。これらボックスベースとボックスカバーとは封印手段としての封印部 164 によって開封不能に連結され、これにより基板ボックス 163 が封印されている。封印部 164 は、基板ボックス 163 の長辺部に 5 つ設けられ、そのうち少なくとも一つが用いられて封印処理が行われる。

20

【0049】

封印部 164 はボックスベースとボックスカバーとを開放した場合には痕跡が残存する構成であれば任意の構成を適用できるが、封印部 164 を構成する長孔に係止爪を挿入することでボックスベースとボックスカバーとが開封不能に結合されるようになっている。封印部 164 による封印処理は、その封印後の不正な開封を防止し、また万一不正開封が行われてもそのような事態を早期に且つ容易に発見可能とするものであって、一旦開封した後でも再度封印処理を行うこと自体は可能である。すなわち、5 つの封印部 164 のうち、少なくとも一つの長孔に係止爪を挿入することにより封印処理が行われる。そして、収容した主制御基板の不具合発生の際や主制御基板の検査の際など基板ボックス 163 を開封する場合には、係止爪が挿入された封印部と他の封印部との連結部分を切断する。これにより、基板ボックス 163 のボックスベースとボックスカバーとが分離され、内部の主制御基板を取り出すことができる。その後、再度封印処理する場合は他の封印部の長孔に係止爪を挿入する。基板ボックス 163 の開封を行った旨の履歴を当該基板ボックス 163 に残しておけば、基板ボックス 163 を見ることで不正な開封が行われた旨が容易に発見できる。

30

【0050】

基板ボックス 163 の一方の短辺部には、その側方に突出するようにして複数の結合片 165 が設けられている。これら結合片 165 は、取付台 161 に形成された複数の被結合片 166 と 1 対 1 で対応しており、結合片 165 と被結合片 166 とにより基板ボックス 163 と取付台 161 との間で封印処理が行われる。

40

【0051】

次に、裏パックユニット 15 について説明する。図 12 は裏パックユニット 15 の正面図、図 13 は裏パックユニット 15 の分解斜視図である。

【0052】

裏パックユニット 15 は、裏パック 201 を備えており、当該裏パック 201 に対して、払出機構部 202、排出通路盤 203、及び制御装置集合ユニット 204 が取り付けられている。裏パック 201 は透明性を有する合成樹脂により成形されており、払出機構部 202 などが取り付けられるベース部 211 と、パチンコ機 10 後方に突出し略直方体形状をなす保護カバー部 212 とを有する。保護カバー部 212 は左右側面及び上面が閉鎖

50

され且つ下面のみが開放された形状をなし、少なくとも可変表示ユニット 8 6 を囲むのに十分な大きさを有する。

【 0 0 5 3 】

ベース部 2 1 1 には、その右上部に外部端子板 2 1 3 が設けられている。外部端子板 2 1 3 には各種の出力端子が設けられており、これらの出力端子を通じて遊技ホール側の管理制御装置に対して各種信号が出力される。また、ベース部 2 1 1 にはパチンコ機 1 0 後方からみて右端部に上下一対の掛止ピン 2 1 4 が設けられており、掛止ピン 2 1 4 を本体枠 1 3 に設けられた前記軸受け部 1 3 3 に挿通させることで、裏パックユニット 1 5 が本体枠 1 3 に対して回動可能に支持されている。また、ベース部 2 1 1 には、本体枠 1 3 に設けられた被締結孔 1 3 4 に対して締結するための締結具 2 1 5 が設けられており、当該締結具 2 1 5 を被締結孔 1 3 4 に嵌め込むことで本体枠 1 3 に対して裏パックユニット 1 5 が固定されている。

10

【 0 0 5 4 】

ベース部 2 1 1 には、保護カバー部 2 1 2 を迂回するようにして払出機構部 2 0 2 が配設されている。すなわち、裏パック 2 0 1 の最上部には上方に開口したタンク 2 2 1 が設けられており、タンク 2 2 1 には遊技ホールの島設備から供給される遊技球が逐次補給される。タンク 2 2 1 の下方には、下流側に向けて緩やかに傾斜するタンクレール 2 2 2 が連結され、タンクレール 2 2 2 の下流側には上下方向に延びるケースレール 2 2 3 が連結されている。ケースレール 2 2 3 の最下流部には払出装置 2 2 4 が設けられている。払出装置 2 2 4 より払い出された遊技球は、当該払出装置 2 2 4 の下流側に設けられた図示しない払出通路を通じて、裏パック 2 0 1 のベース部 2 1 1 に設けられた遊技球分配部 2 2 5 に供給される。

20

【 0 0 5 5 】

遊技球分配部 2 2 5 は、払出装置 2 2 4 より払い出された遊技球を上皿 3 3、下皿 3 4 又は後述する排出通路の何れかに振り分けるための機能を有し、内側の開口部 2 2 6 が上述した本体側上皿通路 1 2 2 及び前扉側上皿通路 5 1 を介して上皿 3 3 に通じ、中央の開口部 2 2 7 が本体側下皿通路 1 2 3 及び前扉側下皿通路 5 2 を介して下皿 3 4 に通じ、外側の開口部 2 2 8 が排出通路に通じるように形成されている。

【 0 0 5 6 】

払出機構部 2 0 2 には、裏パック基板 2 2 9 が設置されている。裏パック基板 2 2 9 には、例えば交流 2 4 ボルトの主電源が供給され、電源スイッチ 2 2 9 a の切替操作により電源 ON 又は電源 OFF とされるようになっている。

30

【 0 0 5 7 】

ベース部 2 1 1 の下端部には、当該下端部を前後に挟むようにして排出通路盤 2 0 3 及び制御装置集合ユニット 2 0 4 が取り付けられている。排出通路盤 2 0 3 は、制御装置集合ユニット 2 0 4 と対向する面に後方に開放された排出通路 2 3 1 が形成されており、当該排出通路 2 3 1 の開放部は制御装置集合ユニット 2 0 4 によって塞がれている。排出通路 2 3 1 は、遊技ホールの島設備等へ遊技球を排出するように形成されており、上述した回収通路 1 5 1 等から排出通路 2 3 1 に導出された遊技球は当該排出通路 2 3 1 を通ることでパチンコ機 1 0 外部に排出される。

40

【 0 0 5 8 】

制御装置集合ユニット 2 0 4 は、横長形状をなす取付台 2 4 1 を有し、取付台 2 4 1 に払出制御装置 2 4 2 と電源及び発射制御装置 2 4 3 とが搭載されている。これら払出制御装置 2 4 2 と電源及び発射制御装置 2 4 3 とは、払出制御装置 2 4 2 がパチンコ機 1 0 後方となるように前後に重ねて配置されている。

【 0 0 5 9 】

払出制御装置 2 4 2 は、基板ボックス 2 4 4 内に払出装置 2 2 4 を制御する払出制御基板が収容されている。なお、払出制御装置 2 4 2 から払出装置 2 2 4 への払出指令の信号は上述した裏パック基板 2 2 9 により中継される。また、払出制御装置 2 4 2 には状態復帰スイッチ 2 4 5 が設けられている。例えば、払出装置 2 2 4 における球詰まり等、払出

50

エラーの発生時において状態復帰スイッチ 2 4 5 が押されると、球詰まりの解消が図られるようになっている。

【 0 0 6 0 】

電源及び発射制御装置 2 4 3 は、基板ボックス 2 4 6 内に電源及び発射制御基板が収容されており、当該基板により、各種制御装置等で要する所定の電力が生成されて出力され、さらに遊技者による遊技球発射ハンドル 4 1 の操作に伴う遊技球の打ち出しの制御が行われる。また、電源及び発射制御装置 2 4 3 には R A M 消去スイッチ 2 4 7 が設けられている。本パチンコ機 1 0 は各種データの記憶保持機能を有しており、万一停電が発生した際でも停電時の状態を保持し、停電からの復帰の際には停電時の状態に復帰できるようになっている。したがって、例えば遊技ホールの営業終了の場合のように通常手順で電源を遮断すると遮断前の状態が記憶保持されるが、R A M 消去スイッチ 2 4 7 を押しながら電源を投入すると、R A M データが初期化されるようになっている。

10

【 0 0 6 1 】

なお、R A M 消去スイッチ 2 4 7 は、電源及び発射制御装置 2 4 3 に設けられている構成に限られず、例えば、主制御装置 1 6 2 に設けられている構成としてもよい。

【 0 0 6 2 】

< パチンコ機 1 0 の電氣的構成 >

次に、パチンコ機 1 0 の電氣的構成について、図 1 4 のブロック図に基づいて説明する。図 1 4 では、電力の供給ラインを二重線矢印で示し、信号ラインを実線矢印で示す。

【 0 0 6 3 】

20

主制御装置 1 6 2 には、主制御基板 3 0 1 と電断監視基板（停電監視基板）3 0 2 とが設けられている。主制御基板 3 0 1 には、M P U 3 1 1 と、システム用クロック回路 3 1 2 と、ハード乱数用クロック回路 3 1 3 と、変調回路 3 1 4 と、が搭載されている。M P U 3 1 1 には、当該 M P U 3 1 1 により実行される各種の制御プログラムや固定値データを記憶した R O M （不揮発性記憶手段）3 1 5 と、その R O M 3 1 5 内に記憶される制御プログラムの実行に際して各種のデータ等を一時的に記憶するためのメモリである R A M （揮発性記憶手段）3 1 6 と、カウンタ回路 3 1 7 と、割込回路やタイマ回路、データ入出力回路などの各種回路が内蔵されている。なお、M P U 3 1 1、R O M 3 1 5 及び R A M 3 1 6 の一部又は全部をそれぞれ別のチップとして設けてもよい。

【 0 0 6 4 】

30

M P U 3 1 1 には、入力ポート 3 1 1 a 及び出力ポートがそれぞれ設けられている。なお、入出力ポートを備え、M P U 3 1 1 において入出力が適宜変更される構成としてもよい。これは、後述する他の M P U においても同様である。

【 0 0 6 5 】

M P U 3 1 1 の入力ポート 3 1 1 a には、電断監視基板 3 0 2、払出制御装置 2 4 2 に設けられた払出制御基板 3 2 2 及びその他図示しないセンサ群などが接続されている。この場合に、電断監視基板 3 0 2 には電源及び発射制御基板 3 2 1 が接続されており、M P U 3 1 1 には電断監視基板 3 0 2 を介して電力が供給される。

【 0 0 6 6 】

スイッチ群の一部として、作動口 8 4 及び可変入賞装置 8 3 などといった入球部に設けられた複数の検知センサが接続されており、主制御装置 1 6 2 の M P U 3 1 1 において入球部の入球判定が行われる。また、M P U 3 1 1 では、入球部のうち、作動口 8 4 への入球に基づいて大当たり発生判定を実行する。

40

【 0 0 6 7 】

なお、システム用クロック回路 3 1 2、ハード乱数用クロック回路 3 1 3 及び変調回路 3 1 4 に関しては後述する。

【 0 0 6 8 】

ここで、M P U 3 1 1 にて遊技に関する制御を行う上での電氣的な構成について図 1 5 を用いて説明する。

【 0 0 6 9 】

50

R A M 3 1 6 には、各種カウンタエリアが設けられており、M P U 3 1 1 は遊技に際し、上記カウンタエリアに格納されている各種カウンタ情報及びカウンタ回路 3 1 7 のカウンタ情報を用いて、大当たり抽選、第 1 特定ランプ部 9 3 の発光色の設定や、図柄表示装置 9 1 の図柄表示の設定などを行う。

【 0 0 7 0 】

具体的には、大当たりの抽選に使用する大当たり乱数カウンタ C 1 と、確変大当たりや通常大当たり等の大当たり種別を判定する際に使用する大当たり種別カウンタ C 2 と、図柄表示装置 9 1 が外れ変動する際のリーチ抽選に使用するリーチ乱数カウンタ C 3 と、第 1 特定ランプ部 9 3 に表示される色の切り替えを行う期間及び図柄表示装置 9 1 における図柄の変動表示時間を決定する変動種別カウンタ C S とが用いられる。

10

【 0 0 7 1 】

ここで、カウンタ回路 3 1 7 は、大当たり乱数カウンタ C 1 を更新する専用の回路であり、大当たり乱数カウンタ C 1 は、当該カウンタ回路 3 1 7 にクロック信号が入力されることによって、更新される。一方、大当たり乱数カウンタ C 1 以外の他のカウンタ C 2 , C 3 , C S は、R A M 3 1 6 の各種カウンタエリアに格納されており、当該他のカウンタ C 2 , C 3 , C S は、M P U 3 1 1 から更新命令が下されることに基づいて、更新される。

【 0 0 7 2 】

他のカウンタ C 2 , C 3 , C S について詳細に説明すると、他のカウンタ C 2 , C 3 , C S は、その更新の都度前回値に 1 が加算され、最大値に達した後 0 に戻るループカウンタとなっている。各カウンタは遊技を進行させる上で必要な処理にて更新され、その更新値が R A M 3 1 6 の所定領域に設定されたカウンタ用バッファに適宜格納される。R A M 3 1 6 には、1 つの実行エリアと 4 つの保留エリア（保留第 1 ~ 第 4 エリア）とからなる保留球格納エリアが設けられており、これらの各エリアには、作動口 8 4 への遊技球の入球履歴に合わせて、大当たり種別カウンタ C 2 及びリーチ乱数カウンタ C 3 の各値が時系列的に格納されるようになっている。

20

【 0 0 7 3 】

詳細には、大当たり種別カウンタ C 2 は、例えば 0 ~ 4 9 の範囲内で順に 1 ずつ加算され、最大値（つまり 4 9 ）に達した後 0 に戻る構成となっている。そして、本実施形態では、大当たり種別カウンタ C 2 によって、大当たりが終了した後に、確変状態とするか通常状態とするかを決定することとしている。

30

【 0 0 7 4 】

リーチ乱数カウンタ C 3 は、例えば 0 ~ 2 3 8 の範囲内で順に 1 ずつ加算され、最大値（つまり 2 3 8 ）に達した後 0 に戻る構成となっている。そして、本実施形態では、リーチ乱数カウンタ C 3 によって、遊技結果が外れである場合に、リーチを実行するか否かを決定することとしている。

【 0 0 7 5 】

変動種別カウンタ C S は、例えば 0 ~ 2 4 0 の範囲内で順に 1 ずつ加算され、最大値（つまり 2 4 0 ）に達した後 0 に戻る構成となっている。変動種別カウンタ C S によって、第 1 特定ランプ部 9 3 に表示される色の切り替えを行う期間としての切替表示時間が決定される。この切替表示時間は、図柄表示装置 9 1 の図柄の変動表示時間に相当する。変動種別カウンタ C S は、後述する通常処理が 1 回実行される毎に 1 回更新され、当該通常処理内の残余時間内でも繰り返し更新される。そして、第 1 特定ランプ部 9 3 に表示される色の切り替え開始時及び図柄表示装置 9 1 による図柄の変動開始時における変動パターン決定に際して変動種別カウンタ C S のバッファ値が取得される。

40

【 0 0 7 6 】

大当たり乱数カウンタ C 1 について詳細に説明すると、大当たり乱数カウンタ C 1 は、例えば 0 ~ 6 7 6 の範囲内で順に 1 ずつ加算され、最大値（つまり 6 7 6 ）に達した後 0 に戻る構成となっている。遊技球が作動口 8 4 に入球した場合、M P U 3 1 1 はカウンタ回路 3 1 7 にアクセスし、その時点における大当たり乱数カウンタ C 1 の値を取得し、さ

50

らに当該取得された大当たり乱数カウンタC1の値を、RAM316の保留球格納エリアに格納する。

【0077】

なお、1遊技回の開始に際しては、主制御基板301のMPU311にて、保留球格納エリアに格納されている各カウンタC1~C3、CSの値を用いて大当たり抽選や第1特定ランプ部93に表示される色の切り替え時間が決定されるが、ここで決定された抽選結果の情報や切り替え時間の情報は遊技回用コマンドとして音声ランプ制御装置143に送信される。音声ランプ制御装置143では、当該遊技回用コマンドに基づいて、図柄表示装置91における変動パターンやリーチ発生の有無といった該当する遊技回の演出内容を決定する。

10

【0078】

また、RAM316には、上記各カウンタ以外にも、作動口84に設けられている電動役物を開放状態とするか否かの抽選に用いられる第2特定ランプ乱数カウンタが設けられており、スルーゲート85への入賞が発生したタイミングでその時点での第2特定ランプ乱数カウンタの値が取得され、その取得した値に基づいて電動役物を開放状態とするか否かの抽選が実行される。

【0079】

図14の説明に戻り、MPU311の出力ポートには、電断監視基板302、払出制御基板322及び中継端子板323が接続されている。払出制御基板322には、賞球コマンドなどといった各種コマンドが出力される。中継端子板323を介して主制御基板301から音声ランプ制御装置143に設けられた音声ランプ制御基板324に対して上記遊技回用コマンドなどが出力される。

20

【0080】

電断監視基板302は、主制御基板301と電源及び発射制御基板321とを中継し、また電源及び発射制御基板321から出力される最大電圧である直流安定24ボルトの電圧を監視する。そして、この電圧が22ボルト以上の場合には、主制御基板301に対し非電断信号(第1情報)としてのHIレベル信号を出力(送信)し、この電圧が22ボルト未満になると電源遮断の発生と判断し、主制御基板301に対して停電信号(第2情報)としてのLOWレベル信号を出力(送信)する。主制御基板301では、このLOWレベル信号の入力を所定の態様で確認することにより、その確認結果に基づいて後述する電断時処理(停電時処理)を実行する。

30

【0081】

払出制御基板322は、払出装置224により賞球などの払出制御を行うものである。演算装置であるMPU331は、そのMPU331により実行される制御プログラムや固定値データ等を記憶したROM332と、ワークメモリ等として使用されるRAM333とを備えている。なお、MPU331、ROM332及びRAM333の一部又は全部をそれぞれ別のチップとして設けてもよい。

【0082】

払出制御基板322のMPU331には、入力ポート及び出力ポートがそれぞれ設けられている。MPU331の入力側には、主制御基板301、電源及び発射制御基板321、及び裏パック基板229が接続されている。また、MPU331の出力側には、主制御基板301及び裏パック基板229が接続されている。

40

【0083】

電源及び発射制御基板321は、電入時電源部321aと発射制御部321bとを備えている。電入時電源部321aは、例えば、遊技ホール等における商用電源(外部電源)に接続されている。そして、その商用電源から供給される外部電力に基づいて主制御基板301や払出制御基板322等に対して各々に必要な動作電力を生成するとともに、その生成した動作電力を二重線矢印で示す経路を通じて主制御基板301や払出制御基板322等に対して供給する。その概要としては、電入時電源部321aは、裏パック基板229を介して供給される交流24ボルト電源を取り込み、各種センサやモータ等を駆

50

動するための直流 + 12 V 電力、ロジック用の直流 + 5 V 電力などを生成し、これら直流 + 12 V 電力、直流 + 5 V 電力を主制御基板 301 や払出制御基板 322 等に対して供給する。

【0084】

発射制御部 321 b は、遊技者による遊技球発射ハンドル 41 の操作にしたがって遊技球発射機構 110 の発射制御を担うものであり、遊技球発射機構 110 は所定の発射条件が整っている場合に駆動される。

【0085】

また、電源及び発射制御基板 321 には、電断時電源部 321 c が搭載されている。電断時電源部 321 c はコンデンサからなり、パチンコ機 10 の電源が ON 状態の場合（外部電源からの電力供給が行われている場合）に電入時電源部 321 a から供給される電力により充電される。また、パチンコ機 10 の電源が OFF 状態の場合や商用電源における電断発生時といった電源遮断状態（外部電源からの電力供給が遮断されている場合）では、電断時電源部 321 c から放電され主制御基板 301 の RAM 316 に対して記憶保持用電力が供給される。よって、かかる状況であっても、電断時電源部 321 c から記憶保持用電力が供給されている間は RAM 316 に記憶された情報が消去されることなく記憶保持される。

10

【0086】

ちなみに、電断時電源部 321 c の容量は比較的大きく確保されており、電源遮断前に RAM 316 に記憶されていた情報は所定の期間内（例えば、1日や2日）保持される。また、電断時電源部 321 c は、コンデンサに限定されることはなく、バッテリーや非充電式電池などであってもよい。非充電式電池の場合、パチンコ機 10 の電源が ON 状態の際に電断時電源手段への充電を行う必要はないが、定期的に交換する必要が生じる。

20

【0087】

また、電源及び発射制御基板 321 には、上記電断時電源部 321 c とは異なる電断時処理用電源部が設けられている。電源及び発射制御基板 321 では、直流安定 24 ボルトの電源が 22 ボルト未満になった後においても、電断時処理用電源部から放電することにより、後述する電断時処理の実行に十分な時間の間、制御系の駆動電源である 5 ボルトの出力を正常値に維持するように構成されている。これにより、主制御基板 301 などは、電断時処理を正常に実行し完了することができる。

30

【0088】

さらに、電源及び発射制御基板 321 には、交流電圧を出力する交流電源部 321 d が設けられている。交流電源部 321 d は、商用電源から供給される + 24 V の交流電圧をそのまま出力する。

【0089】

なお、交流電源部 321 d は、当該構成に限られず、電圧の波形を整える波形整形手段として全波整流回路を備えていてもよい。この場合、商用電源から供給される + 24 V の交流電圧の出力波形が一方向に整流される。

【0090】

音声ランプ制御基板 324 は、各種ランプ部 23 ~ 25（詳細には環状ランプ部 23、エラー表示ランプ部 24、賞球ランプ部 25）やスピーカ部 26、及び表示制御装置 325 を制御するものである。演算装置である MPU 341 は、その MPU 341 により実行される制御プログラムや固定値データ等を記憶した ROM 342 と、ワークメモリ等として使用される RAM 343 とを備えている。

40

【0091】

音声ランプ制御基板 324 の MPU 341 には入力ポート及び出力ポートがそれぞれ設けられている。MPU 341 の入力側には中継端子板 323 に中継されて主制御基板 301 が接続されており、主制御基板 301 から出力される各種コマンドに基づいて、各種ランプ部 23 ~ 25、スピーカ部 26、及び表示制御装置 325 を制御する。表示制御装置 325 は、音声ランプ制御基板 324 から入力する表示コマンドに基づいて図柄表示装置

50

9 1 を制御する。

【 0 0 9 2 】

< 主制御基板 3 0 1 の M P U 3 1 1 における処理構成 >

次に、主制御基板 3 0 1 の M P U 3 1 1 により実行される各制御処理を説明する。かかる M P U 3 1 1 の処理としては大別して、電源投入に伴い起動されるメイン処理と、メイン処理の通常処理に対して定期的に割り込んで起動されるタイマ割込み処理と、N M I 端子（ノンマスカブル端子）への停電信号の入力により起動される N M I 割込み処理とがあり、説明の便宜上、はじめに N M I 割込み処理とタイマ割込み処理とを説明し、その後メイン処理を説明する。

【 0 0 9 3 】

図 1 6 は、N M I 割込み処理であり、当該処理は、停電の発生等によるパチンコ機 1 0 の電源遮断発生時に実行される。すなわち、停電の発生等によりパチンコ機 1 0 の電源が遮断される場合には、停電信号が電断監視基板 3 0 2 から M P U 3 1 1 の N M I 端子に出力され、M P U 3 1 1 は実行中の制御を中断して N M I 割込み処理を開始する。N M I 割込み処理では、ステップ S 1 0 1 にて R A M 3 1 6 に設けられた停電フラグ格納エリアに停電フラグをセットし、本処理を終了する。その後、後述する通常処理にて停電フラグがセットされていることが確認されることで、停電時処理が実行される。

【 0 0 9 4 】

< タイマ割込み処理 >

図 1 7 は、タイマ割込み処理を示すフローチャートである。タイマ割込み処理は、上記のとおり定期的に起動される。この場合、本実施形態では 2 m s e c 周期で起動されるように構成されているが、この周期は任意である。但し、当該タイマ割込み処理には、電断信号や不正検知信号の確認や、各種入賞の確認などといった短い周期で繰り返し実行すべき処理が設定されているため、これら以外の処理が設定されている後述する通常処理の繰り返し周期よりも短く設定されていることが好ましい。

【 0 0 9 5 】

タイマ割込み処理では、先ずステップ S 2 0 1 にて、信号読み込み処理を実行する。信号読み込み処理では、一般入賞口 8 2、可変入賞装置 8 3、作動口 8 4 及びスルーゲート 8 5 に対して個別に設けられた球検知センサから入力ポート 3 1 1 a に入力されている情報を確認し、その確認結果から各入球部への入球の有無を特定する。具体的には、任意の 1 回の処理にて遊技球を検知していないことに対応した信号（例えば、L O W レベル信号）の入力を確認し、その後の 2 回の処理にて遊技球を検知していることに対応した信号（例えば、H I レベル信号）の入力を連続して確認した場合に、その検知センサに対応した入球部において遊技球の入球が発生したと特定する。

【 0 0 9 6 】

信号読み込み処理を実行した後は、続くステップ S 2 0 2 では、大当たり種別カウンタ C 2 及びリーチ乱数カウンタ C 3 の更新を実行する。具体的には、それぞれの乱数カウンタの値を 1 ずつ加算するとともに、当該加算した値が上限値になっているか否かを判定する。そして、当該加算した値が上限値を超えている場合には、カウンタの値を初期値に設定する。

【 0 0 9 7 】

なお、当該処理において、大当たり乱数カウンタ C 1 は更新されないようになっている。大当たり乱数カウンタ C 1 の更新については後述する。

【 0 0 9 8 】

その後、ステップ S 2 0 3 にて始動入賞処理を実行する。始動入賞処理では、図 1 8 のフローチャートに示すように、先ずステップ S 3 0 1 にて、R A M 3 1 6 の作動口フラグ格納エリアに作動口フラグが格納されているか否かを判定することにより、遊技球が作動口 8 4 に入賞（始動入賞）したか否かを判定する。なお、作動口フラグは、ステップ S 2 0 1 の信号読み込み処理にて作動口 8 4 への遊技球の入賞が確認された場合に格納される。

10

20

30

40

50

【 0 0 9 9 】

遊技球が作動口 8 4 に入賞したと判定すると、続くステップ S 3 0 2 において、第 1 特定ランプ部 9 3 及び図柄表示装置 9 1 の作動保留球数 N が上限値（本実施形態では 4）未満であるか否かを判定する。作動口 8 4 への入賞があり、且つ作動保留球数 $N < 4$ であることを条件にステップ S 3 0 3 に進み、作動保留球数 N を 1 加算する。なお、ステップ S 3 0 3 の処理後に作動口フラグを消去する。

【 0 1 0 0 】

続くステップ S 3 0 4 ~ ステップ S 3 0 6 では、その時点における大当たり乱数カウンタ C 1 の値を取得する処理を実行する。当該処理については、大当たり乱数カウンタ C 1 の更新に関する説明と合わせて説明する。

10

【 0 1 0 1 】

その後、ステップ S 3 0 7 では、ステップ S 3 0 5 で取得した大当たり乱数カウンタ C 1、及びステップ S 2 0 2 で更新した大当たり種別カウンタ C 2 並びにリーチ乱数カウンタ C 3 の各値を、RAM 3 1 6 の保留球格納エリアの空き記憶エリアのうち最初のエリアに格納する。そして、始動入賞処理の後、MPU 3 1 1 は本タイマ割込み処理を一旦終了する。

【 0 1 0 2 】

<メイン処理>

次に、電源投入時のリセットに伴い起動されるメイン処理について、図 1 9 のフローチャートを用いて説明する。

20

【 0 1 0 3 】

先ずステップ S 4 0 1 では、電源投入に伴う立ち上げ処理を実行する。具体的には、従側の制御基板（払出制御基板 3 2 2 等）が動作可能な状態になるのを待つために例えば 5 0 0 m s e c 程度待機する。

【 0 1 0 4 】

続くステップ S 4 0 2 では、ステップ S 4 0 1 の立ち上げ処理後から許可禁止用期間である 1 s e c が経過したか否かを判定する。1 s e c 経過していない場合にはステップ S 4 0 2 の処理を再度実行する。この時間の測定は、ステップ S 4 0 2 の処理回数をカウントすることにより行われる。例えば、ステップ S 4 0 2 にて否定判定してから再度ステップ S 4 0 2 の処理を実行するまでに要する時間が 0 . 1 m s e c である場合には、カウント値が 1 0 0 0 0 回となることで、ステップ S 4 0 1 の立ち上げ処理後から 1 s e c 経過したと判定する。なお、時間の測定の具体的な構成は任意であり、例えばリアルタイムクロックを用いて時間の測定を行うようにしてもよい。ステップ S 4 0 2 にて 1 s e c 経過したと判定した場合には、ステップ S 4 0 3 に進む。

30

【 0 1 0 5 】

ステップ S 4 0 3 では、RAM 3 1 6 のアクセスを許可する。その後、ステップ S 4 0 4 では、電源及び発射制御装置 2 4 3 に設けた RAM 消去スイッチ 2 4 7 がオンされているか否かを判定し、続くステップ S 4 0 5 では RAM 3 1 6 に停電フラグが格納されているか否かを判定する。また、ステップ S 4 0 6 では RAM 判定値を算出し、続くステップ S 4 0 7 では、その RAM 判定値が電源遮断時に保存した RAM 判定値と一致するか否か、すなわち記憶保持されたデータの有効性を判定する。RAM 判定値は、例えば RAM 3 1 6 の作業領域アドレスにおけるチェックサム値である。なお、RAM 3 1 6 の所定のエリアに書き込まれたキーワードが正しく保存されているか否かにより記憶保持されたデータの有効性を判断することも可能である。

40

【 0 1 0 6 】

上述したように、本パチンコ機 1 0 では、例えばホールの営業開始時など、電源投入時に RAM データを初期化する場合には RAM 消去スイッチ 2 4 7 を押しながら電源が投入される。したがって、RAM 消去スイッチ 2 4 7 が押されていれば、ステップ S 4 0 8 ~ S 4 0 9 の処理に移行する。また、電源遮断の発生情報が設定されていない場合や、RAM 判定値（チェックサム値等）により記憶保持されたデータの異常が確認された場合も同

50

様にステップS 4 0 8 ~ S 4 0 9の処理に移行する。

【0107】

ステップS 4 0 8では、RAM 3 1 6の使用領域を0にクリアし(初期化し)、ステップS 4 0 9ではRAM 3 1 6の初期化処理を実行する。その後、ステップS 4 1 0にて割込み許可を設定し、後述する通常処理に移行する。

【0108】

一方、RAM消去スイッチ2 4 7が押されていない場合には、停電フラグが格納されていること、及びRAM判定値(チェックサム値等)が正常であることを条件に、ステップS 4 1 1にてRAM 3 1 6から停電フラグを消去するとともに、ステップS 4 1 2にてRAM 3 1 6に記憶されているRAM判定値を消去する。その後、ステップS 4 1 0にて割込み許可を設定し、後述する通常処理に移行する。これにより、電源遮断前の状態に復帰する。

【0109】

<通常処理>

次に、通常処理について、図20のフローチャートを参照して説明する。

【0110】

通常処理において、ステップS 5 0 1では、変動種別カウンタCSの更新を実行する。続くステップS 5 0 2では、第1特定ランプ部9 3に表示される色の切り替えを行うための第1特定ランプ部制御処理を実行する。第1特定ランプ部制御処理では、大当たり判定や第1特定ランプ部9 3に配設されたLEDランプの光源スイッチのオンオフ制御などが行われる。また、第1特定ランプ部制御処理において、図柄表示装置9 1による第1図柄の変動表示の設定も行われる。

【0111】

具体的には、大当たり乱数カウンタC 1の値に基づいて大当たりか否かを判定する。より詳細には、大当たり乱数カウンタC 1の値が予め定められた大当たり当選となる当選値と一致しているか否かを判定する。また、大当たり種別カウンタC 2の値に基づいて大当たりの種類を決定する(いわゆる、確変大当たりか否かを決定する)。また、リーチ乱数カウンタC 3の値及び変動種別カウンタCSの値に基づいて、第1特定ランプ部9 3に表示される色の切替表示時間、及び第1図柄の変動表示時間を決定する。なお、当該第1特定ランプ部制御処理にて第1特定ランプ部9 3のオンオフ制御が開始される毎に作動保留球数Nが1減算され、作動保留球数Nが0の場合にはオンオフ制御が開始されない。

【0112】

第1特定ランプ部制御処理の後には、ステップS 5 0 3にて大入賞口開閉処理を実行する。大入賞口開閉処理では、大当たり状態である場合において可変入賞装置8 3の大入賞口を開放又は閉鎖する。すなわち、大当たり状態のラウンド毎に大入賞口を開放し、大入賞口の最大開放時間が経過したか、又は大入賞口に遊技球が規定数だけ入賞したかを判定する。この規定数だけ入賞したか否かの判定は、大入賞口用カウンタを確認することにより行われる。そして、これら何れかの条件が成立すると大入賞口を閉鎖する。

【0113】

その後、ステップS 5 0 4では、第2特定ランプ部9 4に表示される色の切り替え処理を行うための第2特定ランプ部制御処理を実行する。第2特定ランプ部制御処理では、スルーゲート8 5に遊技球が入賞したことを条件に第2特定ランプ部9 4における表示色の切り換えを開始する。この際、表示色の切り換え時間も設定する。また、スルーゲート8 5に遊技球が入賞した際に取得された第2特定ランプ乱数カウンタの値に基づいて停止表示する色を設定する。この停止表示される色として所定の色が設定された場合には、その色の停止表示後に、作動口8 4に付随する電動役物が所定時間開放される。

【0114】

ステップS 5 0 4の後には、ステップS 5 0 5にて、遊技球発射制御処理を実行する。遊技球発射制御処理では、電源及び発射制御基板3 2 1の発射制御部3 2 1 bから発射許可信号を入力していることを条件として、所定期間(例えば、0.6sec)に1回、遊技

10

20

30

40

50

球発射機構 110 のソレノイドを励磁する。これにより、遊技球発射機構 110 の発射レール上にある遊技球が遊技領域に向けて打ち出される。当該処理についてより具体的には、MPU311 は上記発射許可信号を入力していることを条件として、発射出力用ポートへの「0」出力と「1」出力とを所定周期で繰り返す。発射出力用ポートに「0」出力されている間は非発射信号が電源及び発射制御基板 321 に出力され、発射制御部 321b ではソレノイドを非励磁状態とする。一方、発射出力用ポートに「1」出力されている間は発射信号が電源及び発射制御基板 321 に出力され、発射制御部 321b ではソレノイドを励磁状態とする。

【0115】

すなわち、MPU311 は電源及び発射制御基板 321 に発射パルス信号を出力する。電源及び発射制御基板 321 の発射制御部 321b は発射パルス信号の電圧を増幅させたソレノイド駆動信号（駆動電圧）をソレノイドへ向けて出力し、ソレノイドの出力軸を発射位置と収容位置とに移動させることで、遊技球の発射を制御する。

10

【0116】

その後、ステップ S506 にて、RAM316 に停電フラグが格納されているか否かを判定する。停電フラグが格納されていない場合には、ステップ S507 に進み、次の通常処理の実行タイミングに至ったか否か、すなわち前回の通常処理の開始からタイマ割込み処理が複数回数として予め設定された割込み基準回数（具体的には、2回）発生したか否かを判定する。このタイマ割込みの回数の把握として具体的には、RAM316 に割込み回数カウンタが設けられており、タイマ割込みが起動される度に当該カウンタの値が1加算されるとともに、ステップ S501 の処理が実行される直前のタイミングで当該カウンタの値が0クリアされる（初期化される）。タイマ割込み処理が割込み基準回数発生していない場合には、ステップ S508 に進む。

20

【0117】

ステップ S508 では、変動種別カウンタ CS の更新処理を実行する。具体的には、変動種別カウンタ CS を1加算すると共に、加算した変動種別カウンタ CS の値が上限値を越えている場合には0にクリアする（初期化する）。そして、変動種別カウンタ CS の更新値を、RAM316 の該当するバッファ領域に格納する。

【0118】

その後、ステップ S506 に進む。その後、前回の通常処理の開始からタイマ割込み処理が割込み基準回数発生するまで上述した処理を繰り返し、割込み基準回数に達した場合にはステップ S501 の処理に戻る。つまり、停電フラグが格納されていない場合には、ステップ S501 ~ ステップ S505 の処理が 4 msec 周期で繰り返し実行されることとなる。なお、当該周期は、遊技の進行を良好に制御することができるのであれば、4 msec に限定されない。

30

【0119】

停電フラグが格納されている場合には、ステップ S509 以降の停電時処理を実行する。つまり、ステップ S509 では、タイマ割込み処理の発生を禁止し、その後、ステップ S510 にて RAM 判定値を算出、保存し、ステップ S511 にて RAM316 のアクセスを禁止した後に、電源が完全に遮断して処理が実行できなくなるまで無限ループを継続する。

40

< 大当たり乱数カウンタ C1 の更新について >

次に、大当たり乱数カウンタ C1 の更新について図 14 及び図 21 を用いて説明する。図 21 は、ハード乱数用クロック回路 313 及び変調回路 314 の構成を示すブロック回路図である。

【0120】

図 14 に示すように、主制御基板 301 には、システム用クロック信号を出力するシステム用クロック回路 312 と、大当たり乱数カウンタ C1 の更新に用いられるハード乱数用クロック信号を出力するハード乱数用クロック回路 313 と、が設けられている。両者は、電断監視基板 302 を介して電源及び発射制御基板 321 と電氣的に接続されている

50

。さらに、両者は、それぞれMPU311と電氣的に接続されている。

【0121】

システム用クロック回路312は、水晶振動子を備えた発振回路であり、電源及び発射制御基板321から電力供給が行われている状況において、MPU311に向けてシステム用クロック信号を出力する。MPU311は、システム用クロック信号の入力を基準として、複数の素子を同時に動作させることによって、遊技の進行を行う上で必要な処理を実行するとともに、他のハードウェアとの同期を取る。

【0122】

ハード乱数用クロック回路313は、電源及び発射制御基板321から電力が供給されている状況において、MPU311に向けてハード乱数用クロック信号を出力する。MPU311に対してハード乱数用クロック信号が入力されたことに基づいて、大当たり乱数カウンタC1が更新される。

10

【0123】

具体的には、大当たり乱数カウンタC1は、MPU311へのシステム用クロック信号の入力に同期することなく、MPU311へのハード乱数用クロック信号の入力に同期して更新されるように設定されている。詳細には、カウンタ回路317は、ハード乱数用クロック信号のみが入力されるように構成されており、カウンタ回路317がハード乱数用クロック信号の立ち上がり同期することによって、大当たり乱数カウンタC1の値が1加算される。つまり、他のカウンタC2、C3、CSは、MPU311が実行するタイム割込み処理又は通常処理にて更新される一方、大当たり乱数カウンタC1は、MPU311におけるソフトウェア処理によって更新されるのではなく、専用のカウンタ回路317によって更新される。そして、MPU311が動作する契機となるシステム用クロック信号と、カウンタ回路317が動作する契機となるハード乱数用クロック信号とは、それぞれ独立してMPU311に対して入力される。これにより、大当たり乱数カウンタC1の更新処理と、その他の遊技の進行に関する処理とが並列で実行されている。よって、MPU311の処理負荷の軽減を図ることができる。また、ソフトウェア処理の影響を受けることなく大当たり乱数カウンタC1の更新が行われるため、所定のソフトウェア処理の実行に同期して大当たり乱数カウンタC1の値を特定するといった不正行為及び更新プログラムを書き換えるといった不正行為を抑制することができる。

20

【0124】

ここで、大当たり乱数カウンタC1の更新タイミングは、ハード乱数用クロック信号の立ち上がりタイミングとなる。ハード乱数用クロック信号は、システム用クロック信号とは異なる周期となるように、かつシステム用クロック信号とは同期しないように設定されている。

30

【0125】

ハード乱数用クロック回路313は、図21に示すように、交流電圧の周波数を変換する周波数変換回路401と、交流波形をパルス信号に変換する信号変換回路402と、を備えている。

【0126】

周波数変換回路401は、電断監視基板302を介して、交流電源部321dと電氣的に接続されている。周波数変換回路401は、交流電源部321dから交流電圧が入力されると、当該交流電圧の周波数を特定周波数(例えば300Hz)に変換するとともに、当該変換された交流電圧を信号変換回路402へ向けて出力するように構成されている。

40

【0127】

具体的には、周波数変換回路401は、局所発振回路401aとミキサ回路401bとを備えている。局所発振回路401aは、例えば抵抗とバリャブルコンデンサ(以下、単にバリコンと称する)とを有するCR発振回路から構成されており、抵抗値及びバリコンの静電容量に対応した周波数の交流電圧をミキサ回路401bへ向けて出力するように構成されている。

【0128】

50

ミキサ回路401bは、CR発振回路からの交流電圧が入力される第1入力端子と、交流電源部321dから供給される交流電圧が入力される第2入力端子と、出力端子と、を備えており、第1入力端子及び第2入力端子それぞれの端子に、周波数の異なる交流電圧が入力されたことに基づいて、両者の差の周波数の交流電圧を出力するものである。

【0129】

ここで、商用電源から供給される交流電圧の周波数（東日本の場合には50Hz、西日本の場合には60Hz）の変化に対応させて、CR発振回路にはバリコンの静電容量を変更するスイッチが設けられている。当該スイッチを操作することによって、CR発振回路から出力される交流電圧の周波数が350Hz又は360Hzに切り替わるように構成されている。これにより、商用電源から供給される交流電圧の周波数が50Hzの場合には、CR発振回路から350Hzの交流電圧が出力されるようにスイッチを制御するとともに、商用電源から供給される交流電圧の周波数が60Hzの場合には、CR発振回路から360Hzの交流電圧が出力されるようにスイッチを制御することによって、商用電源から供給される交流電圧の周波数に関わらず、ミキサ回路401bから出力される交流電圧の周波数が300Hzに統一されている。

10

【0130】

信号変換回路402は、周波数変換された交流電圧が入力されたことに基づいて、当該交流電圧の周波数に対応したパルス信号を変調回路314へ向けて出力する構成となっている。具体的には、信号変換回路402は、周波数変換回路401から出力される交流電圧の振幅の調整をする振幅調整手段として2つの抵抗411、412を備えるとともに、当該振幅調整手段によって調整された交流電圧と所定の閾値電圧との比較に基づいて交流電圧をパルス信号に変換する変換手段としてシュミットトリガ413（シュミットインバータ）を備えている。2つの抵抗411、412は、周波数変換回路401に対して直列に接続されている。抵抗412の一端は接地されている。また、抵抗412に対して並列となる位置に、シュミットトリガ413が配置されている。シュミットトリガ413の入力端子は、2つの抵抗411、412を接続する配線上に接続されており、シュミットトリガ413の出力端子は変調回路314に接続されている。このような構成により、周波数変換回路401から出力される交流電圧が+5Vのパルス信号に変換される。

20

【0131】

つまり、2つの抵抗411、412の抵抗値の比率によってシュミットトリガ413に印加される交流電圧の大きさ（振幅）が決まる。具体的には、2つの抵抗411、412の抵抗値がそれぞれR1、R2であって、周波数変換回路401から出力されている交流電圧の振幅が+2.4Vである場合、シュミットトリガ413に印加される電圧は、 $2.4V \times R2 / (R1 + R2)$ となる。よって、例えば、R1の抵抗値を47k、R2の抵抗値を10kとすることによって、シュミットトリガ413に印加される電圧を+5Vに調整することができる。

30

【0132】

シュミットトリガ413は、図示しない電気経路を介して電源及び発射制御基板321と電氣的に接続されており、電力供給を受けている。シュミットトリガ413は、所定の上限閾値電圧V_{th}以上であればLOWレベル信号を出力するとともに、所定の下限閾値電圧V_{tl}未満であればHIレベル信号を出力するものである。詳細には、交流電圧が上限閾値電圧V_{th}（例えば+4.3V）以上になると、その後交流電圧が上限閾値電圧V_{th}よりも低い下限閾値電圧V_{tl}（例えば+3.5V）以下になるまで、LOWレベル信号を出力し、交流電圧が下限閾値電圧V_{tl}以下になると、その後交流電圧が上限閾値電圧V_{th}になるまで、HIレベル信号を出力する。これにより、所定のパルス幅のパルス信号が得られる。当該パルス信号がハード乱数用クロック信号として用いられる。

40

【0133】

なお、シュミットトリガ413はインバータタイプのものを用いたが、これに限られず、バッファタイプのものを用いてもよい。

【0134】

50

次に、変調回路 3 1 4 について説明する。変調回路 3 1 4 は、ハード乱数用クロック回路 3 1 3 と M P U 3 1 1 とを接続する経路上に設けられており、ハード乱数用クロック回路 3 1 3 から出力されているハード乱数用クロック信号（詳細にはシュミットトリガ 4 1 3 から出力されたパルス信号）を、2つの出力間隔及び2つのパルス幅を有するパルス信号に変調する。

【 0 1 3 5 】

具体的には、変調回路 3 1 4 は、第 1 D フリップフロップ 4 2 2、第 2 D フリップフロップ 4 2 3、並びに第 3 D フリップフロップ 4 2 4 と、第 1 X O R 回路 4 2 5 並びに第 2 X O R 回路 4 2 6 と、から構成されている。各 D フリップフロップ 4 2 2、4 2 3、4 2 4 は同一の構成であるため、第 1 D フリップフロップ 4 2 2 を例にとって説明すると、第 1 D フリップフロップ 4 2 2 は、入力端子として D 1 端子と、C L K 1 端子とを有するとともに、出力端子として Q 1 端子を有しており、C L K 1 端子に入力される信号が L O W レベルから H I レベルに立ち上がることに同期して、その時点において D 1 端子に入力されている信号状態に応じた信号を Q 1 端子から出力するとともに、次の立ち上がりまで当該出力状態を保持する。

10

【 0 1 3 6 】

ここで、各 D フリップフロップ 4 2 2、4 2 3、4 2 4 それぞれの C L K 端子は、信号変換回路 4 0 2 と接続されているため、各 C L K 端子には同一の信号が入力されることとなる。つまり、各 D フリップフロップ 4 2 2、4 2 3、4 2 4 は同じタイミングで動作することとなる。以下、各 D フリップフロップ 4 2 2、4 2 3、4 2 4 が同期するタイミング（D フリップフロップの C L K 端子に入力される信号が L O W レベルから H I レベルに立ち上がるタイミング）を同期タイミングと称する。

20

【 0 1 3 7 】

また、各 X O R 回路 4 2 5、4 2 6 はそれぞれ、2つの入力端子と1の出力端子とを備えており、2つの入力端子に対して入力される信号状態が同一である場合には、出力端子から L O W レベル信号を出力する一方、2つの入力端子に対して入力される信号状態が異なっている場合には出力端子から H I レベル信号を出力する。

【 0 1 3 8 】

第 1 D フリップフロップ 4 2 2 の D 1 端子には、第 1 X O R 回路 4 2 5 の出力端子が接続されており、第 1 D フリップフロップ 4 2 2 の Q 1 端子には、第 2 X O R 回路 4 2 6 の一方の入力端子が接続されている。第 2 D フリップフロップ 4 2 3 の D 2 端子には、第 2 X O R 回路 4 2 6 の出力端子が接続されており、第 2 D フリップフロップ 4 2 3 の Q 2 端子には、第 3 D フリップフロップ 4 2 4 の D 3 端子が接続されている。第 3 D フリップフロップ 4 2 4 の Q 3 端子は、M P U 3 1 1 に接続されているとともに、第 1 X O R 回路 4 2 5 の他方の入力端子及び第 2 X O R 回路 4 2 6 の一方の入力端子にそれぞれ接続されている。第 1 X O R 回路 4 2 5 の他方の入力端子には、電断監視基板 3 0 2 を介して電源及び発射制御基板 3 2 1 が接続されており、H I レベル信号に相当する + 5 V 電圧が供給されている。

30

【 0 1 3 9 】

かかる構成によれば、Q 1 端子からの出力は Q 3 端子から出力されている信号に応じて変化する。具体的には、Q 3 端子から H I レベル信号が出力されている状況では、第 1 X O R 回路 4 2 5 から D 1 端子へ向けて L O W レベル信号が出力されているため、かかる状況において同期タイミングとなった場合、Q 1 端子から L O W レベル信号が出力される。一方、Q 3 端子から L O W レベル信号が出力されている状況では、第 1 X O R 回路 4 2 5 から D 1 端子へ向けて H I レベル信号が出力されているため、かかる状況において同期タイミングとなった場合、Q 1 端子から H I レベル信号が出力される。

40

【 0 1 4 0 】

また、Q 2 端子からの出力は、Q 1 端子及び Q 3 端子から出力されている信号に応じて変化する。具体的には、Q 1 端子及び Q 3 端子から出力される信号が同一である状況では、第 2 X O R 回路 4 2 6 から D 2 端子へ向けて L O W レベル信号が出力されるため、かか

50

る状況において同期タイミングとなった場合、Q2端子からLOWレベル信号が出力される。一方、Q1端子及びQ3端子から出力されている信号が異なる状況では、第2XOR回路426からD2端子へ向けてHIレベル信号が出力されるため、かかる状況において同期タイミングとなった場合、Q2端子からHIレベル信号が出力される。

【0141】

そして、Q3端子からの出力は、Q2端子から出力されている信号に応じて変化する。具体的には、Q2端子からLOWレベル信号が出力されている状況において同期タイミングとなった場合には、Q3端子からLOWレベル信号が出力される一方、Q2端子からHIレベル信号が出力されている状況において同期タイミングとなった場合には、Q3端子からHIレベル信号が出力される。

10

【0142】

次に、変調回路314の動作について、図22のタイミングチャートを用いて説明する。t1のタイミング～t9のタイミングが同期タイミングである。すなわち、これらのタイミングにて、ハード乱数用クロック回路313から出力されるハード乱数用クロック信号が入力される。詳細には、これらのタイミングにて、シュミットトリガ413から出力される信号がLOWレベルからHIレベルに立ち上がり、当該立ち上がりに同期して各Dフリップフロップ422、423、424は、それぞれのD端子(D1端子、D2端子、D3端子)に入力されている信号に応じた信号を、それぞれのQ端子(Q1端子、Q2端子、Q3端子)から出力する。なお、Dフリップフロップの特性上、図22に示すように、各Q端子から出力される信号状態が変化する場合、当該変化の態様(LOWレベルからHIレベルへの立ち上がり又はHIレベルからLOWレベルへの立ち下がり)は同期タイミングに対して若干遅れて出力される。

20

【0143】

t1のタイミングでは、Q3端子からLOWレベル信号が出力されているため、第1XOR回路425からHIレベル信号が出力されている。この場合、t1のタイミングより若干遅れたタイミングにて、Q1端子からの出力状態がLOWレベルからHIレベルに立ち上がる。また、t1のタイミングでは、Q1端子及びQ3端子双方からLOWレベル信号が出力されているため、第2XOR回路426からLOWレベル信号が出力されている。この場合、Q2端子からLOWレベル信号が出力される。なお、t1のタイミングでは、Q3端子からの出力状態はLOWレベルに維持される。

30

【0144】

続くt2のタイミングでは、Q3端子からLOWレベル信号が出力されているため、第1XOR回路425からHIレベル信号が出力されている。この場合、Q1端子からHIレベル信号が出力される。また、Q1端子からHIレベル信号が出力されている一方、Q3端子からLOWレベル信号が出力されているため、第2XOR回路426からHIレベル信号が出力されている。この場合、t2のタイミングから若干遅れたタイミングにて、Q2端子からの出力状態がLOWレベルからHIレベルに立ち上がる。なお、t2のタイミングでは、Q3端子からの出力状態はLOWレベルに維持される。

【0145】

t3のタイミングでは、Q3端子からLOWレベル信号が出力されているため、第1XOR回路425からHIレベル信号が出力されている。この場合、Q1端子からHIレベル信号が出力される。また、t3のタイミングでは、Q1端子からHIレベル信号が出力されている一方、Q3端子からLOWレベル信号が出力されているため、第2XOR回路426からHIレベル信号が出力されている。この場合、Q2端子からHIレベル信号が出力される。さらに、t3のタイミングでは、Q2端子からHIレベル信号が出力されている。この場合、t3のタイミングよりも若干遅れたタイミングにて、Q3端子からの出力状態がLOWレベルからHIレベルに立ち上がる。当該立ち上がりにカウンタ回路317は同期して、大当たり乱数カウンタC1が更新される。

40

【0146】

t4のタイミングでは、Q3端子からHIレベル信号が出力されているため、第1XO

50

R回路425からLOWレベル信号が出力されている。この場合、 t_4 のタイミングから若干遅れたタイミングにて、Q1端子からの出力状態がHIレベルからLOWレベルに立ち下がる。また、 t_4 のタイミングでは、Q1端子及びQ3端子双方からHIレベル信号が出力されているため、第2XOR回路426からLOWレベル信号が出力されている。この場合、 t_4 のタイミングから若干遅れたタイミングにて、Q2端子からの出力状態がHIレベルからLOWレベルに立ち下がる。なお、 t_4 のタイミングでは、Q3端子からの出力状態はHIレベルに維持される。

【0147】

t_5 のタイミングでは、Q3端子からHIレベル信号が出力されているため、第1XOR回路425からLOWレベル信号が出力されている。この場合、Q1端子からLOWレベル信号が出力される。また、 t_5 のタイミングでは、Q1端子からLOWレベル信号が出力されている一方、Q3端子からHIレベル信号が出力されているため、第2XOR回路426からHIレベル信号が出力されている。この場合、 t_5 のタイミングから若干遅れたタイミングにて、Q2端子からの出力状態がLOWレベルからHIレベルに立ち上がる。さらに、 t_5 のタイミングでは、Q2端子からLOWレベル信号が出力されているため、 t_5 のタイミングから若干遅れたタイミングにて、Q3端子からの出力状態がHIレベルからLOWレベルに立ち下がる。

10

【0148】

t_6 のタイミングでは、Q3端子からLOWレベル信号が出力されているため、第1XOR回路425からHIレベル信号が出力されている。この場合、 t_6 のタイミングから若干遅れたタイミングにて、Q1端子からの出力状態がLOWレベルからHIレベルに立ち上がる。また、 t_6 のタイミングでは、Q1端子及びQ3端子双方からLOWレベル信号が出力されているため、第2XOR回路426からLOWレベル信号が出力されている。この場合、 t_6 のタイミングから若干遅れたタイミングにて、Q2端子からの出力状態がHIレベルからLOWレベルに立ち下がる。さらに、 t_6 のタイミングでは、Q2端子からHIレベル信号が出力されているため、 t_6 のタイミングから若干遅れたタイミングにて、Q3端子からの出力状態がLOWレベルからHIレベルに立ち上がる。当該立ち上がりにカウンタ回路317が同期して、大当たり乱数カウンタC1が更新される。

20

【0149】

ここで、 t_3 のタイミングから t_6 のタイミングまでの期間 T_a (詳細には、 t_3 のタイミングから若干遅れたタイミングから t_6 のタイミングから若干遅れたタイミングまでの期間)が大当たり乱数カウンタC1の更新間隔となっている。当該期間 T_a は、シュミットトリガ413から出力されるパルス信号の周期 T_1 (ハード乱数用クロック回路313から出力されるハード乱数用クロック信号の周期 T_1)の3倍となっている。すなわち、大当たり乱数カウンタC1の更新間隔(期間 T_a)と、信号変換回路402から出力されるパルス信号の周期 T_1 とが異なっている。これにより、シュミットトリガ413から出力されるパルス信号の周期 T_1 が把握された場合であっても、大当たり乱数カウンタC1の更新タイミングは把握されにくくなっている。

30

【0150】

t_7 のタイミングでは、Q3端子からHIレベル信号が出力されているため、第1XOR回路425からLOWレベル信号が出力されている。この場合、 t_7 のタイミングから若干遅れたタイミングにて、Q1端子からの出力状態がHIレベルからLOWレベルに立ち下がる。また、 t_7 のタイミングでは、Q1端子及びQ3端子双方からHIレベル信号が出力されているため、第2XOR回路426からLOWレベル信号が出力されているため、Q2端子からLOWレベル信号が出力される。なお、 t_7 のタイミングでは、Q3端子からの出力状態はLOWレベルに維持される。

40

【0151】

t_8 のタイミングでは、Q1端子、Q2端子及びQ3端子の出力状態は、 t_1 のタイミングの場合と同様であるため、 t_1 のタイミングの場合と同様に、 t_8 のタイミングから若干遅れたタイミングにてQ1端子からの出力状態がLOWレベルからHIレベルに立ち

50

上がる一方、Q2端子及びQ3端子からの出力はLOWレベルに維持される。この場合、 t_1 のタイミングから t_8 のタイミングまでの期間 T_2 が1周期となり、 t_1 タイミングから t_8 タイミングまでの動作が繰り返し実行されている。つまり、パルス幅が異なる2つのパルス信号を含んだパルス信号群が、周期 T_2 で繰り返し出力されている。そして、当該パルス信号群がハード乱数用クロック信号としてMPU311に対して入力される。

【0152】

その後、 t_9 のタイミングから若干遅れたタイミングにて、Q3端子から出力される信号がLOWレベルからHIレベルに立ち上がり、当該タイミングにて大当たり乱数カウンタC1が更新される。つまり、 t_6 のタイミングから t_9 のタイミングまでの期間 T_b が、大当たり乱数カウンタC1の更新間隔となっている。換言すれば、Q3端子から2種類の立ち上がりエッジ間隔で交互にパルス信号が出力されるため、大当たり乱数カウンタC1の更新間隔も交互に変化する。換言すれば、変調回路314は、信号変換回路402からのパルス信号の入力に基づいて、入力されたパルス信号の周期 T_1 とは異なる立ち上がり間隔であって、さらに2種類の立ち上がり間隔で交互にパルス信号を出力するものであると言える。そして、当該パルス信号群に即した大当たり乱数カウンタC1の更新が、当該パルス信号群単位で繰り返されている。これにより、大当たり乱数カウンタC1の更新が行われる更新間隔が2種類となるため、大当たり乱数カウンタC1の更新間隔が把握されにくい。

【0153】

また、大当たり乱数カウンタC1が、パルス信号の立ち上がりに同期して更新される点に着目すれば、パルス信号の立ち上がりトリガとみなすことができる。この場合、変調回路314は、信号変換回路402から入力されるパルス信号を変調し、複数のパルス信号を含むパルス信号群を1周期として出力することで、大当たり乱数カウンタC1の更新の契機となるトリガの間隔が2種類となるようにするものであって、当該2種類のトリガ間隔は入力されたパルス信号の周期 T_1 とは異なるように設定されていると言える。

【0154】

なお、実際には、同期タイミングから、各Q端子からの出力状態が変化するまでの遅延期間は、ハード乱数用クロック信号の周期 T_1 に対して十分小さいものであり、以降の説明では、同期タイミングと出力状態が変化するタイミングとは同一タイミングであるとして説明する。

【0155】

次に、大当たり乱数カウンタC1の更新間隔と、大当たり乱数カウンタC1の数値範囲との関係について図23を用いて説明する。ここで、大当たり乱数カウンタC1の更新間隔のうち、一方の期間 T_a を単に T_a 、他方の期間 T_b を単に T_b と称し、パルス信号群のうち、先に出力されるパルス信号(パルス幅が大きい方のパルス信号)の立ち上がりタイミングを第1タイミング、後に出力されるパルス信号(パルス幅が小さい方のパルス信号)の立ち上がりタイミングを第2タイミングと称する。図23(a)は、第1タイミングにて大当たり乱数カウンタC1が「0」になった場合の大当たり乱数カウンタC1の更新の様子を示すタイミングチャートであり、図23(b)は、第2タイミングにて大当たり乱数カウンタC1が「0」になった場合の大当たり乱数カウンタC1の更新の様子を示すタイミングチャートである。

【0156】

さらに、説明の便宜上、大当たり乱数カウンタC1の数値範囲が「0~4」であり、当選値が「2」と仮定して説明する。なお、大当たり乱数カウンタC1が取り得る数値から構成される数列の項数をカウンタ項数と称する。例えば、大当たり乱数カウンタC1の数値範囲が「0~4」である場合、大当たり乱数カウンタC1が取り得る値から構成される数列は、「0, 1, 2, 3, 4」であり、カウンタ項数は「5」である。一般式に拡張すれば、大当たり乱数カウンタC1の数値範囲が「0~N」とすれば、カウンタ項数は、「N+1」である。

【0157】

10

20

30

40

50

図 2 3 (a) に示すように、第 1 タイミングにて大当たり乱数カウンタ C 1 が「 0 」となった場合、大当たり乱数カウンタ C 1 が 1 周するまでに要する期間は、 $3 T a + 2 T b$ であり、当該期間内に当選値である「 2 」の値であった期間は $T a$ である。つまり、 $3 T a + 2 T b$ の期間中の $T a$ だけ、大当たり乱数カウンタ C 1 は「 2 」の値を保持しており、当該期間中に大当たり乱数カウンタ C 1 の値が取得されれば、大当たり当選となる。換言すれば、期間という観点から着目すれば、大当たり当選確率は、 $T a / (3 T a + 2 T b)$ となっている。

【 0 1 5 8 】

また、第 1 タイミングにて大当たり乱数カウンタ C 1 が「 0 」となった場合、大当たり乱数カウンタ C 1 が「 4 」となるタイミングは第 1 タイミングとなる。すると、第 2 タイミングにて大当たり乱数カウンタ C 1 が「 0 」となり、順次更新が行われる。この場合、大当たり乱数カウンタ C 1 が 1 周するまでに要する期間は、図 2 3 (b) に示すように、 $2 T a + 3 T b$ であり、当該期間内に当選値である「 2 」の値であった期間は、 $T b$ である。よって、この場合の大当たり当選確率は、 $T b / (2 T a + 3 T b)$ である。

10

【 0 1 5 9 】

すなわち、大当たり乱数カウンタ C 1 が第 1 タイミング又は第 2 タイミングのどちらのタイミングにて「 0 」からの更新が開始されるかによって、大当たり乱数カウンタ C 1 の値が当選値となっている期間が変動するとともに、大当たり乱数カウンタ C 1 が 1 周する期間も変動する。換言すれば、パルス信号群に含まれるパルス信号のうち、大当たり乱数カウンタ C 1 の値が初期値となる更新に対応したパルス信号が変動することによって、大当たり乱数カウンタ C 1 の値が当選値となっている期間及び大当たり乱数カウンタ C 1 が 1 周する期間が変動する。これにより、大当たり乱数カウンタ C 1 が 1 周する毎に、大当たり乱数カウンタ C 1 の値が当選値となっている期間、大当たり乱数カウンタ C 1 の値が初期値から当選値になるまでの期間、及び大当たり乱数カウンタ C 1 が 1 周するまでの期間が変動する。よって、大当たり乱数カウンタ C 1 の値が当選値となっているタイミングの把握をより困難なものにしている。

20

【 0 1 6 0 】

例えば大当たり乱数カウンタ C 1 が 1 周するまでの期間が把握された場合、大当たり乱数カウンタ C 1 の更新間隔が把握されるおそれがある。かかる状況において、当選値が把握された場合、大当たり乱数カウンタ C 1 の値が当選値となるタイミングが特定されるおそれがある。これに対して、本実施形態では、大当たり乱数カウンタ C 1 の更新の契機となるハード乱数用クロック信号のトリガ間隔を 2 種類に設定し、さらに大当たり乱数カウンタ C 1 のカウンタ頂数が奇数になるように大当たり乱数カウンタ C 1 の数値範囲を設定することによって、大当たり乱数カウンタ C 1 が「 0 」となるタイミングが第 1 タイミングと第 2 タイミングとで交互に切り替わる。これにより、大当たり乱数カウンタ C 1 の値が当選値である期間、及び大当たり乱数カウンタ C 1 が 1 周するのに必要な期間が変動するため、大当たり乱数カウンタ C 1 の値が当選値となるタイミングの把握を困難なものにしている。よって、大当たり乱数カウンタ C 1 が 1 周する期間を特定することによって、大当たり乱数カウンタ C 1 の値が当選値となるタイミングを把握する不正行為を抑制することができる。

30

40

【 0 1 6 1 】

この場合、乱数初期値カウンタを別途設け、大当たり乱数カウンタ C 1 の更新とは別に当該カウンタの更新処理を行い、大当たり乱数カウンタ C 1 が 1 周した場合には、その時点における乱数初期値カウンタの値を大当たり乱数カウンタ C 1 の初期値として読み込む構成も考えられる。しかしながら、当該構成では、R A M 3 1 6 のカウンタエリアに乱数初期値カウンタを別途設けるとともに、当該乱数初期値カウンタの更新処理及び大当たり乱数カウンタ C 1 の初期値設定処理を行う必要がある。すると、乱数初期値カウンタを設けることによって生じる容量の増加、構成の複雑化、処理負荷の増大が懸念される。

【 0 1 6 2 】

これに対して、本実施形態によれば、M P U 3 1 1 に対して処理負荷をかけることなく

50

、大当たり乱数カウンタC 1の値が当選値となるタイミングを変動させることが可能となっている。さらに、大当たり乱数カウンタC 1の更新は、MPU 3 1 1によって実行される各種ソフトウェア処理から独立して実行されることとなるため、プログラムを書き換える等のソフトウェア処理に対する不正行為を抑制することができる。

【0163】

さらに、実質的な当選確率について検討すると、実質的な当選確率は、第1タイミング及び第2タイミングそれぞれのタイミングから更新が開始された場合の大当たり当選確率の平均となるため、 $(T_b / (2T_a + 3T_b) + T_a / (3T_a + 2T_b)) / 2$ となる。この場合、 $T_a = 3T_1$ 、 $T_b = 4T_1$ を代入すると、実質的な当選確率は19.93%となり、大当たり乱数カウンタC 1の値から算出される理論確率20.00%と略同一になっている。すなわち、大当たり乱数カウンタC 1が1周する毎に大当たり当選確率は変動するが、全体としての当選確率は理論確率と略同一となっているため、遊技の公平性及び遊技ホールにおける遊技の管理の容易性は担保されている。

10

【0164】

詳細には、仮に大当たり乱数カウンタC 1が取り得る値の範囲が「0～5」である場合、カウンタ項数が偶数となるため、大当たり乱数カウンタC 1が「0」となるタイミングは、第1タイミング又は第2タイミングのいずれか一方に固定される。また、仮に第1タイミングで固定された場合における実質的な当選確率は $T_a / (3T_a + 2T_b)$ から17.65%と算出される。一方、仮に大当たり乱数カウンタC 1が「0」となるタイミングが常に第2タイミングである場合における実質的な当選確率は $T_b / (2T_a + 3T_b)$ から22.22%と算出される。

20

【0165】

このように、大当たり乱数カウンタC 1が「0」となるタイミングが第1タイミング又は第2タイミングのいずれに固定されるかによって、実質的な大当たり当選確率が変動する。このため、遊技の公平性が保てなくなるとともに、遊技ホールにおける遊技の管理が困難になる。

【0166】

これに対して、大当たり乱数カウンタC 1の数値範囲が「0～4」である場合、カウンタ項数が奇数となり、大当たり乱数カウンタC 1が1周する毎に、大当たり乱数カウンタC 1が「0」となるタイミングが、第1タイミング又は第2タイミングの間で変動する。これにより、実質的な当選確率は、第1タイミングにおける当選確率と第2タイミングにおける当選確率との平均となるため、上記不都合が回避されている。

30

【0167】

なお、 T_a と T_b との差が大きくなる程、実質的な当選確率と理論確率との差は大きくなる一方、大当たり乱数カウンタC 1が1周する毎に生じる変動は大きくなるため、不正行為抑制の観点に着目すれば、 T_a と T_b との差を大きくしてもよい。

【0168】

また、大当たり乱数カウンタC 1が複数周回することに着目すれば、大当たり乱数カウンタC 1が当選値となっている期間は、「 T_a 、 T_b 」を単位期間として繰り返されるとともに、大当たり乱数カウンタC 1が1周するのに要する期間は、「 $2T_a + 3T_b$ 、 $3T_a + 2T_b$ 」を単位期間として繰り返されているとも言える。

40

【0169】

ここで、説明の便宜上、大当たり乱数カウンタC 1の取り得る数値範囲を「0～4」に設定するとともに、「2」の値を当選値と仮定したが、これに限られず、上記数値範囲を「0～676」と設定してもよい。この場合、所望の大当たり当選確率となるように当選値を複数設定するとよい。要は、カウンタ項数が奇数となるように大当たり乱数カウンタC 1の数値範囲を設定するとよい。

【0170】

また、仮に変調回路314から出力されるパルス信号群に含まれるパルス信号が3つである場合には、カウンタ項数が3の倍数とならないように、大当たり乱数カウンタC 1の

50

数値範囲を設定するとよい。これにより、パルス信号群内において、大当たり乱数カウンタC1の値が初期値となる更新に対応したパルス信号が変動することとなる。

【0171】

つまり、カウンタ項数が変調回路314から出力されるパルス信号群に含まれるパルス信号の信号数の倍数とならないように、大当たり乱数カウンタC1の数値範囲及び変調回路314を構成するとよい。数式を用いて説明すれば、パルス信号群に含まれるパルス信号の信号数を「 m 」とし、大当たり乱数カウンタC1の取り得る範囲を「 $0 \sim N$ 」とすると、 $N + 1 = K \times m$ (K :自然数)の関係となるように、大当たり乱数カウンタC1の数値範囲「 $0 \sim N$ 」及びパルス信号群に含まれるパルス信号の信号数「 m 」を設定するとよい。

10

【0172】

特に、 $N + 1 = K \times m \pm 1$ (K :自然数)とすると、大当たり乱数カウンタC1が1周する毎に、パルス信号群内において、大当たり乱数カウンタC1の値が初期値となる更新に対応したパルス信号が1ずれる。すると、パルス信号群に含まれる全てのパルス信号が、大当たり乱数カウンタC1の値が初期値となる更新が行われる際の契機となり得る。

【0173】

この場合、パルス信号群に含まれるパルス信号それぞれに対応した大当たり当選確率を、 P_1, P_2, \dots, P_m とすると、実質的な当選確率は、それらの平均をとって、 $(P_1 + P_2 + \dots + P_m) / m$ となる。これにより、大当たり乱数カウンタC1が1周する毎に、大当たり乱数カウンタC1の値が初期値となるタイミングから当選値となるタイミングまでの期間、大当たり乱数カウンタC1の値が当選値になっている期間、大当たり乱数カウンタC1が1周するのに要する期間、及び大当たり当選確率が変動する一方、実質的な当選確率は変動しないようになっている。よって、大当たり乱数カウンタC1の値が当選値となるタイミングを変動させつつ、遊技の公平性を担保することができる。

20

【0174】

次に、大当たり乱数カウンタC1の取得について図18のフローチャートを用いて説明する。

【0175】

まず、ステップS304では、大当たり乱数カウンタC1の更新を禁止する処理を実行する。具体的には、MPU311へのハード乱数用クロック信号の入力を遮断する処理を実行する。詳細には、図示は省略するが、MPU311へのハード乱数用クロック信号の入力を許可又は阻止するスイッチング素子としてMOSFETが設けられており、当該MOSFETは、MPU311からの信号に応じて、MPU311へのハード乱数用クロック信号の入力を許可又は阻止するように構成されている。

30

【0176】

続くステップS305では、その時点における大当たり乱数カウンタC1の値を取得する処理を実行し、その後ステップS306にて、更新禁止解除処理を実行する。具体的には、MPU311へのハード乱数用クロック信号の入力を再開させる。これにより、大当たり乱数カウンタC1の更新が再開される。

【0177】

ここで、大当たり乱数カウンタC1の更新とタイマ割込み処理とは、それぞれ独自に並列して行われているため、大当たり乱数カウンタC1の取得処理を行っている状況において、大当たり乱数カウンタC1の更新が行われる場合がある。この場合、大当たり乱数カウンタC1の値の整合性が失われたり、大当たり乱数カウンタC1の値の取得に失敗したりする可能性がある。特に、大当たり乱数カウンタC1の更新において基準クロック信号として用いられるハード乱数用クロック信号と、タイマ割込み処理を実行するMPU311の動作において基準クロック信号として用いられるシステム用クロック信号とは、互いに同期しないように設定されているため、上記不都合が起こり易い。

40

【0178】

これに対して、本実施形態では、大当たり乱数カウンタC1の取得処理を行っている間

50

に亘って、MPU311へのハード乱数用クロック信号の入力が遮断されているため、当該期間中に大当たり乱数カウンタC1の更新が行われないことがない。これにより、上記不都合を回避することができる。

【0179】

以上詳述した本実施形態によれば以下の優れた効果を奏する。

【0180】

システム用クロック信号を出力するシステム用クロック回路312とは別に、大当たり乱数カウンタC1の更新の契機となるハード乱数用クロック信号を出力するハード乱数用クロック回路313を設けた。当該ハード乱数用クロック信号とシステム用クロック信号とは、その周期が互いに異なるように設定した。これにより、仮にシステム用クロック信号の周期が特定された場合であっても、大当たり乱数カウンタC1の更新間隔は特定されにくい。よって、大当たり乱数カウンタC1の更新タイミングを把握することによって、大当たり乱数カウンタC1の値が当選値となるタイミングに不正な信号を出力し、不正に大当たりを発生させる行為を抑制することができる。

10

【0181】

また、ハード乱数用クロック信号とシステム用クロック信号とは互いに同期しないように構成されているため、システム用クロック信号の入力に同期して大当たり乱数カウンタC1の値が当選値となるタイミングを特定する不正行為を抑制することができる。

【0182】

交流電圧をパルス信号に変換する信号変換回路402を設けた。これにより、商用電源を用いてパルス信号が得られるため、構成の簡素化を図ることができる。

20

【0183】

ここで、商用電源からの交流電圧の周波数は知られているため(50Hz又は60Hz)、当該周波数からパルス信号の周期が特定され、当該周期から大当たり乱数カウンタC1の更新タイミングが特定されるおそれがある。

【0184】

これに対して、本実施形態によれば、交流電圧の周波数を特定周波数に変換する周波数変換回路401を設けた。これにより、信号変換回路402に入力される交流電圧の周波数が特定されにくいため、大当たり乱数カウンタC1の更新間隔の特定が困難になっている。

30

【0185】

さらに、ハード乱数用クロック回路313から出力されるハード乱数用クロック信号の周期T1と、大当たり乱数カウンタC1の更新の契機となるパルス信号のトリガ間隔(Ta又はTb)とが異なるようにハード乱数用クロック信号を変調する変調回路314を設けた。これにより、仮にパルス信号の周期T1が把握された場合であっても、大当たり乱数カウンタC1の更新タイミングが把握されにくい。よって、パルス信号の周期T1を把握することによって、大当たり乱数カウンタC1の更新タイミングを特定しようとする不正行為を抑制することができる。

【0186】

変調回路314は、複数のパルス信号を含むパルス信号群を1周期として出力するものであり、当該パルス信号群に即した大当たり乱数カウンタC1の更新が、当該パルス信号群単位で繰り返されている。ここで、カウンタ項数がパルス信号群に含まれるパルス信号の信号数の倍数とならないように、大当たり乱数カウンタC1の数値範囲及びパルス信号の信号数を設定した。これにより、大当たり乱数カウンタC1が1周する度に、大当たり乱数カウンタC1の値が当選値となるタイミングが変動するため、大当たり乱数カウンタC1の値が当選値となるタイミングの特定を困難にすることができる。

40

【0187】

また、更新間隔を変動させることによって、大当たり乱数カウンタC1が1周するのに要する期間が2種類の期間のうちいずれかの期間に順次遷移している一方、これら2種類の期間を含む単位期間が、大当たり乱数カウンタC1が2周毎に繰り返されている。こ

50

れにより、単位期間（第1タイミングから開始された場合に大当たり乱数カウンタC1が1周するのに要する期間と、第2タイミングから開始された場合に大当たり乱数カウンタC1が1周するのに要する期間とを合わせた期間）においては、当選確率は一定となっている。よって、実質的な当選確率は変動しないため、遊技の公平性及び遊技ホールの管理の容易性は担保されている。

【0188】

さらに、大当たり乱数カウンタC1が1周する毎に、大当たり乱数カウンタC1が当選値となっている期間が2種類の期間（Ta又はTb）のうちいずれかの期間に順次遷移している一方、上記単位期間に占める期間は一定となっている（Ta+Tb）。これにより、単位期間を1つの単位として着目すれば、当選確率は一定となっている。よって、実質的な当選確率は変動しないため、遊技の公平性及び遊技ホールの管理の容易性は担保されている。

10

【0189】

なお、大当たり乱数カウンタC1が複数周回することに着目すれば、大当たり乱数カウンタC1が当選値となっている期間及び大当たり乱数カウンタC1が1周するのに要する期間は、複数種類の期間を有する単位期間において、当該単位期間内に含まれる複数種類の期間のいずれかに順次遷移していく構成であって、単位期間毎に、当選確率が略一定となるようになっていけばよいとも言える。

【0190】**<第2の実施形態>**

上記第1の実施形態では、大当たり乱数カウンタC1が1周した場合、大当たり乱数カウンタC1は予め定められた値（「0」）に戻る構成となっていた。これに対して、本実施形態では、大当たり乱数カウンタC1が1周した場合の処理が第1の実施形態とは異なっている。当該相違点について説明する。なお、第1の実施形態と同一の構成については、同一の符号を付すとともに、説明を省略する。

20

【0191】

本実施形態では、RAM316の各種カウンタエリアには乱数初期値カウンタCINIが設けられている。乱数初期値カウンタCINIは、大当たり乱数カウンタC1に対応させて、その取り得る数値範囲が決定されており、例えば大当たり乱数カウンタC1の取り得る数値範囲が「0～4」である場合には、乱数初期値カウンタCINIも「0～4」となるように設定されている。

30

【0192】

次に、本実施形態におけるタイマ割込み処理を図24のフローチャートを用いて説明する。

【0193】

まず、ステップS601にて、信号読み込み処理を実行する。信号読み込み処理では、一般入賞口82、可変入賞装置83、作動口84及びスルーゲート85に対して個別に設けられた球検知センサから入力ポート311aに入力されている情報を確認し、その確認結果から各入球部への入球の有無を特定する。具体的には、任意の1回の処理にて遊技球を検知していないことに対応した信号（例えば、LOWレベル信号）の入力を確認し、その後の2回の処理にて遊技球を検知していることに対応した信号（例えば、HIレベル信号）の入力を連続して確認した場合に、その検知センサに対応した入球部において遊技球の入球が発生したと特定する。

40

【0194】

信号読み込み処理を実行した後は、ステップS602にて乱数初期値カウンタCINIの更新を実行する。具体的には、乱数初期値カウンタCINIを1加算すると共に、その値が最大値に達した際0にクリアする（初期化する）。

【0195】

その後、ステップS603にて更新禁止処理を実行する。当該処理では、大当たり乱数カウンタC1の更新を禁止する処理を実行する。詳細には、MPU311へのハード乱数

50

用クロック信号の入力を遮断する。

【0196】

続くステップS604では、大当たり乱数カウンタC1の値を取得する処理を実行し、ステップS605に進む。

【0197】

ステップS605では、ステップS604にて取得された大当たり乱数カウンタC1の値に基づいて、大当たり乱数カウンタC1が1周したか否かを判定する処理を実行する。具体的には、取得された大当たり乱数カウンタC1の値が、前回の大当たり乱数カウンタC1が1周した場合に設定された初期値と一致しているか否かを判定する。大当たり乱数カウンタC1が1周していないと判定された場合には、ステップS607に進む一方、大
10
大当たり乱数カウンタC1が1周したと判定された場合には、ステップS606に進み、初期値設定処理を実行する。具体的には、その時点における乱数初期値カウンタCINIの値を読み出し、当該値を大当たり乱数カウンタC1の初期値として書き込む処理を実行する。

【0198】

乱数初期値カウンタCINIはタイマ割込み処理にて更新されるカウンタであり、読み出しタイミングに応じて変動している。これにより、大当たり乱数カウンタC1の初期値が変動することとなる。よって、仮にカウンタ項数がクロック信号群に含まれるクロック信号の信号数の倍数である場合であっても、大当たり乱数カウンタC1が1周する毎に、大
20
大当たり乱数カウンタC1の値が初期値となったタイミングから当選値となるタイミングまでの期間、大当たり乱数カウンタC1の値が当選値なっている期間、及び大当たり当選確率が変動する一方、実質的な当選確率は変動しないようになっている。

【0199】

ここで、大当たり乱数カウンタC1の更新間隔は、タイマ割込み処理の1処理回に要する期間である2msよりも長く設定されている。詳細には、周波数変換回路401から出力される交流電圧の周波数は300Hzであるため、信号変換回路402から出力されるパルス信号の周期は、1/300secである。そして、変調回路314によって、トリガ間隔が $T_a = 3T_1$ 又は $T_b = 4T_1$ となるように変調されているため、大当たり乱数カウンタC1の更新間隔は10ms又は約13msとなる。これにより、大
30
大当たり乱数カウンタC1の更新が実行されてから、次の大当たり乱数カウンタC1の更新が実行されるまでに、少なくとも1回はタイマ割込み処理が実行される。よって、タイマ割込み処理にて、大当たり乱数カウンタC1が1周していることを確実に特定することができる。

【0200】

ステップS606の処理の終了後は、ステップS607に進み、更新禁止解除処理を実行する。当該更新禁止解除処理では、MPU311へのハード乱数用クロック信号の入力を再開させる。これにより、大当たり乱数カウンタC1の更新が再開される。

【0201】

すなわち、大当たり乱数カウンタC1の取得処理から初期値設定処理までの期間に亘って大当たり乱数カウンタC1の更新が禁止されている。これにより、タイマ割込み処理
40
においてMPU311が大当たり乱数カウンタC1に対してアクセスしている期間中に、大当たり乱数カウンタC1の更新が実行されることが禁止されている。よって、大当たり乱数カウンタC1に対して同時に異なる処理が行われることによって生じ得るエラーが回避されている。

【0202】

その後、ステップS609では、始動入賞処理を実行する。当該処理は、図18に示した処理と同一であるため、説明を省略する。

【0203】

以上詳述した本実施形態によれば、乱数初期値カウンタCINIを設け、大当たり乱数カウンタC1が1周した場合には、その時点における乱数初期値カウンタCINIの値を
50

大当たり乱数カウンタC1の初期値として設定する処理を実行する。これにより、仮にカウンタ項数がパルス信号群に含まれるパルス信号の信号数の倍数である場合であっても、大当たり乱数カウンタC1が1周する毎に、大当たり乱数カウンタC1の値が初期値となったタイミングから当選値となるタイミングまでの期間、大当たり乱数カウンタC1の値が当選値になっている期間、及び大当たり当選確率が変動する一方、実質的な当選確率は変動しないようになっている。したがって、大当たり乱数カウンタC1の値が当選値となるタイミングの特定が困難になっている。よって、大当たり乱数カウンタC1の値が当選値となるタイミングの特定し、当該タイミングに不正な信号を出力することで、故意に大当たりを発生させる不正行為を抑制しつつ、大当たり乱数カウンタC1の数値範囲及びパルス信号群の信号数の自由度を高めることができる。

10

【0204】

また、かかる構成の場合、大当たり乱数カウンタC1の値を把握するためには、大当たり乱数カウンタC1の更新タイミングと、乱数初期値カウンタCINIの更新タイミングとを把握する必要がある。ここで、乱数初期値カウンタCINIの更新はMPU311によるソフトウェア処理にて行われる一方、大当たり乱数カウンタC1の更新はハード乱数用クロック信号に基づいて独自に行われる。これにより、乱数初期値カウンタCINIの更新タイミングと大当たり乱数カウンタC1の更新タイミングは互いに異なっている。よって、両者のタイミングそれぞれを把握する必要があるため、大当たり乱数カウンタC1の値が特定されにくい。したがって、大当たり乱数カウンタC1の値が当選値となるタイミングの特定しにくくすることができる。

20

【0205】

さらに、初期値を設定する処理の実行中に大当たり乱数カウンタC1の更新が行われないうちに、その処理の前後で大当たり乱数カウンタC1の更新処理を禁止した。これにより、MPU311が大当たり乱数カウンタC1に対してアクセスしている状況において、大当たり乱数カウンタC1の更新が行われることによって生じ得るエラーの発生を防止することができる。

【0206】

<第3の実施形態>

第1の実施形態では、ハード乱数用クロック回路313から出力されるハード乱数用クロック信号の入力に基づいて、大当たり乱数カウンタC1が更新される構成となっており、当該ハード乱数用クロック信号は、 T_a 及び T_b の2種類の出力間隔で交互に出力されるように変調されていた。そして、実質的な確率が理論確率に近づくように、 T_a 及び T_b の差を小さく設定した。これに対して、本実施形態では、 T_a と T_b との差が大きいハード乱数用クロック信号を用いて大当たり乱数カウンタC1の更新が行われる。以下、当該相違点について説明する。なお、説明の便宜上、大当たり乱数カウンタC1が取り得る数値範囲は「0～1」に設定されており、当選値は「0」に設定されているとする。

30

【0207】

図25のタイミングチャートに示すように、変調回路314から出力されるハード乱数用クロック信号の出力間隔は、 T_a に対して T_b が5倍になるように設定されている。そして、先のパルス信号（パルス幅が小さい方のパルス信号）の立ち上がりタイミングを第1タイミング、後のパルス信号（パルス幅が大きい方のパルス信号）の立ち上がりタイミングを第2タイミングとすると、第1タイミングにて、大当たり乱数カウンタC1が「0」となるように設定されており、第2タイミングにて、大当たり乱数カウンタC1が「1」となるように設定されている。

40

【0208】

かかる構成において、大当たり乱数カウンタC1が1周するまでの期間は $6T_a$ であり、当該期間内において当選値である「0」となっている期間は T_a であるため、実質的な当選確率は、 $1/6$ となっている。当該確率は、大当たり乱数カウンタC1が取り得る数値範囲から算出される理論確率 $1/2$ よりも小さくなっている。つまり、 T_a と T_b との差を調整することによって、実質的な当選確率が調整されている。

50

【0209】

以上詳述した本実施形態によれば、ハード乱数用クロック信号が2種類の間隔で出力されるように、パルス信号を変調する変調回路314を設けた。これにより、両者の間隔の差を調整することによって、実質的な当選確率を調整することができる。よって、大当たり当選確率を所定の確率に設定しつつ、大当たり乱数カウンタC1の更新頻度を低下させることができる。よって、処理負荷の軽減を図ることができる。

【0210】

特に、ハード乱数用クロック信号の出力間隔が2種類の場合、両者の差を大きくすることによって、実質的な当選確率を、大当たり乱数カウンタC1が取り得る数値範囲から算出される理論確率よりも低くすることができる。これにより、所定の当選確率に設定する場合に必要なカウンタの値が少なくすむため、大当たり乱数カウンタC1に要する容量の削減を図ることができる。

10

【0211】

また、この場合、大当たり乱数カウンタC1の値が当選値となっている期間が、他の数値となっている期間よりも短くなっているため、大当たり乱数カウンタC1の値が当選値となっている期間に合わせることが困難になっている。これにより、大当たり乱数カウンタC1の値が当選値となっているタイミングに合わせて不正信号を出力し、故意に大当たりを発生させる不正行為を抑制することができる。

【0212】

なお、本実施形態では、ハード乱数用クロック信号の出力間隔は2種類に設定されていたが、これに限られず、例えば3種類、4種類としてもよい。

20

【0213】

<第4の実施形態>

上記各実施形態では、ハード乱数用クロック回路313は、交流電源部321dから供給される交流電圧を変換することで、ハード乱数用クロック信号を生成する構成とした。これに対して、本実施形態では、ハード乱数用クロック回路313に関する構成が上記各実施形態と異なり、当該相違点について図26を用いて説明する。図26は、本実施形態におけるパチンコ機10の電気的構成の一部を示すブロック図である。なお、第1の実施形態と同一の構成については、同一の符号を付すとともに、説明を省略する。

【0214】

本実施形態では、図26に示すように、システム用クロック回路312とMPU311とを接続する信号経路として、信号線LN1及び信号線LN2が設けられている。システム用クロック回路312は、信号線LN1及び信号線LN2双方を介してシステム用クロック信号をMPU311へ向けて出力している。

30

【0215】

ここで、信号線LN2上には、クロック変換回路501が設けられている。クロック変換回路501は、システム用クロック回路312から入力されるシステム用クロック信号を、ハード乱数用クロック信号に変換するとともに、当該ハード乱数用クロック信号をMPU311へ向けて出力するものである。

【0216】

具体的には、クロック変換回路501は、入力されるクロック信号の周波数を分周する分周回路502と、クロック信号の位相を所定量だけずらす位相シフト回路503と、を備えている。

40

【0217】

分周回路502は、信号線LN2を介してシステム用クロック回路312と接続されており、システム用クロック回路312から出力されるシステム用クロック信号の周波数を、 $1/N$ (N :自然数)に分周するとともに、当該分周されたクロック信号を位相シフト回路503に向けて出力する。当該分周されたクロック信号の周期は、システム用クロック信号の周期と異なっている。なお、分周されたクロック信号の周波数が第1の実施形態での特定周波数に対応する。

50

【0218】

位相シフト回路503は、分周回路502から出力される分周されたクロック信号の位相を、所定量だけずらすとともに、当該ずらしたクロック信号を、ハード乱数用クロック信号としてMPU311に向けて出力する。これにより、ハード乱数用クロック信号とシステム用クロック信号とを比較すると、周期が互いに異なっているとともに、位相が互いに異なっている。よって、ハード乱数用クロック信号とシステム用クロック信号とが同期しないようになっている。

【0219】

また、クロック変換回路501とMPU311とを接続する信号線LN2上に、変調回路314が設けられている。変調回路314は、クロック変換回路501から出力されるハード乱数用クロック信号を変調し、複数のパルス信号を含むパルス信号群を1周期として出力することで、大当たり乱数カウンタC1の更新の契機となるトリガが2種類の間隔となるようにするものである。これにより、大当たり乱数カウンタC1の更新間隔が変動することとなる。

10

【0220】

以上詳述した本実施形態によれば、システム用クロック信号を変更することによって、当該システム用クロック信号とは周期及び位相が異なるハード乱数用クロック信号を生成するクロック変換回路501を設けた。これにより、独自にハード乱数用クロック信号を出力する回路（第1の実施形態におけるハード乱数用クロック回路313及び交流電源部321d）を設ける必要がないため、構成の簡素化を図ることができる。

20

【0221】

また、この場合であっても、クロック変換回路501とMPU311とを接続する信号線LN2上に変調回路314を設けることによって、大当たり乱数カウンタC1の更新間隔を変動させることができる。

【0222】

なお、分周回路502の分周比を調整することによって、トリガ間隔がタイマ割込み処理の周期よりも長くなるように、ハード乱数用クロック信号の周波数を設定することができる。これにより、第2の実施形態の構成、具体的には大当たり乱数カウンタC1が1周しているか否かを判定し、大当たり乱数カウンタC1が1周していると判定された場合には、大当たり乱数カウンタC1の初期値設定処理を実行する構成を適用することができる。

30

【0223】

< 第5の実施形態 >

本実施形態では、大当たり乱数カウンタC1の更新に関する構成が上記各実施形態と異なっている。当該相違点について説明する。なお、上記各実施形態と同一の構成については同一の符号を付すとともに、説明を省略する。

【0224】

本実施形態では、図27及び図28に示すように、ハード乱数用クロック回路313が設けられておらず、さらにカウンタ回路317に代えてRAM316のカウンタ用エリアに大当たり乱数カウンタC1が設けられている点が上記各実施形態と異なっている。大当たり乱数カウンタC1は、他のカウンタ（大当たり種別カウンタC2及びリーチ乱数カウンタC3）と同様に、MPU311によって更新される構成となっている。

40

【0225】

また、カウンタ用エリアには、乱数初期値カウンタCINIが設けられており、当該乱数初期値カウンタCINIもMPU311における遊技の進行に関する制御において更新される構成となっている。

【0226】

主制御基板301には、リセット回路601と不規則遅延回路602とが設けられている。リセット回路601は、不規則遅延回路602を介してMPU311と電氣的に接続されている。リセット回路601は、電断監視基板302から供給されている電圧に応じ

50

て、MPU311に向けた信号の出力状態をHIレベル又はLOWレベルに切り替わるものである。詳細には、電源及び発射制御基板321に外部電源が供給されている状況において電源及び発射制御基板321から供給されている電源の電圧が基準電圧以上である場合にMPU311を動作させるためにHIレベル信号を出力し、基準電圧未満である状況（すなわちパチンコ機10が電断状態になる状況）にMPU311の動作を停止させるためにLOWレベルを出力する。なお、HIレベル信号が動作用信号としてのリセット信号に該当する。MPU311は、上記リセット信号が入力されることに基づいて、大当たり乱数カウンタC1の更新処理等を行う。ここで、電源及び発射制御基板321に外部電源が供給されている状況をパチンコ機10の電入状態といい、供給されていない状況をパチンコ機10の電断状態という。すなわち、電入状態とは、パチンコ機10に動作電力が供給されている状態をいい、電断状態とは、パチンコ機10に動作電力が供給されていない状態をいう。

10

【0227】

不規則遅延回路602は、リセット回路601から出力されるリセット信号の出力タイミングに対してMPU311へのリセット信号の入力タイミングを変動させる。これについては後述する。

【0228】

<タイマ割込み処理>

図29は、本実施形態におけるタイマ割込み処理を示すフローチャートである。

【0229】

タイマ割込み処理では、先ずステップS701にて、信号読み込み処理を実行する。信号読み込み処理では、一般入賞口82、可変入賞装置83、作動口84及びスルーゲート85に対して個別に設けられた球検知センサから入力ポート311aに入力されている情報を確認し、その確認結果から各入球部への入球の有無を特定する。

20

【0230】

信号読み込み処理を実行した後は、ステップS702にて、乱数初期値カウンタCINIの更新を実行する。続くステップS703では、大当たり乱数カウンタC1、大当たり種別カウンタC2及びリーチ乱数カウンタC3の更新を実行する。かかる更新が数値情報更新手段による更新に該当する。具体的には、それぞれの乱数カウンタの値を1ずつ加算するとともに、当該加算した値が上限値になっているか否かを判定する。そして、当該加算した値が上限値を超えている場合には、カウンタの値を初期値に設定する。ここで、大当たり乱数カウンタC1に関しては、その時点の乱数初期値カウンタCINIの値が当該大当たり乱数カウンタC1の初期値として読み込まれる。乱数初期値カウンタCINIは乱数値であるため、大当たり乱数カウンタC1の初期値は変動している。よって、大当たり乱数カウンタC1の値が当選値と一致するタイミングは、大当たり乱数カウンタC1が1周する毎に異なっているため、大当たり乱数カウンタC1の値が当選値となるタイミングを把握することは困難になっている。

30

【0231】

その後、ステップS704にて始動入賞処理を実行する。具体的には、図30のフローチャートに示すように、S801にて作動口84の入賞の有無を確認し、ステップS802にて作動保留球数Nが4より小さいか否かを判定し、肯定判定である場合には、ステップS803にてNを1加算する。そして、ステップS804にて、各種カウンタC1、C2、C3を作動保留球数Nに対応する保留球格納エリアに格納する。

40

【0232】

ここで、本実施形態では、大当たり乱数カウンタC1はMPU311によって更新される構成であるため、当該始動入賞処理では、大当たり乱数カウンタC1を取得する際に大当たり乱数カウンタC1の更新を禁止する処理（図18におけるステップS304～ステップS306の処理）は省略されている。

【0233】

<不規則遅延回路602について>

50

上述した通り、本パチンコ機 10 においては、作動口 84 に遊技球が入球することによって、大当たり抽選が行われる。具体的には、作動口 84 に遊技球が入球した場合、それが作動口スイッチ 154 によって検知されて、作動口スイッチ 154 から入球検知信号が出力される。当該入球検知信号が MPU 311 に入力された場合、その時点における大当たり乱数カウンタ C1 の値を取得する。そして、当該大当たり乱数カウンタ C1 の値に基づいて大当たりが否かを判定する。

【0234】

ここで、「ぶら下げ基板」と呼ばれる不正な基板を使用した不正行為が行われることがある。当該不正行為は、正規の制御基板に対し不正な基板をぶら下げて、不正に大当たり状態を発生させるというものである。具体的には、大当たり乱数カウンタ C1 と同期するカウンタを「ぶら下げ基板」に設け、当該カウンタの値をパチンコ機 10 の電源投入等に合わせて「0」にリセットすることにより、「ぶら下げ基板」内で大当たり状態の発生タイミング、すなわち大当たり乱数カウンタ C1 の値が、大当たり当選として予め定めた当選値と一致するタイミングを把握する。そして、この大当たり状態の発生タイミングに合わせて、「ぶら下げ基板」から不正な入球検知信号を出力して、不正に大当たり状態を発生させるというものである。

10

【0235】

これに対して、本実施形態では、リセット回路 601 から MPU 311 への信号経路の途中位置に不規則遅延回路 602 が設けられており、当該不規則遅延回路 602 により大当たり当選となるタイミングを把握しづらくしている。

20

【0236】

不規則遅延回路 602 について図 31 のブロック回路図に基づいて詳細に説明する。

【0237】

不規則遅延回路 602 は、積分回路 611 と、NAND 回路 612 とを有するハードウェアである。NAND 回路 612 は、2つの入力端子と、当該2つの入力端子の入力信号に応じた信号を出力する出力端子を有している。NAND 回路 612 の2つの入力端子と、リセット回路 601 とは、信号線 LN3 及び信号線 LN4 を介して電氣的に接続されている。信号線 LN4 の途中位置に、積分回路 611 が設けられている。つまり、リセット回路 601 から NAND 回路 612 への供給経路として積分回路 611 を通過しない信号線 LN3 と、積分回路 611 を通過する信号線 LN4 とが設けられている。

30

【0238】

積分回路 611 は、電荷の蓄電及び放電を行う充放電手段としてのコンデンサ 613 と、抵抗 614 と、を備えている。コンデンサ 613 は抵抗 614 に対して並列に接続されている。より詳細には、抵抗 614 の一端がリセット回路 601 に接続されており、他端が NAND 回路 612 の入力端子に接続されているとともに、コンデンサ 613 の一端に接続されている。そして、コンデンサ 613 の他端は接地されている。リセット回路 601 からリセット信号が出力されている状態、すなわちパチンコ機 10 の電入状態においては、コンデンサ 613 に対して電圧が印加され、充電状態となる。一方、リセット信号が出力されない状態、すなわちパチンコ機 10 が電断状態においては、コンデンサ 613 は放電状態となり、コンデンサ 613 に蓄積されていた電荷は徐々に放出される。

40

【0239】

信号線 LN4 におけるコンデンサ 613 とリセット回路 601 とを接続する経路上には、抵抗 614 が接続されている。抵抗 614 は電気抵抗を有しており、抵抗 614 の抵抗値及びコンデンサ 613 の電気容量によって、コンデンサ 613 における電荷の蓄積が開始されてから所定量まで電荷が蓄積される充電期間と、蓄積された電荷の放出が開始されてから蓄積された電荷が失われるまでの放電期間と、が決まる。具体的には、コンデンサ 613 の電気容量に抵抗 614 の抵抗値を乗算した数値である時定数が大きければ、充電期間及び放電期間は長期間となる。一方、時定数が小さければ、充放電にかかる期間は短期間になる。なお、抵抗 614 は必須ではなく、電気抵抗を有するものであれば任意である。

50

【0240】

NAND回路612は、積分回路611を通過する信号線LN4と、積分回路611を通過しない信号線LN3とによって、リセット回路601と電氣的に接続されており、当該リセット回路601からリセット信号が出力される。また、NAND回路612の出力端子とMPU311とは電氣的に接続されている。NAND回路612は、図示しない電気経路を介して電断監視基板302に接続されており、動作電力が供給されている。

【0241】

NAND回路612は、信号線LN3及び信号線LN4双方からのHIレベル信号であるリセット信号が入力された場合に、LOWレベル信号をMPU311に対して出力する。当該信号が入力された場合に、MPU311は動作する（動作状態となる）。これにより、大当たり乱数カウンタC1の更新が開始される。つまり、NAND回路612から出力されるLOWレベル信号が更新開始信号に該当する。一方、信号線LN3又は信号線LN4の少なくとも一方からHIレベル信号であるリセット信号が入力されていない場合には、NAND回路612は、HIレベル信号を出力する。この状況では、MPU311は非動作状態となり、大当たり乱数カウンタC1の更新は停止される。つまり、NAND回路612から出力されるHIレベル信号が停止信号に該当する。以上のことから、NAND回路612からLOWレベル信号が入力されていない場合には、MPU311は動作しないため、ノイズ等によりMPU311に対して電圧が印加された場合であってもMPU311は動作しない。よって、ノイズによるMPU311の誤動作を防止することができる。

10

20

【0242】

次に、パチンコ機10の電源投入における積分回路611の動作を図32のタイミングチャートに基づき説明する。

【0243】

t10のタイミングで、パチンコ機10が電入状態となることで、電入時電源部321aにて+5V電圧の生成が開始されることでリセット回路601からHIレベルであるリセット信号が出力される。リセット信号は、信号線LN3及び信号線LN4を介してNAND回路612に対して入力される。ここで、信号線LN3を介してNAND回路612に入力されるリセット信号は、リセット回路601から出力される波形と同一になる一方、信号線LN4を介してNAND回路612に入力されるリセット信号の入力タイミングは、積分回路611の過渡現象によって遅延される。

30

【0244】

具体的には、リセット回路601からHIレベルあるリセット信号が出力された場合、積分回路611にはHIレベル信号に対応する電圧が印加される。すると、積分回路611のコンデンサ613は充電状態となり、コンデンサ613に電荷が蓄積される。かかる状態においては、HIレベル信号に対応する電圧はコンデンサ613に対して印加されており、NAND回路612にかかる電圧はLOWレベルになっている。そして、時間経過とともにコンデンサ613に蓄積される電荷量が増加するとともに、NAND回路612にかかる入力電圧が上昇していく。

【0245】

その後、t11のタイミングで、NAND回路612の信号線LN4からの入力電圧が、NAND回路612がHIレベル信号であると認識する電圧である基準電圧Va以上になる。これにより、NAND回路612は、信号線LN4からHIレベル信号が入力されたと認識する。すると、NAND回路612によって更新開始信号であるLOWレベル信号がMPU311に対して出力され、それに伴いMPU311が動作を開始する。換言すれば、所定量の電荷が蓄積された場合に、NAND回路612の出力状態が切り替わっている。更に換言すれば、所定量の電荷が蓄積された場合に、NAND回路612に供給されている信号の状態が動作可能状態に移行している。そして、大当たり乱数カウンタC1等の乱数カウンタ更新処理が実行される。すなわち、リセット回路601からのHIレベル信号の出力タイミングに対するNAND回路612からのLOWレベル信号の出力タイ

40

50

ミングが、 t_{10} のタイミングから t_{11} のタイミングまでの遅延期間 DT_1 だけ、積分回路611によって遅延されている。

【0246】

その後、 t_{12} のタイミングでパチンコ機10における外部電源からの電力供給がOFFの状態、すなわちパチンコ機10が電断状態になると、リセット回路601からのリセット信号の出力がされなくなる。つまり、リセット回路601から出力されるリセット信号はHIレベルからLOWレベルに切り替わる。当該切り替えに対応して、NAND回路612の信号線LN3からの入力信号は、直ちにHIレベルからLOWレベルに切り替わる。これにより、NAND回路612が停止信号であるHIレベルを出力し、入力される信号がHIレベルに切り替わったことがMPU311にて特定されることで、MPU311は非動作状態となる。これにより、積分回路611にかかわらず直ちにMPU311の動作を停止させることができる。

10

【0247】

一方、HIレベルであるリセット信号の出力が停止すると、積分回路611におけるコンデンサ613は放電状態となり、コンデンサ613に蓄積されている電荷は時間経過とともに徐々に放出される。これにより、NAND回路612には、信号線LN4から、コンデンサ613に蓄積されていた残留電荷による電圧が印加されている。かかる電圧は、コンデンサ613に蓄積された電荷が放出されるに伴い、徐々に低下していく。よって、信号線LN4を介してリセット回路601から出力されたLOWレベル信号がNAND回路612に入力されるタイミングは、リセット信号の場合と同様に遅延される。

20

【0248】

つまり、NAND回路612は、積分回路611によって遅延されたHIレベルであるリセット信号が入力されるまでMPU311を動作させるLOWレベル信号を出力しない一方、リセット回路601からリセット信号が出力されなくなった場合、すなわちリセット回路601からの出力がHIレベルからLOWレベルに切り替わった場合には、積分回路611にかかわらず当該LOWレベル信号に基づいて直ちに停止信号としてのHIレベル信号をMPU311に対して出力する構成になっている。これにより、リセット信号が出力された場合には積分回路611によって、MPU311の動作の開始タイミングが遅延されている一方、リセット信号が出力されなくなった場合には迅速にMPU311の動作を停止させることができる。

30

【0249】

その後、 t_{13} のタイミングで再びパチンコ機10が電入状態となると、コンデンサ613は再び充電状態となり、電荷を蓄積する。そして、 t_{14} のタイミングでNAND回路612の信号線LN4からの入力電圧が基準電圧 V_a 以上になることで、信号線LN4からNAND回路612に対してHIレベル信号が入力され、それに伴いNAND回路612からMPU311に対してLOWレベル信号が出力される。

【0250】

ここで、HIレベルであるリセット信号がリセット回路601から出力され、NAND回路612に対する入力電圧が基準電圧 V_a 以上、すなわちNAND回路612に対してHIレベル信号が入力される遅延期間は、HIレベルであるリセット信号が出力された時点におけるコンデンサ613の残留電荷量によって変動する。具体的には、HIレベルであるリセット信号が出力された時点での残留電荷量分だけ、コンデンサ613の充電が完了する期間が短くなり、MPU311が動作を開始するタイミングが早くなる。ここで、リセット信号が出力されたタイミングである t_{10} 及び t_{13} のタイミングにおいて、 t_{10} のタイミングでは、NAND回路612に対して信号線LN4からの電圧は印加されていないため、コンデンサ613に電荷は残留していないと言える。一方、 t_{13} のタイミングでは、NAND回路612に対して信号線LN4から電圧が印加されているため、コンデンサ613には電荷が残留していると言える。よって、 t_{10} のタイミングからNAND回路612に対して入力される信号がLOWレベル信号からHIレベル信号に切り替わるタイミングである t_{11} のタイミングまでの遅延期間 DT_1 は、 t_{13} のタイミン

40

50

グからNAND回路612に対して入力される信号がLOWレベル信号からHIレベル信号に切り替わるタイミングであるt14のタイミングまでの遅延期間DT2よりも長期間になる。

【0251】

t15のタイミングからt17のタイミングまでの一連の動作自体は、t12のタイミングからt14のタイミングまでの動作と同様である。但し、パチンコ機10が電断状態となったt15のタイミングから電入状態へ切り替わるt16のタイミングまでの期間が、t15のタイミングからt16のタイミングまでの期間に比べて短くなっている分だけ残留電荷量が多くなっている。よって、パチンコ機10が電入状態となったt16のタイミングから、NAND回路612に対して信号線LN4からの入力電圧が基準電圧Vaとなるタイミングまでの遅延期間DT3は他の遅延期間DT1及びDT2よりも短くなっている。

10

【0252】

以上のことから、リセット回路601からのリセット信号の出力タイミングからNAND回路612からのLOWレベル信号の出力タイミングまでの遅延期間は、パチンコ機10が電入状態となった時点における残留電荷量によって変動している。具体的には、残留電荷量が多いほど、遅延期間は短くなっている。また、残留電荷量はパチンコ機10が電断状態になってから電入状態となるまでの期間に依存している。具体的には、電断状態になってから徐々に残留電荷量は減少している。つまり、NAND回路612からのLOWレベル信号の出力タイミングは、パチンコ機10が電断状態になってから電入状態となるまでの期間によって変動している。

20

【0253】

以上詳述した第5の実施形態によれば以下の優れた効果を奏する。

【0254】

リセット回路601からNAND回路612への供給経路の途中に不規則遅延回路602を設けた。不規則遅延回路602は、リセット回路601からのリセット信号の出力タイミングに対して、NAND回路612からのLOWレベル信号の出力タイミングを遅延させている。当該遅延期間は、リセット回路601の出力タイミングによって変動している。これにより、当該遅延期間にばらつきが生じるため、パチンコ機10に対する電力供給の開始タイミングから大当たり乱数カウンタC1の更新の開始タイミングまでの期間が不規則になっている。よって、仮にパチンコ機10に対する電力供給の開始の際に、大当たり乱数カウンタC1の更新処理が所定の初期値から開始される場合であっても、大当たり当選となるタイミングが把握されにくい。したがって、「ぶら下げ基板」等を用いた不正行為を防止することができる。なお、リセット信号の出力タイミングからMPU311の動作開始タイミングまでの期間を、リセット信号の出力タイミングに応じて変動させる機能に着目すれば、不規則遅延回路602を「非定期化用回路」又は「不定期遅延回路」と称することも可能である。

30

【0255】

具体的には、不規則遅延回路602として積分回路611を設け、積分回路611のコンデンサ613はリセット信号により充電される構成とした。そして、コンデンサ613に蓄積された電荷量が所定量以上になった場合に、リセット信号がNAND回路612に入力される構成とした。これにより、リセット回路601からのリセット信号の出力タイミングから、所定量以上の電荷がコンデンサ613に蓄積されるまで、NAND回路612へのリセット信号の入力が遅延されるため、NAND回路612からのLOWレベル信号の出力タイミングが遅延される。当該遅延期間は、リセット信号が出力された時点における残留電荷量によって変動する。また、残留電荷量はパチンコ機10が電断状態になってから電入状態となるまでの期間によって変動している。つまり、遅延期間はリセット信号の出力タイミングに応じて変動している。よって、リセット回路601からのリセット信号の出力タイミングからNAND回路612からのLOWレベル信号の出力タイミングまでの期間が不規則になっている。これにより、大当たり当選となるタイミングが把握さ

40

50

れにくい。したがって、積分回路 6 1 1 によって「ぶら下げ基板」等を用いた不正行為を防止することができる。

【0256】

特に、本実施形態における積分回路 6 1 1 は、1つのコンデンサ 6 1 3 と1つの抵抗 6 1 4 とからなる簡素な回路である。当該簡素な構成であっても、リセット回路 6 0 1 からリセット信号の出力タイミングから NAND 回路 6 1 2 からの LOW レベル信号の出力タイミングまでの期間を不規則にすることができる。これにより、簡素な構成で、好適に「ぶら下げ基板」等を用いた不正行為を防止することができる。

【0257】

また、「ぶら下げ基板」等を用いた不正行為を連続して行う場合、パチンコ機 1 0 において電入状態と電断状態とが比較的短期間に切り替わることが想定される。これに対して、積分回路 6 1 1 におけるコンデンサ 6 1 3 の残留電荷量は、パチンコ機 1 0 が電断状態となってから電入状態となるまでの期間が短期間であるほど大きく変化するため、「ぶら下げ基板」等を用いた不正行為を連続して行う場合に特に有効である。

10

【0258】

また、コンデンサ 6 1 3 の充電期間及び放電期間は抵抗 6 1 4 の電気抵抗及びコンデンサ 6 1 3 の静電容量によって決まる。これにより、充電期間及び放電期間を長くすることによって、遅延期間のばらつきの範囲を大きくすることができる。よって、遅延期間のばらつきを大きくさせることができるため、遅延期間をより不規則にすることができる。したがって、大当たり当選となるタイミングを把握しづらくさせることができる。

20

【0259】

さらに、コンデンサ 6 1 3 に蓄積される電荷量は、コンデンサ 6 1 3 に電荷が充電される回数及びコンデンサ 6 1 3 に蓄積された電荷が放電する回数によって変化する。具体的には、コンデンサ 6 1 3 の絶縁膜に印加される電界によって絶縁膜が劣化していくことが考えられる。すると、コンデンサ 6 1 3 に蓄積される最大電荷量及び静電容量が変化するため、残留電荷量が変動することとなる。これにより、遅延期間がより不規則になるため、より大当たり当選となるタイミングを把握しづらくさせることができる。

【0260】

リセット回路 6 0 1 から NAND 回路 6 1 2 への供給経路として、積分回路 6 1 1 を経由しない信号線 LN 3、及び積分回路 6 1 1 を経由する信号線 LN 4 を設けた。NAND 回路 6 1 2 は、信号線 LN 3 及び信号線 LN 4 双方から HI レベルであるリセット信号が入力されている場合に、MPU 3 1 1 を動作させる LOW レベル信号を出力する一方、信号線 LN 3 又は信号線 LN 4 の少なくとも一方から HI レベルであるリセット信号が入力されなくなった場合には、MPU 3 1 1 の動作を停止させる停止信号である HI レベル信号を出力する構成とした。これにより、積分回路 6 1 1 によるリセット信号の遅延を確保しつつ、リセット信号が出力されなくなった場合には、積分回路 6 1 1 にかかわらず NAND 回路 6 1 2 から停止信号が MPU 3 1 1 に対して出力される。これにより、停止信号の出力タイミングが遅延されることにより、MPU 3 1 1 が誤動作することを防止することができる。

30

【0261】

なお、遊技機毎に抵抗 6 1 4 の抵抗値及びコンデンサ 6 1 3 を変更する構成としてもよい。かかる構成によれば、遊技機毎に放電期間及び充電期間が異なるため、大当たり当選となるタイミングをより把握しづらくさせることができる。

40

【0262】

< 第 6 の実施形態 >

本実施形態では、不規則遅延回路 6 0 2 に関する構成が上記第 5 の実施形態と異なっている。そこで、以下にその構成について詳細に説明する。なお、以下の説明では、上記第 5 の実施形態との相違点を中心に説明し、同一の構成については基本的に説明を省略する。第 6 の実施形態では、不規則遅延回路 6 0 2 として、先の図 3 1 に示した構成に代えて図 3 3 に示す構成にすることで、充電期間と放電期間とを異なる期間にする。

50

【0263】

不規則遅延回路602には、切替回路621が設けられている。切替回路621は、リセット回路601と積分回路611とを接続する経路上に配置されている。リセット回路601から出力されるリセット信号は、切替回路621及び積分回路611を介してNAND回路612に入力される。

【0264】

切替回路621は、整流手段としてのダイオード622と、充電期間に対する放電期間を調整する調整抵抗623を備えている。ダイオード622は、リセット回路601から積分回路611へ向かう方向を順方向とする態様で、接続されている。詳細には、ダイオード622のアノード側がリセット回路601に接続されており、カソード側が積分回路611の抵抗614の一端に接続されている。また、調整抵抗623はダイオード622に対して並列に接続されている。詳細には、調整抵抗623の一端がダイオード622のアノード側に接続されており、他端がダイオード622のカソード側に接続されている。かかる構成により、積分回路611のコンデンサ613の充電期間と放電期間とが異なるため、遅延期間のばらつきを確保しつつ、MPU311の迅速な立ち上げ動作を可能にしている。

【0265】

具体的には、リセット回路601からリセット信号が出力された場合、ダイオード622には順方向の電圧が印加されるため、順方向の電流が流れる。すると、積分回路611に対してリセット信号に対応する電圧が印加され、コンデンサ613が充電状態となる。これにより、リセット回路601からのリセット信号の出力タイミングに対するNAND回路612からのLOWレベル信号の出力タイミングは遅延される。ここで、当該遅延期間、すなわちコンデンサ613に所定量の電荷が蓄積されるまでの充電期間は、抵抗614の抵抗値及びコンデンサ613の静電容量に依存する。

【0266】

一方、リセット回路601からのリセット信号の出力が停止された場合、すなわちリセット信号がHIレベル信号からLOWレベル信号に切り替わった場合、コンデンサ613は放電状態となり、コンデンサ613に蓄積された電荷は放出される。ここで、コンデンサ613に蓄積されている電荷はダイオード622を通過しない。よって、コンデンサ613に蓄積されている電荷は、積分回路611の抵抗614と、ダイオード622に対して並列に接続されている調整抵抗623とを介して放出される。つまり、放電期間は、抵抗614及びコンデンサ613に加えて調整抵抗623の抵抗値に依存することとなる。よって、コンデンサ613の充電期間、及び放電期間が異なることとなる。詳細には、調整抵抗623に依存する分、放電における時定数が充電における時定数よりも大きくなるため、放電期間が充電期間よりも遅くなる。つまり、整流手段としてのダイオード622と、当該ダイオード622に対して調整抵抗623を並列に接続することで、充電期間に対して放電期間を相対的に長くしている。

【0267】

以上詳述した本実施形態によれば、以下の優れた効果を奏する。

【0268】

積分回路611におけるコンデンサ613の充電期間に対して放電期間を相対的に長くする切替回路621を設けた。これにより、遅延期間のばらつきを確保しつつ、MPU311の動作の開始タイミングを不規則かつ迅速にすることができる。

【0269】

遅延期間のばらつきの範囲を広範囲にし、遅延期間のばらつきを大きくさせるためには、充電期間及び放電期間を長くすることが好ましい。特に、残留電荷量のばらつきに寄与する放電期間は長い方が好ましい。また、長期間の電断状態においても遅延期間のばらつきを生じさせるためには、放電期間は長い方が好ましい。そして、放電期間を長くするためには、積分回路611の抵抗614の抵抗値又はコンデンサ613の静電容量を大きくすることが考えられる。しかし、積分回路611のみでは充電期間と放電期間が同一とな

10

20

30

40

50

るため、充電期間も長くなる。すると、MPU311の動作の開始タイミングが過度に遅延されるおそれがある。これに対して、本実施形態においては、切替回路621によって放電期間が充電期間よりも長くなっている。これにより、遅延期間のばらつきを確保しつつ、MPU311の動作の開始タイミングが過度に遅延されることが抑制されている。

【0270】

なお、調整抵抗623に代えて又は調整抵抗623に加えて、積分回路611に、調整コンデンサと、充電状態下ではコンデンサ613及び調整コンデンサを直列に接続し、放電状態下ではコンデンサ613及び調整コンデンサを並列に接続する切替手段を設ける構成としてもよい。かかる構成によれば、放電状態下でのコンデンサ613及び調整コンデンサの合成容量が、充電状態下よりも大きくなるため、充電期間よりも放電期間を長くすることができる。

10

【0271】

また、整流手段としてダイオード622を用いたが、これに限られず、例えば、ダイオード622に代えて、リセット回路601からリセット信号が出力されている場合にオンとなり、リセット信号が出力されていない場合にオフとなるスイッチング素子を設ける構成としてもよい。要は、一方向に電流を流すものであればよい。

【0272】

<第7の実施形態>

本実施形態では、不規則遅延回路602に関する構成が上記第5の実施形態と異なっている。そこで、以下にその構成について詳細に説明する。なお、以下の説明では、上記第5の実施形態との相違点を中心に説明し、同一の構成については基本的に説明を省略する。第7の実施形態では、図27、図31及び図32に示した構成に代えて、図34～図36に示す構成にする。

20

【0273】

電源及び発射制御基板321には、交流電圧を出力する交流電源部631が設けられている。交流電源部631は、第1の実施形態等の交流電源部321dと異なり、電圧の波形を整える波形整形手段として、全波整流回路を有しており、商用電源から供給される+24Vの交流電圧の出力波形が一方向に整流されている。交流電源部631は、パチンコ機10の電入状態及び電断状態にかかわらず常に商用電源から電力が供給されている。

【0274】

また、電断監視基板302は、電圧を監視する停電監視回路632及び交流電圧をパルス信号に変換する信号変換回路402を備えている。停電監視回路632は、電源及び発射制御基板321から出力される最大電圧である直流安定+24Vの電圧を監視する。そして、この電圧が所定の電圧以上の場合には主制御基板301に対してHIレベル信号を出力し、この電圧が所定の電圧未満になると電源遮断の発生と判断し、主制御基板301に対して停電信号としてのLOWレベル信号を出力する。

30

【0275】

信号変換回路402は、第1の実施形態で説明したとおり、交流電源部631から出力される交流電圧をパルス信号に変換する回路である。当該パルス信号は不規則遅延回路602に対して出力されるようになっている。

40

【0276】

信号変換回路402、不規則遅延回路602及びMPU311の接続関係を図35のブロック図に基づいて詳細に説明する。

【0277】

ここで、シュミットトリガ413は、図示しない電気経路を介して電源及び発射制御基板321と電氣的に接続されており、電入時電源部321a及び電断時電源部321cによってパチンコ機10が電入状態及び電断状態にかかわらず電力供給を受けている。シュミットトリガ413は、既に説明した通り、所定の上限閾値電圧 V_{th} 以上であればLOWレベル信号を出力するとともに、所定の下限閾値電圧 V_{tl} 未満であればHIレベル信号を出力するものである。詳細には、交流電圧が上限閾値電圧 V_{th} （例えば+4 .

50

3 V) 以上になると、その後交流電圧が上限閾値電圧 V_{th} よりも低い下限閾値電圧 V_{tl} (例えば +3.5 V) 以下になるまで、LOW レベル信号を出力し、交流電圧が下限閾値電圧 V_{tl} 以下になると、その後交流電圧が上限閾値電圧 V_{th} になるまで、HI レベル信号を出力する。これにより、所定のパルス幅のパルス信号が得られる。換言すれば、交流電圧からパルス信号に変換することによって、HI レベル信号及び LOW レベル信号が交互に出力される特定信号が生成されている。また、交流電圧は全波整流回路によって一方向に整流されているため、通常の交流電圧をパルス信号に変換する場合よりもパルス信号の周波数は 2 倍になる。よって、パルス信号を使用する不規則遅延回路 602 の動作処理を好適に行うことができる。

【0278】

また、パルス信号のパルス幅は、シュミットトリガ 413 の上限閾値電圧 V_{th} 及び下限閾値電圧 V_{tl} を調整することによって調整可能である。具体的には、上限閾値電圧 V_{th} 及び下限閾値電圧 V_{tl} を 0 に近づけるとともに、上限閾値電圧 V_{th} 及び下限閾値電圧 V_{tl} の範囲を狭くすれば、パルス幅が狭いパルス信号を得ることができる。つまり、シュミットトリガ 413 は、交流電圧をパルス信号に変換する変換手段であるとともに、当該パルス信号のパルス幅を調整するパルス幅調整手段である。

【0279】

また、交流電源部 631 は商用電源に接続されて常に電力が供給されており、交流電圧を出力している。つまり、当該交流電圧はパチンコ機 10 の電入状態及び電断状態に対して影響を受けない。そして、シュミットトリガ 413 には、パチンコ機 10 の電入状態及び電断状態にかかわらず電力が供給されている。よって、交流電圧を変換して得られるパルス信号もパチンコ機 10 の電入状態及び電断状態に影響されない。換言すれば、リセット信号の出力タイミングに対してパルス信号の形態はランダムである。

【0280】

リセット回路 601 からリセット信号が出力された場合、シュミットトリガ 413 から入力されているパルス信号の形態に基づいて、不規則遅延回路 602 から MPU 311 を動作させる信号が出力される。当該構成について詳細に説明する。

【0281】

不規則遅延回路 602 は、積分回路 611 に代えて、合成回路 641、D フリップフロップ 642 を有している。合成回路 641、D フリップフロップ 642 及び NAND 回路 612 はそれぞれ図示しない電気経路及び電断監視基板 302 を介して電源及び発射制御基板 321 と接続されており、電源及び発射制御基板 321 から電力供給を受けている。

【0282】

合成回路 641 は AND 回路からなり、2 つの入力端子と、当該 2 つの入力端子からの信号に基づいた信号を出力する出力端子を有している。合成回路 641 の一方の入力端子とシュミットトリガ 413 の出力端子とが接続されている。シュミットトリガ 413 から出力されるパルス信号は合成回路 641 に供給される。また、合成回路 641 の他方の入力端子とリセット回路 601 とが接続されている。リセット回路 601 から出力されるリセット信号は合成回路 641 に供給される。合成回路 641 は、リセット回路 601 から HI レベルであるリセット信号を入力し、かつシュミットトリガ 413 から HI レベル信号を入力している場合にのみ、HI レベルの合成リセット信号を D フリップフロップ 642 に対して出力する。一方、リセット信号を入力していない場合又はシュミットトリガ 413 から入力している信号が HI レベル信号でない場合には、合成回路 641 は合成リセット信号を出力しない。よって、HI レベル信号が出力されるまで、合成リセット信号の出力タイミングは遅延される。

【0283】

D フリップフロップ 642 は、入力端子としてデータ端子 (D 端子) とクロック端子 (CLK 端子) を有し、出力端子として正論理出力端子 (Q 端子) を有している。D 端子には、リセット回路 601 が接続されており、CLK 端子には、合成回路 641 の出力端子が接続されている。また、Q 端子には NAND 回路 612 が接続されている。

10

20

30

40

50

【0284】

Dフリップフロップ642は、合成回路641によって生じた遅延を確保しつつ、HIレベルであるリセット信号をNAND回路612に対して出力する一方、一度出力されたリセット信号を合成回路641によらず、保持する機能を有している。これにより、一度リセット信号が合成回路641から出力された後に、合成回路641から出力される合成リセット信号が変動した場合であっても、NAND回路612に対する出力は保持される。よって、合成リセット信号の変動によりMPU311の動作が停止するといった不都合を抑制することができる。

【0285】

具体的には、Dフリップフロップ642は、合成回路641から合成リセット信号がCLK端子に入力されたタイミング（より詳細には合成リセット信号の立ち上がりのタイミング）でHIレベルであるリセット信号が入力されている場合、NAND回路612に対してHIレベル信号を出力する。当該HIレベル信号は、合成リセット信号がCLK端子に入力されたタイミングでリセット信号が入力されていない状態となるまで継続出力される。換言すれば、Dフリップフロップ642は、合成リセット信号がCLK端子に入力されるまでリセット信号の入力状態を保持しているとも言える。

10

【0286】

ここで、合成回路641及びDフリップフロップ642の動作を図36のタイミングチャートに基づき説明する。

【0287】

t18のタイミングでパチンコ機10の電源がONの状態、すなわちパチンコ機10が電入状態となると、リセット回路601からリセット信号が出力される。より詳細には、リセット回路601からHIレベル信号が出力される。すると、Dフリップフロップ642のD端子にリセット信号が入力されるとともに、合成回路641にリセット信号が入力される。一方、シュミットトリガ413からの出力信号は、LOWレベル信号であるため、合成回路641からLOWレベル信号が出力される。かかる状態では、Dフリップフロップ642はLOWレベル信号を保持する。よって、MPU311は動作を開始しない。

20

【0288】

t19のタイミングでシュミットトリガ413からの出力信号がLOWレベルからHIレベルに立ち上がると、合成回路641からHIレベル信号が出力される。すると、Dフリップフロップ642のCLK端子に入力される信号がLOWレベルからHIレベルに立ち上がる。かかる場合、Dフリップフロップ642は、その時のD端子に入力されている信号の入力状態に応じた信号をQ端子から出力する。ここで、D端子には、HIレベルであるリセット信号が入力されているため、Q端子からHIレベル信号が出力される。そして、当該リセット信号はNAND回路612に対して入力される。これにより、NAND回路612からLOWレベル信号が出力され、MPU311の動作が開始される。

30

【0289】

つまり、パチンコ機10が電入状態となってから、シュミットトリガ413から出力されている信号がHIレベル信号になるまでの遅延期間DT4だけ、MPU311の動作の開始タイミングが合成回路641によって遅延されている。ここで、パルス信号はパチンコ機10が電入状態及び電断状態にかかわらず変動しているため、パチンコ機10が電入状態となるタイミングに応じてパルス信号の形態は変動している。よって、パチンコ機10が電入状態となったタイミングからパルス信号の形態の1つであるHIレベル状態になるタイミングまでの期間である遅延期間DT4はパチンコ機10が電入状態となるタイミングに応じて変動する。したがって、遅延期間DT4は不規則になっている。

40

【0290】

その後、t20のタイミングでシュミットトリガ413からの出力信号がHIレベルからLOWレベルに切り替わると、合成回路641から出力されている合成リセット信号もHIレベルからLOWレベルに切り替わり、Dフリップフロップ642のCLK端子に入力される信号もHIレベルからLOWレベルに切り替わる。しかし、Dフリップフロップ

50

642は、CLK端子にHIレベルである合成リセット信号が入力されるタイミング、すなわち合成リセット信号がLOWレベルからHIレベルに切り替わるタイミングに同期して、D端子に入力されている信号の入力状態に応じた信号をQ端子から出力するものであり、合成リセット信号がHIレベルからLOWレベルに切り替わるタイミングでは同期しない。よって、Q端子から出力されている信号状態は保持される。

【0291】

t21のタイミングでシュミットトリガ413から出力される信号がLOWレベルからHIレベルに切り替わる場合、合成回路641からHIレベルである合成リセット信号が出力される。具体的には、合成回路641から出力される信号がLOWレベルからHIレベルに切り替わる。すると、CLK端子に入力される信号もLOWレベルからHIレベルに切り替わるため、Dフリップフロップ642はその時のD端子に入力されている信号に応じた信号をQ端子から出力する。かかる場合、D端子にはHIレベルであるリセット信号が入力されているため、Q端子から出力される信号もHIレベル信号である。よって、NAND回路612から出力される信号はLOWレベルを保持する。つまり、一度Q端子からHIレベル信号が出力されると、その後シュミットトリガ413から出力される信号がHIレベル及びLOWレベルに交互に切り替わることによって、合成リセット信号がHIレベル及びLOWレベルに交互に切り替わったとしても、Q端子から出力されるHIレベル信号はD端子に入力されている信号が変化しない限り、変化しない。よって、シュミットトリガ413から出力されている信号の変化によるMPU311の誤動作がDフリップフロップ642によって抑制されている。

10

20

【0292】

t22のタイミングでパチンコ機10が電断状態になった場合、NAND回路612に信号線LN3から直ちにLOWレベル信号が入力されることとなり、NAND回路612からHIレベル信号がMPU311に対して出力されるため、MPU311は直ちに立ち下がる。一方、交流電源部631は商用電源に接続されており、パチンコ機10の電断状態にかかわらず電力供給を受けて全波波形の交流電圧を出力しているため、当該交流電源部631からの交流電圧を変換したものであるパルス信号は電断状態にかかわらず出力されている。なお、Dフリップフロップ642は揮発性の構成であるため、Q端子からの出力状態は保持されない。この場合に、Q端子からの出力状態が不定となる場合がある。この状態において、Q端子からの出力状態がHIレベルである場合、NAND回路612から出力される信号がLOWレベルとなり、MPU311の動作が終了しないおそれがある。これに対して、本実施形態によれば、信号線LN3からLOWレベル信号が入力されるため、信号線LN4からの出力状態に関わらずMPU311の動作を終了させることができる。これにより、MPU311の立ち下げ処理を確実に行うことができる。なお、Q端子からの出力状態がLOWレベルである場合には、MPU311は直ちに立ち下がる。

30

【0293】

t23のタイミングで再びパチンコ機10が電入状態となった場合、t27のタイミングと同様にHIレベルであるリセット信号が出力され、それに伴い合成回路641の入力側の一端及びDフリップフロップ642のD端子にHIレベルであるリセット信号が入力される。かかる場合、シュミットトリガ413から合成回路641に対して出力されている信号はLOWレベル信号であるため、合成回路641はLOWレベル信号を出力する。当該信号の出力に対して、Dフリップフロップ642は同期しないため、現状の出力状態は保持される。したがって、MPU311は動作を開始しない。

40

【0294】

t24のタイミングでシュミットトリガ413から出力されている信号がLOWレベルからHIレベルに切り替わった場合、t19のタイミングの場合と同様に合成回路641からの出力信号がLOWレベルからHIレベルに立ち上がる。当該立ち上がり同期してDフリップフロップ642は入力状態に応じた信号を出力する。具体的には、D端子にHIレベルであるリセット信号が入力されているため、Q端子からHIレベル信号が出力される。すると、NAND回路612からLOWレベル信号がMPU311に対して出力さ

50

れ、MPU311は当該信号を受けて動作を開始する。よって、 t_{23} のタイミングから t_{24} のタイミングまでの遅延期間DT5だけMPU311の動作の開始タイミングが遅延されている。

【0295】

ここで、遅延期間DT4、DT5は、パチンコ機10が電入状態になるタイミング、すなわちリセット回路601からのリセット信号の出力タイミングからシュミットトリガ413から出力されている信号がHIレベル信号になるまでの期間であるため、シュミットトリガ413からの出力信号がHIレベル信号から次のHIレベル信号になるまでの期間が遅延期間のばらつきの範囲になる。つまり、LOWレベル信号の期間が遅延期間のばらつきの範囲になる。そして、LOWレベル信号の期間内において、リセット信号が出力される、すなわちパチンコ機10が電入状態となると、NAND回路612からLOWレベル信号が出力されるタイミングが、当該電入状態になるタイミングに基づいて遅延されている。これにより、遅延期間は不規則になっているため、乱数カウンタ更新処理の開始タイミングが把握されにくい。よって、「ぶら下げ基板」等を用いた不正行為を防止することができる。

10

【0296】

t_{25} のタイミングでパチンコ機10が電断状態になった場合、 t_{22} のタイミングの場合と同様に、MPU311は直ちに立ち下がる。

【0297】

以上詳述した本実施形態によれば、以下の優れた効果を奏する。

20

【0298】

不規則遅延回路602として合成回路641を設け、当該合成回路641は、リセット回路601からHIレベルであるリセット信号が入力されている場合に、信号変換回路402、より具体的にはシュミットトリガ413から出力されるパルス信号の特定形態に基づいて、HIレベルである合成リセット信号を出力する構成とした。具体的には、合成回路641は、信号変換回路402から出力されている信号がHIレベルになっていることに基づいて、HIレベルである合成リセット信号を出力する構成とした。これにより、信号変換回路402から出力されている信号がLOWレベルである状態下で、リセット信号が出力された場合、HIレベル信号が出力されるまで、合成リセット信号の出力は遅延されるため、NAND回路612へのHIレベル信号の出力は遅延される。そして、当該HIレベル信号の入力に応じて、NAND回路612はLOWレベル信号をMPU311に対して出力する。当該LOWレベル信号の入力に応じて、MPU311は動作を開始する。換言すれば、信号変換回路402から出力されている信号がHIレベルになることに基づいて、NAND回路612に供給される信号の状態が動作可能状態に移行する。更に換言すれば、シュミットトリガ413から出力されている信号がHIレベルになることで、MPU311に供給される信号の状態が動作可能状態に切り替わる。

30

【0299】

ここで、パルス信号の形態は、パチンコ機10が電入状態となるタイミングに応じて変動している。これにより、パチンコ機10が電入状態となったタイミングから合成回路641からの合成リセット信号の出力タイミングまでの期間は、パチンコ機10が電入状態となるタイミングによって変動する。よって、NAND回路612からのLOWレベル信号の出力タイミングは不規則になる。したがって、大当たり乱数カウンタC1の更新の開始タイミングが把握されにくいため、大当たり当選となるタイミングが把握されにくい。これにより、「ぶら下げ基板」等を用いた不正行為を抑制することができる。

40

【0300】

また、不規則遅延回路602として積分回路611を設ける構成の場合、パチンコ機10の電断状態の期間が放電期間より長い場合、積分回路611のコンデンサ613に電荷が残留しないため、遅延期間にばらつきが生じない不都合が生じる。これに対して、信号変換回路402から出力されている信号の形態に基づいてNAND回路612からLOWレベル信号を出力させる構成によれば、遅延期間はパチンコ機10の電断状態の期間に依

50

存しないため、上記不都合を回避することができる。

【0301】

交流電源部631から供給される交流電圧をパルス信号に変換する信号変換回路402を設けた。これにより、商用電源からHIレベル信号及びLOWレベル信号が交互に出力される特定信号を得ることができるため、構成の簡素化を図ることができる。

【0302】

なお、上記実施形態では、信号変換回路402から出力されている信号がHIレベルの場合に、合成回路641がHIレベルであるリセット信号を出力する構成としたが、これに限られず、信号変換回路402から出力されている信号がLOWレベルの場合に、HIレベル信号を出力する構成としてもよい。

10

【0303】

また、t26のタイミングでパチンコ機10が再び電入状態となった場合、リセット信号が出力され、それに伴い合成回路641の入力側の一端及びDフリップフロップ642のD端子にHIレベルであるリセット信号が入力される。また、合成回路641に入力される信号はHIレベルであるため、合成回路641からHIレベルである合成リセット信号が出力される。よって、当該信号に同期して、Dフリップフロップ642のQ端子からはHIレベル信号が出力される。かかる場合、遅延が発生しない不具合が発生する。

【0304】

これに対して、シュミットトリガ413は、パルス信号のパルス幅を調整する機能を有している。具体的には、シュミットトリガ413の上限閾値電圧及び下限閾値電圧を調整することによって、パルス幅は調整される。特に、シュミットトリガ413の上限閾値電圧及び下限閾値電圧を0に近づけるとともに上限閾値電圧及び下限閾値電圧の範囲を狭くすることによって、パルス信号1周期において、HIレベルの状態がLOWレベルの状態に比べて相対的に短い期間になる。すると、遅延が発生しない期間が、遅延が発生する期間よりも短くなる。よって、遅延が発生しない不具合を回避できる。換言すれば、パルス信号1周期において、HIレベル信号がLOWレベル信号に比べて相対的に短い期間になることによって、遅延期間のばらつきの範囲が広範囲になるため、遅延期間のばらつきを大きくし、遅延期間の不規則性を向上させることができる。

20

【0305】

なお、信号変換回路402から出力されている信号がLOWレベルの状態下で、HIレベル信号を出力する構成である場合には、LOWレベルの状態をHIレベルの状態よりも長くなるように調整するとよい。

30

【0306】

<第8の実施形態>

本実施形態では、不規則遅延回路602に関する構成が上記第7の実施形態と異なっている。そこで、以下にその構成について詳細に説明する。なお、以下の説明では、上記第7の実施形態との相違点を中心に説明し、同一の構成については基本的に説明を省略する。第8の実施形態では、図35及び図36に示した構成に代えて、図37及び図38に示す構成にする。

【0307】

第7の実施形態では、リセット回路601からリセット信号が出力されており、かつ信号変換回路402から出力されている信号がHIレベル信号の場合に、合成回路641がHIレベル信号を出力して、MPU311が動作する構成としたが、これに代えてパルス信号の立ち上がり同期してMPU311を動作させる構成にする。

40

【0308】

不規則遅延回路602は、移行手段としてDフリップフロップ651を有している。Dフリップフロップ651は、入力端子としてデータ端子(D端子)とクロック端子(CLK端子)を有し、出力端子として正論理出力端子(Q端子)を有している。D端子には、リセット回路601が接続されており、CLK端子には、シュミットトリガ413が接続されている。また、Q端子には、NAND回路612が接続されている。

50

【0309】

Dフリップフロップ651は、CLK端子に入力される信号がLOWレベルからHIレベルに立ち上がることに同期して、その時にD端子に入力されている信号の入力状態に応じた信号をQ端子から出力する。つまり、シュミットトリガ413によって変換されたパルス信号の立ち上がり同期して、その時のリセット回路601から出力されている信号状態に応じた信号をQ端子から出力するとともに、次のパルス信号の立ち上がりまで当該出力状態を保持する。

【0310】

不規則遅延回路602の動作を図38のタイミングチャートに基づき説明する。

【0311】

t27のタイミングでパチンコ機10が電入状態となると、リセット回路601からリセット信号が出力される。より詳細には、リセット回路601からHIレベル信号が出力される。すると、Dフリップフロップ651のD端子にHIレベルであるリセット信号が入力される。一方、シュミットトリガ413からの出力信号は、LOWレベル信号、すなわち出力無しの状態であるため、Dフリップフロップ651は同期することなく現状の出力状態を保持する。よって、NAND回路612に対してHIレベルであるリセット信号は出力されない。よって、MPU311は動作を開始しない。

【0312】

t28のタイミングでシュミットトリガ413からの出力信号がLOWレベルからHIレベルに立ち上がると、当該立ち上がり同期して、Dフリップフロップ651は入力状態に応じた信号を出力する。ここで、D端子には、HIレベルであるリセット信号が入力されているため、Q端子からはHIレベル信号が出力される。そして、当該HIレベル信号はNAND回路612に対して入力される。換言すれば、NAND回路612に供給される信号の状態が動作可能状態に移行している。これにより、NAND回路612からLOWレベル信号が出力されることとなり、MPU311の動作が開始され、大当たり乱数カウンタC1等の乱数カウンタ更新処理の更新が開始される。

【0313】

つまり、パチンコ機10が電入状態となってから、シュミットトリガ413から出力される信号がLOWレベルからHIレベルに立ち上がるまでの遅延期間DT6だけ、MPU311の動作開始のタイミングが遅延されている。ここで、パルス信号はパチンコ機10が電入状態及び電断状態にかかわらず変動しているため、パチンコ機10が電入状態となるタイミングに応じてパルス信号の形態は変動している。よって、パチンコ機10が電入状態となったタイミングからパルス信号の形態の1つであるLOWレベル信号からHIレベル信号への立ち上がりタイミングまでの期間である遅延期間DT6はパチンコ機10が電入状態となるタイミングに応じて変動する。したがって、NAND回路612からのLOWレベル信号の出力タイミングは不規則になる。よって、パチンコ機10が電入状態になってから大当たり乱数カウンタC1の更新が開始されるまでの期間が不規則になるため、大当たり当選となるタイミングが把握されにくい。

【0314】

t29のタイミングでパチンコ機10が電断状態になった場合、第7の実施形態の場合と同様にNAND回路612に信号線LN3から直ちにLOWレベル信号が入力されることとなり、MPU311に対してHIレベル信号が出力されるため、MPU311は直ちに立ち下がる。一方、交流電源部631は、商用電源と接続されており、パチンコ機10の電入状態及び電断状態にかかわらず電力供給を受けて全波波形の交流電圧を出力している。また、シュミットトリガ413は電断状態においても電断時電源部321cから電力供給されている。よって、交流電源部631からの交流電圧を変換したものであるパルス信号は電断状態にかかわらず出力されている。なお、Dフリップフロップ651は揮発性の構成であるため、電断状態においては、Q端子からの出力状態は保持されない。

【0315】

t30のタイミングで再びパチンコ機10が電入状態となった場合、t27のタイミン

10

20

30

40

50

グと同様にリセット信号が立ち上がり、それに伴いDフリップフロップ651のD端子にHIレベルであるリセット信号が入力される。一方、CLK端子に入力される信号はHIレベル信号であり、立ち上がりのタイミングではない。よって、Dフリップフロップ651はLOWレベル信号を保持する。

【0316】

t31のタイミングでシュミットトリガ413から出力される信号がLOWレベルからHIレベルに切り替わった場合、Dフリップフロップ651では、D端子にHIレベルであるリセット信号が入力されているため、Q端子からHIレベル信号が出力される。すると、NAND回路612からLOWレベル信号がMPU311に対して出力され、MPU311は当該信号を受けて動作を開始する。よって、t30のタイミングからt31のタイミングまでの遅延期間DT7だけMPU311の動作の開始タイミングが遅延されている。

10

【0317】

ここで、遅延期間DT6、DT7はパチンコ機10が電入状態になるタイミング、すなわちリセット回路601からのリセット信号の出力タイミングからパルス信号の立ち上がりタイミングまでの期間であるため、立ち上がり周期が遅延期間のばらつきの範囲になる。つまり、パルス信号の周期が遅延期間のばらつきの範囲になる。そして、当該遅延期間は、当該範囲内において、リセット回路601からのリセット信号の出力タイミングに応じて変動する。具体的には、リセット信号の出力タイミングからパルス信号の立ち上がりタイミングまでの期間がt27のタイミングからt28のタイミングまでの期間よりもt30のタイミングからt31のタイミングまで期間の方が長い分、遅延期間DT7は遅延期間DT6よりも長くなっている。これにより、遅延期間は不規則になっている。

20

【0318】

以上詳述した第8の実施形態によれば、以下の優れた効果を奏する。

【0319】

不規則遅延回路602として、パルス信号の立ち上がりに同期して、リセット回路601から出力されているリセット信号に応じた信号をNAND回路612に対して出力するDフリップフロップ651を設けた。これにより、リセット回路601からリセット信号が出力された場合、パルス信号の立ち上がりまで、NAND回路612からのLOWレベル信号の出力タイミングは遅延される。そして、当該LOWレベル信号の入力に応じて、MPU311は動作を開始する。換言すれば、リセット回路601からリセット信号が出力された状態で、パルス信号の立ち上がりに基づいて、NAND回路612に供給される信号の状態が動作可能状態に移行する。更に換言すれば、リセット回路601からリセット信号が出力された場合であり、さらにパルス信号の立ち上がりに基づいて、MPU311に供給される信号の状態が動作可能状態に切り替わる。

30

【0320】

ここで、パルス信号の形態は、パチンコ機10が電入状態となるタイミングによって変動している。これにより、パチンコ機10が電入状態となったタイミングからパルス信号が立ち上がるまでの期間は、パチンコ機10が電入状態となるタイミングによって変動する。よって、Dフリップフロップ651が同期するタイミング、すなわちNAND回路612からのLOWレベル信号の出力タイミングは不規則になる。したがって、大当たり乱数カウンタC1の更新の開始タイミングが把握されにくいいため、大当たり当選となるタイミングが把握されにくい。これにより、「ぶら下げ基板」等を用いた不正行為を抑制することができる。

40

【0321】

また、パルス信号において、立ち上がりタイミングから次の立ち上がりタイミングまでの期間が遅延期間のばらつきの範囲となる。つまり、パルス信号の周期が遅延期間のばらつきの範囲となる。よって、信号変換回路402からHIレベル信号及びLOWレベル信号のうちいずれか一方の信号が出力されていることに基づいて、HIレベルである合成リセット信号を出力する構成と比較して、遅延期間のばらつきの範囲が広範囲になる。した

50

がって、NAND回路612からのLOWレベル信号の出力タイミングをより把握しづらくしている。

【0322】

換言すれば、パルス信号の立ち上がりと、パチンコ機10の電入状態になるタイミングとが一致しない限り遅延が生じる。つまり、信号変換回路402から出力されている信号がHIレベル又はLOWレベルの場合に同期する構成と比較して、遅延が生じない期間が短くなっている。よって、遅延が生じない不具合を抑制することができる。

【0323】

<第9の実施形態>

本実施形態では、不規則遅延回路602に関する構成が上記第8の実施形態と異なっている。そこで、以下にその構成について詳細に説明する。なお、以下の説明では、上記第8の実施形態との相違点を中心に説明し、同一の構成については基本的に説明を省略する。第9の実施形態では、図37及び図38に示した構成に代えて、図39及び図40に示す構成にする。

【0324】

本実施形態では、同期するタイミングを規定するために用いたパルス信号の立ち上がり周期を変更する。

【0325】

不規則遅延回路602は、第1Dフリップフロップ661と、変調回路662を備えている。第1Dフリップフロップ661は、第7の実施形態で説明したDフリップフロップ651と同様に入力端子としてD1端子と、CLK1端子とを有し、出力端子としてQ1端子を有している。また、Dフリップフロップ651と同様に、Q1端子はNAND回路612の入力端子に接続されており、D1端子はリセット回路601に接続されている。変調回路662は、第1Dフリップフロップ661と、交流電圧をパルス信号に変換するシュミットリガ413とを接続する経路上に設けられている。シュミットリガ413から出力されるパルス信号は、変調回路662を介して第1Dフリップフロップ661のCLK1端子に入力される。変調回路662は、第2Dフリップフロップ663と、第3Dフリップフロップ664と、XOR回路665とを有している。第2Dフリップフロップ663と、第3Dフリップフロップ664と、XOR回路665とは、それぞれ図示しない電気経路及び電断監視基板302を介して電源及び発射制御基板321の電入時用電源部321aと電氣的に接続されている。よって、電入時用電源部321aが電力供給を行っている間、すなわちパチンコ機10が電入状態となっている間、第2Dフリップフロップ663と、第3Dフリップフロップ664と、XOR回路665とは動作する。

【0326】

XOR回路665は、2つの入力端子と、当該入力端子に入力される信号に応じた信号を出力する出力端子と、を有している。第2Dフリップフロップ663は、第1Dフリップフロップ661と同様に入力端子としてD2端子と、CLK2端子とを有し、出力端子としてQ2端子を有している。第3Dフリップフロップ664も、第1Dフリップフロップ661と同様に入力端子としてD3端子と、CLK3端子とを有し、出力端子としてQ3端子を有している。第2Dフリップフロップ663のD2端子にはXOR回路665の出力端子が接続されており、CLK2端子にはシュミットリガ413の出力端子が接続されている。また、第2Dフリップフロップ663のQ2端子には、第3Dフリップフロップ664のD3端子が接続されている。第3Dフリップフロップ664のCLK3端子には、第2Dフリップフロップ663と同様にシュミットリガ413の出力端子が接続されている。また、第3Dフリップフロップ664のQ3端子は、第1Dフリップフロップ661のCLK1端子に接続されているとともに、XOR回路665の2つの入力端子のうち、一方の入力端子に接続されている。XOR回路665の他方の入力端子は、電源及び発射制御基板321に接続されており、HIレベル信号である+5V電圧が供給されている。そして、上述した通りXOR回路665の出力端子は、第2Dフリップフロップ663のD2端子に接続されている。

【 0 3 2 7 】

これにより、シュミットトリガ 4 1 3 から出力されるパルス信号は変調回路 6 6 2 によって変調されて、第 1 D フリップフロップ 6 6 1 の C L K 1 端子に入力される。変調されたパルス信号を変調パルス信号という。

【 0 3 2 8 】

変調回路 6 6 2 及びそれに伴う N A N D 回路 6 1 2 の動作について図 4 0 のタイミングチャートに基づいて説明する。

【 0 3 2 9 】

t 3 2 のタイミングでパチンコ機 1 0 が電入状態となると、リセット回路 6 0 1 からリセット信号が出力される。より詳細には、リセット回路 6 0 1 から H I レベル信号が出力される。すると、第 1 D フリップフロップ 6 6 1 の D 1 端子に H I レベルであるリセット信号が入力される。一方、電源及び発射制御基板 3 2 1 の電入時電源部 3 2 1 a から + 5 V の電圧が生成され、X O R 回路 6 6 5 に + 5 V 電圧、すなわち H I レベル信号が入力される。また、当該タイミングでは、パルス信号の立ち上がりは発生していないため、Q 2 端子及び Q 3 端子から出力される信号は変化しない。

10

【 0 3 3 0 】

t 3 3 のタイミングでシュミットトリガ 4 1 3 から出力される信号が L O W レベルから H I レベルに立ち上がった場合、当該立ち上がりに同期して第 2 D フリップフロップ 6 6 3 及び第 3 D フリップフロップ 6 6 4 は入力状態に応じた信号を出力する。具体的には、D 2 端子に接続されている X O R 回路 6 6 5 の入力端子の一端には、電源及び発射制御基板 3 2 1 から H I レベル信号が入力されている。また、第 3 D フリップフロップ 6 6 4 の Q 2 端子から L O W レベル信号が出力されているため、X O R 回路 6 6 5 の入力端子の他端には、L O W レベル信号が入力されている。よって、X O R 回路 6 6 5 から H I レベル信号が出力されており、第 2 D フリップフロップ 6 6 3 の D 2 端子には、H I レベル信号が入力されている。したがって、Q 2 端子から H I レベル信号が出力される。一方、t 3 3 のタイミングにおいて、第 3 D フリップフロップ 6 6 4 の D 3 端子には L O W レベル信号が出力されているため、Q 3 端子から L O W レベル信号が出力される。第 2 D フリップフロップ 6 6 3 及び第 3 D フリップフロップ 6 6 4 の出力状態は、パルス信号の次の立ち上がりまで保持される。

20

【 0 3 3 1 】

t 3 4 のタイミングでシュミットトリガ 4 1 3 から出力されている信号が L O W レベルから H I レベルに立ち上がった場合、当該立ち上がりに同期して第 2 D フリップフロップ 6 6 3 及び第 3 D フリップフロップ 6 6 4 は入力状態に応じた信号を出力する。X O R 回路 6 6 5 から出力されている信号は変化しないため、第 2 D フリップフロップ 6 6 3 は、H I レベル信号を出力する。また、D 3 端子には Q 2 端子から H I レベル信号が入力されているため、第 3 D フリップフロップ 6 6 4 の Q 3 端子から出力されている信号は L O W レベルから H I レベルに立ち上がる。当該立ち上がりに同期して、第 1 D フリップフロップ 6 6 1 は、D 1 端子に入力されている H I レベルであるリセット信号に対応して Q 1 端子から H I レベル信号を出力する。すると、N A N D 回路 6 1 2 から M P U 3 1 1 に L O W レベル信号が出力され、当該信号が入力されることによって、M P U 3 1 1 は動作を開始する。

30

40

【 0 3 3 2 】

つまり、パチンコ機 1 0 が電入状態となった t 3 2 のタイミングから第 1 D フリップフロップ 6 6 1 にパルス信号の立ち上がりが入力される t 3 4 のタイミングまでの遅延期間 D T 8 だけ、M P U 3 1 1 の動作の開始が遅延されている。ここで、遅延期間 D T 8 は、パチンコ機 1 0 が電入状態になったタイミングから最初のパルス信号が立ち上がりまでの期間に対して、パルス信号の周期が加算された期間である。遅延期間 D T 8 は、リセット信号が出力されてから最初のパルス信号の立ち上がりまでの期間に対してパルス信号の周期が加算されている点で第 8 の実施形態での遅延期間 D T 6 と異なっている。つまり、変調パルス信号による同期のタイミングと、パルス信号による同期のタイミングとはパルス

50

信号 1 周期だけ異なっている。

【 0 3 3 3 】

t 3 5 のタイミングでシュミットトリガ 4 1 3 から出力されている信号が LOW レベルから HI レベルに立ち上がった場合、当該立ち上がり同期して第 2 D フリップフロップ 6 6 3 及び第 3 D フリップフロップ 6 6 4 は入力状態に応じた信号を出力する。具体的には、Q 2 端子から HI レベル信号が出力されているため、XOR 回路 6 6 5 の二つの入力端子には、HI レベル信号が入力されている。よって、XOR 回路 6 6 5 から LOW レベル信号が出力される。したがって、第 2 D フリップフロップ 6 6 3 の Q 端子から出力されている信号は、HI レベルから LOW レベルに切り替わる。また、D 3 端子には Q 2 端子から HI レベル信号が入力されているため、第 3 D フリップフロップ 6 6 4 の Q 3 端子から出力されている信号は HI レベルである。よって、第 1 D フリップフロップ 6 6 1 の CLK 1 端子に、信号の立ち上がりは入力されないため、第 1 D フリップフロップ 6 6 1 は出力状態を保持する。

10

【 0 3 3 4 】

その後、t 3 6 のタイミングでシュミットトリガ 4 1 3 から出力されている信号が LOW レベルから HI レベルに立ち上がった場合、XOR 回路 6 6 5 には 2 つの HI レベル信号が入力されており、LOW レベル信号を出力しているため、第 2 D フリップフロップ 6 6 3 は LOW レベル信号を出力する。また、Q 2 端子から LOW レベル信号が出力されているため、第 3 D フリップフロップ 6 6 4 は、Q 3 端子からの出力信号は HI レベルから LOW レベルに立ち下がる。第 1 D フリップフロップ 6 6 1 は立ち下がり同期しないため、Q 1 端子からの出力状態は保持される。

20

【 0 3 3 5 】

t 3 7 のタイミングでシュミットトリガ 4 1 3 から出力されている信号が LOW レベルから HI レベルに立ち上がった場合、t 3 3 のタイミングと同様に XOR 回路 6 6 5 には HI レベル信号と LOW レベル信号が入力されており、HI レベル信号を出力しているため、第 2 D フリップフロップ 6 6 3 は Q 2 端子から HI レベル信号を出力する。また、Q 2 端子から LOW レベル信号が出力されているため、第 3 D フリップフロップ 6 6 4 は、Q 3 端子から LOW レベル信号を出力する。第 1 D フリップフロップ 6 6 1 は同期しないため、Q 1 端子からの出力状態は保持される。

30

【 0 3 3 6 】

つまり、t 3 3 のタイミングから t 3 7 のタイミングまでの期間 T 4 が第 2 D フリップフロップ 6 6 3 及び第 3 D フリップフロップ 6 6 4 が出力するパルス信号の周期、すなわち変調パルス信号の周期となっている。当該周期は、パルス信号の周期 T 3 の 4 倍になっている。また、変調パルス信号のパルス幅もパルス信号のパルス幅の 4 倍になっている。これにより、パチンコ機 1 0 の電入状態となってから、パルス信号の最初の立ち上がりタイミングである t 3 3 のタイミングでは、Q 3 端子からの出力信号が立ち上がることなく、パルス信号の次の立ち上がりタイミングで Q 3 端子からの出力信号が立ち上がるようになっている。

【 0 3 3 7 】

t 3 8 のタイミングでパチンコ機 1 0 が電断状態になった場合、NAND 回路 6 1 2 に信号線 LN 3 から直ちに LOW レベル信号が入力されることとなり、MPU 3 1 1 に対して HI レベル信号が出力されるため、MPU 3 1 1 は直ちに立ち下がる。また、電入時用電源部 3 2 1 a の + 5 V の電圧供給も停止されるとともに、電入時用電源部 3 2 1 a から電力供給を受けて駆動していた第 1 D フリップフロップ 6 6 1、第 2 D フリップフロップ 6 6 3 及び第 3 D フリップフロップ 6 6 4 は動作を停止する。かかる場合、各 D フリップフロップ 6 6 1、6 6 3、6 6 4 の出力状態は保持されない。

40

【 0 3 3 8 】

その後、t 3 9 のタイミングで再びパチンコ機 1 0 が電入状態となった場合、t 3 2 のタイミングと同様にリセット信号が立ち上がり、それに伴い第 1 D フリップフロップ 6 6 1 の D 1 端子に HI レベルであるリセット信号が入力される。その後、t 4 0 のタイミン

50

グでMPU311の動作が開始される。つまり、t39のタイミングからt40のタイミングまでの遅延期間DT9だけ、リセット回路601からのリセット信号の出力タイミングに対してMPU311の動作開始タイミングが遅延される。

【0339】

以上詳述した本実施形態によれば、パルス信号の周期を変調させる変調回路662を設け、第1Dフリップフロップ661は、変調されたパルス信号である変調パルス信号の立ち上がりに基づいて同期する構成とした。これにより、パルス信号が立ち上がるタイミングと、変調パルス信号が立ち上がるタイミングとが異なっているため、第1Dフリップフロップ661が同期するタイミングが、パルス信号の立ち上がりに基づいて同期するタイミングと異なっている。よって、NAND回路612からのLOWレベル信号の出力タイミングが、パルス信号に基づいて出力する構成と、異なっている。したがって、パルス信号の立ち上がりタイミング及びリセット信号の出力タイミングから、MPU311の動作の開始タイミングを把握する不正行為を防止することができる。

【0340】

特に、パルス信号は、商用電源からの交流電圧を変換して得ているため、パルス信号の周期は特定される可能性がある。これに対して、変調回路662によって変調された変調パルス信号は、リセット回路601からのリセット信号の出力タイミング後において、シュミットトリガ413から出力されているパルス信号における最初の立ち上がりよりも後の立ち上がり同期して、立ち上がるようになっている。つまり、第1Dフリップフロップ661は、リセット回路601からのリセット信号の出力タイミング後において、シュミットトリガ413から出力されているパルス信号における最初の立ち上がりには、同期しないようになっている。これにより、シュミットトリガ413から出力されているパルス信号における最初の立ち上がりタイミングでは、NAND回路612からLOWレベル信号が出力されない。よって、仮にリセット信号の出力タイミング及びパルス信号の立ち上がりタイミングを把握することにより、リセット信号の出力から最初のパルス信号の立ち上がりまでの期間を把握された場合であっても、第1Dフリップフロップ661が同期するタイミングを把握しづらくしている。

【0341】

なお、変調パルス信号は、パルス幅及び出力間隔がいずれもパルス信号と異なる信号に変調されている構成としたが、これに限られず、パルス幅又は出力間隔のどちらか一方がパルス信号のそれと異なる信号であってもよい。要は、パルス信号のパルス幅又は出力間隔の少なくとも一方が異なる信号に変調すればよい。

【0342】

<第10の実施形態>

本実施形態では、不規則遅延回路602の電力供給に関する構成が上記第9の実施形態と異なっている。そこで、以下にその構成について詳細に説明する。なお、以下の説明では、上記第9の実施形態との相違点を中心に説明し、同一の構成については基本的に説明を省略する。第10の実施形態では、図39及び図40に示した構成に代えて、図41及び図42に示す構成にする。

【0343】

第9の実施形態では、第2Dフリップフロップ663及び第3Dフリップフロップ664への電力供給はパチンコ機10が電断状態になるとともに停止されるため、第2Dフリップフロップ663及び第3Dフリップフロップ664に保持されていた情報は消去されるとともに、第2Dフリップフロップ663及び第3Dフリップフロップ664は動作しない構成としたが、本実施形態では、これを変更し、パチンコ機10の電断状態においても動作する構成とする。

【0344】

具体的には、第2Dフリップフロップ663、第3Dフリップフロップ664及びXOR回路665と、電源及び発射制御基板321の電断時電源部321cとを電氣的に接続する電源線ELN1が設けられている。第2Dフリップフロップ663、第3Dフリッ

10

20

30

40

50

フリップフロップ664及びXOR回路665は、電源線ELN1を介してパチンコ機10の電断状態においても電力供給されるため、パチンコ機10の電入状態及び電断状態にかかわらず動作する。これにより、遅延期間のばらつきの範囲を、第9の実施形態に比べて、大きくすることができる。

【0345】

なお、電断時電源部321cに代えて別途充電手段としてコンデンサなどを設ける構成としてもよい。また、電源線ELN1は、電断監視基板302を介しているが、これに限られず、電断時電源部321cと各Dフリップフロップ等との接続を直接行う構成としてもよい。要は、パチンコ機10の電入状態及び電断状態にかかわらず動作電力が供給される構成であればよい。但し、電断時電源部321cを用いる方が、構成の簡素化の観点から優れている。

10

【0346】

変調回路662の動作を図42に基づいて説明する。なお、各Dフリップフロップ661、663、664の動作自体は上述した通りであるため、これらの説明については省略する。

【0347】

t41のタイミングでパチンコ機10が電入状態となる場合、t32のタイミングの場合と同様にリセット回路601からリセット信号が出力される。当該タイミングでは、パルス信号の立ち上がりが発生していないため、第2Dフリップフロップ663及び第3Dフリップフロップ664の出力状態は保持されている。

20

【0348】

t42のタイミングでシュミットトリガ413から出力されている信号がLOWレベルからHIレベルに立ち上がった場合、t34のタイミングの場合と同様に第3Dフリップフロップ664のQ3端子から出力されている信号がLOWレベルからHIレベルに立ち上がるため、Q1端子からHIレベル信号が出力される。つまり、t41のタイミングからt42のタイミングまでの遅延期間DT10だけパチンコ機10の電入状態になってからMPU311の動作の開始タイミングが遅延されている。遅延期間DT10は、リセット信号の出力タイミングから立ち上がりタイミングまでの期間に対して、パルス信号の周期を1周期分だけ加算した期間である。

【0349】

t43のタイミングでパチンコ機10が電断状態になる場合、リセット信号が直ちに出力されなくなるとともに、NAND回路612からの出力信号は直ちにLOWレベルからHIレベルに切り替わる。これにより、MPU311は直ちに所定の停止処理を実行する。一方、各Dフリップフロップ663、664及びXOR回路665には電断状態においても電力が供給されているため、各Dフリップフロップ663、664及びXOR回路665の出力状態は保持される。なお、電断状態においては第1Dフリップフロップ661には電力が供給されていないため、出力状態は保持されない。

30

【0350】

その後、t44のタイミングで再びパチンコ機10が電入状態になった場合、Q2端子及びQ3端子からHIレベル信号が出力されている。そして、Q3端子からの出力がLOWレベルからHIレベルに切り替わる。t45のタイミングまでの遅延期間DT11だけ、パチンコ機10が電入状態になったタイミングに対してMPU311の動作の開始タイミングは遅延される。遅延期間DT11は、リセット信号の出力タイミングから立ち上がりタイミングまでの期間に対して、パルス信号の周期を2周期分だけ加算した期間である。

40

【0351】

以上詳述した本実施形態によれば、以下の優れた効果を奏する。

【0352】

シュミットトリガ413から出力されるパルス信号を、当該パルス信号の周期よりも長周期の変調パルス信号に変調する変調回路662を設け、当該変調パルス信号に基づいて第1Dフリップフロップ661が同期する構成とした。また、変調回路662の各Dフリ

50

ップフロップ 663、664 はパチンコ機 10 の電入状態及び電断状態にかかわらず動作する構成とした。これにより、リセット信号がリセット回路 601 から出力されるタイミング、すなわちパチンコ機 10 の電入状態になるタイミングに対して各 D フリップフロップ 663、664 の出力状態が変動しているため、遅延期間のばらつきの範囲が変調パルス信号の立ち上がり周期に対応している。

【0353】

すなわち、各 D フリップフロップ 663、664 が電断状態において動作しない場合、パチンコ機 10 が電入状態になってから各 D フリップフロップ 663、664 は所定の状態、すなわち LOW レベル信号を出力している状態から動作を開始する。かかる場合、リセット信号の出力から MPU 311 の動作開始までの遅延期間は、リセット信号が出力されてから最初のパルス信号が立ち上がるまでの期間に対してパルス信号の周期を 1 周期分加算したものになる。つまり、パチンコ機 10 が電入状態になるタイミングに対して、各 D フリップフロップ 663、664 が所定の状態から動作を開始するため、リセット信号が出力されてから最初のパルス信号が立ち上がるまでの期間に対して加算するパルス信号の周期は一定になる。すると、リセット信号の出力タイミングに応じて変動する期間は、リセット信号が出力されてから最初のパルス信号が立ち上がるまでの期間であり、全体の遅延期間は、当該変動する期間に対して所定のパルス信号の 1 周期分だけオフセットした期間となる。換言すれば、遅延期間のばらつきの範囲は、パルス信号の周期に対応している。

10

【0354】

これに対して、パチンコ機 10 の電入状態及び電断状態にかかわらず各 D フリップフロップ 663、664 が動作している場合、パチンコ機 10 が電入状態になるタイミングに対して各 D フリップフロップ 663、664 の出力状態は変動している。つまり、Q3 端子から出力されている信号の出力状態はパチンコ機 10 の電入状態になるタイミングに依存しない。換言すれば、遅延期間のばらつきの範囲は、Q3 端子からの出力されている信号の周期に対応している。そして、当該信号の周期はパルス信号の周期よりも長くなっているため、遅延期間のばらつき範囲は、電断状態において動作しない構成と比較して、広範囲になっている。よって、遅延期間のばらつきも大きくなっているため、遅延期間はより不規則になっている。したがって、大当たり乱数カウンタ C1 の更新開始タイミングが把握されにくいいため、大当たり当選となるタイミングを把握されにくい。よって、「ぶら下げ基板」等を用いた不正行為を防止することができる。

20

30

【0355】

なお、パチンコ機 10 の電入状態及び電断状態にかかわらず各 D フリップフロップ 663、664 が動作する構成にしたが、これに限られず、各 D フリップフロップ 663、664 の情報を保持しておく構成としても上述した効果を得ることができる。具体的には、シュミットトリガ 413 から出力されるパルス信号を遮断する構成としてもよい。かかる構成にすることによって電力の消費を抑制することができる。

【0356】

また、変調パルス信号は、パルス幅及び出力間隔がいずれもパルス信号のパルス幅及び出力間隔よりも大きくする構成としたが、これに限られず、パルス幅又は出力間隔のどちらか一方を大きくする構成としてもよい。要は、変調パルス信号のパルス幅及び出力間隔の少なくとも一方をパルス信号のそれよりも大きくする構成とすればよい。

40

【0357】

< 第 11 の実施形態 >

本実施形態では、不規則遅延回路 602 における変調回路に関する構成が上記第 10 の実施形態と異なっている。そこで、以下にその構成について詳細に説明する。なお、以下の説明では、上記第 10 の実施形態との相違点を中心に説明し、同一の構成については基本的に説明を省略する。第 11 の実施形態では、図 41 及び図 42 に示した構成に代えて、図 43 及び図 44 に示す構成にする。

【0358】

50

本実施形態では、シュミットトリガ 4 1 3 から出力されるパルス信号を、2つの異なる出力間隔を有し、2つの出力間隔で交互に出力する信号に変調する。そして、当該変調された信号の立ち上がりに基づいて、第 1 D フリップフロップ 6 6 1 が入力状態に応じた信号を出力する構成とする。

【 0 3 5 9 】

具体的には、不規則遅延回路 6 0 2 は、変調回路 6 6 2 に代えて、パルス信号の立ち上がり間隔が異なる信号が出力されるようにパルス信号を変調する変調回路 6 7 1 を備えている。変調回路 6 7 1 は、第 1 の実施形態における変調回路 3 1 4 と同様に、第 4 D フリップフロップ 6 7 2 と、第 5 D フリップフロップ 6 7 3 と、第 6 D フリップフロップ 6 7 4 と、第 1 X O R 回路 6 7 5 と、第 2 X O R 回路 6 7 6 と、を有している。これらと、電源及び発射制御基板 3 2 1 の電入時電源部 3 2 1 a とは図示しない電気経路及び電断監視基板 3 0 2 を介して電氣的に接続されており、パチンコ機 1 0 が電入状態である場合、当該電入時電源部 3 2 1 a から動作電力が供給されている。また、これら各 D フリップフロップ 6 7 2、6 7 3、6 7 4 及び各 X O R 回路 6 7 5、6 7 6 は、電源線 E L N 2 を介して電断時電源部 3 2 1 c と電氣的に接続されている。パチンコ機 1 0 が電断状態の場合、当該電断時電源部 3 2 1 c から動作電力が供給されている。つまり、各 D フリップフロップ 6 7 2、6 7 3、6 7 4 及び各 X O R 回路 6 7 5、6 7 6 は、パチンコ機 1 0 の電入状態及び電断状態にかかわらず動作している。

【 0 3 6 0 】

なお、電断時電源部 3 2 1 c に代えて別途コンデンサなどの充電手段を設ける構成としてもよい。また、電源線 E L N 2 は、電断監視基板 3 0 2 を介しているが、これに限られず、電断時電源部 3 2 1 c と各 D フリップフロップ等との接続を直接行う構成としてもよい。要は、パチンコ機 1 0 の電入状態及び電断状態にかかわらず動作電力が供給される構成であればよい。但し、電断時電源部 3 2 1 c を用いる方が、構成の簡素化の観点から優れている。

【 0 3 6 1 】

各 D フリップフロップ 6 7 2、6 7 3、6 7 4 並びに各 X O R 回路 6 7 5、6 7 6 の接続については、第 1 の実施形態における変調回路 3 1 4 と同一であるため、説明を省略する。

【 0 3 6 2 】

変調回路 6 7 1 の動作について図 4 4 のタイミングチャートに基づき説明する。t 4 6、t 4 8、t 4 9、t 5 0、5 2、t 5 3、t 5 5、t 5 6、t 5 7 のタイミングにおいて、各 D フリップフロップ 6 7 2、6 7 3、6 7 4 は同期して、各 D 端子に入力されている信号を Q 端子から出力する。これらのタイミングにおける Q 4 端子～Q 6 端子の出力については、第 1 の実施形態における Q 1 端子～Q 3 端子からの出力（図 2 2）と同様であるため、詳細な説明は省略するが、変調回路 6 7 1 は t 4 6 のタイミングから t 5 6 のタイミングまでの期間 T 5 を 1 周期としてパルス幅及び出力間隔の異なるパルス信号を繰り返し出力する。

【 0 3 6 3 】

t 4 7 のタイミングでパチンコ機 1 0 の電源が O N の状態、すなわちパチンコ機 1 0 が電入状態となると、リセット回路 6 0 1 からリセット信号が出力される。より詳細には、リセット回路 6 0 1 から H I レベル信号が出力される。すると、第 1 D フリップフロップ 6 6 1 の D 1 端子に H I レベルであるリセット信号が入力される。

【 0 3 6 4 】

その後、t 4 9 のタイミングでシュミットトリガ 4 1 3 から出力されている信号が L O W レベルから H I レベルに立ち上がった場合、Q 6 端子から出力される信号は L O W レベルから H I レベルに立ち上がる。当該立ち上がり同期して、Q 1 端子から H I レベル信号が出力される。すると、N A N D 回路 6 1 2 には 2 つの H I レベル信号が入力されるため、N A N D 回路 6 1 2 から L O W レベル信号が出力される。当該信号の入力により M P U 3 1 1 は動作を開始する。つまり、t 4 7 のタイミングから t 4 9 のタイミングまでの遅

10

20

30

40

50

延期間DT12だけ、リセット信号の出力タイミングに対してMPU311の動作の開始タイミングが遅延されている。

【0365】

t51のタイミングでパチンコ機10が電断状態になる場合、リセット信号が直ちに出力されなくなるとともに、NAND回路612からの出力信号は直ちにLOWレベルからHIレベルに切り替わる。一方、各Dフリップフロップ672、673、674には電断状態においても電力が供給されているため、各Dフリップフロップ672、673、674の出力状態は保持される。なお、第1Dフリップフロップ661は、パチンコ機10の電断状態においては、動作電力が供給されないため、出力状態は保持されない。

【0366】

t54のタイミングでパチンコ機10が再び電入状態になった場合、リセット回路601からHIレベルであるリセット信号が出力される。当該タイミングは、各Dフリップフロップ672、673、674の各CLK端子に入力されるパルス信号の立ち上がりタイミングではないため、各Dフリップフロップ672、673、674は出力状態を保持する。

【0367】

その後、t57のタイミングでQ6端子から出力される信号がLOWレベルからHIレベルに立ち上がるため、当該立ち上がり同期して第1Dフリップフロップ661からNAND回路612に対してHIレベル信号が出力される。これにより、NAND回路612からLOWレベル信号が出力される。つまり、t54のタイミングからt57までのタイミングまでの遅延期間DT13だけ、リセット回路601からのリセット信号の出力タイミングに対してNAND回路612からのLOWレベル信号の出力タイミングが遅延されている。

【0368】

ここで、Q6端子から出力されている信号の立ち上がり間隔であるt49のタイミングからt53のタイミングまでの期間Tcと、t53のタイミングから次の立ち上がりのタイミングであるt57のタイミングまでの期間Tdとが異なっている。詳細には、期間Tcはパルス信号の周期T3の3倍になっており、期間Tdはパルス信号の周期T3の4倍になっている。つまり、Q6端子から、2種類の出力間隔で交互にパルス信号が出力されている。

【0369】

以上詳述した本実施形態では、第6Dフリップフロップ674のQ6端子から、パルス信号が、2種類の出力間隔で交互に出力されている。当該パルス信号の立ち上がりに基づいて、第1Dフリップフロップ661は同期する。よって、第1Dフリップフロップ661が同期するタイミングの間隔が2種類ある。これにより、第1Dフリップフロップ661が同期するタイミングが把握されにくい。

【0370】

なお、本実施形態では、パルス信号の立ち上がり間隔は期間Tcと期間Tdの2種類であったが、これに限定されず、3種類以上であってもよい。要は、HIレベル信号が少なくとも2種類の出力間隔で出力される構成であればよい。

【0371】

また、本実施形態では、変調回路671から出力される信号は、HIレベル信号が少なくとも2種類の出力間隔で出力される信号としたが、これに限られず、少なくとも2種類のパルス幅の信号が出力される信号としてもよい。かかる構成においても、パルス信号の立ち上がり間隔を2種類にすることができる。要は、変調回路671は、HIレベル信号が少なくとも2種類の出力間隔で出力される信号又は少なくとも2種類のパルス幅で出力される信号の少なくとも一方を生成する回路であればよく、その具体的な構成は任意である。

【0372】

また、本実施形態で用いた複合パルス信号を第7の実施形態に適用してもよい。Q6端

10

20

30

40

50

子から出力されている信号において、LOWレベルの期間は2種類あるとともに、HIGHレベルの期間も2種類ある。よって、第7の実施形態においても上述した効果と同様の効果を得ることができる。

【0373】

<第12の実施形態>

以下、大当たり乱数カウンタC1を用いて大当たり抽選が行われるパチンコ機10における第12の実施形態を、図45及び図46に基づいて説明する。図45は、本実施形態におけるパチンコ機10の電氣的構成を示す図であり、図46は、メイン処理を示すフローチャートである。なお、以下の説明では、上記各実施形態との相違点について説明し、同一の構成については基本的にその説明を省略する。

10

【0374】

本実施形態では、MPU311に上記カウンタCINI、C1が設けられている構成に代えて、図45に示すように、初期値用乱数カウンタCF及び大当たり乱数カウンタC1を有するカウンタ更新回路701がMPU311と別体で主制御基板301に設けられている。カウンタ更新回路701は、電断監視基板302を介して電源及び発射制御基板321と電氣的に接続されており、カウンタ更新回路701には電入時電源部321a又は電断時電源部321cから常に電力が供給されている。

【0375】

カウンタ更新回路701は、所定の周期でパルス信号を出力する回路を備えており、当該回路から出力されるパルス信号に同期して、大当たり乱数カウンタC1及び初期値用乱数カウンタCFは0～676の範囲内で順に1ずつ加算され最大値(つまり676)に達した後0に戻る構成となっている。つまり、MPU311から独立して、大当たり乱数カウンタC1及び初期値用乱数カウンタCFの値は更新され、さらにパチンコ機10の電入状態及び電断状態に関わらず更新される。

20

【0376】

ここで、カウンタ更新回路701には、パルス信号の入力回数カウンタが別途設けられており、初期値用乱数カウンタCFに関しては、当該入力回数カウンタが所定の値(例えば「5」)となった場合に、初期値用乱数カウンタCFの数値の更新が行われる。これにより、初期値用乱数カウンタCFの更新頻度と、大当たり乱数カウンタC1の更新頻度とが異なることとなる。よって、初期値用乱数カウンタCFと大当たり乱数カウンタC1とは完全同期とならないようになっている。

30

【0377】

さらに、カウンタ更新回路701には、入力回数カウンタの初期値を決定するカウンタが別途設けられている。当該カウンタは、入力回数カウンタが取り得る数値範囲(例えば「0」～「4」の範囲内)で独自に更新されており、初期値用乱数カウンタCFの値が更新された場合には、その時点における入力回数カウンタの値が取得される。これにより、初期値用乱数カウンタCFの値は不規則なタイミングで更新されることとなる。よって、初期値用乱数カウンタCFの値を把握することが困難になっている。

【0378】

次に、本実施形態におけるメイン処理について、図46を用いて説明する。メイン処理におけるステップS901～ステップS909の処理及びステップS911～ステップS913の処理は、図19のメイン処理におけるステップS401～ステップS409の処理及びステップS410～ステップS412の処理と同様である。ここで、使用RAM領域のクリア処理におけるクリア対象はMPU311のRAM316であり、カウンタ更新回路701のカウンタの値はクリア処理の対象から除外されている。

40

【0379】

本実施形態では、ステップS911の割り込み許可を設定する処理の前(ステップS909のRAM316の初期設定を実行した後又はステップS913のRAM判定値を消去する処理の実行後)に、ステップS910にて初期値設定処理を実行する点が他の実施形態と異なっている。初期値設定処理では、MPU311によってその時点における初期値

50

用乱数カウンタC Fの値が取得され、当該取得された値が大当たり乱数カウンタC 1の初期値として設定される。そして、大当たり乱数カウンタC 1の値は、カウンタ更新回路701において当該初期値用乱数カウンタC Fの値から順次更新される。

【0380】

つまり、パチンコ機10の電断状態及び電入状態に関わらず、大当たり乱数カウンタC 1及び初期値用乱数カウンタC Fの値はMP U 3 1 1から独立して更新されており、パチンコ機10に電源が投入された場合には、MP U 3 1 1によって初期値用乱数カウンタC Fの値が取得され、当該取得された値を初期値として大当たり乱数カウンタC 1の値の更新が行われる。

【0381】

また、上記各実施形態と同様にリセット回路601とMP U 3 1 1とを接続する経路上には、不規則遅延回路602が設けられており、不規則遅延回路602によって、リセット信号の出力タイミングに対して、MP U 3 1 1の動作の開始タイミングが不規則に遅延されている。当該リセット信号は、パチンコ機10に電源が投入されることに基づいて出力される信号である。また、初期値設定処理はMP U 3 1 1が動作を開始したことによって実行される処理である。よって、パチンコ機10に電源が投入されたタイミングに対して初期値設定処理の実行タイミングが不規則に遅延されていることとなる。つまり、本実施形態では不規則遅延回路602によって遅延される処理の対象が初期値設定処理であり、当該処理の実行が遅延されることによって、パチンコ機10の電源が投入されるタイミングに対して初期値の取得タイミングが遅延されることとなる。

【0382】

パチンコ機10が電入状態にある状況下においては、大当たり乱数カウンタC 1の値が1周した場合、その旨を報知する報知信号がMP U 3 1 1に対して出力される。RAM 316には、当該報知信号に対応したフラグ格納エリアが設けられており、当該報知信号がMP U 3 1 1に対して入力された場合、その格納エリアに報知信号に対応したフラグが格納されるようになっている。そして、通常処理(図20参照)のステップS508の処理後に、当該信号に対応したフラグが格納されているか否かを判定する処理が実行される。対応したフラグが格納されている場合には、MP U 3 1 1はその時点の初期値用乱数カウンタC Fの値を読み込み、その値を大当たり乱数カウンタC 1の初期値として設定する。その後、大当たり乱数カウンタC 1の値は当該初期値から更新が行われる。これにより、初期値用乱数カウンタC Fが乱数初期値カウンタC I N Iとして兼用されている。

【0383】

また、始動入賞処理については、図18のフローチャートに示すように、ステップS305にてMP U 3 1 1はカウンタ更新回路701からその時点における大当たり乱数カウンタC 1の値を読み出し、当該読み出された値をステップS307にて保留球格納エリアに格納する。

【0384】

以上詳述した本実施形態によれば、以下の優れた効果を奏する。

【0385】

パチンコ機10の電入状態及び電断状態に関わらず定期的に更新される大当たり乱数カウンタC 1及び初期値用乱数カウンタC Fを有するカウンタ更新回路701を設けた。そして、MP U 3 1 1が動作している状況下であり、さらに作動口84に遊技球が入球した場合には、MP U 3 1 1はその時点における大当たり乱数カウンタC 1を読み出す構成とした。かかる構成において、MP U 3 1 1が動作を開始した場合に実行されるメイン処理で、その時点における初期値用乱数カウンタC Fの値が大当たり乱数カウンタC 1の初期値として設定され、大当たり乱数カウンタC 1の値は設定された初期値から順次更新される構成とした。ここで、初期値用乱数カウンタC Fの値はパチンコ機10の電入状態及び電断状態に関わらず更新しているため、初期値用乱数カウンタC Fの値はMP U 3 1 1が動作を開始するタイミングに応じて変動している。これにより、MP U 3 1 1が動作を開始する際の大当たり乱数カウンタC 1の初期値が不規則になるため、当該初期値が把握さ

10

20

30

40

50

れにくい。よって、MPU311の動作の開始タイミングに基づいて、大当たり乱数カウンタC1の値が当選値となるタイミングが把握されにくい。したがって、「ぶら下げ基板」等を用いた不正行為を抑制することができる。

【0386】

初期値用乱数カウンタCFと、大当たり乱数カウンタC1とが完全同期しないようにした。仮に、両者が完全同期である場合、大当たり乱数カウンタC1の初期値として初期値用乱数カウンタCFを取得したとしても、その取得された値は、その時点における大当たり乱数カウンタC1の値であるため、大当たり乱数カウンタC1の値を把握することによって初期値取得処理の実行後の大当たり乱数カウンタC1の初期値を把握することができ、初期値取得処理の実行による「ぶら下げ基板」等を用いた不正行為の抑制の効果を十分に得ることができない。これに対して、大当たり乱数カウンタC1と初期値用乱数カウンタCFとが完全同期しないような構成であれば、大当たり乱数カウンタC1から初期値用乱数カウンタCFの値が把握されにくいいため、「ぶら下げ基板」等を用いた不正行為を好適に抑制することができる。

10

【0387】

また、初期値用乱数カウンタCFの値は、パチンコ機10の電入状態及び電断状態に関わらず更新されているため、初期値用乱数カウンタCFの値は常に変動している。これにより、パチンコ機10が電断状態である場合には、初期値用乱数カウンタCFの値は保持される構成と比較して、初期値用乱数カウンタCFの値が把握されにくい。よって、より好適に「ぶら下げ基板」等を用いた不正行為を抑制することができる。

20

【0388】

カウンタ更新回路701のカウンタ値は初期化の対象から除外されている。仮に、カウンタ更新回路701のカウンタ値が初期化の対象になっている場合、これらの値は、RAMデータの初期化処理によって予め定められた値に設定されることとなり、初期化処理後に取得される初期値用乱数カウンタCFの値は変動しない。これに対して、上記構成のように、カウンタ更新回路701のカウンタ値がRAMデータの初期化処理の初期化の対象から除外されているため、当該カウンタ値はRAMデータの初期化処理によって影響を受けない。これにより、初期化処理後に取得される初期値用乱数カウンタCFの値は取得タイミングに応じて変動している。つまり、初期化処理後における初期値の変動が確保されている。

30

【0389】

ここで、仮に「ぶら下げ基板」等によってリセット信号の出力タイミングが把握され、さらに初期値用乱数カウンタCFの値が把握されると、リセット信号の出力タイミングにおける初期値用乱数カウンタCFの値を把握されるおそれがある。すると、リセット信号の出力タイミングにおける大当たり乱数カウンタC1の初期値が把握されることとなるため、大当たり乱数カウンタC1の値が当選値となるタイミングを把握されるおそれがある。これに対して、リセット信号を出力するリセット回路601と、初期値設定処理を実行するMPU311とを接続する経路上に不規則遅延回路602が設けられているため、リセット信号の出力タイミングに対してMPU311の動作開始タイミングが不規則に遅延されている。これにより、リセット信号の出力タイミングに対して初期値設定処理の実行タイミングが不規則に遅延されるため、リセット信号の出力タイミングに対して初期値用乱数カウンタCFの取得タイミングが不規則になる。よって、リセット信号の出力タイミングに基づいて、大当たり乱数カウンタC1の初期値は把握されにくい。したがって、大当たり乱数カウンタC1の値が当選値となるタイミングの把握を困難にすることができるため、「ぶら下げ基板」等を用いた不正行為を好適に抑制することができる。

40

【0390】

なお、本実施形態では、第5乃至第11の実施形態のいずれの不規則遅延回路602を用いてもよい。

【0391】

また、カウンタ更新回路701は主制御基板301に設けられる構成としたが、これに

50

限られない。但し、防犯性及び配線の観点から主制御基板 301 に設ける構成とした方が好ましい。

【0392】

< 第13の実施形態 >

本実施形態では、不規則遅延回路 602 が遅延させる対象が異なっている。そこで、本実施形態における遅延させる対象を以下に説明する。なお、以下の説明では、上記第5乃至第12の実施形態と同一の構成については基本的に説明を省略する。

【0393】

電源及び発射制御装置 243 には、図 47 に示すように、RAM 消去スイッチ 247 に代えて、電入中 RAM 消去スイッチ 801 が設けられている。電入中 RAM 消去スイッチ 801 は、外部から押すことができるスイッチである。電入中 RAM 消去スイッチ 801 は、主制御基板 301 に設けられている RAM 消去信号出力回路 802 と電氣的に接続されている。

10

【0394】

RAM 消去信号出力回路 802 は MPU 311 と電氣的に接続されている。RAM 消去信号出力回路 802 は電入中 RAM 消去スイッチ 801 が操作されたことに基づいて、RAM 消去信号を出力するように構成されている。当該 RAM 消去信号が MPU 311 に対して入力された場合、MPU 311 は、RAM データを初期化する処理、詳細にはメイン処理（図 19）のステップ S408 及びステップ S409 の処理を実行するように構成されている。これにより、電源の ON/OFF の動作を伴うことなく RAM データの初期化処理を行うことができる。すなわち、上記各実施形態においては、RAM 消去スイッチ 247 を押しつつ電源を投入することによって、上記 RAM データを初期化する処理が実行されていたが、本実施形態では電源投入を要することなく RAM データの初期化処理を行うことができるようになっている。これにより、RAM データの初期化処理を容易に行うことができる。

20

【0395】

ここで、図 47 及び図 48 に示すように、RAM 消去信号出力回路 802 と MPU 311 とを接続する経路上に不規則遅延回路 602 が設けられている。RAM 消去信号出力回路 802 から出力される RAM 消去信号は、不規則遅延回路 602 を介して MPU 311 に入力される。具体的には、電入中 RAM 消去スイッチ 801 が操作された場合、RAM 消去信号出力回路 802 から RAM 消去信号である HI レベル信号が出力される。当該 HI レベル信号は、信号線 LN3 及び信号線 LN4 を介して NAND 回路 612 に入力される。この場合、信号線 LN3 から NAND 回路 612 に対して入力される信号状態は、直ちに HI レベルとなる。

30

【0396】

一方、信号線 LN4 から NAND 回路 612 への HI レベル信号の入力については、不規則遅延回路 602 の積分回路 611 によって遅延される。当該遅延期間は、上述した通りコンデンサ 613 に蓄積されている残留電荷量によって変動する。そして、信号線 LN3 及び信号線 LN4 から NAND 回路 612 に HI レベル信号が入力された場合、NAND 回路 612 から LOW レベル信号が出力される。当該 LOW レベル信号が MPU 311 に入力された場合に、MPU 311 は RAM データを初期化する処理を実行する。

40

【0397】

以上詳述した本実施形態では、RAM 消去信号出力回路 802 と MPU 311 とを接続する経路上に不規則遅延回路 602 を設けた。これにより、RAM 消去信号出力回路 802 から出力される RAM 消去信号の出力タイミングから RAM データの初期化処理が実行される実行タイミングまでの期間が変動する。よって、当該期間が不規則になる。しがたって、仮に RAM データの初期化処理を実行した際に、大当たり乱数カウンタ C1 の値が予め定められた固定値から更新が開始される構成であったとしても、RAM 消去信号出力回路 802 から RAM 消去信号が出力されたタイミング（又は電入中 RAM 消去スイッチ 801 が操作されたタイミング）に基づいて、大当たり乱数カウンタ C1 の値が当選値と

50

なるタイミングは把握されにくい。よって、RAMデータの初期化処理の容易性を確保しつつ、「ぶら下げ基板」等を用いた不正行為を抑制することができる。

【0398】

なお、電入中RAM消去スイッチ801は、電源及び発射制御装置243に設けられていたが、これに限られず、例えば主制御装置162に設けられている構成としてもよい。

【0399】

また、本実施形態では、不規則遅延回路602として第5の実施形態の構成を用いたが、これに限られず、第6乃至第11の実施形態のいずれの構成を用いてもよい。

【0400】

<第14の実施形態>

本実施形態では、大当たり乱数カウンタC1等に関する構成が第13の実施形態と異なっている。そこで、上記異なる点について詳細に説明する。なお、以下の説明では、上記第13の実施形態と同一の構成については基本的に説明を省略する。

【0401】

本実施形態では、第12の実施形態に示したカウンタ更新回路701が設けられている。上述した通り、カウンタ更新回路701には大当たり乱数カウンタC1及び初期値用乱数カウンタCFが設けられており、当該カウンタC1、CFの値は、パチンコ機10の電入状態及び電断状態に関わらず、MPU311から独立して更新されている。そして、作動口84に遊技球が入球した場合には、MPU311は、その時点における大当たり乱数カウンタC1の値を読み込み、当該数値が当選値と一致するか否かを判定する。

【0402】

かかる構成における通常処理について図49を用いて説明する。まず、ステップS1001では、RAM消去フラグがあるか否かを判定する。ここで、RAM316にはRAM消去フラグ格納エリアが設けられており、RAM消去フラグはRAM消去信号がMPU311に入力された場合に、タイマ割込み処理(図17)にて、RAM消去フラグ格納エリアに格納されるフラグである。つまり、RAM消去フラグが格納されているということは、電入中RAM消去スイッチ801が操作されたことを意味する。この場合、ステップS1002進む。

【0403】

ステップS1002～ステップS1004の処理は、ステップS908～ステップS910の処理と同様の処理である。つまり、使用RAM領域をクリアするとともに、RAM316の初期設定を行う。そして、初期値用乱数カウンタCFの値を取得し、当該取得した値を大当たり乱数カウンタC1の初期値として設定する。

【0404】

その後、ステップS1005では、RAM消去フラグのクリア処理を実行する。当該処理では、RAM消去フラグを消去する。当該処理を実行した後は、ステップS1006に進む。

【0405】

ステップS1006～ステップS1012の処理は図20のステップS501～ステップS507の処理と同様であるため、説明を省略する。

【0406】

ステップS1013及びステップS1014の処理では、大当たり乱数カウンタC1の値が1周した場合における大当たり乱数カウンタC1の初期値設定処理を実行する。具体的には、まずステップS1013において、大当たり乱数カウンタC1の値が1周したか否かを判定する。詳細には、大当たり乱数カウンタC1の値が1周した場合、カウンタ更新回路701からその旨の信号が出力される。RAM316には、当該信号に対応したフラグ格納エリアが設けられており、当該信号がMPU311に対して入力された場合、その格納エリアに当該信号に対応したフラグが格納されるようになっている。そして、ステップS1013では、その対応したフラグが格納されているか否かを判定する。

【0407】

10

20

30

40

50

大当たり乱数カウンタC1の値が1周していない場合にはステップS1015に進む一方、大当たり乱数カウンタC1の値が1周している場合には、ステップS1014に進み、初期値設定処理を実行し、ステップS1015に進む。初期値設定処理は、ステップS1004（ステップS910）と同様である。ステップS1015～ステップS1018の処理は、ステップS508～ステップS511の処理と同様である。

【0408】

以上詳述した本実施形態によれば、電入中RAM消去スイッチ801及びRAM消去信号出力回路802が設けられているパチンコ機10に、大当たり乱数カウンタC1及び初期値用乱数カウンタCFを有するカウンタ更新回路701を設けた。そして、電入中RAM消去スイッチ801が操作された場合には、RAMデータの初期化処理を実行するとともに、カウンタ更新回路701の初期値用乱数カウンタCFの値を取得し、当該取得された値を大当たり乱数カウンタC1の初期値として設定する構成とした。これにより、電入中RAM消去スイッチ801が操作された場合、当該電入中RAM消去スイッチ801の操作タイミングに応じて初期値設定処理によって取得される初期値用乱数カウンタCFの値が変動するため、電入中RAM消去スイッチ801が操作された場合における大当たり乱数カウンタC1の初期値が把握されにくい。よって、「ぶら下げ基板」等の不正行為を抑制することができる。

10

【0409】

また、大当たり乱数カウンタC1の値及び初期値用乱数カウンタCFの値はカウンタ更新回路701において独立して更新しており、MPU311は更新されている数値を読み込むのみであるため、MPU311の処理負荷が軽減されている。特に、電入中RAM消去スイッチ801を設け、電入中RAM消去スイッチ801に基づくRAMデータの初期化処理を通常処理において実行する構成にした場合、処理負荷の増大が懸念される。すると、乱数初期値更新処理が十分に行われなくなり、乱数初期値カウンタCINIの数値に偏りが生じる可能性がある。すると、大当たり乱数カウンタC1の取り得る数値にも偏りが生じることとなる。これに対して、本実施形態では、MPU311の処理状況に関わらず大当たり乱数カウンタC1の値及び初期値用乱数カウンタCFの値は更新されているため、上記不都合を回避される。つまり、電入中RAM消去スイッチ801及びそれに基づくRAMデータの初期化処理を設けたことによって生じ得る不都合を回避することができる。

20

30

【0410】

<第15の実施形態>

以下、大当たり乱数カウンタC1を用いて大当たり抽選が行われるパチンコ機10における第15の実施形態を、図50及び図51に基づいて説明する。図50は、本実施形態におけるパチンコ機10の電気的構成の一部を示す図である。なお、以下の説明では、上記各実施形態との相違点について説明し、同一の構成については基本的にその説明を省略する。

【0411】

上記第1の実施形態等では、ハード乱数用クロック回路313は交流電圧からクロック信号を生成するものであったが、本実施形態では、これに代えて、水晶振動子を有し動作電力が供給されることに基づいてハード乱数用クロック信号を生成するハード乱数用クロック回路900を用いて大当たり乱数カウンタC1の更新を行う。

40

【0412】

具体的には、主制御基板301には、ハード乱数用クロック信号を出力するハード乱数用クロック回路900が設けられている。ハード乱数用クロック回路900は水晶振動子を備えた発振回路であり、電断監視基板302を介して電源及び発射制御基板321と電気的に接続されている。パチンコ機10が電入状態となった場合には、電源及び発射制御基板321からハード乱数用クロック回路900に対して動作電力として直流電圧の動作電圧Vccが供給される。ハード乱数用クロック回路900は、電源及び発射制御基板321から動作電力が供給されている状況において、ハード乱数用クロック信号を出力する

50

構成となっている。ハード乱数用クロック信号は、システム用クロック信号とは異なる周期のクロック信号となるように設定されている。

【0413】

ハード乱数用クロック回路900は、MPU311に対して電氣的に接続されており、ハード乱数用クロック信号はMPU311に対して出力される。当該MPU311のROM315の一部には、ハード乱数用クロック信号の入力に基づいて数値情報を更新する大当たり乱数カウンタC1が設けられている。大当たり乱数カウンタC1は、システム用クロック信号の入力に同期することなく、ハード乱数用クロック信号の入力に同期して更新されるように設定されている。大当たり乱数カウンタC1は、0～676の範囲内で順に1ずつ加算され最大値（つまり676）に達した後0に戻る構成となっている。そして、

10

【0414】

なお、パチンコ機10が電断状態になった場合には、大当たり乱数カウンタC1のカウント値は保持されないようになっている。そして、パチンコ機10が電入状態になった場合に実行される立ち上げ処理において、大当たり乱数カウンタC1のカウント値は所定の値（例えば「0」）にリセットされるように構成されている。

【0415】

ここで、図50及び図51に示すように、ハード乱数用クロック回路900と、電断監視基板302とを接続する経路上には、動作電力を伝達する電力伝達回路901が設けられている。当該電力伝達回路901について、図51のブロック回路図を用いて説明する。

20

【0416】

電力伝達回路901は、不規則遅延回路602と、不規則遅延回路602に対する電圧及び電流を調整する調整抵抗911と、不規則遅延回路602から出力される信号に基づいて、動作電力をハード乱数用クロック回路900に対して供給する増幅回路912と、から構成されている。

【0417】

まず、増幅回路912について説明する。増幅回路912は、NPNトランジスタ913と、PNPトランジスタ914と、から構成されている。これら両トランジスタ913、914は、いわゆるインバーテッドダーリントン接続されている。詳細には、NPNトランジスタ913のコレクタとPNPトランジスタ914のベースが接続されており、NPNトランジスタ913のエミッタが接地されており、NPNトランジスタ913のベースは不規則遅延回路602の出力端子と接続されており、PNPトランジスタ914のコレクタがハード乱数用クロック回路900に接続されており、PNPトランジスタ914のエミッタは電源及び発射制御基板321に接続されている。PNPトランジスタ914のエミッタには、パチンコ機10が電入状態である状況において、電源及び発射制御基板321から直流の動作電圧Vccが印加されている。

30

【0418】

かかる構成によれば、不規則遅延回路602からLOWレベル信号が出力されている状況においては、NPNトランジスタ913のベースには電流が流れていないため、NPNトランジスタ913はオフ状態である。この場合、NPNトランジスタ913のコレクタ-エミッタ間には電流は流れていない。NPNトランジスタ913のコレクタ-エミッタ間の電流はPNPトランジスタ914のベース電流であるため、PNPトランジスタ914のベースには電流は流れていない。このため、PNPトランジスタ914はオフ状態である。これにより、PNPトランジスタ914のコレクタ-エミッタ間には電流は流れないため、ハード乱数用クロック回路900には動作電力が供給されない。

40

【0419】

一方、不規則遅延回路602からHIレベル信号が出力された場合には、NPNトランジスタ913には所定の大きさのベース電流が流れるため、NPNトランジスタ913が

50

オン状態となる。この場合、PNPトランジスタ914のベースに対してベース電流が流れる。当該ベース電流の電流値は、NPNトランジスタ913に流れるベース電流の電流値にNPNトランジスタ913の増幅率を乗算した値になる。すると、PNPトランジスタ914がオン状態となり、PNPトランジスタ914のエミッタ - コレクタ間に所定の電流（コレクタ電流）が流れる。当該コレクタ電流は、PNPトランジスタ914のベース電流の電流値にPNPトランジスタ914の増幅率を乗算した値になる。すなわち、コレクタ電流の電流値は、NPNトランジスタ913のベース電流の電流値に対して、NPNトランジスタ913の増幅率と、PNPトランジスタ914の増幅率とを乗算した値になる。

【0420】

また、NPNトランジスタ913及びPNPトランジスタ914のインバーテッドダーリントン接続がなされているため、増幅回路912において損失される電圧はPNPトランジスタ914の飽和電圧（コレクタ - エミッタ間の電圧）である。

【0421】

例えば、仮にNPNトランジスタ2つからなるダーリントン接続の場合、増幅率はインバーテッドダーリントン接続の場合と同一である一方、その構成上損失される電圧は、1段目のNPNトランジスタのベース - エミッタ間の電圧と、2段目のNPNトランジスタの飽和電圧とを合わせた電圧である。つまり、インバーテッドダーリントン接続を用いた場合、ダーリントン接続を用いた場合と比較して、同一の増幅率を確保しつつ、増幅回路912による電圧の損失が低減されている。

【0422】

以上のことから、不規則遅延回路602からHIレベル信号が出力された場合、ハード乱数用クロック回路900には、不規則遅延回路602から流れる電流と比較して高い電流が供給されるとともに、高電流化に伴う電圧降下が抑制された電圧が印加されている。これにより、不規則遅延回路602からHIレベル信号が出力された場合には、ハード乱数用クロック回路900に対して回路損失を抑えつつ、ハード乱数用クロック回路900が動作可能な電力を供給することができる。すなわち、不規則遅延回路602からの出力状態に応じて増幅回路912のオン/オフが切り替わり、当該切り替わりに応じてハード乱数用クロック回路900への電力供給のオン/オフが切り替わる。

【0423】

なお、NPNトランジスタ913及びPNPトランジスタ914それぞれには、ベースに入力される電圧を電流に変換する入力抵抗913a、914aが設けられている。これにより、NPNトランジスタ913及びPNPトランジスタ914は、入力電圧に代えて、ベース電流に基づいて制御されることとなる。詳細には、一般的にトランジスタにおいて、コレクタ電流は、ベースに対する入力電圧の変化に対して指数関数的に変化する一方、ベース電流の変化に対してリニアに変化する。そのため、ベース電流による制御の方が、ベースに対する入力電圧に基づく制御よりも、安定したコレクタ電流の供給を実現することができる。よって、ハード乱数用クロック回路900に対して安定した動作電力の供給を行うことが可能となっている。

【0424】

また、NPNトランジスタ913及びPNPトランジスタ914それぞれには、ベースとエミッタとを接続するバイパス配線が設けられており、当該配線上に抵抗913b、914bが設けられている。これにより、リーク電流（ノイズ等により発生したものも含む）は、抵抗913b又は914bを介してバイパス配線上を流れるため、リーク電流がトランジスタのベースに流れにくい。よって、各トランジスタ913、914の誤動作が抑制されている。

【0425】

特に、インバーテッドダーリントン接続の場合、NPNトランジスタ913がオフ状態である状況においてPNPトランジスタ914のベースはフローティングとなるため、当該ベースに対する入力電圧が不安定になり易い。このため、ハード乱数用クロック回路9

10

20

30

40

50

00に対する電力供給が不安定になり、ハード乱数用クロック信号が予め定められた周期で出力されない場合が生じ得る。これに対して、本実施形態では、上記バイパス配線及び抵抗914bによって、PNPトランジスタ914のベースがプルアップされている。これにより、上記不都合を回避することができ、増幅回路912における回路の安定性が高められている。すなわち、インバーテッドダーリントン接続を用いたことによって生じ得る不都合を回避することができる。

【0426】

さらに、不規則遅延回路602からの出力又は動作電圧 V_{cc} の印加が停止した場合には、各トランジスタ913、914に蓄積されていたキャリアがバイパス配線を介して放出されるため、ターンオフの高速化が実現されている。これにより、ハード乱数用クロック回路900への動作電力の供給の停止を迅速に行うことが可能となっている。

10

【0427】

増幅回路912のオン/オフ制御を行う不規則遅延回路602及び調整抵抗911について説明する。

【0428】

まず、調整抵抗911について説明すると、調整抵抗911は、不規則遅延回路602と電源及び発射制御基板321とを接続する経路上に直列に配置されている。電源及び発射制御基板321から動作電圧 V_{cc} が印加された場合には、動作電圧 V_{cc} は調整抵抗911を介して不規則遅延回路602に対して入力される。これにより、調整抵抗911の抵抗値によって不規則遅延回路602に対して入力される入力電圧及び入力電流が調整される。詳細には、電源及び発射制御基板321から動作電圧 V_{cc} が印加された場合、不規則遅延回路602にはHIレベル信号と認識可能な程度の電圧が入力されているように設定されている。よって、不規則遅延回路602に対して過度な電圧が印加されたり、電流が流れたりすることが抑制されているため、不規則遅延回路602の正常な動作及び消費電力の低減を図ることができる。

20

【0429】

次に、不規則遅延回路602について説明する。不規則遅延回路602は、電源及び発射制御基板321からの入力電圧及び信号変換回路402からのパルス信号に基づいて、HIレベル信号又はLOWレベル信号を出力する構成となっている。具体的には、不規則遅延回路602は、Dフリップフロップ915と、AND回路916と、から構成されている。Dフリップフロップ915のD端子には、調整抵抗911を介して、電源及び発射制御基板321が接続されており、CLK端子には、信号変換回路402の出力端子(シュミットトリガ413の出力端子)が接続されており、Q端子には、AND回路916の一方の入力端子が接続されている。AND回路916の他方の入力端子には、調整抵抗911を介して電源及び発射制御基板321が接続されている。

30

【0430】

ここで、不規則遅延回路602の動作について説明する。パチンコ機10が電入状態になると、電源及び発射制御基板321から動作電圧 V_{cc} が印加され、HIレベル信号がDフリップフロップ915のD端子及びAND回路916の入力端子の一端に入力される。この場合、Q端子からはLOWレベル信号が出力されており、AND回路916からはLOWレベル信号が出力されている。

40

【0431】

その後、第8の実施形態で説明した通り、シュミットトリガ413からのパルス信号が立ち上がると、当該立ち上がり同期してQ端子からHIレベル信号が出力される。すると、AND回路916からHIレベル信号が出力されるため、上述の通り、増幅回路912が動作する。増幅回路912が動作することによって、ハード乱数用クロック回路900に対して動作電力が供給される。

【0432】

ここで、動作電圧 V_{cc} が印加されてから、AND回路916がHIレベル信号を出力するまでの期間は、動作電圧 V_{cc} が印加された時点におけるパルス信号の形態に応じて

50

変動している。当該パルス信号の形態はパチンコ機 10 の電入状態となるタイミングに応じて変動している。つまり、パチンコ機 10 が電入状態となってから、AND 回路 916 から HI レベル信号が出力されるまでの期間は、パチンコ機 10 が電入状態となるタイミングに応じて変動していると言える。これにより、パチンコ機 10 が電入状態となってから、ハード乱数用クロック回路 900 に対して動作電力が供給されるまでの期間が不規則になっている。

【0433】

パチンコ機 10 が電断状態となった場合には、電源及び発射制御基板 321 からの動作電圧 V_{cc} の印加が停止される。この場合、不規則遅延回路 602、詳細には D フリップフロップ 915 の D 端子及び AND 回路 916 の他方の入力端子に、LOW レベル信号が 10 入力される。これにより、AND 回路 916 から直ちに LOW レベル信号が出力されることとなり、増幅回路 912 がオフ状態となる。よって、Q 端子から LOW レベル信号の出力を待つことなく増幅回路 912 をオフ状態にすることができる。

【0434】

ここで、電源及び発射制御基板 321 から動作電圧 V_{cc} が供給されていない状況では、増幅回路 912 の PNP トランジスタ 914 のコレクタ - エミッタ間に電圧が印加されないため、不規則遅延回路 602 の出力状態に関わらず、増幅回路 912 は動作しない。しかしながら、トランジスタに蓄積されたキャリアの影響等によって増幅回路 912 が動作する場合がある。特に、飽和電圧はトランジスタをオン状態にするために必要なベース - エミッタ間の電圧に対して低いため、NPN トランジスタ 913 がオン状態になっている 20 状況では、NPN トランジスタ 913 がオフ状態となっている状況と比較して、PNP トランジスタ 914 の誤動作が生じやすい。

【0435】

これに対して、本実施形態では、パチンコ機 10 が電断状態になった場合には、D 端子からの LOW レベル信号の入力を待つことなく、直ちに不規則遅延回路 602 から増幅回路 912 に対して LOW レベル信号が出力され、当該 LOW レベル信号の入力に基づいて、増幅回路 912 の NPN トランジスタ 913 がオフ状態となる。これにより、増幅回路 912 の誤動作が生じにくい。よって、パチンコ機 10 が電断状態になったにも関わらず、ハード乱数用クロック回路 900 に対して動作電力の供給が行われることが抑制されている。 30

【0436】

以上詳述した本実施形態によれば、パチンコ機 10 が電入状態となったタイミングからハード乱数用クロック回路 900 に動作電力が供給されるまでの期間を、パチンコ機 10 が電入状態となったタイミングに応じて変動させる不規則遅延回路 602 を設けた。これにより、パチンコ機 10 が電入状態となってから、ハード乱数用クロック回路 900 の動作タイミング（ハード乱数用クロック信号の出力開始タイミング）までの期間が変動することとなる。すると、ハード乱数用クロック信号の入力に基づいて更新を行う大当たり乱数カウンタ C1 の更新タイミングが把握されにくい。よって、仮にパチンコ機 10 が電入状態となった場合に大当たり乱数カウンタ C1 がリセットされる構成であっても、大当たり乱数カウンタ C1 の更新開始タイミングが把握されにくいため、「ぶら下げ基板」等を用いた不正行為を好適に防止することができる。 40

【0437】

また、ハード乱数用クロック回路 900 の動作タイミングが変動した場合であっても、システム用クロック回路 312 の動作タイミングは一定であるため、不規則遅延回路 602 によってハード乱数用クロック回路 900 の動作が遅延された場合であっても、MPU 311 を正常に動作させることができる。

【0438】

さらに、ハード乱数用クロック信号の周期とシステム用クロック信号の周期とを異ならせるように設定した。これにより、仮にシステム用クロック信号の周期が把握された場合であっても、ハード乱数用クロック信号に応じて更新する大当たり乱数カウンタ C1 の更 50

新タイミングは把握されない。よって、システム用クロック信号の周期から大当たり乱数カウンタC1の更新タイミングを把握し、大当たり乱数カウンタC1が当選情報と一致するタイミングを把握する不正行為を防止することができる。

【0439】

<第16の実施形態>

本実施形態では、データ消去に関する構成が第15の実施形態と異なっていると同時に、不規則遅延させる対象が第15の実施形態と異なっている。そこで、本実施形態におけるデータ消去に関する構成について以下に説明する。なお、以下の説明では、第15の実施形態と同一の構成については基本的に説明を省略する。

【0440】

電源及び発射制御装置243には、図52に示すように、RAM消去スイッチ247に代えて、データ消去スイッチ1001が設けられている。データ消去スイッチ1001は、パチンコ機10の外部から操作することができるスイッチである。データ消去スイッチ1001は、主制御基板301に設けられているデータ消去信号出力回路1002と電気的に接続されている。

【0441】

データ消去信号出力回路1002は、信号線LN5を介してMPU311に対して接続されている。データ消去信号出力回路1002は、データ消去スイッチ1001が操作されたことに基づいて、MPU311に対してデータ消去信号を出力する構成となっている。データ消去信号がMPU311に対して入力された場合、MPU311は、RAMデータを初期化する処理、詳細にはメイン処理(図19)のステップS408及びステップS409の処理を実行するとともに、ROM315に設けられている大当たり乱数カウンタC1のカウント値を初期化する処理を実行するように構成されている。これにより、電源のON/OFFの動作を伴うことなくデータの初期化処理を行うことができる。よって、データの初期化処理を容易に行うことができる。

【0442】

また、データ消去信号出力回路1002は、信号線LN5とは別の信号線LN6を介して、電力伝達回路901に対して接続されている。データ消去信号出力回路1002は、パチンコ機10が電入状態である状況において、電力伝達回路901に対してHIレベル信号又はLOWレベル信号を出力している。電力伝達回路901は、データ消去信号出力回路1002からのHIレベル信号の入力に基づいて、ハード乱数用クロック回路900に対して動作電力を供給している。

【0443】

詳細に説明すると、電力伝達回路901には、図53のブロック回路図に示すように、調整抵抗911及び増幅回路912に対して上流側にリセット用トランジスタ1003が設けられている。リセット用トランジスタ1003はNPNトランジスタであり、コレクタは電断監視基板302を介して電源及び発射制御基板321と接続されており、エミッタは調整抵抗911及び増幅回路912それぞれに対して接続されており、ベースはデータ消去信号出力回路1002に対して接続されている。

【0444】

データ消去信号出力回路1002からHIレベル信号が出力されている状況においては、リセット用トランジスタ1003はオン状態となっているため、電源及び発射制御基板321からの動作電圧Vcc(詳細には動作電圧Vccからリセット用トランジスタ1003の飽和電圧分を差し引いた電圧)が不規則遅延回路602及び増幅回路912に対して印加される。この場合、不規則遅延回路602から増幅回路912に対してHIレベル信号が出力されることを条件として、増幅回路912を介して動作電力がハード乱数用クロック回路900に対して供給される。

【0445】

一方、データ消去信号出力回路1002からLOWレベル信号が出力されている状況においては、リセット用トランジスタ1003はオフ状態となっているため、電源及び発射

10

20

30

40

50

制御基板 3 2 1 からの動作電圧 V_{cc} は、不規則遅延回路 6 0 2 及び増幅回路 9 1 2 に対して印加されない。この場合、上記第 1 5 の実施形態で説明した通り、不規則遅延回路 6 0 2 から増幅回路 9 1 2 に対して LOW レベル信号が出力されるとともに、増幅回路 9 1 2 の PNP トランジスタ 9 1 4 のコレクタ - エミッタ間に電圧が印加されない。よって、増幅回路 9 1 2 は動作しないため、ハード乱数用クロック回路 9 0 0 には動作電力は供給されない。

【 0 4 4 6 】

ここで、データ消去信号出力回路 1 0 0 2 は、データ消去スイッチ 1 0 0 1 が操作された場合、予め定められた特定停止期間 T_s に亘って LOW レベル信号を出力するように構成されている。当該特定停止期間 T_s は、シュミットトリガ 4 1 3 から出力されるパルス信号の 1 周期よりも長い期間になるように設定されている。

10

【 0 4 4 7 】

データ消去スイッチ 1 0 0 1 の操作に基づく電力伝達回路 9 0 1 の動作について図 5 4 のタイミングチャートに基づき説明する。なお、 t_{59} のタイミング、 t_{60} のタイミング、 t_{62} のタイミングは、シュミットトリガ 4 1 3 からのパルス信号の立ち上がりタイミングを示しており、当該タイミングにて D フリップフロップ 9 1 5 は、その時点において D 端子に入力されている信号を Q 端子から出力させる。すなわち、シュミットトリガ 4 1 3 から出力されるパルス信号の周期 T_3 が、D フリップフロップ 9 1 5 が同期する周期となっている。

20

【 0 4 4 8 】

t_{58} のタイミングにて、データ消去スイッチ 1 0 0 1 が操作された場合、データ消去信号出力回路 1 0 0 2 から電力伝達回路 9 0 1 に対する信号状態が HI レベルから LOW レベルに立ち下がる。すると、増幅回路 9 1 2 の PNP トランジスタ 9 1 4 のコレクタ - エミッタ間に電圧が印加されなくなるとともに、AND 回路 9 1 6 から LOW レベル信号が出力される。これにより、ハード乱数用クロック回路 9 0 0 への動作電力の供給が停止する。

【 0 4 4 9 】

なお、データ消去信号出力回路 1 0 0 2 からの信号状態が LOW レベルになったことに基づいて、D フリップフロップ 9 1 5 の D 端子には LOW レベル信号が入力される。一方、 t_{58} のタイミングは、D フリップフロップ 9 1 5 が同期するタイミングではないため、Q 端子からの出力状態は HI レベル状態に維持される。

30

【 0 4 5 0 】

その後、 t_{59} のタイミングでは、D 端子には LOW レベル信号が入力されているため、Q 端子から LOW レベル信号が出力される。また、 t_{60} のタイミングにおいても、D 端子には LOW レベル信号が入力されているため、Q 端子から LOW レベル信号が出力される。

【 0 4 5 1 】

その後、データ消去スイッチ 1 0 0 1 が操作されてから特定停止期間 T_s が経過した t_{61} のタイミングにて、データ消去信号出力回路 1 0 0 2 から出力される信号状態が LOW レベルから HI レベルに切り替わる。これにより、増幅回路 9 1 2 の PNP トランジスタ 9 1 4 のコレクタ - エミッタ間に電圧が印加されるとともに、D 端子に対して HI レベル信号が入力されることとなる。一方、当該タイミングは D フリップフロップ 9 1 5 の同期タイミングではないため、Q 端子からの出力状態は LOW レベル状態に維持される。

40

【 0 4 5 2 】

その後、 t_{62} のタイミングにて、D フリップフロップ 9 1 5 が同期することによって、Q 端子から HI レベル信号が出力される。これにより、AND 回路 9 1 6 から HI レベル信号が出力される。よって、増幅回路 9 1 2 が動作し、ハード乱数用クロック回路 9 0 0 に対して動作電力の供給が再開される。この場合、データ消去信号出力回路 1 0 0 2 から HI レベル信号が出力されたタイミング (t_{61} のタイミング) に対して、上記動作電力の供給開始タイミング (t_{62} のタイミング) は、遅延期間 DT_{14} だけ遅延されてい

50

る。

【0453】

以上のことから、データ消去スイッチ1001が操作された場合、一旦ハード乱数用クロック回路900への動作電力の供給が停止される。そして、動作電力の供給停止タイミングから、特定停止期間 T_s 及び遅延期間 $DT14$ を合わせた期間が経過した場合に、動作電力の供給が再開される。上記遅延期間 $DT14$ は、第8の実施形態等で説明した通り、パチンコ機10が電入状態となるタイミングに応じて変動する期間であるため、データ消去スイッチ1001の操作タイミングに対して電力供給が再開されるタイミングは変動する。これにより、ハード乱数用クロック回路900への電力供給の再開タイミングは把握されにくいいため、「ぶら下げ基板」等による不正行為を抑制することができる。

10

【0454】

ここで、特定停止期間 T_s はシュミットトリガ413から出力されているパルス信号の周期 $T1$ よりも長く設定されている。これにより、特定停止期間 T_s 中に少なくとも1回はDフリップフロップ915の同期タイミングとなり、Q端子からLOWレベル信号が出力される。よって、特定停止期間 T_s の経過タイミングには、Q端子からLOWレベル信号が出力されていることとなる。換言すれば、特定停止期間 T_s が経過した場合には、Dフリップフロップ915が確実にリセットされている。

【0455】

以上詳述した本実施形態によれば、データ消去スイッチ1001と、パチンコ機10が電入状態となって状況において電力伝達回路901に対してHIレベル信号を出力するデータ消去信号出力回路1002と、を設けた。データ消去信号出力回路1002は、データ消去スイッチ1001が操作されることに基づいて、MPU311に対してデータ消去信号を出力するとともに、電力伝達回路901に対して特定停止期間 T_s だけLOWレベル信号を出力する構成とした。かかる構成において、データ消去信号出力回路1002からHIレベル信号が入力されている状況においては、不規則遅延回路602及び増幅回路912に対して電圧を印加する一方、データ消去信号出力回路1002からLOWレベル信号が入力されている状況においては、不規則遅延回路602及び増幅回路912に対して動作電圧 V_{cc} の印加を停止させるリセット用トランジスタ1003を設けた。これにより、データ消去スイッチ1001の操作タイミングから、ハード乱数用クロック信号の出力タイミングまでの期間が不規則になる。よって、データ消去スイッチ1001の操作タイミングが把握された場合であっても、ハード乱数用クロック信号の出力タイミングは特定されにくい。したがって、データ消去スイッチ1001が操作されたことに同期して、大当たり乱数カウンタC1の値が当選値となるタイミングを特定する不正行為を抑制することができる。

20

30

【0456】

特に、かかる構成によれば、電源投入タイミング及びデータ消去スイッチ1001の操作タイミングのそれぞれに対して大当たり乱数カウンタC1の更新開始タイミングが不規則に遅延されている。これにより、電源投入タイミング及びデータ消去スイッチ1001の操作タイミングそれぞれに対する大当たり乱数カウンタC1の更新タイミングが把握されにくくなるため、電源投入に基づく不正行為を抑制しつつ、データ消去スイッチ1001の操作に基づく不正行為を抑制することができる。

40

【0457】

特定停止期間 T_s を、シュミットトリガ413から出力されているパルス信号の周期(Dフリップフロップ915が同期する周期) $T3$ よりも長く設定した。これにより、特定停止期間 T_s が経過した状況において、Dフリップフロップ915のQ端子からの出力状態がLOWレベルとなっている。

【0458】

すなわち、仮に特定停止期間 T_s が周期 $T3$ よりも短い場合、特定停止期間 T_s 中にDフリップフロップ915が同期しない場合が起こり得る。この場合、特定停止期間 T_s の経過タイミングにて、Q端子からHIレベル信号が出力されている。すると、データ消去

50

信号出力回路 1002 から HI レベル信号が出力された場合には、遅延されることなく、直ちにハード乱数用クロック回路 900 に対する動作電力の供給が再開されることとなる。

【0459】

これに対して、本実施形態では、特定停止期間 T_s が D フリップフロップ 915 から出力されるパルス信号の周期 T_3 よりも長く設定されているため、特定停止期間 T_s 内に確実に D フリップフロップ 915 が同期するようになっている。これにより、データ消去スイッチ 1001 が操作されてから特定停止期間 T_s が経過するまでには、D フリップフロップ 915 のリセットが確実に行われる。よって、データ消去信号出力回路 1002 から HI レベル信号が出力された場合には、遅延期間 $D T 14$ の不規則な遅延が生じる。

10

【0460】

< 第 17 の実施形態 >

上記第 15 及び第 16 の実施形態では、電断監視基板 302 とハード乱数用クロック回路 900 とを接続する経路上に不規則遅延回路 602 を設け、当該不規則遅延回路 602 によってパチンコ機 10 が電入状態になったタイミングに対するハード乱数用クロック回路 900 への電力の供給開始タイミングが変動した。これに対して、本実施形態では、遅延の対象が異なっている。当該相違点について以下に説明する。なお、上記第 15 の実施形態と同一の構成に付いては同一の符号を付すとともに、説明を省略する。

【0461】

図 55 のブロック図に示すように、ハード乱数用クロック回路 900 と MPU 311 とを接続する経路上には、クロック信号伝達回路 1101 が設けられている。クロック信号伝達回路 1101 は、2 つの信号線 LN7 及び信号線 LN8 を介して、ハード乱数用クロック回路 900 と電氣的に接続されている。ハード乱数用クロック回路 900 は、動作電力が供給されている状況においては、信号線 LN7 及び信号線 LN8 を介してハード乱数用クロック信号を出力する。

20

【0462】

クロック信号伝達回路 1101 について、図 56 のブロック回路図を用いて説明する。

【0463】

クロック信号伝達回路 1101 は、不規則遅延回路 602 と、サイリスタ 1102 と、からなる。サイリスタ 1102 においては、アノードが信号線 LN7 を介してハード乱数用クロック回路 900 に接続されており、カソードが MPU 311 に接続されており、ゲートが不規則遅延回路 602 の出力側に接続されている。

30

【0464】

かかる構成によれば、ゲートに HI レベル信号が入力されている場合には、ハード乱数用クロック信号が、サイリスタ 1102 のカソードから MPU 311 に対して出力される。一方、ゲートに LOW レベル信号が入力されている場合には、ハード乱数用クロック信号は MPU 311 に対して出力されない。これにより、ゲートに入力される信号状態に応じて、MPU 311 へのハード乱数用クロック信号の伝達が制御されている。当該ゲートに入力される信号は、信号線 LN8 を介して、ハード乱数用クロック回路 900 から供給される。そして、当該信号線 LN8 上に不規則遅延回路 602 が設けられている。

40

【0465】

不規則遅延回路 602 は積分回路であり、ハード乱数用クロック回路 900 から HI レベル信号が出力された場合、第 5 の実施形態で説明した通り、所定の期間だけ遅延されてゲートに HI レベル信号が入力される。当該遅延期間は HI レベル信号が出力されるタイミングに応じて変動するため、ハード乱数用クロック信号の出力タイミングに対して、サイリスタ 1102 がオン状態となるタイミングが変動する。これにより、ハード乱数用クロック回路 900 からハード乱数用クロック信号が出力されるタイミングに対して、サイリスタ 1102 からハード乱数用クロック信号が出力されるタイミングが変動する。

【0466】

なお、ハード乱数用クロック回路 900 からの出力状態が HI レベルから LOW レベル

50

に立ち下がった場合、コンデンサ613に蓄積されていた電荷の放出効果によって、ゲートにHIレベル信号が入力された状態が所定の期間だけ維持される。すなわち、ゲートには、ハード乱数用クロック信号のパルス幅とは異なるパルス幅を有するクロック信号が入力されることとなる。すると、ゲートにHIレベル信号が入力されている期間とアノードにHIレベル信号が入力されている期間との間で、ズレが生じる。これにより、サイリスタ1102からMPU311に対して、複数種のパルス幅及び複数種の出力間隔を有するクロック信号が出力されることとなる。この場合、大当たり乱数カウンタC1は当該クロック信号の入力に基づいて更新を行うものであるため、大当たり乱数カウンタC1の更新間隔が変動することとなる。よって、大当たり乱数カウンタC1の値が当選値となるタイミングの特定がより困難になっている。なお、この場合、ゲートに入力されるクロック信号とハード乱数用クロック信号とが同期しないように、コンデンサ613の静電容量及び抵抗614の抵抗値を設定するとよい。

10

20

30

40

50

【0467】

以上詳述した本実施形態によれば、ハード乱数用クロック回路900とMPU311とを接続する経路上に、ハード乱数用クロック信号を伝達するクロック信号伝達回路1101を設けた。クロック信号伝達回路1101は、ハード乱数用クロック回路900からハード乱数用クロック信号が入力されたことに基づいて、当該ハード乱数用クロック信号に対応したクロック信号をMPU311に対して出力するとともに、ハード乱数用クロック信号の入力タイミングから、それに対応したクロック信号の出力タイミングまでの期間を入力タイミングに応じて変動させている。これにより、ハード乱数用クロック信号の出力タイミングから、当該ハード乱数用クロック信号に対応したクロック信号がMPU311に対して入力される入力タイミングまでの期間が不規則になっている。よって、「ぶら下げ基板」等による不正行為を抑制することができる。すなわち、第15の実施形態では、不規則に遅延させる対象が、「パチンコ機10が電入状態となってからハード乱数用クロック回路900に対して動作電力が供給されるまでの期間」であったのに対して、本実施形態では、不規則に遅延させる対象が、「ハード乱数用クロック回路900からハード乱数用クロック信号が出力されてから当該ハード乱数用クロック信号に対応したクロック信号がMPU311に対して入力されるまでの期間」となっている。

【0468】

<その他の実施形態>

なお、上述した実施形態の記載内容に限定されず、例えば次のように実施してもよい。ちなみに、以下の各構成を単独で上記実施形態の構成に適用してもよく、所定の組み合わせで上記実施形態の構成に適用してもよい。また、以下の各構成を、その構成の適用対象として例示していない実施形態に適用してもよい。

【0469】

(1)上記第1乃至第4の実施形態では、大当たり乱数カウンタC1の当選値は予め定められた固定値であり、大当たり乱数カウンタC1の値が当選値と一致するか否かを判定することによって大当たり判定を行う構成としたが、これに限られず、例えば大当たり乱数カウンタC1がとり得る範囲のうち、予め定められた所定の範囲を当選範囲として設定し、大当たり乱数カウンタC1の値が当該当選範囲内であるか否かを判定する構成としてもよい。この場合であっても、本発明を適用することができる。

【0470】

当該構成について、図57のフローチャートを用いて説明する。図57は、取得された大当たり乱数カウンタC1の値が当選値に対応しているか否かを判定する大当たり判定処理を示すフローチャートである。なお、本変形例では、大当たり乱数カウンタC1が取り得る数値範囲は「0~65535」に設定されている。詳細には、カウンタ回路317は、8ビットのシフトレジスタを2つ備えており、各シフトレジスタはハード乱数用クロック信号が入力されることに基づいて更新される。そして、作動口84に遊技球が入球した場合には、MPU311は各シフトレジスタの情報を取得して、当該取得された情報から大当たり乱数カウンタC1の値を生成し、保留球格納エリアに格納する。

【0471】

なお、この場合、各シフトレジスタのビットを任意に組み合わせて大当たり乱数カウンタC1を生成する構成とすれば、各シフトレジスタの情報から大当たり乱数カウンタC1の値が特定されにくいいため、不正行為防止の観点から優れている。

【0472】

まず、ステップS1101にて、当選値PVを設定する処理を実行する。具体的には、ROM315には、遊技状態と当選値PVとが1対1に対応させて設定されている当否テーブルが記憶された記憶エリアが設けられており、当否テーブルを参照することによって現在の遊技状態に応じた当選値PVが設定される。例えば、確変状態では当選値PVは「1310」に設定されており、通常状態では当選値PVは「655」に設定されている。

10

【0473】

その後、ステップS1102にて、今回の大当たり判定処理において、大当たり判定の対象となる大当たり乱数カウンタC1の値に、当選値PVを加算して新たな大当たり乱数カウンタC1を設定する。

【0474】

続くステップS1103では、ステップS1102にて更新された新たな大当たり乱数カウンタC1の値が「65535」を超えているか否かの判定処理を実行する。当該判定処理にて、大当たり乱数カウンタC1の値が「65535」を超えていないと判定された場合には、今回の遊技結果が外れであることを意味する。この場合、ステップS1104にて、RAM316に設けられている外れ情報格納エリアに外れ情報を格納する。一方、大当たり乱数カウンタC1の値が「65535」を超えていると判定された場合には、今回の遊技結果が大当たり当選であることを意味する。この場合、ステップS1105にて、RAM316に設けられている大当たり当選情報格納エリアに大当たり当選情報を格納する。

20

【0475】

ここで、仮に当選値PVが「655」に設定されている場合、大当たり乱数カウンタC1の値が「64881～65535」の数値範囲のうちいずれかの値であれば、大当たり当選となる。この場合、大当たり乱数カウンタC1が取り得る数値範囲は「0～65535」であるため、当選確率は約1/100となる。

【0476】

また、仮に当選値PVが「1310」に設定されている場合、大当たり乱数カウンタC1の値が「64226～65535」の数値範囲のうちいずれかの値であれば、大当たり当選となる。この場合、当選確率は1/50となる。

30

【0477】

以上のことから、大当たり当選となる大当たり乱数カウンタC1の数値が所定の数値範囲になっているとともに、大当たり乱数カウンタC1に加算する当選値PVを変更することによって、当選確率を所定の確率に設定することができる。

【0478】

かかる構成であっても、ハード乱数用クロック信号の出力間隔を変動させることによって、大当たり乱数カウンタC1が1周する毎に、大当たり乱数カウンタC1が1周するまでの期間、大当たり乱数カウンタC1の値が当選値となっている期間及び当選確率が変動するため、大当たり乱数カウンタC1の値が当選値となっている期間に合わせて不正に信号を出力する等を行うことによって、故意に大当たりを発生させる不正行為を抑制することができる。

40

【0479】

(2) 上記第1乃至第3の実施形態において、周波数変換回路401は局所発振回路401aとミキサ回路401bとから構成されていたが、これに限られず、任意の周波数で入力される交流電圧を一定の周波数の交流電圧に変換するものであればよく、例えばAC/DCコンバータとDC/ACインバータを組み合わせたものを用いてもよい。この場合、商用電源から入力される交流電圧の周波数に関わらず一定の周波数の交流電圧を得るこ

50

とができる。但し、構成の簡素化及び発熱量の観点に着目すれば、局所発振回路 4 0 1 a とミキサ回路 4 0 1 b との組み合わせの方が優れている。

【 0 4 8 0 】

また、例えば周波数変換回路 4 0 1 として、6 通倍回路及び 5 通倍回路を設けてもよい。この場合、5 0 H z の交流電圧が入力される場合には、6 通倍回路を用いて周波数を変換する一方、6 0 H z の交流電圧が入力される場合には、5 通倍回路を用いて周波数を変換するようにする。これにより、どちらの周波数の交流電圧が入力された場合であっても 3 0 0 H z の交流電圧を得ることができる。

【 0 4 8 1 】

(3) 上記第 1 乃至第 3 の実施形態では、局所発振回路 4 0 1 a として C R 発振回路を用いたが、これに限らず、例えばクラップ発振回路を用いてもよい。但し、発振周波数が低周波数である場合、クラップ発振回路に用いられるコイルの形状が大きくなるため、省スペースの観点に着目すれば、C R 発振回路の方が優れている。

10

【 0 4 8 2 】

また、局所発振回路 4 0 1 a として、電圧制御発振回路 (V C O) を用いてもよい。要は、出力される周波数を可変可能な発振回路であれば任意である。

【 0 4 8 3 】

(4) 上記第 1 の実施形態では、大当たり乱数カウンタ C 1 のカウンタ項数がパルス信号群に含まれるパルス信号の信号数の倍数とならないように、大当たり乱数カウンタ C 1 の数値範囲を設定する構成としたが、これに限られず、例えばカウンタ項数が上記信号数よりも大きい素数となるように、大当たり乱数カウンタ C 1 の数値範囲を設定してもよい。これにより、信号数の自由度を高めることができるため、仮に信号数を変更することになった場合であっても、当該変更に対応することができる。

20

【 0 4 8 4 】

(5) 上記第 2 の実施形態では、大当たり乱数カウンタ C 1 の初期値として乱数初期値カウンタ C I N I を設け、当該乱数初期値カウンタ C I N I はタイマ割り込み処理において更新される構成としたが、これに限られず、例えば乱数初期値カウンタ C I N I に代えて、大当たり乱数カウンタ C 1 が 1 周する毎に 1 ずつ加算されるカウンタアップカウンタを設けてもよい。この場合であっても、大当たり乱数カウンタ C 1 が 1 周する毎に、大当たり乱数カウンタ C 1 の値が初期値となってから当選値となるまでの期間、及び大当たり乱数カウンタ C 1 の値が当選値となっている期間が変動するため、大当たり乱数カウンタ C 1 の値が当選値となるタイミングの把握を困難なものにしている。

30

【 0 4 8 5 】

本変形例の詳細を図 5 8 のフローチャートを用いて説明する。なお、図 5 8 におけるステップ S 1 2 0 1 の処理はステップ S 6 0 1 の処理と同一であり、ステップ S 1 2 0 2 ~ ステップ S 1 2 0 4 の処理はステップ S 6 0 3 ~ ステップ S 6 0 5 と同一の処理であり、ステップ S 1 2 0 6 ~ ステップ S 1 2 0 9 の処理はステップ S 6 0 6 ~ ステップ S 6 0 9 の処理と同一の処理であるため、説明を省略する。

【 0 4 8 6 】

本変形例では、乱数初期値カウンタ C I N I を更新する処理 (図 2 4 のステップ S 6 0 2 の処理) に代えて、ステップ S 1 2 0 5 にてパルスシフトカウンタ S C を更新する処理を実行する点が第 2 の実施形態と異なっている。パルスシフトカウンタ S C は信号数に対応した数値範囲が設定されており、更新タイミングとなる毎に当該数値範囲内で順に 1 ずつ加算され、最大値に達した後「 0 」に戻る構成となっている。数値範囲について具体的に説明すると、パルス信号群に含まれるパルス信号の信号数が「 m 」である場合、パルスシフトカウンタ S C の数値範囲は、「 0 ~ m - 1 」と設定されている。当該パルスシフトカウンタ S C は、大当たり乱数カウンタ C 1 が 1 周したと判定された場合に更新される。

40

【 0 4 8 7 】

かかる構成によれば、仮に大当たり乱数カウンタ C 1 の数値範囲が「 0 ~ N 」とし、さらに $N + 1 = K \times m$ (K : 自然数) である場合であっても、大当たり乱数カウンタ C 1 が

50

1周する度に、初期値が変動するとともに、パルス信号群に含まれるパルス信号に対応する大当たり乱数カウンタC1の値が変動する。これにより、大当たり乱数カウンタC1が1周する毎に、大当たり乱数カウンタC1の値が初期値となってから当選値となるまでの期間、及び大当たり乱数カウンタC1の値が当選値となっている期間が変動する。

【0488】

また、大当たり乱数カウンタC1の数値範囲より信号数の数値範囲の方が小さい場合 ($N > m$)、パルスシフトカウンタSCに要する容量を、乱数初期値カウンタCINIよりも削減することができる。さらに、パルスシフトカウンタSCの更新は、大当たり乱数カウンタC1が1周した場合にのみ行われる一方、乱数初期値カウンタCINIはタイマ割込み処理が実行される毎に更新される。これにより、パルスシフトカウンタSCの更新頻度は乱数初期値カウンタCINIの更新頻度よりも小さくなっている。よって、処理負荷の軽減を図られている。

10

【0489】

但し、乱数初期値カウンタCINIの方がパルスシフトカウンタSCよりも不規則性の点で優れているため、不正行為抑制の観点に着目すれば、第2の実施形態のほうが優れている。

【0490】

(6) 上記第1乃至第4の実施形態では、カウンタ回路317は、パルス信号の立ち上がり同期して、大当たり乱数カウンタC1の更新を行う構成としたが、これに限られず、例えばパルス信号の立ち下がり同期して大当たり乱数カウンタC1の更新を行う構成としてもよい。また、カウンタ回路317は、パルス信号の立ち上がり及び立ち下がり双方に同期して、大当たり乱数カウンタC1の更新を行う構成としてもよい。この場合、パルス信号の立ち上がり又は立ち下がりの一方のみに同期して更新する構成と比較して、大当たり乱数カウンタC1の更新頻度が高くなるとともに、更新間隔の種類数が増加するため、更新タイミングの特定をより困難なものにすることができる。

20

【0491】

(7) 上記第2の実施形態では、乱数初期値カウンタCINIはタイマ割込み処理において更新される構成としたが、これに限られず、例えば通常処理におけるステップS508の変動用カウンタ更新処理において更新される構成としてもよい。これにより、乱数初期値カウンタCINIのランダム性を向上させることができる。

30

【0492】

また、乱数初期値カウンタCINIは、遊技の進行に関するソフトウェア処理にて更新される構成に限られず、例えば専用のカウンタ回路を設け、ハード乱数用クロック信号又はシステム用クロック信号が入力されることに基づいて、乱数初期値カウンタCINIが更新される構成としてもよい。

【0493】

さらに、この場合、大当たり乱数カウンタC1が1周したか否かを判定する判定回路と、当該判定回路によって1周したと判定された場合に、その時点における乱数初期値カウンタCINIを大当たり乱数カウンタC1の初期値として書き込む回路と、を別途設けてもよい。これにより、大当たり乱数カウンタC1は、初期値の設定を含めて、MPU311に依存することなく独立して動作することとなるため、ソフトウェア処理を介して大当たり乱数カウンタC1の値を特定する等の不正行為を抑制することができる。但し、構成の簡素化の点に着目すれば、第2の実施形態のほうが優れている。

40

【0494】

(8) 上記第1乃至第3の実施形態では、トリガ間隔がタイマ割込み処理の周期よりも長くなるように、周波数変換回路401から出力される交流電圧の特定周波数が設定されていたが、これに限られず、例えばトリガ間隔がタイマ割込み処理の周期よりも短くなるように、当該特定周波数を設定してもよい。この場合、大当たり乱数カウンタC1の更新間隔が短くなるため、大当たり乱数カウンタC1の値が当選値となっている期間が短くなり、当該期間に不正信号を出力することが困難になる。

50

【0495】

但し、第2の実施形態においては、トリガ間隔がタイマ割込み処理の周期よりも短くなるように当該特定周波数が設定された場合、大当たり乱数カウンタC1が1周したことを特定できない場合が生じる。この場合には、大当たり乱数カウンタC1が1周した場合には、大当たり乱数カウンタC1の更新を一旦停止させる停止回路を設け、タイマ割込み処理では、当該停止回路によって大当たり乱数カウンタC1の更新が停止しているか否かを判定するとよい。但し、停止状態にかかる大当たり乱数カウンタC1の値となっている期間が他の値となっている期間よりも長くなり得るため、不正行為抑制の観点及び大当たり当選確率の一定化の観点に着目すれば、トリガ間隔がタイマ割込み処理の周期よりも長くなるように当該特定周波数が設定されているとよい。

10

【0496】

なお、(7)にて示したように、大当たり乱数カウンタC1が1周したか否かを判定する判定回路と、当該判定回路によって1周したと判定された場合に、その時点における乱数初期値カウンタCINIを大当たり乱数カウンタC1の初期値として書き込む回路と、を別途設けた場合には、上記不都合を回避しつつ、トリガ間隔がタイマ割込み処理の周期よりも短くなるように当該特定周波数を設定することができる。

【0497】

また、第4の実施形態においては、トリガ間隔がタイマ割込み処理の周期よりも短くなるように、分周回路502の分周比を決定すればよい。

【0498】

(9)上記各第1乃至第3の実施形態では、ハード乱数用クロック回路313は、電源及び発射制御基板321から供給される商用電源の交流電圧を変換することによって、ハード乱数用クロック信号を得る構成としたが、これに限られず、例えば専用の水晶振動子を有し、独自に所定の周波数のクロック信号を出力するクロック回路であってもよい。この場合、周波数変換回路401及び信号変換回路402が不要となる。但し、構成の簡素化及び製造コストの点において、商用電源からの交流電圧を変換する構成のほうが優れている。

20

【0499】

(10)上記第1乃至第4の実施形態では、入力されるパルス信号の立ち上がり間隔を変動させることによって、大当たり乱数カウンタC1の更新間隔が変動する構成としたが、これに限られず、例えばパルス信号の入力回数をカウントするプログラマブルカウンタを別途設け、パルス信号が所定回数だけ入力された場合に、大当たり乱数カウンタC1を更新する構成とし、当該所定回数が変動する構成としてもよい。これにより、仮に大当たり乱数カウンタC1の更新の契機となるパルス信号の立ち上がり間隔が変動しない場合であっても、大当たり乱数カウンタC1の更新間隔を変動させることができる。よって、大当たり乱数カウンタC1の更新タイミングが特定されにくい。但し、カウンタ回路317の構成の簡素化の点に着目すれば、第1の実施形態のほうが優れている。

30

【0500】

(11)上記第1乃至第4の実施形態では、パルス信号の出力間隔が2種類になるように変調されたが、これに限られず、例えば3種類でもよく、4種類でもよい。パルス信号の出力間隔の種類数が増加するにしたがって、大当たり乱数カウンタC1が当選値となっている期間及び大当たり乱数カウンタC1が1周するのに要する期間の種類数が増加する。この場合、大当たり乱数カウンタC1が1周する毎に、これらの期間が順次遷移するようにするとよい。これにより、大当たり乱数カウンタC1の更新タイミングの特定がより困難になる。但し、変調回路314の構成の簡素化の点に着目すれば、パルス信号の出力間隔の種類数は小さいほうが好ましい。

40

【0501】

なお、パルス信号の出力間隔を3種類、4種類にする具体的な構成としては、Dフリップフロップ及びXOR回路を更に設ける構成の他、プリセット入力端子(PR入力端子)を有するDフリップフロップを用いて、所定のタイミングでPR入力端子に信号を入力す

50

る構成等が考えられる。

【0502】

また、パルス信号の出力間隔を変動させる変調回路314に、Dフリップフロップを用いたが、これに限られず、例えばJKフリップフロップ等の各種フリップフロップのいずれを用いてもよい。さらに、XOR回路に限られず、例えばAND回路等の各種論理回路のいずれを用いてもよい。

【0503】

(12)上記第1乃至第4の実施形態では、ハード乱数用クロック信号の入力に基づいて、大当たり乱数カウンタC1が更新される構成としたが、これに限られず、ハード乱数用クロック信号の入力に基づいて、大当たり乱数カウンタC1以外のカウンタの更新が行われる構成としてもよい。

10

【0504】

(13)上記第1乃至第4の実施形態では、システム用クロック信号が入力されることに基づいて、遊技の進行制御が行われ、ハード乱数用クロック信号が入力されることに基づいて、大当たり乱数カウンタC1の更新が行われる構成としたが、これに限られず、例えば大当たり乱数カウンタC1の更新態様が、システム用クロック信号の入力に基づいて行われる第1態様と、ハード乱数用クロック信号の入力に基づいて行われる第2態様とで、交互に切り替わる構成としてもよい。これにより、大当たり乱数カウンタC1の更新タイミングの特定をより困難にすることができる。

20

【0505】

なお、これらの具体的な構成としては、例えばハード乱数用クロック信号の入力とシステム用クロック信号の入力とを切り替えるスイッチング素子を設ける構成が考えられる。

【0506】

(14)上記第1乃至第4の実施形態では、変調回路314が設けられていたが、当該変調回路314がなくてもよい。これにより、構成の簡素化及び処理の迅速化を図ることができる。

【0507】

この場合であっても、ハード乱数用クロック信号とシステム用クロック信号とは互いにその周期が異なるように設定されているため、システム用クロック信号の周期からハード乱数用クロック信号の周期を特定することが困難になっている。これにより、大当たり乱数カウンタC1の更新タイミングの特定することが困難になっているため、大当たり乱数カウンタC1の値が当選値となるタイミングの特定を困難にすることができる。

30

【0508】

但し、変調回路314を設ける構成の方が、大当たり乱数カウンタC1の更新タイミングの特定が困難になるため、不正行為防止の観点に着目すれば、変調回路314を設ける構成のほうが好ましい。

【0509】

(15)上記第1乃至第4の実施形態において、ハード乱数用クロック信号の入力に基づいて、大当たり乱数カウンタC1の更新を行うカウンタ回路317を設けたが、これに限られず、例えばハード乱数用クロック信号の入力に基づいて、大当たり乱数カウンタC1の更新を行うプログラムを設けてもよい。この場合、プログラムが正常に動作するとともに、他の処理との間で円滑な処理が行われるようにハード乱数用クロック信号の周波数が設定されているとよい。これにより、更新処理が所定の頻度で行われるとともに、大当たり乱数カウンタC1の取得処理と大当たり乱数カウンタC1の更新処理との同期を取るために、取得処理の開始タイミングが過度に遅延されるといった不都合を回避することができる。

40

【0510】

この場合、ハード乱数用クロック信号が変調回路314から出力された信号であるといよい。これにより、プログラムの処理期間が変動することとなり、結果として大当たり乱数カウンタC1の更新間隔が変動することとなる。

50

【0511】

(16) 上記第1乃至第4の実施形態では、大当たり乱数カウンタC1の更新を行うカウンタ回路317を設ける構成としたが、これに限られず、例えばタイマ割込み処理や通常処理等において大当たり乱数カウンタC1の更新を行う構成としてもよい。この場合、ソフトウェア処理において大当たり乱数カウンタC1の更新間隔を変動させるとよい。これにより、大当たり乱数カウンタC1の更新タイミングの特定を困難にすることができる。

【0512】

なお、具体的な構成としては、タイマ割込み処理が実行される度に更新されるループカウンタを別途設け、当該ループカウンタの値が所定の値である場合に大当たり乱数カウンタC1を更新させるとともに、当該所定の値を変動させる構成が考えられる。

10

【0513】

(17) 上記第1乃至第3の実施形態では、周波数変換回路401及び変調回路314は主制御基板301に搭載されている構成としたが、これに限られず、例えば電断監視基板302又は電源及び発射制御基板321に搭載されている構成としてもよい。但し、主制御基板301に搭載されているほうが、これらに対する物理的な不正行為を防止する点において、優れている。

【0514】

(18) 上記第1乃至第3の実施形態では、パチンコ機10に交流電源部321d、周波数変換回路401、及び信号変換回路402が取り付けられている構成にしたが、これ

20

【0515】

(19) 上記第1乃至第3の実施形態では、交流電源部321dを電源及び発射制御基板321に設ける構成としたが、これに限られず、電断監視基板302に設けられている構成としてもよいし、独立して設けられていてもよい。但し、交流電源部321dを電源及び発射制御基板321に集約する構成の方が、電源供給系において構成の簡素化の観点から優れている。

【0516】

(20) 上記第1乃至第3の実施形態では、信号変換回路402としてシュミットトリガ413を用いたが、これに限られず、上限閾値電圧及び下限閾値電圧が同一のコンパレータを用いてもよい。要は、少なくとも1つの基準電圧に基づいて、入力電圧との比較を行い、比較結果に基づいた信号を出力する比較回路であればよい。但し、シュミットトリガ413のような上限閾値電圧及び下限閾値電圧の双方を有する構成の方が出力波形の安定性の観点から優れている。なお、基準電圧と入力電圧とを比較する構成としたが、基準電流と実際に流れている電流との比較に基づいて、信号制御を行う構成としてもよい。

30

【0517】

(21) 上記第1乃至第3の実施形態では、システム用クロック回路312、ハード乱数用クロック回路313及び変調回路314は、主制御基板301に設けられていたが、これに限られず、例えばMPU311内に組み込まれていてもよい。この場合、これらの回路はMPU311内の配線を介してROM315等と接続されている。

40

【0518】

また、第4の実施形態についても同様に、システム用クロック回路312、クロック変換回路501及び変調回路314がMPU311内に組み込まれていてもよい。

【0519】

(22) 上記第1乃至第4の実施形態では、大当たり乱数カウンタC1が当選値となっている期間は、「Ta, Tb」を単位期間として繰り返されているが、これに限られず、例えば「Ta, Tb, Tb, Ta」を単位期間として繰り返すようにしてもよい。この場合であっても、全体としての実質的な当選確率は変動しない。但し、この場合、大当たり乱数カウンタC1が2周回する毎に、大当たり乱数カウンタC1が当選値となっている期間が変動することとなる。このため、大当たり乱数カウンタC1が1周する毎に、当選値

50

となっている期間が変動している上記第 1 乃至第 4 の実施形態の方が、不正行為抑制の観点から優れている。

【0520】

なお、大当たり乱数カウンタ C 1 が 1 周するのに要する期間についても同様である。

【0521】

(23) 上記第 4 の実施形態では、周波数変換手段として分周回路 502 を用いたが、これに限られず、例えば逡倍回路を用いてもよい。この場合であっても、システム用クロック信号とハード乱数用クロック信号とで、異なる周期となるため、上記第 4 の実施形態の効果を奏することができる。

【0522】

(24) 上記第 1 乃至第 4 の実施形態では、パチンコ機 10 が電源投入されていない状況（電断状態）においては、大当たり乱数カウンタ C 1 は更新されない構成としたが、これに限られず、例えば電源投入されていない状況において大当たり乱数カウンタ C 1 の更新が行われるようにしてもよい。これにより、電源 ON 状態となったタイミングに応じて大当たり乱数カウンタ C 1 の値が変動するため、大当たり乱数カウンタ C 1 の値の特定を困難にすることができる。

【0523】

なお、具体的な構成としては、電断状態において電断時電源部 321c からハード乱数用クロック回路 313、変調回路 314 及びカウンタ回路 317 に対して動作電力が供給されるようにするとよい。

【0524】

(25) 上記第 1 乃至第 4 の実施形態では、大当たり乱数カウンタ C 1 が 1 周する毎に、大当たり乱数カウンタ C 1 が 1 周するのに要する期間を変動させるようになっているが、これに限られず、例えば大当たり乱数カウンタ C 1 が 2 周回する毎に大当たり乱数カウンタ C 1 が 1 周するのに要する期間を変動させる構成としてもよい。要は、大当たり乱数カウンタ C 1 が 1 周することをトリガとして、大当たり乱数カウンタ C 1 が 1 周するのに要する期間が変動させる構成であればよい。

【0525】

(26) 上記第 5 乃至第 12 の実施形態では、リセット信号が不規則遅延回路 602 によって遅延される構成としたが、これに限られず、MPU 311 への電力供給の開始タイミングを遅延させる構成としてもよい。

【0526】

(27) 上記第 5 乃至第 12 の実施形態では、MPU 311 は LOW レベル信号で動作する構成としたが、これに限られず、HI レベル信号で動作する構成としてもよい。かかる場合、NAND 回路 612 に代えて AND 回路を用いる必要がある。但し、ノイズ対策の観点から LOW レベル信号で動作する構成の方が優れている。

【0527】

(28) 上記第 7 乃至第 11 の実施形態におけるいずれかにおいて、各 D フリップフロップはパルス信号の立ち上がり同期する構成としたが、これに限られず、立ち下がり同期する構成としてもよい。かかる場合、それに対応させてリセット回路 601 等の入出力を変更する必要がある。また、立ち上がり同期するフリップフロップと、立ち下がり同期するフリップフロップを組み合わせてもよい。これにより、特に第 11 の実施形態のような出力間隔が異なるパルス信号を生成することができる。また、立ち上がり及び立ち下がり双方に同期する構成としてもよい。但し、立ち上がり又は立ち下がりにのみ同期する構成とした方が、遅延期間の範囲が広がるため、遅延期間のばらつき性の観点から好ましい。

【0528】

(29) 上記第 7 乃至第 11 の実施形態におけるいずれかにおいて、所望のパルス信号を得るために、商用電源からの交流電圧を出力する交流電源部 631 と、交流電圧をパルス信号に変換する信号変換回路 402 とを設ける構成としたが、これに限られず、水晶振

10

20

30

40

50

動子を用いた発振回路等のパルス信号を発生させるパルス発生回路を設ける構成としてもよい。但し、交流電源部 631 及び信号変換回路 402 を設ける構成の方が、商用電源をそのまま使用するため、構成の簡素化の点で優れている。

【0529】

また、パチンコ機 10 に交流電源部 631 及び信号変換回路 402 が取り付けられている構成にしたが、これに限られず、パチンコ機 10 の外部に取り付けられている構成としてもよい。

【0530】

また、シュミットトリガ 413 は、インバータタイプのものを用いたが、これに限られず、バッファタイプのものを用いてもよい。

【0531】

(30) 上記第 7 乃至第 11 の実施形態のいずれかにおいて、交流電源部 631 は、全波整形回路を有する構成としたが、これに限られず、例えば交流電源部 321d のように商用電源からの電圧をそのまま出力するものであってもよい。

【0532】

(31) 上記第 7 乃至第 11 の実施形態におけるいずれかにおいて、パルス信号は、所定のパルス幅を有する短形波としたが、のこぎり波、三角波等でもよい。当該波形の形状は任意である。また、パルス信号は反転していてもよい。かかる場合は、それに対応させて各 D フリップフロップ及び論理回路を設定する必要がある。

【0533】

(32) 上記第 7 乃至第 11 の実施形態におけるいずれかにおいて、信号変換回路 402 のシュミットトリガ 413 から出力されるパルス信号はパチンコ機 10 の電入状態及び電断状態にかかわらず出力する構成にしたが、これに限られない。例えば、交流電源部 631 又は信号変換回路 402 の少なくとも一方の動作を行わないようにしてもよい。具体的には、電断状態下で、信号変換回路 402 のシュミットトリガ 413 に電力供給を行わない構成としてもよいし、交流電源部 631 に電力供給を行わない構成としてもよい。また、シュミットトリガ 413 及び交流電源部 631 双方に電力供給を行わない構成としてもよい。かかる場合、パチンコ機 10 の電断状態における消費電力を少なくすることができるため、電断時電源部 321c の充電容量の削減又は長期間の待機状態の保持が可能になる。しかし、交流電圧がシュミットトリガ 413 の上限閾値電圧以上である場合にパチンコ機 10 が電入状態になると、電入状態になると同時にパルス信号の出力が LOW レベルから HI レベルに立ち上がるおそれがある。すると、電入状態となると同時に各 D フリップフロップが同期してしまうため、遅延が生じないおそれがある。よって、かかる場合には、各 D フリップフロップは HI レベル信号から LOW レベル信号への切り替わりに同期する構成とするとよい。これにより、上記不都合を回避することができる。

【0534】

なお、電断状態において、交流電源部 631 及びシュミットトリガ 413 に電力が供給されない場合、第 10 の実施形態及び第 11 の実施形態では、パルス信号が出力されないため、各フリップフロップ 663、664、672、673、674 について更新は行われないが、電断状態における出力状態が保持されるため、第 10 の実施形態及び第 11 の実施形態で説明した効果を得ることができる。

【0535】

また、上記第 10 の実施形態及び上記第 11 の実施形態では、交流電源部 631 は、パチンコ機 10 の電入状態及び電断状態に関わらず常に商用電源から電力が供給されている構成としたが、これに限られず、電断状態では、電断時電源部 321c から電力供給を受ける構成としてもよい。この場合であっても、本発明の効果を奏することができる。

【0536】

(33) 上記第 8 の実施形態では、D フリップフロップ 651 はパルス信号の立ち上がり同期して D1 端子に入力されている信号の入力状態に応じた信号を Q1 端子から出力する構成であったが、パルス信号が入力されてから所定の期間だけ遅れて当該パルス信号

10

20

30

40

50

を出力するパルス信号遅延手段を更に設ける構成としてもよい。具体的には、シュミットトリガ413とDフリップフロップ651とを接続する経路上にパルス信号遅延手段を設け、シュミットトリガ413から出力されるパルス信号は、パルス信号遅延手段を介してDフリップフロップ651のCLK端子に入力される構成とするとよい。

【0537】

パルス信号遅延手段としては、例えば第5の実施形態で説明した積分回路が考えられる。また、積分回路に代えて、単安定マルチバイブレータを設ける構成としてもよい。かかる場合には、単安定マルチバイブレータと電断監視基板302とを電氣的に接続する電気経路を設けるとともに、当該電気経路上に積分回路を別途設ける必要がある。単安定マルチバイブレータは、入力端子としてA端子を有するとともに、出力端子として正論理出力端子(Q端子)と負論理出力端子(Qバー端子)とを有している。A端子にシュミットトリガ413の出力端子を接続させ、Qバー端子に、Dフリップフロップ651のCLK端子を接続するとよい。かかる構成によれば、パルス信号が単安定マルチバイブレータ入力された場合、すなわちA端子に入力されている信号がLOWレベルからHIGHレベルに立ち上がった場合、所定の期間だけ遅れてQバー端子から出力されている信号がLOWレベルからHIGHレベルに立ち上がる。これにより、パルス信号の立ち上がりに対してDフリップフロップ651が同期するタイミングが遅延される。よって、NAND回路612からのLOWレベル信号の出力タイミングが把握されにくい。

【0538】

ここで、Dフリップフロップ651はCLK端子に入力される信号の立ち上がり、すなわち入力電圧の急峻な変化に同期する構成であるため、入力電圧の緩やかな変化に同期しない可能性がある。すると、積分回路の緩やかな電圧変化による遅延では、Dフリップフロップ651が同期しない可能性がある。これに対して、単安定マルチバイブレータであれば、パルス信号の入力から所定期間経過後に出力信号がLOWレベルからHIGHレベルに直ちに切り替わるため、Dフリップフロップ651が同期しやすい。よって、パルス信号の遅延を行いつつ、Dフリップフロップ651を好適に同期させることができる。つまり、単安定マルチバイブレータは、パルス信号の入力に基づいて、Dフリップフロップ651が同期可能なエッジを有するパルス信号を、移行手段であるDフリップフロップ651へ遅延させて出力する機能を有する。また、単安定マルチバイブレータは積分回路を用いているため、残留電荷量によって単安定マルチバイブレータによる遅延期間も変動する。より好適に「ぶら下げ基板」を用いた不正行為を防止することができる。

【0539】

なお、本構成を、上記第9～第11の実施形態において適用してもよい。かかる場合は、パルス信号遅延手段としての単安定マルチバイブレータを、変調回路662と第1Dフリップフロップ661とを接続する経路上、又は変調回路671と第1Dフリップフロップ661とを接続する経路上に設けるとよい。

【0540】

(34)上記第8の実施形態では、シュミットトリガ413はパチンコ機10が電断状態下でも動作している構成としたが、これに限られない。例えば、パチンコ機10が電断状態にある場合には、シュミットトリガ413には動作電力が供給されない構成とし、シュミットトリガ413の動作開始タイミングとリセット回路601からのリセット信号の出力開始タイミングとをずらす構成とすれば、第8の実施形態と同一の作用効果を奏する。

【0541】

(35)上記第5乃至第12の実施形態について、リセット回路601及び不規則遅延回路602は、電断監視基板302を介して電源及び発射制御基板321から動作電力の供給を受けていたが、これに限られず、リセット回路601及び不規則遅延回路602と、電源及び発射制御基板321との接続を直接行い、電力供給を受ける構成としてもよい。

【0542】

また、電断監視基板302と主制御基板301とが別々に設けられている構成としたが、これに限られず、例えば電断監視基板302に搭載されている停電監視回路632等を主制御基板301に搭載する構成としてもよい。

【0543】

(36)上記第5乃至第17の実施形態について、不規則遅延回路602は主制御基板301に搭載されていたが、これに限られない。例えば、不規則遅延回路602を電断監視基板302に設ける構成としてもよい。また、電源及び発射制御基板321等に設ける構成としてもよい。但し、主制御基板301に搭載する構成の方が、配線等を別途設ける必要がないため、構成の簡素化の観点から優れている。また、主制御基板301は基板ボックス163に収容されており、基板ボックス163は封印部164によって開放不可又は困難な状態で固定されている。よって、主制御基板301に不規則遅延回路602を搭載することによって、不規則遅延回路602に対する不正行為を防止することができる。

10

【0544】

(37)上記第5の実施形態又は第6の実施形態では、抵抗614に対して1つのコンデンサ613を並列に接続する構成としたが、これに限られず、静電容量の異なる複数のコンデンサを並列に接続させる構成としてもよい。この場合、それぞれのコンデンサ613と抵抗614とを接続する経路上にスイッチを設けるとよい。これにより、スイッチのオンオフ制御によって、静電容量が変化するため、充電期間及び放電期間が変化する。すると、遅延期間が変動するため、より好適に遅延期間を不規則にすることができる。よって、大当たり当選となるタイミングを把握しづらくさせることができる。なお、静電容量が同一の複数のコンデンサを並列に接続させる構成としてもよい。かかる場合には、合成静電容量を変更させるようにスイッチのオンオフ制御を実行するとよい。

20

【0545】

(38)上記第5乃至第9の実施形態におけるいずれかにおいて、電源及び発射制御基板321に電断時電源部321cを設け、パチンコ機10の電断状態では、電断時電源部321cから主制御基板301のRAM316に対して記憶保持用電力が供給される構成としたが、これに限られず、電断時電源部321cがなくてもよい。この場合には、パチンコ機10が電断状態となる度にRAMデータが消去され、電入状態となる度にRAMデータの初期化処理が実行される。この場合であっても、本発明の効果を奏することができる。

30

【0546】

(39)上記第5乃至第11の実施形態では、リセット回路601とNAND回路612とを接続する信号線LN3と、信号線LN4とを設けたが、これに限られず、信号線LN3がなくてもよい。但し、この場合、電断状態になったタイミングに対して、NAND回路612からのHイレベル信号の出力タイミングが遅延されるため、MPU311の迅速な立ち下げ処理の観点から、上記第5乃至第11の実施形態のほうが優れている。

【0547】

(40)上記第12の実施形態では、初期値用乱数カウンタCFの値は、パチンコ機10の電入状態及び電断状態に関わらず常に更新される構成としたが、これに限られず、電入状態にのみ更新する構成としてもよい。かかる場合には、電断状態になる場合における初期値用乱数カウンタCFの値を記憶する記憶手段を別途設け、初期値設定処理では、記憶手段に記憶されている値を読み出す構成とするとよい。この構成であっても、電断状態になったタイミングに応じて初期値用乱数カウンタCFの値は変動しているため、初期値設定処理にて設定される大当たり乱数カウンタC1の初期値が変動することとなる。これにより、第12の実施形態と同様の効果を得ることができる。但し、初期値用乱数カウンタCFの値は常に更新される構成とした方が、初期値用乱数カウンタCFの値を記憶しておく構成と比較して、当該カウンタ値が把握されにくいいため、「ぶら下げ基板」等を用いた不正行為の防止の観点から優れている。

40

【0548】

(41)上記第12の実施形態では、初期値用乱数カウンタCF及び大当たり乱数カウ

50

ンタC1の値の更新頻度が異なる構成としたが、これに限られず、例えば初期値用乱数カウンタCFの値の更新間隔と大当たり乱数カウンタC1の値の更新間隔とが異なる構成としてもよい。具体的には、カウンタ更新回路701に、それぞれ異なる周期でパルス信号を出力する回路を2つ設け、大当たり乱数カウンタC1の値は、当該2つの回路のうち1の回路から出力されるパルス信号に同期して、0～676の範囲内で順に1ずつ加算され最大値(つまり676)に達した後0に戻る構成とする一方、初期値用乱数カウンタCFの値は、他の回路から出力されるパルス信号に同期して、大当たり乱数カウンタC1と同様に0～676の範囲内で順に1ずつ加算され最大値(つまり676)に達した後0に戻る構成とする。これにより、大当たり乱数カウンタC1が同期するパルス信号の周期と、初期値用乱数カウンタCFが同期するパルス信号の周期とが異なっているため、大当たり乱数カウンタC1の値の更新間隔と初期値用乱数カウンタCFの値の更新間隔とが異なることとなる。この場合であっても、初期値用乱数カウンタCFと大当たり乱数カウンタC1とが完全同期しないようにすることができる。

10

20

30

40

50

【0549】

(42)上記第12の実施形態では、リセット回路601とMPU311とを接続する経路上に不規則遅延回路602を設ける構成としたが、これに限られず、例えば不規則遅延回路602を設けなくてもよい。かかる構成であっても、初期値用乱数カウンタCFの値が常に更新されているため、初期値設定処理で取得される大当たり乱数カウンタC1の初期値は、当該取得タイミングに応じて変動する。これにより、大当たり乱数カウンタC1の初期値の把握は困難になっているため、「ぶら下げ基板」等を用いた不正行為を抑制することができる。

【0550】

また、この場合、パチンコ機10毎に異なる固定値(例えば製造番号)を記憶した記憶領域をさらに設け、初期値設定処理において、初期値用乱数カウンタCFの値及び当該固定値に基づいて初期値を設定する構成としてもよい。これにより、初期値の特定を困難にすることができるとともに、パチンコ機10毎に設定される初期値が異なることとなる。よって、「ぶら下げ基板」等を用いた不正行為をより好適に抑制することができる。

【0551】

(43)上記第12の実施形態では、初期値用乱数カウンタCFが乱数初期値カウンタCINIとして兼用される構成としたが、これに限られず、それぞれ設ける構成としてもよい。但し、処理負荷、製造コスト、省スペースの観点から第12の実施形態のほうが好ましい。

【0552】

(44)上記第12の実施形態では、電源投入時における大当たり乱数カウンタC1の初期値を決定する初期値用乱数カウンタCFを設ける構成としたが、これに限られない。例えば、当該初期値用乱数カウンタCFに代えて、別途タイマカウンタ回路を設ける構成としてもよい。そして、リセット回路601からのリセット信号の出力に基づいてタイマカウンタが動作(更新)を開始し、リセット信号がMPU311に入力されるタイミングにおけるタイマカウンタの値に基づいて大当たり乱数カウンタC1の初期値を決定する構成としてもよい。この場合、不規則遅延回路602によって、リセット回路601からのリセット信号の出力タイミングからMPU311への入力タイミングまでの期間が変動するため、仮に「ぶら下げ基板」等によってリセット信号が出力されたタイミングが把握された場合であっても、タイマカウンタの値は把握されにくい。よって、タイマカウンタの値に基づいて決定される大当たり乱数カウンタC1の初期値が把握されにくくなるため、大当たり乱数カウンタC1の値が当選値となるタイミングの把握を困難にすることができる。したがって、「ぶら下げ基板」等を用いた不正行為を抑制することができる。また、この場合、上記第5～第11の実施形態のいずれの不規則遅延回路602を適用してもよい。なお、初期値として用いられる初期値情報は、リセット信号の出力タイミングから初期値設定処理の実行タイミングまでの期間に応じて変動するパラメータであればよい。

【0553】

(45) 上記第12の実施形態では、大当たり乱数カウンタC1及び初期値用乱数カウンタCFを有するカウンタ更新回路701を設ける構成としたが、これに限られず、初期値用乱数カウンタCFを有するカウンタ更新回路701が設けられているとともに、大当たり乱数カウンタC1はRAM316の一部として設けられている構成としてもよい。この場合、初期値用乱数カウンタCFの値は常に更新されているとよい。そして、大当たり乱数カウンタC1の値は、MPU311が動作している場合に更新されており、初期値設定処理が実行される場合又は大当たり乱数カウンタC1の値が1周した場合には、カウンタ更新回路701の初期値用乱数カウンタCFを読み込むように設定されているとよい。かかる構成においても、上記第12の実施形態と同様の効果を奏することができる。また、カウンタ更新回路701の構成の簡素化を図ることができる。

10

【0554】

また、大当たり乱数カウンタC1及び初期値用乱数カウンタCFが共にRAM316の一部として設けられている構成としてもよい。この場合、初期値用乱数カウンタCFの値はMPU311が動作している状況下において更新され、MPU311が動作していない状況下において保持される構成とする。また、RAMデータの初期化処理において、初期化の対象から初期値用乱数カウンタCFを除外する構成とする。これにより、初期値用乱数カウンタCFの値は、初期化処理によって影響を受けることなく、MPU311が動作を停止したタイミングに応じて変動しているため、初期化処理後の大当たり乱数カウンタC1の初期値の変動は確保されている。

20

【0555】

(46) 上記第13の実施形態では、RAM消去信号の出力タイミングに対してRAMデータの初期化処理の実行タイミングが不規則遅延回路602によって遅延される構成としたが、これに限られず、例えば電入中RAM消去スイッチ801の操作タイミングに対してRAM消去信号出力回路802のRAM消去信号の出力タイミングが不規則遅延回路602によって遅延される構成としてもよい。具体的には、電入中RAM消去スイッチ801が操作されたことによってその旨を通知する信号を出力する操作信号出力回路を設け、RAM消去信号出力回路802は当該操作信号が入力されたことに基づいて、RAM消去信号を出力する構成とする。かかる構成において、操作信号出力回路とRAM消去信号出力回路802とを接続する経路上に不規則遅延回路602を設ける構成とする。この場合であっても、第13の実施形態と同様の効果を得ることができる。この場合、操作信号出力回路とRAM消去信号出力回路802との間、及びRAM消去信号出力回路802とMPU311との間の双方に不規則遅延回路602を設ける構成としてもよい。

30

【0556】

また、RAM消去信号出力回路802に不規則遅延回路602を搭載し、不規則遅延回路602によって操作信号の入力タイミングに対してRAM消去信号の出力タイミングが遅延される構成としてもよい。要は、電入中RAM消去スイッチ801が操作されてからRAMデータの初期化処理が行われるまでの期間を変動させればよい。

【0557】

(47) 上記第5乃至第11の実施形態では、大当たり乱数カウンタC1の値は、パチンコ機10が電入状態の場合に更新をし、パチンコ機10が電断状態の場合には更新をしない構成としたが、これに限られず、電断状態においても大当たり乱数カウンタC1の値が更新する構成としてもよい。

40

【0558】

(48) 上記第5乃至第12の実施形態では、リセット信号の出力タイミングに対して、MPU311の動作開始タイミングを変動させる不規則遅延回路602というハードウェアを設ける構成としたが、これに限られず、ソフトウェア処理において大当たり乱数カウンタC1の値が当選値になるタイミングを変動させる構成としてもよい。例えば、商用電源からの交流波形を把握する波形把握回路を設け、MPU311のメイン処理(図19)のステップS409のRAMの初期設定をする処理の後に、波形把握回路により波形を把握する処理を設け、交流波形が所定の閾値を超えた場合に、割込み許可を設定する処理

50

を実行する構成としてもよい。この場合、所定の閾値を変動させる変動手段を設ける構成とするとよい。かかる構成においても、大当たり乱数カウンタC1が更新を開始するタイミングを把握しにくくすることができる。要は、パチンコ機10が電入状態になってから、大当たり乱数カウンタC1の値が当選値になるまでの複数の処理の途中で、少なくとも1の処理の実行タイミングを変動させればよく、実行タイミングを変動させる処理の具体的内容については任意であるとともに、変動手段は、ハードウェアに限られず、ソフトウェアであってもよい。

【0559】

(49) 上記第5乃至第12の実施形態ではリセット信号の出力タイミング、第13乃至第14の実施形態ではRAM消去信号の出力タイミング、第15の実施形態では動作電圧Vccの印加タイミング、第16乃至第17の実施形態ではデータ消去信号の出力タイミングに対する大当たり乱数カウンタC1の更新開始タイミングを変動させる構成としたが、これらに限られず、所定条件の成立タイミングに対して、遊技の進行に関する処理の開始タイミングを変動させる構成であればよい。

【0560】

(50) 上記第15及び第16の実施形態では、大当たり乱数カウンタC1のカウント値は、パチンコ機10が電断状態になった場合には保持されないようになっているとともに、パチンコ機10が電入状態になった場合に所定の値にリセットされる構成としたが、これに限られず、パチンコ機10が電断状態になった場合にはその時点における大当たり乱数カウンタC1のカウント値を保持する構成としてもよい。この場合、パチンコ機10が電入状態になった場合に実行される立ち上げ処理において、当該大当たり乱数カウンタC1の値はリセットの対象から除外するように構成するとよい。これにより、パチンコ機10が電入状態になった場合の大当たり乱数カウンタC1のカウント値が把握されにくい
ため、より好適に「ぶら下げ基板」等を用いた不正行為を抑制することができる。

【0561】

なお、上記構成を実現するための具体的構成としては、ROM315の少なくとも一部にフラッシュメモリを設けるとともに、当該フラッシュメモリ用の更新プログラムを設け、当該フラッシュメモリを用いて大当たり乱数カウンタC1の更新を実行する構成が考えられる。

【0562】

(51) 上記第15及び第16の実施形態では、ROM315に大当たり乱数カウンタC1を設ける構成としたが、これに限られず、RAM316に設ける構成としてもよい。この場合、大当たり乱数カウンタC1の更新を行う回路がシステム用クロック信号に同期しないように設定する必要がある。かかる構成において、パチンコ機10が電断状態において、大当たり乱数カウンタC1のカウント値を保持するようにRAM316にバックアップ電源を供給するとともに、パチンコ機10が電入状態になった場合に実行される立ち上げ処理において、当該大当たり乱数カウンタC1の値はリセットの対象から除外するようにしてもよい。

【0563】

(52) 上記第17の実施形態では、ハード乱数用クロック回路900とMPU311とを接続する経路上にクロック信号伝達回路1101を設ける構成としたが、これに限られず、例えば図59に示すように、システム用クロック回路312とMPU311とを2つの信号線LN9、LN10を介して接続するとともに、一方の信号線LN10上にのみにクロック信号伝達回路1101を設ける構成としてもよい。この場合、信号線LN10とは別に、システム用クロック回路312とクロック信号伝達回路1101とを接続する信号線LN11を設け、システム用クロック回路312は、3つの信号線LN9、LN10、LN11それぞれに対してクロック信号を出力する構成とする。かかる構成によれば、クロック信号伝達回路1101が設けられていない信号線LN9を介してMPU311に入力されるクロック信号をシステム用クロック信号として用い、クロック信号伝達回路1101が配置されている信号線LN10を介してMPU311に入力されるクロック信

10

20

30

40

50

号をハード乱数用クロック信号として用いることで、遊技の進行に支障をきたすことなく、構成の簡素化を図ることができる。

【0564】

特に、システム用クロック信号を変換することによってハード乱数用クロック信号を得る構成において、システム用クロック回路312と電断監視基板302とを接続する電力線上に、第15又は第16の実施形態に示した電力伝達回路901を設けると、MPU311へのシステム用クロック信号の入力も遅延されることとなり、遊技の進行に支障をきたす恐れがある。これに対して、上記構成であれば、MPU311への更新用クロック信号の入力のみ不規則に遅延させる一方、MPU311への遊技用クロック信号の入力は遅延されない。つまり、システム用クロック信号を変換することによってハード乱数用クロック信号を得る構成にすることによって生じる不都合が回避されている。

10

【0565】

但し、この場合システム用クロック信号の周期とハード乱数用クロック信号の周期とが同一になるため、システム用クロック信号の周期を把握することによって、大当たり乱数カウンタC1の更新タイミングの周期を把握される場合がある。これに対しては、クロック信号伝達回路1101に、クロック信号の周期を変調させる回路を設ける構成とするよい。

【0566】

(53)上記第17の実施形態では、サイリスタ1102のゲートにクロック信号を入力する構成としたが、これに限られず、一定のHIレベル信号を出力させる構成としてもよい。かかる構成であっても、ハード乱数用クロック回路900からのハード乱数用クロック信号の出力タイミングから、MPU311への当該信号の入力タイミングまでの期間が不規則になる。なお、一定のHIレベル信号を出力する構成としては、ハード乱数用クロック回路900と不規則遅延回路602とを接続する信号線LN8上に、ハード乱数用クロック信号をHIレベル信号に変換する回路を設ける構成が考えられる。

20

【0567】

また、クロック信号伝達回路1101としては、サイリスタ1102に限られず、例えばハード乱数用クロック回路900とMPU311とを接続し、ハード乱数用クロック信号を伝達する信号線にスイッチ(例えばピエゾ素子)を設け、不規則遅延回路602から遅延された動作信号が入力された場合には、上記スイッチがON状態になるように設定する構成としてもよい。但し、複数種の出力間隔を有するクロック信号が出力される点で、第17の実施形態の方が優れている。

30

【0568】

さらに、第17の実施形態では、不規則遅延回路602として第5の実施形態のものをを用いたが、これに限られず、第6乃至第11の実施形態のいずれの構成を適用してもよい。

【0569】

(54)上記第15及び第16の実施形態では、増幅回路912の各トランジスタ913、914において、ゲート-エミッタ間を接続するバイパス配線を設けるとともに、抵抗913b、914bを設ける構成としたが、これらを省略する構成としてもよい。この場合、各トランジスタ913、914の増幅率が向上するため、ハード乱数用クロック回路900の動作電力を確保しつつ、動作電圧Vccの低電圧化を図ることができる。但し、回路の安定性の観点に着目すれば、第15及び第16の実施形態のほうが優れている。

40

【0570】

(55)上記第15及び第16の実施形態では、増幅回路912を設ける構成としたが、これに限られず、増幅回路912を設けずに、電源及び発射制御基板321とハード乱数用クロック回路900とを接続する経路上に不規則遅延回路602を設け、AND回路916の出力が直接ハード乱数用クロック回路900に入力される構成としてもよい。この場合、動作電圧Vccを高電圧にする必要があるとともに、調整抵抗911の抵抗値を変更する必要がある。但し、増幅回路912を設ける構成のほうが、回路損失及び回路劣

50

化の観点から優れている。

【0571】

また、NPNトランジスタ913とPNPトランジスタ914とをインバーテッドダーリントン接続する構成としたが、これに限られず、不規則遅延回路602からの出力電流を増幅させるものであればよい。例えば2つのNPNトランジスタをダーリントン接続する構成としてもよい。この場合、増幅回路912は、インバーテッドダーリントン接続の場合よりも安定して動作する。但し、インバーテッドダーリントン接続の方が、増幅回路912における損失電圧が少ないため、動作電圧 V_{cc} の低電圧化の観点から優れている。

【0572】

(56)上記第15及び第16の実施形態では、不規則遅延回路602として、Dフリップフロップ915を用いたが、これに限られず、第5乃至第11のいずれの実施形態を用いてもよい。この場合、NAND回路612をAND回路916に置き換える。

【0573】

また、AND回路916を設けなくてもよい。この場合であっても、電源及び発射制御基板321からの動作電圧 V_{cc} の印加が停止すると、増幅回路912のコレクタ-エミッタ間に対する電圧の印加が停止するため、ハード乱数用クロック回路900への動作電力の供給が停止する。これにより、構成の簡素化を図ることができる。但し、増幅回路912の誤動作防止の観点に着目すれば、AND回路916を設ける構成のほうが優れている。

【0574】

(57)上記第16の実施形態では、電力伝達回路901に不規則遅延回路602を設ける構成としたが、これに限られず、例えばデータ消去信号出力回路1002とリセット用トランジスタ1003とを接続する経路上に不規則遅延回路602を設ける構成としてもよい。この場合、データ消去信号出力回路1002からのHIレベル信号の出力が再開されるタイミングに対して、当該HIレベル信号が電力伝達回路901に対して入力されるタイミングが不規則に遅延される。すなわち、不規則遅延させる対象が、「データ消去信号出力回路1002からのHIレベル信号の出力タイミングから電力伝達回路901へのHIレベル信号の入力タイミングまでの期間」となっている。これにより、データ消去スイッチ1001の操作タイミングに対してハード乱数用クロック回路900への動作電力の供給開始タイミングが不規則に遅延することとなる。よって、データ消去スイッチ1001の操作タイミングから、ハード乱数用クロック信号の出力タイミングを特定することが困難になるため、大当たり乱数カウンタC1の更新タイミングが把握されにくい。よって、「ぶら下げ基板」等を用いた不正行為を抑制することができる。

【0575】

(58)上記第16の実施形態では、特定停止期間 T_s は予め定められた期間としたが、これに限られず、当該特定停止期間 T_s を変動させる構成としてもよい。かかる構成によれば、電力伝達回路901に不規則遅延回路602を省略することができるため、構成の簡素化を図ることができる。但し、特定停止期間 T_s は少なくともシュミットトリガ413から出力されるパルス信号の周期 T_3 よりも長いことが好ましく、かかる条件下で特定停止期間 T_s を変動させるとなると、変動させる期間の範囲が狭くなるおそれがあるとともに、構成の複雑化を招くこととなる。これらの点に着目すれば、第16の実施形態のほうが好ましい。

【0576】

なお、特定停止期間 T_s を変動させる具体的な構成としては、単安定マルチバイブレータの積分回路を用いる構成が考えられる。

【0577】

(59)上記16の実施形態では、特定停止期間 T_s は少なくともシュミットトリガ413から出力されるパルス信号の周期 T_3 よりも長くなるようにしたが、これに限られず、例えばDフリップフロップ915のクリア端子を用いてDフリップフロップ915をリ

10

20

30

40

50

セットする構成としてもよい。この場合、上記クリア端子とデータ消去信号出力回路1002とを電氣的に接続する。かかる構成によれば、データ消去信号出力回路1002からクリア端子に対してLOWレベル信号が入力されたことに基づいて、Dフリップフロップ915はリセットされ、Q端子からLOWレベル信号が出力される。これにより、確実にDフリップフロップ915をリセットすることができる。よって、特定停止期間 T_s を省略することができる。さらに、この場合、パルス信号の入力を待つことなくDフリップフロップ915をリセットすることができるため、AND回路916を省略することができる。

【0578】

(60)上記第16の実施形態では、リセット用トランジスタ1003を設け、データ消去信号出力回路1002は、パチンコ機10が電入状態である状況において、リセット用トランジスタ1003のゲートに対してHIレベル信号を出力するとともに、データ消去スイッチ1001が操作された場合には一旦LOWレベル信号を出力し、その後再びHIレベル信号を出力する構成としたが、これに限られず、例えばリセット用トランジスタ1003に代えて、インバータ回路(反転回路)を設け、インバータ回路の入力端子とデータ消去信号出力回路1002とを電氣的に接続する構成としてもよい。この場合、データ消去信号出力回路1002は、パチンコ機10が電入状態となっている状況においてインバータ回路に対してLOWレベル信号を出力するとともに、データ消去スイッチ1001が操作された場合に、シュミットトリガ413から出力されるパルス信号の周期 T_3 よりも大きいパルス幅を有するワンショットパルスを出力する構成とする。20

【0579】

係る構成によれば、インバータ回路は、データ消去信号出力回路1002からLOWレベル信号が入力されている状況においてはHIレベル信号(動作電圧)を不規則遅延回路602及び増幅回路912に対して出力する一方、データ消去信号出力回路1002からHIレベル信号が入力されている状況においてはLOWレベル信号を不規則遅延回路602及び増幅回路912に対して出力する。すると、ワンショットパルスの入力に基づいて、不規則遅延回路602及び増幅回路912に対してLOWレベル信号が出力されることとなる。この場合、増幅回路912のPNPトランジスタ914のコレクタ-エミッタ間には電圧が印加されなくなるとともに、不規則遅延回路602から増幅回路912に対してLOWレベル信号が出力されるため、増幅回路912の動作が停止する。これにより、ハード乱数用クロック回路900への動作電力の供給が一旦停止する。30

【0580】

ここで、ワンショットパルスのパルス幅は、シュミットトリガ413から出力されるパルス信号の周期 T_3 よりも大きく設定されているため、ワンショットパルスが入力されている状態において、少なくとも1回はDフリップフロップ915が同期する。この場合、D端子にはLOWレベル信号が入力されているため、Q端子からLOWレベル信号が出力され、当該LOWレベル状態が維持される。

【0581】

その後、ワンショットパルスの入力が終了した(入力される信号がHIレベルからLOWレベルになる)ことに基づいて、不規則遅延回路602及び増幅回路912に対してHIレベル信号(動作電圧)が出力されることとなるため、ハード乱数用クロック回路900に対して動作電力の供給が再開される。この場合、ワンショットパルスの入力が終了するタイミングに対してハード乱数用クロック回路900に対する動作電力の供給開始タイミングが不規則遅延回路602によって不規則に遅延される。したがって、第16の実施形態と同様の効果を奏することができる。40

【0582】

なお、インバータ回路としては、NPNトランジスタにより構成されたもの、CMOSインバータ回路等任意である。

【0583】

(61)上記第16の実施形態において、不規則遅延回路602と、電源及び発射制御 50

基板 3 2 1 とを接続する経路上にのみ、リセット用トランジスタ 1 0 0 3 を設ける構成としてもよい。この場合、増幅回路 9 1 2 に対して印加される電圧は、第 1 6 の実施形態と比較して、リセット用トランジスタ 1 0 0 3 による電圧降下分だけ高くなるため、回路損失の低減及び動作電圧 V_{cc} の低電圧化を図ることができる。また、この場合であっても、データ消去信号出力回路 1 0 0 2 から LOW レベル信号が出力された場合には、直ちに AND 回路 9 1 6 の一方の入力端子に対して LOW レベル信号が入力されるため、ハード乱数用クロック回路 9 0 0 に対する電力供給は直ちに停止される。よって、迅速な立ち下げは確保されている。但し、増幅回路 9 1 2 の誤作動防止の観点に直目すれば、第 1 6 の実施形態のほうが優れている。

【 0 5 8 4 】

(6 2) 上記第 1 5 の実施形態において、ハード乱数用クロック回路 9 0 0 は、動作電力が供給されることによって、ハード乱数用クロック信号を出力する構成としたが、これに限られず、例えばリセット回路 6 0 1 とハード乱数用クロック回路 9 0 0 とを接続する経路を設け、ハード乱数用クロック回路 9 0 0 は、動作電力が供給されている状況であって、リセット回路 6 0 1 からリセット信号が入力されている場合に、ハード乱数用クロック信号を出力する構成としてもよい。この場合、ハード乱数用クロック回路 9 0 0 とリセット回路 6 0 1 とを接続する経路上に不規則遅延回路 6 0 2 を設ける構成とするともよい。

【 0 5 8 5 】

(6 3) 上記各実施形態とは異なる他のタイプのパチンコ機等、例えば特別装置の特定領域に遊技球が入ると電動役物が所定期間開放するパチンコ機や、特別装置の特定領域に遊技球が入ると権利が発生して大当たりとなるパチンコ機、他の役物を備えたパチンコ機、アレンジボール機、雀球等の遊技機にも本発明を適用できる。

【 0 5 8 6 】

また、弾球式でない遊技機、例えば、複数種の図柄が周方向に付された複数のリールを備え、メダルの投入及びスタートレバーの操作によりリールの回転を開始し、ストップスイッチが操作される又は所定期間が経過することでリールが停止した後に、表示窓から視認できる有効ライン上に特定図柄又は特定図柄の組合せが成立していた場合にはメダルの払い出し等といった特典を遊技者に付与するスロットマシンにも、本発明を適用できる。

【 0 5 8 7 】

また、取込装置を備え、貯留部に貯留されている所定数の遊技球が取込装置により取り込まれた後にスタートレバーが操作されることによりリールの回転を開始する、パチンコ機とスロットマシンとが融合された遊技機にも、本発明を適用できる。

【 0 5 8 8 】

< 上記実施形態から抽出される発明群について >

以下、上述した実施形態から抽出される発明群の特徴について、必要に応じて効果等を示しつつ説明する。なお以下においては、理解の容易のため、上記実施形態において対応する構成を括弧書き等で適宜示すが、この括弧書き等で示した具体的構成に限定されるものではない。

【 0 5 8 9 】

特徴 A 1 . 遊技用クロック信号を出力する遊技用信号出力手段 (システム用クロック回路 3 1 2) と、

遊技の進行を制御する制御手段 (M P U 3 1 1 における遊技の進行に関する処理を実行する機能) と、

予め定められた数値範囲内において数値情報を順次更新可能な数値情報更新手段 (カウンタ回路 3 1 7) と、

予め定められた取得条件が成立した場合に、前記数値情報更新手段から前記数値情報を取得する取得手段 (M P U 3 1 1 におけるステップ S 3 0 5 及びステップ S 3 0 7 の処理を実行する機能) と、

を備え、

前記制御手段は、前記遊技用信号出力手段から前記遊技用クロック信号が入力されたこ

10

20

30

40

50

とに基づいて、遊技の進行を制御するものであり、

前記取得手段によって取得された数値情報が予め定められた特定情報に対応していることに基づいて、特定状態になる遊技機において、

更新用クロック信号を出力する更新用信号出力手段（ハード乱数用クロック回路313）を備え、

前記数値情報更新手段は、前記更新用クロック信号における立ち上がりから立ち下がりまでの所定箇所をトリガとして、前記数値情報を更新するものであり、

前記更新用信号出力手段は、前記遊技用クロック信号と同期しないこと及び前記トリガに相当する信号状態の出力間隔が前記遊技用クロック信号と異なることのうち少なくとも一方の条件を満たすようにして、前記更新用クロック信号を出力するものであることを特徴とする遊技機。

10

【0590】

特徴A1によれば、遊技用クロック信号が制御手段に入力されることに基づいて、遊技の進行が制御されるとともに、更新用クロック信号における立ち上がりから立ち下がりまでの所定箇所をトリガとして、数値情報の更新が行われる。

【0591】

ここで、遊技用クロック信号と更新用クロック信号との間には、両者が互いに同期しないようになっていること及びトリガに相当する信号状態の出力間隔が互いに異なっていることのうち少なくとも一方の条件が成立しているため、仮に遊技用クロック信号が把握された場合であっても、更新用クロック信号がトリガに相当する出力状態となるタイミングは把握されにくい。これにより、遊技用クロック信号から数値情報の更新タイミングを把握し、数値情報が特定情報となるタイミングに合わせて不正に取得条件を成立させ、故意に特定状態を発生させる不正行為を抑制することができる。

20

【0592】

特徴A2．前記遊技用信号出力手段及び前記制御手段を接続する第1信号経路（信号線LN1）と、

前記遊技用信号出力手段及び前記数値情報更新手段を接続する第2信号経路（信号線LN2）と、

を備え、

前記遊技用信号出力手段は、前記制御手段及び前記数値情報更新手段のそれぞれに対して前記遊技用クロック信号を出力するものであり、

30

前記更新用信号出力手段は、前記第2信号経路上に設けられ、前記遊技用信号出力手段から前記遊技用クロック信号が入力されることに基づいて、前記更新用クロック信号を出力するクロック変換手段（クロック変換回路501）を備えていることを特徴とする特徴A1に記載の遊技機。

【0593】

特徴A2によれば、更新用クロック信号は、遊技用クロック信号を変換することによって得られている。これにより、クロック信号を出力するための構成が必要ないため、構成の簡素化を図ることができる。

【0594】

また、第1信号経路を介して遊技用クロック信号が入力されているため、更新用クロック信号の態様に関わらず、遊技に関する制御は一定のタイミングで行われる。これにより、遊技に関する制御に対して影響を与えることなく、更新用クロック信号の態様を変更することが可能となっている。

40

【0595】

特徴A3．前記クロック変換手段は、前記遊技用信号出力手段から出力された前記遊技用クロック信号を分周又は逡倍することによって前記遊技用クロック信号の周波数を変換する周波数変換手段（分周回路502）と、

前記周波数変換手段により周波数変換されたクロック信号の位相を、前記遊技用クロック信号の位相に対して、所定量だけずらす位相シフト手段（位相シフト回路503）と、

50

を備えていることを特徴とする特徴 A 2 に記載の遊技機。

【0596】

特徴 A 3 によれば、更新用クロック信号は、遊技用クロック信号を分周又は逡倍することにより遊技用クロック信号の周波数を変換し、さらに当該変換されたクロック信号の位相を遊技用クロック信号の位相に対して所定量だけずらすことによって、作成されている。これにより、更新用クロック信号と遊技用クロック信号とは、互いにその周期が異なっており、さらに互いに同期しないようになっている。よって、特徴 A 2 に示す効果を得ることができる。

【0597】

なお、本特徴の構成に対して特徴 C 1 ~ C 10 のいずれか 1 にて限定した構成を適用してもよい。この場合、各構成を適用したことによる更なる効果を奏することができる。

【0598】

上記特徴 A 群の各発明は、以下の課題に対して効果的である。

【0599】

遊技機的一种としてパチンコ機がある。パチンコ機においては、例えば遊技領域に発射された遊技球が作動口に入球することに基づき、大当たり抽選が行われる。当該抽選において大当たり状態の発生に当選すると、例えば所定の表示装置において変動表示される図柄が予め定められた特定の組み合わせで停止表示された後、遊技領域に設けられた可変入球装置の開閉が実行される。そして、可変入球装置への入球数に応じた遊技球が払い出されるといった特典が遊技者に付与される。

【0600】

ここで、パチンコ機には、遊技に係る制御プログラムが記憶されているメモリ等の記憶素子、並びに当該制御プログラムを実行する演算素子、又はこれらが集積化された MPU が実装されている制御基板が設けられているものが知られている。当該パチンコ機は、演算素子によって一連の遊技が制御されている。

【0601】

上記遊技機においては、演算素子の動作タイミングの基準となるクロック信号を出力する発振回路が設けられている。演算素子は、当該発振回路から出力されるクロック信号が入力されることに同期して、複数の素子を動作させることによって、制御プログラムを実行する。制御プログラムとして、例えば予め定められた数値範囲内にてカウンタを定期的に更新させるとともに、遊技球が作動口へ入球した場合には、その時点におけるカウンタの値を取得して、当該カウンタの値が例えば「7」などの予め定められた当選値と一致する場合には、遊技状態を大当たり状態に移行させるものがある。

【0602】

ここで、大当たり抽選で用いられるカウンタの更新タイミングなどを把握することによって、当該カウンタの値が大当たり当選値となるタイミングが把握される場合がある。すると、当該タイミングに合わせて、正規の制御基板に対して不正な信号を出力することによって、故意に大当たりを発生させる不正行為が考えられる。

【0603】

なお、遊技機においては各種の不正行為が想定され、上記のように制御主体における所定の処理タイミングなどを把握し、その把握結果に基づいて不正を行う行為は、大当たり抽選に関するものに限られない。また、かかる不正行為は、パチンコ機に限らず、スロットマシンにおいても同様である。

【0604】

特徴 B 1 . 遊技用クロック信号を出力する遊技用信号出力手段 (システム用クロック回路 3 1 2) と、

前記遊技用信号出力手段から前記遊技用クロック信号が入力されたことに基づいて、遊技の進行を制御する制御手段 (MPU 3 1 1 における遊技の進行に関する処理を実行する機能) と、

予め定められた数値範囲内において数値情報を順次更新可能な数値情報更新手段 (カウ

10

20

30

40

50

ンタ回路317)と、

予め定められた取得条件が成立した場合に、前記数値情報更新手段から前記数値情報を取得する取得手段(MPU311におけるステップS305及びステップS307の処理を実行する機能)と、

を備え、

前記取得手段によって取得された数値情報が予め定められた特定情報に対応していることに基づいて、特定状態になる遊技機において、

更新用クロック信号を出力する更新用信号出力手段(ハード乱数用クロック回路313)を備え、

前記数値情報更新手段は、前記更新用信号出力手段から前記更新用クロック信号が入力されたことに基づいて、前記数値情報を更新するものであることを特徴とする遊技機。

10

【0605】

特徴B1によれば、遊技用クロック信号が制御手段に入力されることに基づいて、遊技の進行が制御されるとともに、更新用クロック信号が数値情報更新手段に入力されることに基づいて、数値情報の更新が行われる。これにより、例えば更新用クロック信号の周期を変更することによって、遊技の進行に影響を与えることなく数値情報の更新タイミングの設定の自由度を高めることができる。

【0606】

また、例えば更新用クロック信号との周期を遊技用クロック信号の周期と異ならせることによって、遊技用クロック信号の周期が把握された場合であっても、当該周期から数値情報の更新タイミングは把握されにくい。よって、遊技用クロック信号の周期から数値情報の更新タイミングを把握し、数値情報が特定情報となるタイミングに合わせて不正に取得条件を成立させ、故意に特定状態を発生させる不正行為を抑制することができる。

20

【0607】

以上により、クロック信号が入力されたことに基づいて、遊技の制御が行われる遊技機において、制御体系を好適なものにすることができる。

【0608】

特徴B2. 遊技用クロック信号を出力する遊技用信号出力手段(システム用クロック回路312)と、

前記遊技用信号出力手段から前記遊技用クロック信号が入力されたことに基づいて、遊技の進行を制御する制御手段(MPU311における遊技の進行に関する処理を実行する機能)と、

30

予め定められた数値範囲内において数値情報を順次更新可能な数値情報更新手段(カウンタ回路317)と、

予め定められた取得条件が成立した場合に、前記数値情報更新手段から前記数値情報を取得する取得手段(MPU311におけるステップS305及びステップS307の処理を実行する機能)と、

を備え、

前記取得手段によって取得された数値情報が予め定められた特定情報に対応していることに基づいて、特定状態になる遊技機において、

40

前記遊技用信号出力手段とは別に設けられ、更新用クロック信号を出力する更新用信号出力手段(ハード乱数用クロック回路313)を備え、

前記数値情報更新手段は、前記更新用クロック信号が入力されたことに基づいて、前記数値情報を順次更新するものであることを特徴とする遊技機。

【0609】

特徴B2によれば、遊技用クロック信号が入力されたことに基づいて、遊技の進行が制御されているとともに、数値情報は、遊技用クロック信号とは別の更新用クロック信号の入力に基づいて更新される。これにより、遊技用クロック信号と更新用クロック信号とで個別に周波数の設定を行うことができる。よって、遊技の進行に影響を与えることなく、数値情報の更新タイミングの設定の自由度を高めることが可能となっている。

50

【0610】

また、例えば遊技用クロック信号と更新用クロック信号とが互いに周期が異なるように設定することによって、遊技用クロック信号の周期が把握された場合であっても、当該周期から数値情報の更新タイミングは把握されにくい。よって、遊技用クロック信号の周期から数値情報の更新タイミングを把握し、数値情報が特定情報となるタイミングに合わせて不正に取得条件を成立させ、故意に特定状態を発生させる不正行為を抑制することができる。

【0611】

以上により、クロック信号が入力されたことに基づいて、遊技の制御が行われる遊技機において、制御体系を好適なものとすることができる。

10

【0612】

特徴B3．前記更新用信号出力手段は、前記遊技用クロック信号と同期しないように前記更新用クロック信号を出力するものであることを特徴とする特徴B2に記載の遊技機。

【0613】

特徴B3によれば、更新用クロック信号が遊技用クロック信号と同期しないようになっているため、遊技用クロック信号の出力タイミング等から更新用クロック信号の出力タイミングを把握することは困難になっている。これにより、遊技用クロック信号の出力タイミング等から数値情報更新手段による数値情報の更新タイミングを把握する不正行為を抑制することができる。

【0614】

20

特徴B4．前記数値情報更新手段は、前記更新用クロック信号における立ち上がりから立ち下がりまでの所定箇所をトリガとして、前記数値情報を更新するものであり、

前記更新用信号出力手段は、前記トリガに相当する信号状態の出力間隔が前記遊技用クロック信号と異なるように前記更新用クロック信号を出力するものであることを特徴とする特徴B2又は特徴B3に記載の遊技機。

【0615】

特徴B4によれば、遊技用クロック信号と更新用クロック信号とで、数値情報の更新のトリガとなる信号状態の出力間隔が異なっているため、遊技用クロック信号が把握された場合であっても、数値情報の更新タイミングは把握されにくい。これにより、遊技用クロック信号から数値情報の更新タイミングを特定し、数値情報が特定情報となるタイミングを特定する不正行為を抑制することができる。

30

【0616】

特徴B5．前記更新用信号出力手段は、外部電源から供給されている交流電圧をパルス信号に変換することにより、前記更新用クロック信号を生成する信号変換手段（信号変換回路402）を備えていることを特徴とする特徴B2乃至B4のいずれか1に記載の遊技機。

【0617】

特徴B5によれば、更新用クロック信号は、外部電源から供給されている交流電圧をパルス信号に変換することによって得られている。これにより、例えば外部電源として商用電源又は遊技機の電源を用いることにより、容易にパルス信号を得ることができ、当該パルス信号を更新用クロック信号として用いることができる。よって、構成の簡素化を図ることができる。

40

【0618】

特徴B6．前記数値情報更新手段は、前記更新用クロック信号における立ち上がりから立ち下がりまでの所定箇所をトリガとして、前記数値情報を更新するものであり、

前記信号変換手段は、前記トリガに相当する信号状態の出力間隔が、入力される交流電圧の周期に対応したものにならないように変換する出力間隔変換手段（周波数変換回路401）を備えていることを特徴とする特徴B5に記載の遊技機。

【0619】

特徴B6によれば、数値情報の更新のトリガに相当する信号状態の出力間隔が、入力さ

50

れる交流電圧の周期に対応した間隔とならないように変換されている。これにより、仮に入力される交流電圧の周期が特定された場合であっても、数値情報の更新のトリガに相当する信号状態の出力間隔は特定されにくい。よって、入力される交流電圧の周波数から数値情報の更新のトリガに相当する信号状態の出力間隔を特定し、数値情報の更新タイミングを特定する不正行為を抑制することができる。

【0620】

なお、出力間隔変換手段のより具体的な構成としては、「前記出力間隔変換手段は、前記更新用信号出力手段から出力される前記更新用クロック信号の周波数を、入力される交流電圧の周波数とは異なる周波数となるように変換するものである」という構成が考えられる。

10

【0621】

特徴B7．前記数値情報更新手段は、前記更新用クロック信号における立ち上がりから立ち下がりまでの所定箇所をトリガとして、前記数値情報を更新するものであり、

前記信号変換手段は、入力される交流電圧の周波数が、第1周波数及び第2周波数のいずれであっても、予め定められた特定周波数の更新用クロック信号を生成するものであることを特徴とする特徴B5又は特徴B6に記載の遊技機。

【0622】

例えば外部電源として商用電源を用いた場合、東日本と西日本とで交流電圧の周波数が異なるため、更新用クロック信号の周波数も異なることとなる。すると、数値情報の更新のトリガに相当する信号状態の出力間隔が異なるため、使用地域で数値情報の更新頻度が異なることとなり、遊技の公平性が阻害される。

20

【0623】

これに対して、本特徴によれば、入力される交流電圧の周波数が第1周波数又は第2周波数であるかに関わらず、更新用クロック信号の周波数は特定周波数となる。これにより、数値情報の更新のトリガに相当する信号状態の出力間隔が交流電圧の周波数に依存しないため、上記不都合を回避することができる。

【0624】

なお、第1周波数及び第2周波数は、商用電源の周波数である50Hz及び60Hzであるとよい。

【0625】

特徴B8．前記制御手段は、

更新タイミングとなる度に、前記数値範囲内において初期値情報を順次更新する初期値情報更新手段(MPU311において乱数初期値カウンタCINI又はパルスシフトカウンタSCを更新する機能)と、

前記数値情報が1周したか否かを判定する判定手段(MPU311においてステップS605の処理を実行する機能)と、

前記判定手段によって前記数値情報が1周したと判定された場合に、前記初期値情報更新手段から前記初期値情報を取得する初期値情報取得手段(MPU311においてステップS606の処理を実行する機能)と、

前記初期値情報が取得された場合には、その取得された初期値情報を、前記数値情報の初期値として書き込む書き込み手段(MPU311においてステップS606の処理を実行する機能)と、

40

前記書き込み手段による書き込み中の期間に亘って、前記数値情報の更新を禁止する禁止手段(MPU311においてステップS603及びステップS607の処理を実行する機能)と、

を備えていることを特徴とする特徴B2乃至B7のいずれか1に記載の遊技機。

【0626】

特徴B8によれば、数値情報が1周した場合には、初期値情報が取得され、当該初期値情報から数値情報の更新が開始される。これにより、数値情報が1周する毎に数値情報の初期値が変動するため、数値情報が特定情報となるタイミングの特定が困難になっている

50

。

【0627】

ここで、数値情報の更新と制御手段による制御とは、その実行の契機となるクロック信号が異なるため、書き込み手段による書き込み中に数値情報の更新が行われる場合がある。特に、遊技用クロック信号と更新用クロック信号とは互いに同期しないようになっている場合、制御手段による制御と数値情報更新手段による更新とは同期していない。これにより、書き込み中に数値情報の更新が行われ易い。すると、内容の整合性が取れなくなり、エラー等の不都合が生じ易い。この点、本特徴によれば、書き込み中には数値情報の更新が禁止されている。これにより、上記不都合を回避することができる。

【0628】

また、特徴B6との関係では、「前記制御手段は、所定の周期で定期的に前記判定手段による判定処理を行うものであり、前記トリガに相当する信号状態の出力間隔は、前記判定手段の実行周期よりも長くなるように設定されている」とよい。これにより、数値情報の更新から次の更新までの間に少なくとも1回は上記判定処理が行われるため、数値情報が1周したことを確実に把握できるとともに、数値情報が1周した状態が過度に継続しないようになっている。

【0629】

特徴B9．前記数値情報更新手段を収容する基板ボックス（基板ボックス163）と、前記基板ボックスを開放不可又は開放困難な状態で固定する固定手段（封印部164）と、

を備え、
少なくとも前記更新用信号出力手段は、前記基板ボックスに収容されていることを特徴とする特徴B2乃至B8のいずれか1に記載の遊技機。

【0630】

特徴B9によれば、少なくとも更新用信号出力手段及び数値情報更新手段は基板ボックス内に収容されている。当該基板ボックスは、固定手段によって開放不可又は開放困難な状態で固定されている。これにより、数値情報更新手段に対する不正行為を防止するとともに、更新用信号出力手段に対する不正行為を防止することができる。よって、構成の簡素化を図りつつ、更新用クロック信号の周期を把握する等の更新用信号出力手段に対する不正行為を好適に抑制することができる。

【0631】

また、特徴B6との関係においては、「前記出力間隔変換手段は、前記基板ボックスに収容されている」とよい。これにより、出力間隔変換手段に対する不正行為を抑制することができる。よって、出力間隔変換手段の解析に基づいて数値情報の更新のトリガに相当する信号状態の出力間隔を特定し、数値情報の更新タイミングを把握する不正行為を抑制することができる。

【0632】

特徴B10．前記数値情報更新手段は、前記更新用クロック信号における立ち上がりから立ち下がりまでの所定箇所をトリガとして、前記数値情報を更新するものであり、前記更新用信号出力手段と前記数値情報更新手段とを接続する信号経路と、前記信号経路の途中位置に設けられ、1のトリガから次のトリガまでのトリガ間隔を変動させる変動手段（変調回路314）と、を備えていることを特徴とする特徴B2乃至B9のいずれか1に記載の遊技機。

【0633】

特徴B10によれば、数値情報の更新の契機となるトリガ間の間隔が変動しているため、数値情報の更新間隔が変動している。これにより、数値情報の更新タイミングが把握されにくいいため、数値情報が特定情報となるタイミングが特定されにくい。よって、例えば数値情報が特定情報となるタイミングに合わせて不正に取得条件を成立させ、故意に特定状態を発生させる不正行為を抑制することができる。

【0634】

10

20

30

40

50

また、トリガ間隔に応じて、数値情報が特定情報となる期間及び数値情報が1周する期間が変動し得る。これにより、例えばトリガ間隔を調整することによって、数値情報が1周する期間に対する数値情報が特定情報となる期間の比から導かれる実質的な当選確率を調整することができる。よって、実質的な当選確率を、数値情報の数値範囲及び特定情報から導かれる理論当選確率よりも低くすることが可能であるため、数値情報の数値範囲を小さくすることができる。したがって、数値情報に要する容量の削減を図ることができる。

【0635】

以上のことから、数値情報の更新を良好に行うことができる。

【0636】

なお、本特徴の構成に対して特徴C1～C10のいずれか1にて限定した構成を適用してもよい。この場合、各構成を適用したことによる更なる効果を奏することができる。

【0637】

特徴B11．クロック信号を出力する出力手段（システム用クロック回路312）と、当該出力手段から出力されたクロック信号に基づいて複数の処理を実行することにより、遊技の進行を制御する制御手段（MPU311における遊技の進行に関する処理を実行する機能）と、
を備えている遊技機において、

前記制御手段は、第1の信号経路を通じて第1のクロック信号が入力されるとともに、第2の信号経路を通じて第2のクロック信号が入力される構成であり、さらに、前記第1のクロック信号が入力されたことに基づいて前記複数の処理のうち第1処理を実行する第1処理手段と、前記第2のクロック信号が入力されたことに基づいて前記複数の処理のうち第2処理を実行する第2処理手段と、を備えていることを特徴とする遊技機。

【0638】

特徴B11によれば、第1のクロック信号が入力されることに基づいて第1処理が実行されるとともに、第2のクロック信号が入力されることに基づいて第2処理が実行される。これにより、第1のクロック信号と第2のクロック信号とで個別に周波数の設定を行うことによって、第1処理及び第2処理それぞれの実行タイミングの設定の自由度を高めることができる。

【0639】

この場合、第1のクロック信号と第2のクロック信号とが互いに周期が異なるように設定されているとよい。これにより、例えば第1処理を複数の処理のうち特に不正行為の対象となり易い処理とし、第2処理を複数の処理のうち第1処理以外の処理とすることによって、不正行為の対象となり易い処理の実行タイミングが特定されにくくなるため、不正行為の対象となり易い処理に対する不正行為を抑制することができる。

【0640】

上記特徴B群の各発明は、以下の課題に対して効果的である。

【0641】

遊技機的一种としてパチンコ機がある。パチンコ機においては、例えば遊技領域に発射された遊技球が作動口に入球することに基づき、大当たり抽選が行われる。当該抽選において大当たり状態の発生に当選すると、例えば所定の表示装置において変動表示される図柄が予め定められた特定の組み合わせで停止表示された後、遊技領域に設けられた可変入球装置の開閉が実行される。そして、可変入球装置への入球数に応じた遊技球が払い出されるといった特典が遊技者に付与される。

【0642】

ここで、パチンコ機には、遊技に係る制御プログラムが記憶されているメモリ等の記憶素子並びに当該制御プログラムを実行する演算素子、又はこれらが集積化されたMPUが実装されている制御基板が設けられているものが知られている。当該パチンコ機は、制御プログラムによって一連の遊技が制御されている。

【0643】

上記遊技機においては、演算素子の動作タイミングの基準となるクロック信号を出力する発振回路が設けられている。演算素子は、当該発振回路から出力されるクロック信号が入力されることに同期して、複数の素子を動作させることによって、制御プログラムを実行する。制御プログラムとしては、例えば予め定められた数値範囲内にてカウンタを定期的に更新させるとともに、遊技球が作動口へ入球した場合には、その時点におけるカウンタの値を取得して、当該カウンタの値が例えば「7」などの所定の当選値と一致する場合には、遊技状態を大当たり状態に移行させるものがある。

【0644】

ここで、処理の目的によっては、クロック信号の周波数を変更する方が好ましい場合がある。しかしながら、クロック信号の周波数を変更すると、他の処理に影響を及ぼす可能性があり、好ましくない。

10

【0645】

また、例えば演算素子と発振回路とを接続する経路に対して不正な回路を取り付け、発振回路から出力されるクロック信号に同期して、不正な信号を出力し故意に大当たり状態を発生させる不正行為が行われる場合がある。

【0646】

このように、クロック信号を出力する発振回路と、当該クロック信号が入力されたことに基いて遊技に関する制御が行われる演算素子とから構成される制御体系には、いまだ改善の余地がある。

【0647】

20

なお、上記問題は、クロック信号を出力する発振回路と、当該クロック信号の入力に基づいて、遊技に関する制御プログラムを実行する演算素子を備えている遊技機において共通する問題である。

【0648】

特徴C1．更新タイミングとなる度に、予め定められた数値範囲内において数値情報を順次更新する数値情報更新手段（カウンタ回路317）と、

予め定められた取得条件が成立した場合に、前記数値情報更新手段から前記数値情報を取得する取得手段（MPU311におけるステップS305及びステップS307の処理を実行する機能）と、

30

を備え、

前記取得手段により取得された数値情報が予め定められた特定情報に対応していることに基いて、特定状態となる遊技機において、

1の数値情報から次の数値情報に更新される間隔を変動させる変動手段（変調回路314）を備えていることを特徴とする遊技機。

【0649】

特徴C1によれば、更新間隔が変動しているため、数値情報の更新タイミングが把握されにくい。これにより、数値情報が特定情報となるタイミングが特定されにくい。よって、例えば数値情報が特定情報となるタイミングに合わせて不正に取得条件を成立させ、故意に特定状態を発生させる不正行為を抑制することができる。

【0650】

40

また、更新間隔の変動に応じて、数値情報が特定情報となっている期間及び数値情報が1周するのに要する期間が変動し得る。これにより、例えば更新間隔を調整することによって、数値情報が1周するのに要する期間に対する数値情報が特定情報となっている期間の比から導かれる実質的な当選確率を調整することができる。よって、更新間隔を変動させることによって、実質的な当選確率を、数値情報の数値範囲及び特定情報から導かれる理論当選確率よりも低くすることができる。したがって、数値情報の数値範囲を小さくすることができるため、数値情報に要する容量の削減を図ることができる。

【0651】

以上のことから、数値情報の更新を良好に行うことができる。

【0652】

50

特徴 C 2 . 前記変動手段は、前記数値情報が 1 周することに応じて、前記数値情報が 1 周するのに要する期間を変動させるものであることを特徴とする特徴 C 1 に記載の遊技機。

【 0 6 5 3 】

特徴 C 2 によれば、数値情報が 1 周することに応じて、数値情報が 1 周するのに要する期間が変動するため、数値情報が初期値となるタイミングが特定されにくい。これにより、数値情報が初期値となるタイミングから、数値情報が特定情報となるタイミングを特定することが困難になっている。よって、数値情報が特定情報となるタイミングに合わせて不正に取得条件を成立させ、故意に特定状態を発生させる不正行為を抑制することができる。

10

【 0 6 5 4 】

特徴 C 3 . 前記変動手段は、1 の数値情報から次の数値情報に更新される間隔を変動させることにより、前記数値情報が 1 周するのに要する期間が複数種類の期間のいずれかに順次遷移していくようにするとともに、それら複数種類の期間を有する単位期間が前記数値情報の複数周回毎に繰り返されるようにするものであることを特徴とする特徴 C 2 に記載の遊技機。

【 0 6 5 5 】

特徴 C 3 によれば、数値情報が 1 周するのに要する期間が、複数種類の期間のいずれかに順次遷移するため、数値情報が 1 周することに応じて、数値情報が 1 周するのに要する期間が変動する。これにより、特徴 C 2 の効果を奏する。

20

【 0 6 5 6 】

ここで、数値情報が 1 周するのに要する期間が変動すると、実質的な当選確率が変動することとなる。このため、不正行為防止の観点から数値情報が 1 周するのに要する期間を不規則にすると、実質的な当選確率が変動する範囲が広範になるため、遊技の公平性及び遊技ホールの管理の容易性の観点から好ましくない。

【 0 6 5 7 】

これに対して、本特徴によれば、複数種類の期間を有する単位期間が数値情報の複数周回毎に繰り返されるため、全体としての実質的な当選確率は、単位期間に含まれる複数種類の期間それぞれに対応した実質的な当選確率の平均となる。これにより、数値情報が 1 周する毎に、数値情報が 1 周するのに要する期間及び実質的な当選確率が変動している一方、全体としての実質的な当選確率は一定の確率となっている。よって、数値情報が特定情報となるタイミングの特定を困難なものにしつつ、遊技の安定性と遊技ホールの管理の容易性が確保されている。

30

【 0 6 5 8 】

特徴 C 4 . 前記変動手段は、前記数値範囲内において前記数値情報が複数種類の更新間隔で更新されるように、前記更新タイミングを変動させるものであることを特徴とする特徴 C 1 乃至 C 3 のいずれか 1 に記載の遊技機。

【 0 6 5 9 】

特徴 C 4 によれば、数値範囲内において数値情報の更新が複数種類の更新間隔で行われるため、数値情報の更新タイミングが変動する。これにより、数値情報の更新タイミングが特定されにくくなるため、数値情報が特定情報となるタイミングの特定が困難になる。よって、数値情報が特定情報となるタイミングに合わせて不正に取得条件を成立させることによって、故意に特定状態を発生させる不正行為を抑制することができる。

40

【 0 6 6 0 】

特徴 C 5 . 前記変動手段は、前記数値情報が 1 周することに応じて、前記数値情報が前記特定情報となっている期間を変動させるものであることを特徴とする特徴 C 1 乃至 C 4 のいずれか 1 に記載の遊技機。

【 0 6 6 1 】

特徴 C 5 によれば、数値情報が 1 周することに応じて、数値情報が特定情報となっている期間が変動する。これにより、数値情報が特定情報となっている期間の特定を困難なも

50

のにすることができる。よって、数値情報が特定情報となっているタイミングに合わせて不正に取得条件を成立させる不正行為を抑制することができる。

【0662】

特徴C6．前記変動手段は、前記数値情報が前記特定情報となっている期間が複数種類の期間のいずれかに順次遷移していくようにするとともに、前記数値情報が特定複数周回するのに要する単位期間に対する前記数値情報が特定情報となっている期間の割合が、前記単位期間毎に同一又は略同一となるようにするものであることを特徴とする特徴C5に記載の遊技機。

【0663】

特徴C6によれば、数値情報が特定情報となっている期間が、複数種類の期間のいずれかに順次遷移していく。これにより、数値情報が1周することに応じて、数値情報が特定情報となっている期間が変動するため、特徴C5の効果を奏する。

10

【0664】

ここで、数値情報が特定情報となっている期間が変動すると、実質的な当選確率が変動することとなる。このため、不正行為防止の観点から数値情報が特定情報となっている期間を不規則にすると、実質的な当選確率が変動する範囲が広範になるため、遊技の公平性及び遊技ホールの管理の容易性の観点から好ましくない。

【0665】

これに対して、本特徴によれば、数値情報が特定複数周回するのに要する単位期間に対する数値情報が特定情報となっている期間の割合が、単位期間毎に同一又は略同一となっている。これにより、単位期間という単位で着目すれば、実質的な当選確率は同一又は略同一となっている。よって、数値情報が1周する毎に、数値情報が特定情報となっている期間及び実質的な当選確率が変動している一方、全体としての実質的な当選確率は一定の確率となっている。よって、数値情報が特定情報となっている期間の特定を困難なものにしつつ、遊技の安定性と遊技ホールの管理の容易性が確保されている。

20

【0666】

特徴C7．前記数値情報更新手段は、複数の更新タイミング（パルス信号）から構成され、且つ複数種類の更新間隔を有する更新群（パルス信号群）に即した数値情報の更新が、当該更新群単位で繰り返されるようにするものであり、

前記数値情報が取り得る数値から構成される数列の項数（カウンタ項数）が、前記更新群に含まれる更新タイミングの数（信号数）の倍数とならないように、前記数値範囲及び前記更新タイミングが設定されていることを特徴とする特徴C4乃至C6のいずれか1に記載の遊技機。

30

【0667】

仮に項数が、更新群に含まれる更新タイミングの数（以下、単に更新数と称する。）の倍数であって、数値情報が1周した場合には予め定められた初期値から更新を開始する構成の場合、数値情報の更新間隔は変動する一方、更新群内において、数値情報が初期値となる更新に対応した更新タイミングは変化しない。このため、数値情報が初期値となったタイミングから特定情報となるタイミングまでの期間は一定になるとともに、数値情報が特定情報となっている期間は一定となる。

40

【0668】

これに対して、本特徴によれば、項数が更新数の倍数とならないように、数値情報の数値範囲及び更新タイミングが設定されている。これにより、仮に数値情報が1周する毎に予め定められた固定値から順次更新される構成であっても、更新群内において、数値情報が初期値となる更新に対応した更新タイミングが変動する。これにより、数値情報が初期値となるタイミングから特定情報となるタイミングまでの期間が変動するとともに、数値情報が特定情報となっている期間が変動する。よって、これらの期間の特定が困難になっている。したがって、これらの期間に基づいて、数値情報が特定情報となっているタイミングを特定することが困難になっている。

【0669】

50

また、更新群内において、数値情報が初期値となる更新に対応した更新タイミングが変動することに応じて、実質的な当選確率が変動する。これにより、数値情報が1周する毎に、実質的な当選確率が変動する。一方、全体としての実質的な当選確率は、各更新タイミングに対応した全体としての当選確率の平均となるため、変動しない。これにより、遊技の公平性及び遊技ホールの管理の容易性は担保されている。

【0670】

なお、「項数」とは、例えば数値情報の数値範囲が「0～N」である場合には、「N+1」を意味する。

【0671】

特徴C8．予め定められた範囲内において初期値情報を順次更新する初期値情報更新手段(MPU311において乱数初期値カウンタCINI又はパルスシフトカウンタSCを更新する機能)と、

前記数値情報が1周した場合に、前記初期値情報更新手段から前記初期値情報を取得する初期値情報取得手段(MPU311においてステップS606の処理を実行する機能)と、

を備え、

前記数値情報更新手段は、前記初期値情報が取得された場合には、その取得された初期値情報から数値情報の更新を行うものであることを特徴とすると特徴C1乃至C7のいずれか1に記載の遊技機。

【0672】

特徴C8によれば、数値情報が1周する度に初期値情報更新手段の初期値情報が取得され、当該取得された初期値情報から数値情報の更新が行われる。初期値情報は、取得されるタイミングに応じて変動している。これにより、数値情報が特定情報となるまでの期間が変動する。よって、数値情報が特定情報となるタイミングが特定されにくい。

【0673】

また、仮に項数が更新数の倍数である場合であっても、数値情報が1周する毎に、初期値が変動するとともに、更新群内において、更新タイミングに対応する数値情報が変動する。これにより、仮に項数が更新数の倍数である場合であっても、初期値となる更新が行われるタイミングから、数値情報が特定情報となるタイミングまでの期間が変動するため、数値情報が特定情報となるタイミングが特定されにくい。よって、仮に項数が更新数の倍数であったとしても、数値情報が特定情報となるタイミングの特定が困難になっている。

【0674】

なお、「予め定められた範囲内」としては、例えば「更新群に含まれる更新タイミングの数の範囲内」や、「前記数値情報の数値範囲内」などが考えられる。

【0675】

特徴C9．前記数値情報更新手段は、複数の更新タイミングから構成され、且つ複数種類の更新間隔を有する更新群に即した数値情報の更新が、当該更新群単位で繰り返されるようにするものであり、

前記数値情報が取り得る数値から構成される数列の項数(カウンタ項数)が、前記更新群に含まれる更新タイミングの数(信号数)の倍数となるように、前記数値範囲及び前記更新タイミングが設定されており、

さらに前記数値情報が前記特定情報となっている期間が、前記更新群に含まれる更新間隔のうち最大の更新間隔に対応しないように、前記特定情報及び前記更新タイミングが設定されていることを特徴とする特徴C1に記載の遊技機。

【0676】

特徴C9によれば、項数が更新群に含まれる更新タイミングの数の倍数となっているため、更新群内において更新タイミングに対応する数値情報は一定となる。これにより、数値情報が1周した場合であっても、各数値情報の保持期間は変動しない。かかる場合において、数値情報が特定情報となっている期間は更新群内における最大の更新間隔に対応し

10

20

30

40

50

ないように設定されている。これにより、数値情報が特定情報となっている期間を、他の数値情報となっている期間よりも相対的に短くすることができる。よって、実質的な当選確率が理論確率よりも小さくすることができる。したがって、所定の当選確率に設定する上で必要となる数値情報の数値範囲を狭くすることができる。よって、数値情報に要する容量の削減を図ることができる。

【0677】

なお、「前記更新群に含まれる更新間隔のうち、最小の更新間隔に数値情報が特定情報となっている期間が対応するように、前記特定情報及び前記更新タイミングが設定されている」と好ましい。

【0678】

特徴C10．更新用クロック信号を出力する更新用信号出力手段（ハード乱数用クロック回路313）を備え、

前記数値情報更新手段は、前記更新用クロック信号における立ち上がりから立ち下がりまでの所定箇所をトリガとして、前記数値情報の更新を行うものであり、

前記変動手段は、1の数値情報の更新の契機となるトリガと次の数値情報の更新の契機となるトリガとの間隔を変動させるものであることを特徴とする特徴C1乃至C9のいずれか1に記載の遊技機。

【0679】

特徴C10によれば、数値情報の更新の契機となるトリガの間隔が変動しているため、数値情報の更新間隔の変動が実現されている。これにより、更新間隔を変動させるためのソフトウェア処理が必要ないため、ソフトウェア処理の負担が軽減されている。

【0680】

また、特徴C4との関係においては、「前記変動手段は、前記更新用クロック信号のパルス幅又はパルス間隔のうち少なくとも一方を変更し、複数のパルス信号を含むパルス信号群を1周期として出力することで、複数種類のトリガ間隔でパルス信号が出力されるようにするものである」とよい。この場合、特徴C7及び特徴C9については、「更新群」を「パルス信号群」と、「更新タイミング」を「トリガ」と置き換える。

【0681】

特徴C11．前記更新用信号出力手段とは別に設けられ、遊技用クロック信号を出力する遊技用信号出力手段（システム用クロック回路312）と、

前記遊技用クロック信号が入力されることに基づいて、遊技に関する制御を行う制御手段（MPU311における遊技の進行に関する処理を実行する機能）と、を更に備えていることを特徴とする特徴C10に記載の遊技機。

【0682】

特徴C11によれば、遊技に関する制御は、更新用クロック信号とは別の遊技用クロック信号に基づいて行われるため、更新用クロック信号の入力タイミングが変動する場合であっても、当該変動の影響を受けることなく、遊技に関する制御が行われる。これにより、遊技に関する制御に対して影響を与えることなく、特徴C10の効果を得ることができる。

【0683】

本特徴の構成に対して特徴A1～A3又は特徴B2～B9のいずれか1にて限定した構成を適用してもよい。この場合、各構成を適用したことによる更なる効果を奏することができる。

【0684】

特徴C12．前記更新用信号出力手段及び前記数値情報更新手段を接続する第1信号経路（信号線LN1）と、

前記第1信号経路とは別に設けられ、前記更新用信号出力手段及び遊技に関する制御を行う制御手段を接続する第2信号経路（信号線LN2）と、を備え、

前記更新用信号出力手段は、前記数値情報更新手段及び前記制御手段の双方に対して前

10

20

30

40

50

記更新用クロック信号を出力するものであり、

前記制御手段は、前記第2信号経路を通じて前記更新用クロック信号が入力されたことに基づいて、遊技に関する制御を行うものであり、

前記変動手段は、前記第1信号経路及び前記第2信号経路のうち、前記第1信号経路の途中位置のみに設けられていることを特徴とする特徴C10に記載の遊技機。

【0685】

特徴C12によれば、第1信号経路の途中位置に変動手段が設けられている一方、第2信号経路には変動手段が設けられていない。これにより、数値情報更新手段に入力される更新用クロック信号の入力タイミングが変動し得る一方、制御手段に入力される更新用クロック信号は変動しない。よって、遊技に関する制御に対して影響を与えることなく、特徴C10の効果を得ることができる。

10

【0686】

本特徴の構成に対して特徴A1～A3又は特徴B2～B9のいずれか1にて限定した構成を適用してもよい。この場合、各構成を適用したことによる更なる効果を奏することができる。

【0687】

上記特徴C群の各発明は、以下の課題に対して効果的である。

【0688】

遊技機の種類としてパチンコ機がある。パチンコ機においては、例えば遊技領域に発射された遊技球が作動口に入球することに基づき、大当たり抽選が行われる。当該抽選において大当たり状態の発生に当選すると、例えば所定の表示装置において変動表示される図柄が予め定められた特定の組み合わせで停止表示された後、遊技領域に設けられた可変入球装置の開閉が実行される。そして、可変入球装置への入球数に応じた遊技球が払い出されるといった特典が遊技者に付与される。

20

【0689】

大当たり状態の発生の有無は、遊技球が作動口へ入球するタイミングで決定される。例えば、定期的に一定の範囲で更新される(例えば2ms毎に0～300の範囲で1カウントずつ更新される)カウンタを備え、遊技球が作動口へ入球した時点のカウンタの値を取得して、当該カウンタの値が例えば「7」などの予め定められた当選値と一致する場合には、遊技状態が大当たり状態に移行する特典が遊技者に付与される。

30

【0690】

ここで、大当たり抽選で用いられるカウンタの更新は良好に行われることが好ましい。例えば、大当たり抽選で用いられるカウンタの更新タイミングなどを把握することによって、当該カウンタの値が大当たり当選に対応した値となるタイミングが把握される場合がある。すると、当該タイミングに合わせて、正規の制御基板に対して不正な信号を出力することによって、故意に大当たりを発生させる不正行為が考えられる。

【0691】

また、例えば、カウンタに要する容量削減の観点から、大当たり抽選で用いられるカウンタの取り得る範囲は狭いほうが好ましい。しかしながら、大当たり抽選で用いられるカウンタの範囲が狭くなると、当該範囲及び当選値から導き出される当選確率が高くなるため、所望の当選確率に設定できないという不都合が生じ得る。

40

【0692】

なお、上記問題は、カウンタを用いて抽選を行う他の遊技機においても同様である。

【0693】

特徴D1. 遊技に関する制御を行う制御手段を備えた遊技機において、

外部電源から供給されている交流電圧をクロック信号に変換する信号変換手段(信号変換回路402)を備え、

前記制御手段は、前記信号変換手段によって得られたクロック信号が入力されたことに基づいて、遊技に関する制御を行うものであることを特徴とする遊技機。

【0694】

50

特徴 D 1 によれば、クロック信号は、外部電源から供給されている交流電圧を変換することによって得られている。これにより、例えば外部電源として商用電源又は遊技機の電源を用いることにより、容易にクロック信号を得ることができる。よって、構成の簡素化を図ることができる。

【0695】

特徴 D 2 . 前記制御手段は、クロック信号における立ち上がりから立ち下がりまでの所定箇所をトリガとして、予め定められた数値範囲内で数値情報を順次更新する数値情報更新手段（カウンタ回路 317）と、予め定められた取得条件が成立した場合に、前記数値情報更新手段から前記数値情報を取得する取得手段（MPU 311 におけるステップ S 305 及びステップ S 307 の処理を実行する機能）と、を備え、前記取得手段によって取得された数値情報が予め定められた特定情報に対応していることに基づいて、特定状態となるものであり、

10

前記信号変換手段は、前記トリガに相当する信号状態の出力間隔が、入力される交流電圧の周期に対応したものとならないように変換する出力間隔変換手段（周波数変換回路 401）を備えていることを特徴とする特徴 D 1 に記載の遊技機。

【0696】

特徴 D 2 によれば、取得された数値情報が特定情報に対応している場合に特定状態になる。当該数値情報はクロック信号の所定箇所をトリガとして更新される。

【0697】

ここで、クロック信号におけるトリガに相当する信号状態の出力間隔は、入力される交流電圧の周期に対応した間隔とならないように変換されている。これにより、仮に入力される交流電圧の周期が特定された場合であっても、数値情報の更新のトリガに相当する信号状態の出力間隔は特定されにくい。よって、入力される交流電圧の周波数から数値情報の更新のトリガに相当する信号状態の出力間隔を特定し、数値情報の更新タイミングを特定する不正行為を抑制することができる。

20

【0698】

なお、出力間隔変換手段のより具体的な構成としては、「前記更新用信号出力手段から出力される前記更新用クロック信号の周波数を、入力される交流電圧の周波数とは異なる周波数となるように変換するものである」という構成が考えられる。

【0699】

30

特徴 D 3 . 前記数値情報更新手段は、前記更新用クロック信号における立ち上がりから立ち下がりまでの所定箇所をトリガとして、前記数値情報を更新するものであり、

前記信号変換手段は、入力される交流電圧の周波数が、第 1 周波数及び第 2 周波数のいずれであっても、予め定められた特定周波数の更新用クロック信号が出力されるようにすることを特徴とする特徴 D 1 又は D 2 に記載の遊技機。

【0700】

例えば外部電源として商用電源を用いた場合、東日本と西日本とで交流電圧の周波数が異なるため、更新用クロック信号の周波数も異なることとなる。すると、数値情報の更新のトリガに相当する信号状態の出力間隔が異なるため、使用地域で数値情報の更新頻度が異なることとなり、遊技の公平性が阻害される。

40

【0701】

これに対して、本特徴によれば、入力される交流電圧の周波数が第 1 周波数又は第 2 周波数であるかに関わらず、更新用クロック信号の周波数は特定周波数に変換される。これにより、数値情報の更新のトリガに相当する信号状態の出力間隔が、交流電圧の周波数に依存しないため、上記不都合を回避することができる。

【0702】

なお、第 1 周波数及び第 2 周波数は、商用電源の周波数である 50 Hz 及び 60 Hz であるとよい。

【0703】

上記特徴 D 群の各発明は、以下の課題に対して効果的である。

50

【0704】

遊技機の種類としてパチンコ機がある。パチンコ機においては、例えば遊技領域に発射された遊技球が作動口に入球することに基づき、大当たり抽選が行われる。当該抽選において大当たり状態の発生に当選すると、例えば所定の表示装置において変動表示される図柄が予め定められた特定の組み合わせで停止表示された後、遊技領域に設けられた可変入球装置の開閉が実行される。そして、可変入球装置への入球数に応じた遊技球が払い出されるといった特典が遊技者に付与される。

【0705】

パチンコ機には、遊技に係る制御プログラムが記憶されているメモリ等の記憶素子、並びに当該制御プログラムを実行する演算素子、又はこれらが集積化されたMPUが実装されている制御基板が設けられているものが知られている。当該パチンコ機は、制御プログラムによって一連の遊技が制御されている。

10

【0706】

上記遊技機においては、演算素子の動作タイミングの基準となるクロック信号を出力する発振回路が設けられている。演算素子は、当該発振回路から出力されるクロック信号が入力されることに同期して、複数の素子を動作させることによって、制御プログラムを実行する。

【0707】

ここで、発振回路の構成としては簡素なものが好ましく、発振回路についてはいまだ改善の余地がある。

20

【0708】

なお、上記問題は、クロック信号を出力する発振回路と、当該クロック信号の入力に基づいて、遊技に関する制御プログラムを実行する演算素子を備えている遊技機において共通する問題である。

【0709】

特徴E1．遊技の進行を制御するとともに遊技の進行を制御する過程で特定状態となる制御手段（主制御基板301）を備えた遊技機において、

所定条件の成立から、前記制御手段が前記特定状態となるまでの期間を変動させる変動手段（不規則遅延回路602又は非定期化用回路）を備えていることを特徴とする遊技機。

30

【0710】

特徴E1によれば、変動手段によって所定条件の成立から制御手段が特定状態となるまでの期間が変動している。これにより、所定条件の成立タイミングから制御手段が特定状態となるまでの期間にばらつきが生じる。よって、所定条件の成立タイミングから制御手段が特定状態となるタイミングまでの期間が不規則になる。したがって、仮に「ぶら下げ基板」等により所定条件の成立タイミングを把握された場合であっても、制御手段が特定状態となるタイミングは把握されにくい。よって、「ぶら下げ基板」等を用いた不正行為を防止することができる。

【0711】

特徴E2．更新タイミングとなる度に予め定められた数値範囲において数値情報を順次更新する数値情報更新手段（MPU311におけるステップS703の大当たり乱数カウンタC1の更新処理を実行する機能）と、

予め定められた取得条件が成立したに基づいて、前記数値情報更新手段により更新されている数値情報を取得する取得手段（MPU311におけるステップS804の大当たり乱数カウンタC1を格納する処理を実行する機能）と、
を備え、

40

前記取得手段によって取得された数値情報が予め定められた当選情報に対応していることに基づいて、遊技者に特典が付与される遊技機であって、

所定条件の成立から前記数値情報更新手段の数値情報が前記当選情報となるまでの期間を変動させる変動手段（不規則遅延回路602又は非定期化用回路）を備えていることを

50

特徴とする遊技機。

【 0 7 1 2 】

特徴 E 2 によれば、所定条件の成立から数値情報更新手段の数値情報が当選情報となるまでの期間が変動手段によって変動している。これにより、所定条件の成立タイミングから数値情報が当選情報となるタイミングまでの期間にばらつきが生じる。よって、所定条件の成立タイミングから数値情報が当選情報となるタイミングまでの期間が不規則になる。したがって、仮に所定条件の成立タイミングが「ぶら下げ基板」等により把握された場合であっても、数値情報が当選情報となるタイミングは把握されにくい。よって、「ぶら下げ基板」等を用いた不正行為を防止することができる。

【 0 7 1 3 】

特徴 E 3 . 更新タイミングとなる度に予め定められた数値範囲において数値情報を順次更新する数値情報更新手段 (M P U 3 1 1 におけるステップ S 7 0 3 の大当たり乱数カウンタ C 1 の更新処理を実行する機能) と、

予め定められた取得条件が成立したことに基づいて、前記数値情報更新手段により更新されている数値情報を取得する取得手段 (M P U 3 1 1 におけるステップ S 8 0 4 の大当たり乱数カウンタ C 1 を格納する処理を実行する機能) と、
を備え、

前記取得手段によって取得された数値情報が予め定められた当選情報に対応していることに基づいて、遊技者に特典が付与される遊技機であって、

前記数値情報が所定の数値から順次更新されていくことを可能とする所定動作の実行タイミングから前記数値情報が前記当選情報となるまでの期間を、前記所定動作の実行タイミングに応じて変動させる変動手段 (不規則遅延回路 6 0 2 又は非定期化用回路) を備えていることを特徴とする遊技機。

【 0 7 1 4 】

特徴 E 3 によれば、数値情報が所定の数値から順次更新されていくことを可能とする所定動作の実行タイミングから数値情報が当選情報となるまでの期間が所定動作の実行タイミングに応じて変動している。これにより、所定動作の実行タイミングから数値情報が当選情報となるタイミングまでの期間にばらつきが生じる。よって、所定動作の実行タイミングから数値情報が当選情報となるタイミングまでの期間が不規則になる。したがって、所定動作の実行タイミングから数値情報が当選情報となるタイミングまでの期間が把握されにくいいため、仮に所定動作の実行タイミングを把握されたとしても数値情報が当選情報となるタイミングは把握されにくい。よって、「ぶら下げ基板」等の不正行為を抑制することができる。

【 0 7 1 5 】

特徴 E 4 . 遊技に関する制御を行う制御手段に動作電力が供給されている状態において動作し、更新タイミングとなる度に予め定められた数値範囲において数値情報を順次更新する数値情報更新手段 (M P U 3 1 1 におけるステップ S 7 0 3 の大当たり乱数カウンタ C 1 の更新処理を実行する機能) と、

予め定められた取得条件が成立したことに基づいて、前記数値情報更新手段により更新されている数値情報を取得する取得手段 (M P U 3 1 1 におけるステップ S 8 0 4 の大当たり乱数カウンタ C 1 を格納する処理を実行する機能) と、
を備え、

前記取得手段によって取得された数値情報が予め定められた当選情報に対応していることに基づいて、遊技者に特典が付与される遊技機であって、

前記制御手段への動作電力が供給される供給開始タイミングから前記数値情報更新手段において前記数値情報の更新が開始される更新開始タイミングまでの期間を、前記供給開始タイミングに応じて変動させる変動手段 (不規則遅延回路 6 0 2 又は非定期化用回路) を備えていることを特徴とする遊技機。

【 0 7 1 6 】

特徴 E 4 によれば、制御手段へ動作電力が供給される供給開始タイミングから数値情報

10

20

30

40

50

の更新が開始される更新開始タイミングまでの期間が供給開始タイミングに応じて変動するため、供給開始タイミングから更新開始タイミングまでの期間にばらつきが生じる。これにより、供給開始タイミングから更新開始タイミングまでの期間が不規則になる。したがって、仮に数値情報更新手段が所定の初期値から更新が開始される場合であっても、供給開始タイミングから、数値情報が当選情報と一致するまでの期間が不規則になるため、当該期間が把握されにくい。よって、「ぶら下げ基板」等により、数値情報が当選情報と一致するタイミングに合わせて信号を出力して不正に特典を得る不正行為を抑制することができる。

【0717】

特徴E5・特徴E4において、前記制御手段への動作電力の供給が開始されたことに基づいて、信号又は電力を供給する供給状態となる供給手段（リセット回路601、電源及び発射制御基板321）と、

前記供給手段と前記数値情報更新手段とを接続する供給経路（信号線LN4）と、を備え、

前記数値情報更新手段は、前記供給手段が前記供給状態となり前記供給経路から供給される信号又は電力の状態が予め定められた動作可能状態となった場合に更新を開始するものであり、

前記変動手段は、前記供給経路の途中位置に設けられ、前記供給状態となるタイミングから前記動作可能状態となるタイミングまでの期間を前記供給状態となるタイミングに応じて変動させるものであることを特徴とする遊技機。

【0718】

特徴E5によれば、数値情報更新手段と供給手段とは供給経路を介して接続されている。供給手段は、制御手段への動作電力の供給が開始されたことに基づいて、信号又は電力を供給する供給状態となる。また、供給手段が供給状態となり供給経路から供給される信号又は電力の状態が予め定められた動作可能状態となった場合に、数値情報更新手段は更新を開始する。ここで、供給経路の途中位置には変動手段が設けられており、供給状態となるタイミングから動作可能状態となるタイミングまでの期間が供給状態となるタイミングに応じて変動している。これにより、供給状態となるタイミングから動作可能状態となるまでの期間が不規則になるため、供給開始タイミングから更新開始タイミングまでの期間が不規則になる。よって、供給開始タイミングから数値情報が当選情報と一致するまでの期間が不規則になるため、当該期間が把握されにくい。したがって、「ぶら下げ基板」等を用いた不正行為を防止することができる。

【0719】

また、供給状態となるタイミングから動作可能状態となるタイミングまでの期間が不規則になっているため、数値情報更新手段において更新開始タイミングを変動させる必要がない。よって、数値情報更新手段の構成の簡素化を図ることができる。

【0720】

特徴E6・特徴E5において、前記変動手段は、供給される電荷の蓄積及び充電された電荷の放出が可能であるとともに、前記供給手段が前記供給状態になることにより電荷を蓄積する充放電手段（コンデンサ613）を備え、前記充放電手段に蓄積されている電荷が所定量以上蓄積された場合に、前記供給経路から前記数値情報更新手段に対して供給される信号又は電力の状態を前記動作可能状態へ移行させるものであることを特徴とする遊技機。

【0721】

特徴E6によれば、供給手段が供給状態となった場合に、充放電手段に電荷が蓄積され、充放電手段に電荷が所定量以上に蓄積されると、動作可能状態に移行する。これにより、充放電手段に所定量以上の電荷が蓄積される期間だけ、供給手段が供給状態となるタイミングに対して動作可能状態となるタイミングが遅延される。一方、供給手段が供給状態でない場合、すなわち制御手段へ動作電力が供給されていない場合、充放電手段に蓄積されていた電荷は徐々に放出される。つまり、充放電手段は放電状態となる。放電状態下に

において、供給手段が再び供給状態となる場合、充放電手段は放電状態から充電状態に切り替わる。すると、当該充放電手段に再び所定量の電荷が蓄積されるまでの期間だけ、動作可能状態となるタイミングが遅延される。当該遅延期間は、供給手段が供給状態となる時点での充放電手段における残留電荷量に応じて変動する。また、残留電荷量は、充放電手段の放電状態下において、供給手段が供給状態となるタイミングによって変動する。これにより、供給手段が供給状態となるタイミングに基づいて、供給状態となるタイミングから動作可能状態となるタイミングまでの期間が変動することとなる。よって、充放電手段を設けるといふ簡素な構成で、「ぶら下げ基板」等を用いた不正行為を抑制することができる。

【0722】

特徴E7．特徴E6において、前記変動手段は、前記充放電手段として少なくとも1つコンデンサ（コンデンサ613）と、少なくとも1つの抵抗（抵抗614）と、を有する積分回路（積分回路611）を備えていることを特徴とする遊技機。

10

【0723】

特徴E7によれば、電荷の蓄積が開始されてから前記所定量まで電荷が蓄積されるまでの充電期間と、蓄積された電荷の放出が開始されてから蓄積された電荷が失われるまでの放電期間とは、積分回路のコンデンサの電気容量及び抵抗の抵抗値に基づいて設定されるため、両者を調整することによって充電期間及び放電期間を調整することができる。これにより、充電期間及び放電期間を長くすることによって、遅延期間のばらつき及び放電期間により変動する残留電荷量のばらつきを大きくすることができる。よって、数値更新手段の更新の開始タイミングを不規則にすることができ、当該タイミングを把握しづらくしている。

20

【0724】

特徴E8．特徴E6又は特徴E7において、前記変動手段は、前記充放電手段において、蓄積された電荷の放出が開始されてから蓄積された電荷が失われるまでの放電期間を、電荷の蓄積が開始されてから前記所定量まで電荷が蓄積されるまでの充電期間よりも長くする期間変更手段（切替回路621）を備えていることを特徴とする遊技機。

【0725】

遅延期間のばらつきの観点では、電荷の蓄積が開始されてから前記所定量まで電荷が蓄積されるまでの充電期間と、蓄積された電荷の放出が開始されてから蓄積された電荷が失われるまでの放電期間と、は長い方が好ましい。特に、残留電荷量のばらつきに寄与する放電期間は長い方が好ましい。しかしながら、例えば積分回路の場合、充電期間と放電期間とはほぼ同一になっているため、放電期間を長くすることによって充電期間が長くなると、数値情報更新手段の更新開始タイミングが過度に遅延される不都合が生じるおそれがある。これに対して、特徴E8によれば、期間変更手段によって放電期間が充電期間より長くなっている。これにより、遅延期間のばらつきを確保しつつ、上記不具合を回避することができる。

30

【0726】

特徴E9．特徴E5において、前記変動手段は、特定タイミングで特定形態となる特定信号を出力する特定信号出力手段（信号変換回路402）から前記特定信号を受ける移行手段（合成回路641、Dフリップフロップ651等）を備え、

40

前記移行手段は、前記供給手段が前記供給状態となっており、さらに前記特定信号出力手段から出力されている前記特定信号が前記特定形態となっていることに基づいて、前記供給経路から前記数値情報更新手段に供給される信号又は電力の状態を前記動作可能状態へ移行させるものであることを特徴とする遊技機。

【0727】

特徴E9によれば、特定タイミングで特定形態となる特定信号が特定信号出力手段によって移行手段に対して出力されている。そして、供給手段が供給状態となっており、さらに特定信号出力手段から出力されている特定信号が特定形態となっていることに基づいて、供給経路から数値情報更新手段に供給される信号又は電力の状態が動作可能状態に移行

50

する。これにより、特定信号出力手段から出力されている特定信号が特定形態以外の形態である状態下で、供給手段が供給状態になった場合、特定信号出力手段から出力されている特定信号が特定形態になるまで動作可能状態への移行は遅延される。また、当該遅延期間は、供給手段が供給状態となるタイミングに対する特定信号の形態によって変動している。これにより、供給手段が供給状態となるタイミングに基づいて、供給状態となるタイミングから動作可能状態となるタイミングまでの期間が変動することとなる。よって、数値情報更新手段の更新の開始タイミングが不規則になっているため、当該タイミングを把握しづらくしている。したがって、「ぶら下げ基板」等を用いた不正行為を抑制することができる。

【0728】

また、変動手段として充放電手段を設ける構成では、制御手段へ動作電力が供給されない期間が放電期間より長い場合、充放電手段に電荷が残留していないため、遅延期間にばらつきが生じない不具合が生じる。これに対して、特徴E9によれば、遅延期間は制御手段へ動作電力が供給されない期間に依存しないため、上記不都合を回避することができる。

【0729】

特徴E10・特徴E5において、前記変動手段は、特定タイミングで特定形態となる特定信号を出力する特定信号出力手段（信号変換回路402）と、

前記供給手段が前記供給状態となっており、さらに前記特定信号出力手段から出力されている前記特定信号が前記特定形態となっていることに基づいて、前記供給経路から前記数値情報更新手段に供給される信号又は電力の状態を前記動作可能状態へ移行させる移行手段（合成回路641、Dフリップフロップ651等）と、
を備えていることを特徴とする遊技機。

【0730】

特徴E10によれば、特定タイミングで特定形態となる特定信号が特定信号出力手段によって移行手段に対して供給されている。そして、供給手段が供給状態となっており、さらに特定信号出力手段から出力されている特定信号が特定形態となっていることに基づいて、供給経路から数値情報更新手段に供給される信号又は電力の状態が動作可能状態に移行する。これにより、特定信号出力手段から出力されている特定信号が特定形態以外の形態である状態下で、供給手段が供給状態になった場合、特定信号出力手段から出力されている特定信号が特定形態になるまで動作可能状態への移行は遅延される。また、当該遅延期間は、供給手段が供給状態となるタイミングに対する特定信号の形態によって変動している。これにより、供給手段が供給状態となるタイミングに基づいて、供給状態となるタイミングから動作可能状態となるタイミングまでの期間が変動することとなる。よって、数値情報更新手段の更新の開始タイミングが不規則になっているため、当該タイミングを把握しづらくしている。したがって、「ぶら下げ基板」等を用いた不正行為を抑制することができる。

【0731】

また、変動手段として充放電手段を設ける構成では、制御手段へ動作電力が供給されない期間が放電期間より長い場合、充放電手段に電荷が残留していないため、遅延期間にばらつきが生じない不具合が生じる。これに対して、特徴E10によれば、遅延期間は制御手段へ動作電力が供給されない期間に依存しないため、上記不都合を回避することができる。

【0732】

特徴E11・特徴E10において、前記特定信号出力手段から出力される前記特定信号は、HIレベル信号とLOWレベル信号とが交互に出力される信号であり、

前記移行手段は、前記供給手段が前記供給状態であり、さらに前記HIレベル信号及び前記LOWレベル信号のうちいずれか一方の信号が前記特定信号出力手段から出力されていることに基づいて、前記動作可能状態に移行させるもの（合成回路641）であることを特徴とする遊技機。

10

20

30

40

50

【 0 7 3 3 】

特徴 E 1 1 によれば、供給手段が供給状態であり、かつ、H I レベル信号及び L O W レベル信号のうちいずれか一方の信号が特定信号出力手段から移行手段に出力されていることに基づいて、動作可能状態となる。例えば、供給手段が供給状態となっており、かつ、H I レベル信号が特定信号出力手段から出力されていることに基づいて、移行手段が動作可能状態に移行させる構成とすれば、L O W レベル信号が特定信号出力手段から出力されている状態下で供給手段が供給状態となった場合、H I レベル信号が特定信号出力手段から出力されるまで動作可能状態への移行は遅延される。当該遅延期間は供給状態となるタイミングに対する特定信号の形態によって変動する。これにより、数値情報更新手段の更新の開始タイミングが不規則になっているため、当該タイミングを把握しづらくしている。よって、「ぶら下げ基板」等を用いた不正行為を防止することができる。

10

【 0 7 3 4 】

特徴 E 1 2 . 特徴 E 1 1 において、前記特定信号出力手段は、前記 H I レベル信号の期間と前記 L O W レベル信号の期間とが相対的に異なる信号を出力するものであり、

前記移行手段は、前記供給手段が前記供給状態であり、さらに前記 H I レベル信号及び前記 L O W レベル信号のうち、相対的に短い期間の信号が前記特定信号出力手段から出力されていることに基づいて、前記動作可能状態へ移行させるものであることを特徴とする遊技機。

【 0 7 3 5 】

例えば、供給手段が供給状態であり、かつ、H I レベル信号が特定信号出力手段から出力されていることに基づいて、移行手段が動作可能状態へ移行させる構成とすれば、L O W レベル信号が特定信号出力手段から出力されている状態下で供給手段が供給状態となった場合、H I レベル信号が特定信号出力手段から出力されるまで、動作可能状態への移行は遅延される。しかし、H I レベル信号が特定信号出力手段から出力されている状態下で供給手段が供給状態になると、直ちに動作可能状態へ移行するため、遅延が発生しない不具合が生じる。つまり、供給手段が供給状態となるタイミングに対して遅延が生じない期間が存在する。これに対して、特徴 E 1 2 によれば、H I レベル信号の期間と L O W レベル信号の期間とが異なる信号が特定信号出力手段によって出力されている。そして、供給手段が供給状態となり、さらに H I レベル信号及び L O W レベル信号のうち、相対的に短い期間の信号が特定信号出力手段から出力されていることに基づいて、動作可能状態に移行する。これにより、遅延が発生しない期間が、遅延が発生する期間より短くなるため、上記不具合を抑制することができる。

20

30

【 0 7 3 6 】

特徴 E 1 3 . 特徴 E 1 0 において、前記特定信号出力手段から出力される前記特定信号は、H I レベル信号と L O W レベル信号とが交互に出力される信号であり、

前記移行手段は、前記供給手段が前記供給状態であり、さらに前記特定信号出力手段から出力されている前記特定信号の出力状態が前記 H I レベル信号と前記 L O W レベル信号との間で変化したことに基づいて、前記動作可能状態に移行させるもの (D フリップフロップ 6 5 1) であることを特徴とする遊技機。

【 0 7 3 7 】

特徴 E 1 3 によれば、供給手段が供給状態であり、さらに特定信号出力手段から出力されている特定信号の出力状態が H I レベル信号と L O W レベル信号との間で変化したことに基づいて、動作可能状態に移行する。これにより、供給手段が供給状態になってから特定信号出力手段から出力されている特定信号の出力状態が H I レベル信号と L O W レベル信号との間で変化するまで動作可能状態への移行は遅延される。当該遅延期間は、供給手段が供給状態になるタイミングに対する特定信号の形態によって変動する。これにより、数値情報更新手段の更新の開始タイミングが不規則になっているため、当該タイミングを把握しづらくしている。よって、「ぶら下げ基板」等を用いた不正行為を防止することができる。

40

【 0 7 3 8 】

50

また、特定信号の出力状態がH Iレベル信号とL O Wレベル信号との間で変化したことに基づいて動作可能状態に移行するため、供給手段が供給状態となるタイミングと、特定信号の出力状態がH Iレベル信号とL O Wレベル信号との間で変化するタイミングとが一致しない限り、遅延が発生する。つまり、遅延が発生しない期間が、H Iレベル信号及びL O Wレベル信号のうちいずれか一方の信号が特定信号出力手段から出力されていることに基づいて移行する構成と比較して短い。よって、遅延が発生しない不具合を抑制することができる。

【0739】

特徴E 14 . 特徴E 10乃至E 13のいずれか1において、前記特定信号出力手段は、予め定められた閾値電圧を基準として、外部電源から供給されている交流電圧をパルス信号に変換することにより、前記H Iレベル信号及び前記L O Wレベル信号が交互に出力される特定信号を生成するものであることを特徴とする遊技機。

10

【0740】

特徴E 14によれば、H Iレベル信号及びL O Wレベル信号が交互に出力される特定信号は外部電源から供給されている交流電圧をパルス信号に変換することによって得られている。これにより、例えば外部電源として商用電源又は遊技機の電源を用いることにより、容易に所望のパルス信号を得ることができる。よって、構成の簡素化を図ることができる。

【0741】

また、交流電圧からパルス信号への変換は、予め定めた閾値電圧を基準として行われている。これにより、閾値電圧を変更することで、所望のパルス幅のパルス信号を容易に得ることができる。よって、特徴E 12の構成を容易に実現することができる。

20

【0742】

特徴E 15 . 特徴E 10乃至E 14のいずれか1において、前記特定信号出力手段は、パルス信号を所定の周期で出力するパルス信号出力手段(信号変換回路402)を備え、前記特定信号は、前記パルス信号を用いて生成されるものであるとともに、前記パルス信号が所定形態になることに基づいて、前記特定形態になるものであり、

前記供給手段が前記供給状態となったタイミング後において、前記パルス信号出力手段から出力される前記パルス信号における最初の所定形態よりも後の所定形態に基づいて、前記特定信号が前記特定形態となる信号を生成する遅延手段(変調回路662)を備えていることを特徴とする遊技機。

30

【0743】

特徴E 15によれば、特定信号は、パルス信号出力手段から出力されるパルス信号を用いて生成されている。また、パルス信号が所定形態となることに基づいて、特定信号は特定形態になる。そして、供給手段が供給状態となったタイミング後において、パルス信号における最初の所定形態に基づいて、特定信号は特定形態とならないようになっている。これにより、供給手段が供給状態となった場合、供給手段が供給状態となるタイミング後のパルス信号における最初の所定形態に基づいた動作可能状態への移行は実行されない。よって、数値情報更新手段の更新の開始タイミングを把握しづらくしている。したがって、供給手段が供給状態となったタイミング及びパルス信号が所定形態になるタイミングを把握して、数値情報更新手段の更新の開始タイミングを把握する不正行為を防止することができる。

40

【0744】

特徴E 16 . 特徴E 13乃至E 15のいずれか1において、前記特定信号出力手段は、パルス信号を所定の周期で出力するパルス信号出力手段(信号変換回路402)と、

前記パルス信号出力手段から出力される前記パルス信号の繰り返し間隔又はパルス幅の少なくとも一方を変更することで、前記特定信号として、前記繰り返し間隔又は前記パルス幅の少なくとも一方が前記変更に応じたH Iレベル信号が出力される信号を生成する信号変更手段(変調回路662、変調回路671)と、を備え、

50

前記移行手段は、前記供給手段が前記供給状態となっており、さらに前記特定信号の出力状態が前記H Iレベル信号と前記L O Wレベル信号との間で変化したことに基づいて、前記動作可能状態へ移行させるものであることを特徴とする遊技機。

【0745】

特徴E 16によれば、パルス信号出力手段から出力されているパルス信号と、特定信号としてのH Iレベル信号が出力される信号とは、繰り返し間隔又はパルス幅の少なくとも一方が異なっている。そして、特定信号の出力状態がH Iレベル信号とL O Wレベル信号との間で変化したことに基づいて、供給経路から数値情報更新手段に対して供給される信号又は電力の状態が動作可能状態に移行する。これにより、動作可能状態となるタイミングが、パルス信号出力手段から出力されているパルス信号の出力状態の変化に基づいて移行する場合と異なっている。よって、パルス信号出力手段から出力されるパルス信号の出力状態及び供給手段が供給状態となるタイミングから、動作可能状態となるタイミングを把握する不正行為を防止することができる。

10

【0746】

特徴E 17、特徴E 16において、前記信号変更手段は、前記パルス信号出力手段から出力される前記パルス信号の繰り返し間隔又はパルス幅の少なくとも一方を変更することで、前記特定信号として、繰り返し間隔又はパルス幅の少なくとも一方が、前記パルス信号出力手段から出力される前記パルス信号よりも大きいH Iレベル信号が出力される信号を生成するもの（信号変換回路402）であることを特徴とする遊技機。

20

【0747】

特徴E 17によれば、信号変更手段によって、特定信号としてのH Iレベル信号の繰り返し間隔又はパルス幅の少なくとも一方が、パルス信号出力手段から出力されるパルス信号のそれよりも大きくなるように変更されているため、供給手段が供給状態となるタイミングと、特定信号の出力状態が変化するタイミングとのずれである遅延期間の範囲が大きくなる。これにより、遅延期間のばらつきが大きくなる。よって、数値情報更新手段の更新の開始タイミングがより不規則になるため、当該タイミングを把握しづらくしている。より好適に「ぶら下げ基板」等を用いた不正行為を防止することができる。

【0748】

特徴E 18、特徴E 16又は特徴E 17において、前記信号変更手段は、前記パルス信号出力手段から出力される前記パルス信号の繰り返し間隔又はパルス幅の少なくとも一方を変更することで、前記特定信号として、H Iレベル信号が少なくとも2種類の繰り返し間隔で出力される信号又は少なくとも2種類のパルス幅のパルス信号が出力される信号の少なくとも一方を生成するもの（変調回路671）であることを特徴とする遊技機。

30

【0749】

特徴E 18によれば、特定信号は、H Iレベル信号が少なくとも2つの繰り返し間隔で出力されている又は少なくとも2つのパルス幅のH Iレベル信号が出力されている。これにより、少なくとも2つの間隔で特定信号の出力状態が変化する。よって、特定信号の出力状態が変化するタイミングが把握されにくい。よって、動作可能状態となるタイミングを把握しづらくしている。したがって、「ぶら下げ基板」等を用いた不正行為を防止することができる。

40

【0750】

特徴E 19、特徴E 17又は特徴E 18において、前記信号変更手段は、前記制御手段への動作電力の供給が開始されたことに基づいて、待機状態から、前記パルス信号を用いて変更用信号を生成する変更用信号生成状態へ移行する変更用信号生成手段（第2Dフリップフロップ663、第3Dフリップフロップ664等）を備え、

前記信号変更手段は、前記変更用信号生成手段が前記変更用信号生成状態になった場合に、前記変更用信号を用いて繰り返し間隔又はパルス幅の少なくとも一方が変更されたH Iレベル信号を出力する信号を生成するものであり、

前記制御手段への動作電力の供給が停止されている状況において前記変更用信号生成手段に動作電力を供給する電断時電力供給手段（電断時電源部321c）を備え、

50

前記変更用信号生成手段は、前記電断時電力供給手段から動作電力が供給されている間、前記制御手段への動作電力の供給が停止された場合の前記変更用信号生成状態である停止状態を記憶しており、さらに前記制御手段への動作電力の供給が開始されたことに基づいて、前記停止状態から前記変更用信号生成状態へ移行するものであることを特徴とする遊技機。

【0751】

特徴E19によれば、変更用信号生成手段は、制御手段への動作電力の供給が開始されたことに基づいて、待機状態から変更用信号を生成する変更用信号生成状態へ移行する。変更用信号生成状態となった場合、当該変更用信号を用いて、繰り返し間隔又はパルス幅の少なくとも一方が変更されたHIレベル信号を出力する信号が信号変更手段から生成される。

10

【0752】

ここで、電断時電力供給手段から動作電力が供給されている間、制御手段への動作電力の供給が停止された場合の変更用信号生成状態である停止状態は記憶されている。そして、制御手段への動作電力の供給が開始されたことに基づいて、当該停止状態から変更用信号生成状態へ移行する。これにより、制御手段への動作電力の供給開始タイミングにおける変更用信号生成手段の待機状態が変動している。よって、動作電力の供給開始タイミングにおける待機状態が同一の状態となっている構成に比べて、特定信号の出力タイミングの変動が大きい。したがって、遅延期間のばらつきの範囲が大きくなるため、遅延期間のばらつきが大きい。よって、数値情報更新手段の更新の開始タイミングをより不規則にすることができる。

20

【0753】

特徴E20、特徴E19において、前記制御手段が制御を行う場合に用いられる情報を記憶するとともに、自身に電力が供給されている間はその情報を記憶保持する記憶手段(RAM316)を備え、

前記電断時電力供給手段は、前記制御手段への動作電力の供給が停止されている状況において、前記記憶手段に対して電力を供給するとともに、前記変更用信号生成手段に電力を供給するものであることを特徴とする遊技機。

【0754】

特徴E20によれば、電断時電力供給手段によって、記憶手段に記憶されている情報が保持されるとともに、変更用信号生成手段の停止状態が記憶されている。これにより、構成の簡素化を図ることができる。

30

【0755】

特徴E21、特徴E5乃至E20のいずれか1において、前記供給経路として、前記変動手段を経由しない第1供給経路(信号線LN3)と、前記変動手段を経由する第2供給経路(信号線LN4)と、を備えるとともに、

両供給経路から前記数値情報更新手段に供給される信号又は電力の状態がいずれも前記動作可能状態となっている場合には、前記数値情報更新手段の更新を開始させる更新開始信号を前記数値情報更新手段に出力する一方、両供給経路の少なくとも一方の信号又は電力の状態が前記動作可能状態でない場合には、前記数値情報更新手段の更新を停止させる停止信号を前記数値情報更新手段に対して出力する更新指示手段(NAND回路612)を備えていることを特徴とする遊技機。

40

【0756】

特徴E21によれば、供給手段と数値情報更新手段とは、変動手段を経由しない第1供給経路と、変動手段を経由する第2供給経路と、によって接続されている。そして、両供給経路から数値情報更新手段に供給される信号又は電力の状態がいずれも動作可能状態である場合には、数値情報更新手段の更新を開始させる更新開始信号が数値情報更新手段に対して出力される。当該信号の入力に応じて数値情報更新手段は更新を開始する。これにより、仮に第1供給経路から数値情報更新手段に供給される信号又は電力の状態が動作可能状態である場合であっても、変動手段を介する第2供給経路からの状態が動作可能状態

50

でない場合には、更新開始信号は数値情報更新手段に対して出力されない。よって、変動手段による遅延の効果は確保されている。

【0757】

一方、更新指示手段に対して両供給経路のうち少なくとも一方から供給される信号又は電力の状態が動作可能状態でない場合には、更新指示手段によって停止信号が数値情報更新手段に対して出力される。当該停止信号の入力に応じて、数値情報更新手段の更新は停止される。これにより、第2供給経路から数値情報更新手段に供給される信号又は電力の状態が動作可能状態へ移行することを待つことなく、数値情報更新手段の更新を停止させることができる。したがって、数値情報更新手段への停止信号の入力が遅延されることによって、数値情報更新手段の誤動作が発生するといった不都合を抑制することができる。

10

【0758】

特徴E22、特徴E5乃至E21のいずれか1において、前記供給手段は、前記供給状態となった場合に、動作信号（リセット信号）を出力する動作信号出力手段（リセット回路601）であり、

前記変動手段は、前記動作信号出力手段から前記動作信号が出力されていることに基づいて、当該動作信号と同一又はそれに対応した中継結果信号を、前記供給経路を通じて前記数値情報更新手段に出力するものであるとともに、前記動作信号出力手段からの前記動作信号の出力開始タイミングから前記中継結果信号の出力開始タイミングまでの期間を、前記動作信号の出力開始タイミングに応じて変動させるものであり、

前記数値情報更新手段は、前記供給経路とは異なる経路を通じて動作電力が供給されている場合であって、前記供給経路を通じて前記中継結果信号が入力されている場合に動作するものであることを特徴とする遊技機。

20

【0759】

特徴E22によれば、動作信号出力手段から動作信号が出力されていることに基づいて、動作信号と同一又はそれに対応した中継結果信号が、供給経路を通じて数値情報更新手段に対して出力されている。そして、供給経路を通じて前記中継結果信号が入力されており、さらに当該供給経路とは異なる経路を通じて動作電力が供給されている場合に、数値情報更新手段による更新が開始される。ここで、動作信号出力手段からの動作信号の出力開始タイミングから中継結果信号の出力開始タイミングまでの期間は、動作信号の出力開始タイミングに応じて変動している。これにより、数値情報更新手段による更新の開始タイミングが不規則になっているため、数値情報更新手段の更新の開始タイミングが把握されにくい。よって、「ぶら下げ基板」等を用いた不正行為を防止することができる。

30

【0760】

特徴E23、特徴E10乃至E22において、前記数値情報更新手段を収容する基板ボックス（基板ボックス163）と、

前記基板ボックスを開放不可又は開放困難な状態で固定する固定手段（封印部164）と、

を備え、

少なくとも前記移行手段は、前記基板ボックスに収容されていることを特徴とする遊技機。

40

【0761】

特徴E23によれば、少なくとも移行手段及び数値情報更新手段は基板ボックス内に収容されている。当該基板ボックスは、固定手段によって開放不可又は開放困難な状態で固定されている。これにより、数値情報更新手段に対する不正行為を防止するとともに、移行手段に対する不正行為を防止することができる。よって、構成の簡素化を図りつつ、移行手段に対する不正行為を好適に抑制することができる。

【0762】

特徴E24、特徴E1乃至E23のいずれか1において、前記数値情報更新手段を収容する基板ボックス（基板ボックス163）と、

50

前記基板ボックスを開放不可又は開放困難な状態で固定する固定手段（封印部 1 6 4）と、
を備え、

前記変動手段は、前記基板ボックスに收容されていることを特徴とする遊技機。

【0763】

特徴 E 2 4 によれば、変動手段及び数値情報更新手段は基板ボックス内に收容されている。当該基板ボックスは、固定手段によって開放不可又は開放困難な状態で固定されている。これにより、数値情報更新手段に対する不正行為を防止するとともに、変動手段に対する不正行為を防止することができる。よって、構成の簡素化を図りつつ、変動手段に対する不正行為を好適に抑制することができる。

10

【0764】

特徴 E 2 5 . 更新タイミングとなる度に予め定められた数値範囲において数値情報を順次更新する数値情報更新手段（MPU 3 1 1 におけるステップ S 7 0 3 の大当たり乱数カウンタ C 1 の更新処理を実行する機能）と、

予め定められた取得条件が成立したことに基づいて、前記数値情報更新手段により更新されている数値情報を取得する取得手段（MPU 3 1 1 におけるステップ S 8 0 4 の大当たり乱数カウンタ C 1 を格納する処理を実行する機能）と、

所定の動作条件が成立した場合に、起動信号（RAM 消去信号）を出力する起動信号出力手段（RAM 消去信号出力回路 8 0 2 ）と、
を備え、

20

前記取得手段によって取得された数値情報が予め定められた当選情報に対応していることに基づいて、遊技者に特典が付与されるとともに、

前記起動信号出力手段から前記起動信号が出力されたことに基づいて、前記数値情報更新手段は所定の初期値から前記数値情報の更新を開始する遊技機において、

前記所定の動作条件の成立タイミングから、前記数値情報更新手段において前記所定の初期値から数値情報の更新を開始する更新開始タイミングまでの期間を、前記所定の動作条件の成立タイミングに応じて変動させる変動手段（不規則遅延回路 6 0 2 又は非定期化用回路）を備えていることを特徴とする遊技機。

【0765】

特徴 E 2 5 によれば、所定の動作条件が成立する（例えば遊技機に設けられたスイッチが操作される）ことによって、起動信号出力手段から起動信号が出力され、当該信号の出力に応じて、所定の初期値から数値情報の更新が行われる。ここで、所定の動作条件の成立タイミングから数値情報の更新が所定の初期値から開始される更新開始タイミングまでの期間は成立タイミングに応じて変動するため、成立タイミングから更新開始タイミングまでの期間にばらつきが生じる。これにより、成立タイミングから更新開始タイミングまでの期間が不規則になる。よって、仮に数値情報更新手段が所定の初期値から更新が開始される場合であっても、所定の動作条件の成立タイミングから、数値情報が当選情報と一致するまでの期間が不規則になるため、当該期間が把握されにくい。したがって、「ぶら下げ基板」等により、数値情報が当選情報と一致するタイミングに合わせて信号を出力して不正に特典を得る不正行為を抑制することができる。

30

40

【0766】

また、本特徴に特徴 E 5 乃至 E 1 8、特徴 E 2 1 乃至 E 2 4 に示した技術的思想を適用することも可能である。この場合、「前記制御手段への動作電力の供給が開始されたことに基づいて、」を「前記所定の動作条件が成立したことに基づいて、」と置き換える。

【0767】

なお、「所定の初期値」とは、予め定められた初期値だけでなく、所定の初期値情報を生成する手段から取得された初期値も含まれる。

【0768】

特徴 E 2 6 . 更新タイミングとなる度に予め定められた数値範囲において数値情報を順次更新する数値情報更新手段（MPU 3 1 1 におけるステップ S 7 0 3 の大当たり乱数カ

50

ウインタC1の更新処理を実行する機能)と、

予め定められた取得条件が成立したことに基づいて、前記数値情報更新手段により更新されている数値情報を取得する取得手段(MPU311におけるステップS804の大当たり乱数カウンタC1を格納する処理を実行する機能)と、

予め定められた初期値設定操作を受け付ける受付手段(電入中RAM消去スイッチ801)と、
を備え、

前記取得手段によって取得された数値情報が予め定められた当選情報に対応していることに基づいて、遊技者に特典が付与されるとともに、

前記受付手段にて前記初期値設定操作を受け付けられたことに基づいて、前記数値情報更新手段は所定の初期値から前記数値情報の更新を開始する遊技機において、

前記受付手段が前記初期値設定操作を受け付けてから、前記所定の初期値からの更新開始タイミングまでの期間を、前記初期値設定操作の受付タイミングに応じて変動させる変動手段(不規則遅延回路602又は非定期化用回路)を備えていることを特徴とする遊技機。

10

【0769】

特徴E26によれば、受付手段によって初期値設定操作を受け付けられたことに基づいて、所定の初期値から数値情報の更新が開始される。ここで、初期値設定操作の受付タイミングから、数値情報の更新が開始される更新開始タイミングまでの期間は受付タイミングに応じて変動するため、受付タイミングから更新開始タイミングまでの期間にばらつきが生じる。これにより、受付タイミングから更新開始タイミングまでの期間が不規則になる。よって、仮に数値情報更新手段が所定の初期値から更新が開始される場合であっても、初期値設定操作の受付タイミングから数値情報が当選情報と一致するまでの期間が不規則になるため、当該期間が把握されにくい。したがって、「ぶら下げ基板」等により、数値情報が当選情報と一致するタイミングに合わせて信号を出力して不正に特典を得る不正行為を抑制することができる。

20

【0770】

また、本特徴に特徴E5乃至E18、特徴E21乃至E24に示した技術的思想を適用することも可能である。この場合、「前記制御手段への動作電力の供給が開始されたことに基づいて」を「前記初期値設定操作を受け付けたことに基づいて」と、置き換える。

30

【0771】

なお、「所定の初期値」とは、予め定められた初期値だけでなく、所定の初期値情報を生成する手段から取得された初期値も含まれる。

【0772】

上記特徴E群の各発明は、以下の課題に対して効果的である。

【0773】

遊技機の種類としてパチンコ機がある。パチンコ機においては、例えば遊技領域に発射された遊技球が作動口に入球することに基づき、大当たり抽選が行われる。当該抽選において大当たり状態の発生に当選すると、例えば所定の表示装置において変動表示される図柄が予め定められた特定の組み合わせで停止表示された後、遊技領域に設けられた可変入球装置の開閉が実行される。そして、可変入球装置への入球数に応じた遊技球が払い出されるといった特典が遊技者に付与される。

40

【0774】

大当たり状態の発生の有無は、遊技球が作動口へ入球するタイミングで決定される。例えば、定期的に一定の範囲で更新される(例えば2ms毎に0~300の範囲で1カウントずつ更新される)カウンタを備え、遊技球が作動口へ入球した時点のカウンタの値を取得して、当該カウンタの値が例えば「7」などの所定の値と一致する場合には、遊技状態が大当たり状態に移行する特典が遊技者に付与される。

【0775】

ここで、「ぶら下げ基板」と呼ばれる不正な基板を使用した不正行為が行われることが

50

ある。当該不正行為は、正規の制御基板に対し不正な基板をぶら下げて、不正に大当たり状態を発生させるというものである。具体的には、大当たり抽選で用いられるカウンタと同期するカウンタを「ぶら下げ基板」に設け、そのカウンタの値をパチンコ機の電源投入等に合わせて「0」にリセットすることにより、「ぶら下げ基板」内で大当たり状態の発生タイミングを把握する。そして、この大当たり状態の発生タイミングに合わせて、「ぶら下げ基板」から正規の制御基板に対し不正な入球検知信号を出力して、不正に大当たり状態を発生させるというものである。

【0776】

これに対し、大当たり抽選で用いられるカウンター回りの更新毎に、そのカウンタの更新の初期値を変更する遊技機が考えられる。当該遊技機によれば、カウンタの更新の初期値がカウンター回り毎に変更されるため、「ぶら下げ基板」によって大当たりの発生タイミングを把握することが困難となる。さらに、定期的な更新処理とは別に、遊技制御を行う所定のループ処理の残余時間などにおいて初期値乱数カウンタの更新処理を行うことによって、変更される初期値を把握できないようにしている。

10

【0777】

しかし、このような構成であっても、停電からの復旧時やRAMクリア時などに制御基板の初期化が行われると、RAM等の記憶手段に記憶された各種カウンタの値等の情報がクリアされるため、初期化直後においては、大当たり抽選で用いられる乱数カウンタや、その乱数カウンタの初期値を決定する際に用いる初期値乱数カウンタの値が例えば「0」など予め定められた値に設定される。その結果、制御基板の初期化直後においては容易に「ぶら下げ基板」によって大当たりの発生タイミングが把握されてしまうおそれがある。よって、初期化処理を行い、大当たりを発生させる不正行為が考えられる。

20

【0778】

なお、遊技機においては各種の不正行為が想定され、上記のように制御主体における所定の処理タイミングなどを把握し、その把握結果に基づいて不正を行う行為は、上記のような「ぶら下げ基板」による行為以外にも考えられる。また、かかる不正行為は、パチンコ機に限らず、スロットマシンにおいても同様である。

【0779】

特徴F1．更新タイミングとなる度に予め定められた数値範囲において数値情報を順次更新する数値情報更新手段（カウンタ更新回路701の大当たり乱数カウンタC1の更新機能）と、

30

予め定められた取得条件が成立したことに基づいて、前記数値情報更新手段により更新されている数値情報を取得する数値情報取得手段（MPU311におけるステップS804の大当たり乱数カウンタC1を格納する処理を実行する機能）と、
を備え、

前記数値情報取得手段によって取得された数値情報が予め定められた当選情報に対応していることに基づいて、遊技者に特典が付与される遊技機において、

遊技に関する制御を行う制御手段に動作電力が供給されている状況において、更新タイミングとなる度に前記数値範囲において初期値情報を順次更新するとともに、前記制御手段に動作電力が供給されていない状況において前記初期値情報の初期化が行われないうように構成されている初期値情報更新手段（カウンタ更新回路701の初期値用乱数カウンタCFの更新機能）と、

40

前記制御手段に動作電力が供給されたことに基づいて、前記初期値情報更新手段から前記初期値情報を取得する初期値情報取得手段（MPU311における初期値設定処理を実行する機能）と、
を備え、

前記数値情報更新手段は、前記初期値情報が取得された場合には、その取得された初期値情報から数値情報の更新を行うものであることを特徴とする遊技機。

【0780】

特徴F1によれば、制御手段に動作電力が供給されたことに基づいて、初期値情報取得

50

手段によって初期値情報が取得され、当該初期値情報から数値情報が更新される。当該初期値情報は、制御手段に動作電力が供給されている状況下では順次更新されているため、制御手段に動作電力が供給されなくなったタイミングに応じて初期値情報は変動する。そして、当該初期値情報は、制御手段に動作電力が供給されていない状況下であっても初期化されることがない。これにより、初期値情報取得手段によって取得される初期値情報は変動することとなる。よって、初期値情報の把握が困難になっているため、数値情報が当選情報となるタイミングを把握しにくくすることができる。よって、「ぶら下げ基板」等による不正行為を抑制することができる。

【0781】

特徴F2．更新タイミングとなる度に予め定められた数値範囲において数値情報を順次更新する数値情報更新手段（カウンタ更新回路701の大当たり乱数カウンタC1の更新機能）と、

予め定められた取得条件が成立したことに基づいて、前記数値情報更新手段により更新されている数値情報を取得する数値情報取得手段（MPU311におけるステップS804の大当たり乱数カウンタC1を格納する処理を実行する機能）と、
を備え、

前記数値情報取得手段によって取得された数値情報が予め定められた当選情報に対応していることに基づいて、遊技者に特典が付与される遊技機において、

遊技に関する制御を行う制御手段に動作電力が供給されている状況において、更新タイミングとなる度に前記数値範囲において初期値情報を順次更新するとともに、前記制御手段に動作電力が供給されていない状況においても前記初期値情報を順次更新する初期値情報更新手段（カウンタ更新回路701の初期値用乱数カウンタCFの更新機能）と、

前記制御手段に動作電力が供給されたことに基づいて、前記初期値情報更新手段から前記初期値情報を取得する初期値情報取得手段（MPU311における初期値設定処理を実行する機能）と、
を備え、

前記数値情報更新手段は、前記初期値情報が取得された場合には、その取得された初期値情報から数値情報の更新を行うものであることを特徴とする遊技機。

【0782】

特徴F2によれば、制御手段に動作電力が供給されたことに基づいて、初期値情報取得手段によって初期値情報が取得され、当該初期値情報から数値情報が更新される。当該初期値情報は、制御手段に対して動作電力が供給されていない状況下であっても、更新されているため、初期値情報取得手段によって取得される初期値情報は、制御手段に動作電力が供給されるタイミングに応じて変動する。これにより、初期値情報の把握が困難になっているため、数値情報が当選情報となるタイミングを把握しにくくすることができる。よって、「ぶら下げ基板」等による不正行為を抑制することができる。

【0783】

特に、制御手段に動作電力が供給されていない状況において初期値情報を保持する構成とした場合、記憶されている初期値情報が「ぶら下げ基板」等によって把握される可能性がある。これに対して、本特徴によれば、初期値情報は常に更新されているため、初期値情報の把握が、初期値情報を保持する構成に比べて、困難になっている。これにより、より好適に「ぶら下げ基板」等による不正行為を抑制することができる。

【0784】

特徴F3．前記制御手段が遊技に関する制御を行う場合に用いられる情報を記憶する記憶手段（RAM316）と、

所定の初期化動作を受け付けた場合に、前記記憶手段に記憶されている情報を初期化する初期化実行手段（MPU311のメイン処理におけるステップS408、ステップS409の処理を実行する機能）と、
を備え、

前記初期化実行手段は、前記初期値情報を初期化の対象から除外するように構成されて

いる特徴とする特徴 F 1 又は特徴 F 2 に記載の遊技機。

【 0 7 8 5 】

特徴 F 3 によれば、初期値情報が初期化の対象から除外されている。仮に、初期値情報が初期化の対象となっている場合、初期化が行われることによって初期値情報が予め定められた数値となる。すると、初期値情報取得手段によって、その数値が取得されるため、初期化が行われた場合における数値情報更新手段の初期値情報は変動しない。これに対して、本特徴では、初期値情報が初期化の対象から除外されているため、初期値情報は初期化による影響を受けない。これにより、初期化が行われた場合における初期値情報は変動しているため、初期化が行われた場合における数値情報更新手段の初期値情報の変動が確保されている。よって、意図的に初期化を実行することによって初期値情報を把握する不正行為を抑制することができる。

10

【 0 7 8 6 】

特徴 F 4 . 特徴 F 1 乃至 F 3 のいずれか 1 において、前記初期値情報取得手段は、前記制御手段に対して動作電力が供給されている状況において、前記数値情報更新手段の数値情報の更新が 1 周した場合に、前記初期値情報を取得するものであることを特徴とする遊技機。

【 0 7 8 7 】

特徴 F 4 によれば、制御手段に動作電力が供給されている状況においては、数値情報更新手段の数値情報が 1 周する度に初期値情報更新手段の初期値情報が取得され、当該取得された初期値情報から数値情報の更新が行われる。これにより、初期値情報更新手段及び初期値情報取得手段が、数値情報更新手段の数値情報が 1 周する度の数値情報の初期値を決定する初期値決定手段として兼用されている。よって、数値情報が当選情報となるタイミングの把握を困難にしつつ、処理負荷の軽減及び構成の簡素化を図ることができる。

20

【 0 7 8 8 】

特徴 F 5 . 特徴 F 1 乃至 F 4 のいずれか 1 において、前記制御手段への動作電力が供給される供給開始タイミングから前記初期値情報を取得する取得タイミングまでの期間を、前記供給開始タイミングに応じて変動させる変動手段（不規則遅延回路 6 0 2 又は非定期化用回路）を備えていることを特徴とする遊技機。

【 0 7 8 9 】

特徴 F 5 によれば、供給開始タイミングから初期値情報の取得タイミングまでの期間が変動手段によって変動している。これにより、取得される初期値情報が変動するため、数値情報更新手段の更新が開始される際の初期値情報が変動することとなる。よって、数値情報更新手段が更新を開始する際の初期値情報が把握されにくい。したがって、仮に供給開始タイミング及び初期値情報更新手段の初期値情報が「ぶら下げ基板」等により把握された場合であっても、数値情報が当選情報となるタイミングは把握されにくい。よって、「ぶら下げ基板」等を用いた不正行為を抑制することができる。

30

【 0 7 9 0 】

なお、本特徴に特徴 E 5 乃至 E 2 0、特徴 E 2 2 乃至 E 2 4 に示した技術的思想を適用することも可能である。この場合、「数値情報更新手段」を「初期値情報取得手段」と、「更新を開始する」を「初期値情報を取得する」と、「更新開始タイミング」を「初期値取得タイミング」と、置き換えるものとする。

40

【 0 7 9 1 】

また、特徴 F 3 を備えた構成においては、「前記制御手段が制御を行う場合に用いられる情報を記憶するとともに、自身に電力が供給されている間はその情報を記憶保持する記憶手段」を「前記記憶手段は、自身に電力が供給されている間は遊技に関する制御を行う場合に用いられる情報を記憶保持するものであり、」と、置き換える。

【 0 7 9 2 】

特徴 F 6 . 更新タイミングとなる度に予め定められた数値範囲において数値情報を順次更新する数値情報更新手段（カウンタ更新回路 7 0 1 の大当たり乱数カウンタ C 1 の更新機能）と、

50

予め定められた取得条件が成立したことに基づいて、前記数値情報更新手段により更新されている数値情報を取得する数値情報取得手段（MPU311におけるステップS804の大当たり乱数カウンタC1を格納する処理を実行する機能）と、

所定の動作条件が成立した場合に、所定の起動信号（RAM消去信号）を出力する起動信号出力手段（RAM消去信号出力回路802）と、
を備え、

前記数値情報取得手段によって取得された数値情報が予め定められた当選情報に対応していることに基づいて、遊技者に特典が付与されるとともに、

前記起動信号出力手段から前記起動信号が出力されたことに基づいて、前記数値情報更新手段は所定の初期値から前記数値情報の更新を開始する遊技機において、

更新タイミングとなる度に前記数値範囲において初期値情報を順次更新する初期値情報更新手段（カウンタ更新回路701の初期値用乱数カウンタCFの更新機能）と、

前記起動信号が入力されたことに基づいて、前記初期値情報更新手段から前記初期値情報を取得する初期値情報取得手段（MPU311における初期値設定処理を実行する機能）と、

を備え、

前記数値情報更新手段は、前記初期値情報取得手段により前記初期値情報が取得された場合には、その取得された初期値情報から前記数値情報の更新を行うものであることを特徴とする遊技機。

【0793】

特徴F6によれば、初期値情報取得手段に起動信号が入力されたことに基づいて、初期値情報が取得され、当該初期値情報から数値情報が更新される。当該初期値情報は更新タイミングとなる度に順次更新されているため、所定の動作条件の成立タイミングに応じて取得される初期値情報は変動する。これにより、初期値情報の把握が困難になっているため、数値情報が当選情報となるタイミングを把握しにくくすることができる。よって、「ぶら下げ基板」等による不正行為を抑制することができる。

【0794】

特徴F7、特徴F6において、前記所定の動作条件の成立タイミングから前記初期値情報を取得する取得タイミングまでの期間を、前記成立タイミングに応じて変動させる変動手段（不規則遅延回路602又は非定期化用回路）を備えていることを特徴とする遊技機。

【0795】

特徴F7によれば、所定の動作条件の成立タイミングから初期値情報取得タイミングまでの期間が変動手段によって変動している。これにより、取得される初期値情報が変動するため、数値情報更新手段の更新が開始される際の初期値情報が変動することとなる。よって、数値情報更新手段が更新を開始する際の初期値情報が把握されにくい。したがって、仮に所定の動作条件の成立タイミング及び初期値情報更新手段の初期値情報が「ぶら下げ基板」等により把握された場合であっても、数値情報が当選情報となるタイミングは把握されにくい。よって、「ぶら下げ基板」等を用いた不正行為を抑制することができる。

【0796】

なお、本特徴に特徴E5乃至E18、特徴E22乃至E24に示した技術的思想を適用することも可能である。この場合、「前記制御手段への動作電力の供給が開始されたことに基づいて」を「前記所定の動作条件が成立したことに基づいて」と、「数値情報更新手段」を「初期値情報取得手段」と、「更新を開始する」を「初期値情報を取得する」と、「更新開始タイミング」を「初期値取得タイミング」と、置き換えるものとする。

【0797】

特徴F8、更新タイミングとなる度に予め定められた数値範囲において数値情報を順次更新する数値情報更新手段（MPU311におけるステップS703の大当たり乱数カウンタC1の更新処理を実行する機能）と、

予め定められた取得条件が成立したことに基づいて、前記数値情報更新手段により更新

10

20

30

40

50

されている数値情報を取得する数値情報取得手段（MPU311におけるステップS804の大当たり乱数カウンタC1を格納する処理を実行する機能）と、

予め定められた初期値設定操作を受け付ける受付手段（電入中RAM消去スイッチ801）と、
を備え、

前記数値情報取得手段によって取得された数値情報が予め定められた当選情報に対応していることに基づいて、遊技者に特典が付与されるとともに、

前記受付手段にて前記初期値設定操作を受け付けられたことに基づいて、前記数値情報更新手段は所定の初期値から前記数値情報の更新を開始する遊技機において、

更新タイミングとなる度に前記数値範囲において初期値情報を順次更新する初期値情報更新手段（カウンタ更新回路701の初期値用乱数カウンタCFの更新機能）と、

前記受付手段が前記初期値設定操作を受け付けた場合に、前記初期値情報を取得する初期値情報取得手段（MPU311における初期値設定処理を実行する機能）と、
を備え、

前記数値情報更新手段は、前記初期値情報取得手段により前記初期値情報が取得された場合には、その取得された初期値情報から前記数値情報の更新を行うものであることを特徴とする遊技機。

【0798】

特徴F8によれば、受付手段によって初期値設定操作を受け付けられた場合に、初期値情報が取得され、数値情報は当該取得された初期値情報から順次更新される。初期値情報は更新されているため、初期値設定操作毎に取得される初期値情報は変動する。これにより、初期値設定操作に基づいて、数値情報が当選情報となるタイミングは把握されにくい。よって、「ぶら下げ基板」等の不正行為を抑制することができる。

【0799】

特徴F9・特徴F8において、前記受付手段が前記初期値設定操作を受け付けてから、前記初期値情報を取得するまでの期間を、前記初期値設定操作の受付タイミングに応じて変動させる変動手段（不規則遅延回路602又は非定期化用回路）を備えていることを特徴とする遊技機。

【0800】

特徴F9によれば、初期値設定操作の受付タイミングから初期値情報を取得する取得タイミングまでの期間は受付タイミングに応じて変動するため、初期値設定操作を受け付けてから初期値情報を取得するまでの期間にばらつきが生じる。これにより、初期値設定操作受付タイミングから初期値情報取得タイミングまでの期間が不規則になる。よって、仮に「ぶら下げ基板」等により初期値情報更新手段の初期値情報が把握されている場合であっても、初期値設定操作受付タイミングから数値情報が当選情報と一致するまでの期間が把握されにくい。したがって、「ぶら下げ基板」等により、数値情報が当選情報と一致するタイミングに合わせて信号を出力して不正に特典を得る不正行為を抑制することができる。

【0801】

また、本特徴に特徴E5乃至E18、特徴E22乃至E24に示した技術的思想を適用することも可能である。この場合、「前記制御手段への動作電力の供給が開始されたことに基づいて、」を「前記初期値設定操作を受け付けたことに基づいて、」と、「数値情報更新手段」を「初期値情報取得手段」と、「更新を開始する」を「初期値情報を取得する」と、「更新開始タイミング」を「初期値取得タイミング」と、置き換える。

【0802】

上記特徴F群の各発明は、以下の課題に対して効果的である。

【0803】

遊技機的一种としてパチンコ機がある。パチンコ機においては、例えば遊技領域に発射された遊技球が作動口に入球することに基づき、大当たり抽選が行われる。当該抽選において大当たり状態の発生に当選すると、例えば所定の表示装置において変動表示される図

10

20

30

40

50

柄が予め定められた特定の組み合わせで停止表示された後、遊技領域に設けられた可変入球装置の開閉が実行される。そして、可変入球装置への入球数に応じた遊技球が払い出されるといった特典が遊技者に付与される。

【0804】

大当たり状態の発生の有無は、遊技球が作動口へ入球するタイミングで決定される。例えば、定期的に一定の範囲で更新される（例えば2ms毎に0～300の範囲で1カウントずつ更新される）カウンタを備え、遊技球が作動口へ入球した時点のカウンタの値を取得して、当該カウンタの値が例えば「7」などの所定の値と一致する場合には、遊技状態が大当たり状態に移行する特典が遊技者に付与される。

【0805】

ここで、「ぶら下げ基板」と呼ばれる不正な基板を使用した不正行為が行われることがある。当該不正行為は、正規の制御基板に対し不正な基板をぶら下げて、不正に大当たり状態を発生させるというものである。具体的には、大当たり抽選で用いられるカウンタと同期するカウンタを「ぶら下げ基板」に設け、そのカウンタの値をパチンコ機の電源投入等に合わせて「0」にリセットすることにより、「ぶら下げ基板」内で大当たり状態の発生タイミングを把握する。そして、この大当たり状態の発生タイミングに合わせて、「ぶら下げ基板」から正規の制御基板に対し不正な入球検知信号を出力して、不正に大当たり状態を発生させるというものである。

【0806】

これに対し、大当たり抽選で用いられるカウンタ一回りの更新毎に、そのカウンタの更新の初期値を変更する遊技機が考えられる。当該遊技機によれば、カウンタの更新の初期値がカウンタ一回り毎に変更されるため、「ぶら下げ基板」によって大当たりの発生タイミングを把握することが困難となる。さらに、定期的な更新処理とは別に、遊技制御を行う所定のループ処理の残余時間などにおいて初期値乱数カウンタの更新処理を行うことによって、変更される初期値を把握できないようにしている。

【0807】

しかし、このような構成であっても、停電からの復旧時やRAMクリア時などに制御基板の初期化が行われると、RAM等の記憶手段に記憶された各種カウンタの値等の情報がクリアされるため、初期化直後においては、大当たり抽選で用いられる乱数カウンタや、その乱数カウンタの初期値を決定する際に用いる初期値乱数カウンタの値が例えば「0」など予め定められた値に設定される。その結果、制御基板の初期化直後においては容易に「ぶら下げ基板」によって大当たりの発生タイミングが把握されてしまうおそれがある。よって、初期化処理を行い、大当たりを発生させる不正行為が考えられる。

【0808】

なお、遊技機においては各種の不正行為が想定され、上記のように制御主体における所定の処理タイミングなどを把握し、その把握結果に基づいて不正を行う行為は、上記のような「ぶら下げ基板」による行為以外にも考えられる。また、かかる不正行為は、パチンコ機に限らず、スロットマシンにおいても同様である。

【0809】

特徴G1. 予め定められた所定条件が成立している場合には、所定の周期で更新用クロック信号を出力する一方、前記所定条件が成立していない状況においては、当該更新用クロック信号の出力を停止する更新用信号出力手段（ハード乱数用クロック回路313）と

、
前記更新用信号出力手段から前記更新用クロック信号が入力されたことに基づいて予め定められた数値範囲において数値情報を順次更新する数値情報更新手段（大当たり乱数カウンタC1の更新機能）と、

予め定められた取得条件が成立したことに基づいて、前記数値情報更新手段により更新されている数値情報を取得する取得手段（MPU311におけるステップS804の大当たり乱数カウンタC1を格納する処理を実行する機能）と、
を備え、

10

20

30

40

50

前記取得手段によって取得された数値情報が予め定められた当選情報に対応していることに基づいて、遊技者に特典が付与される遊技機であって、

前記所定条件の成立タイミングから、前記数値情報更新手段に対して前記更新用クロック信号が入力される入力タイミングまでの期間を、前記所定条件の成立タイミングに応じて変動させる変動手段（不規則遅延回路602又は非定期化用回路）を備えていることを特徴とする遊技機。

【0810】

特徴G1によれば、所定条件が成立することによって、更新用信号出力手段から更新用クロック信号が出力される。そして、当該更新用クロック信号が数値情報更新手段に入力されることによって、数値情報の更新が行われる。

10

【0811】

ここで、所定条件の成立タイミングから数値情報更新手段に対して更新用クロック信号が入力される入力タイミングまでの期間が、所定条件の成立タイミングに応じて変動している。これにより、所定条件の成立タイミングから入力タイミングまでの期間にばらつきが生じるため、当該期間が不規則になる。よって、所定条件の成立タイミングから数値情報が当選情報となるタイミングまでの期間が把握されにくいいため、仮に所定条件の成立タイミングを把握されたとしても数値情報が当選情報となるタイミングは把握されにくい。よって、「ぶら下げ基板」等の不正行為を抑制することができる。

【0812】

特徴G2. 外部電源に接続され、電力供給を行う電力手段（電源及び発射制御基板321）と、

20

前記電力手段に対して電力が供給されたことに基づいて、所定の周期で更新用クロック信号を出力する一方、前記電力手段に対する電力の供給が停止されている状況においては、前記更新用クロック信号の出力を停止する更新用信号出力手段（ハード乱数用クロック回路313）と、

前記更新用信号出力手段から前記更新用クロック信号が入力されたことに基づいて、予め定められた数値範囲において数値情報を順次更新する数値情報更新手段（大当たり乱数カウンタC1の更新機能）と、

予め定められた取得条件が成立したことに基づいて、前記数値情報更新手段により更新されている数値情報を取得する取得手段（MPU311におけるステップS804の大当たり乱数カウンタC1を格納する処理を実行する機能）と、

30

を備え、
前記取得手段によって取得された数値情報が予め定められた当選情報に対応していることに基づいて、遊技者に特典が付与される遊技機であって、

前記電力手段に対して動作電力が供給される供給開始タイミングから、前記数値情報更新手段に対して前記更新用クロック信号が入力される入力タイミングまでの期間を、前記供給開始タイミングに応じて変動させる変動手段（不規則遅延回路602又は非定期化用回路）を備えていることを特徴とする遊技機。

【0813】

特徴G2によれば、電力手段に対して電力が供給されたことに基づいて、更新用信号出力手段から更新用クロック信号が出力され、当該更新用クロック信号の入力に基づいて数値情報の更新が行われる。

40

【0814】

ここで、電力手段に対する電力の供給開始タイミングから、数値情報更新手段に対して更新用クロック信号が入力される入力タイミングまでの期間が、供給開始タイミングに応じて変動している。これにより、当該期間にばらつきが生じるため、当該期間が不規則なものになる。よって、仮に数値情報更新手段が所定の初期値から更新が開始される場合であっても、供給開始タイミングから数値情報が当選情報となるまでの期間が把握されにくい。したがって、「ぶら下げ基板」等による不正行為を抑制することができる。

【0815】

50

特徴 G 3 . 前記電力手段への電力供給が開始されたことに基づいて、信号又は電力を供給する供給状態となる供給手段（電源及び発射制御基板 3 2 1 の主制御基板 3 0 1 への動作電力を供給する機能）と、

前記供給手段と前記更新用信号出力手段とを接続する供給経路と、
を備え、

前記更新用信号出力手段は、前記供給手段が前記供給状態となり前記供給経路から供給される信号又は電力の状態が予め定められた動作可能状態となった場合に前記更新用クロック信号を出力するものであり、

前記変動手段は、前記供給経路の途中位置に設けられ、前記供給状態となるタイミングから前記動作可能状態となるタイミングまでの期間を、前記供給状態となるタイミングに応じて変動させるものであることを特徴とする特徴 G 2 に記載の遊技機。

10

【0816】

特徴 G 3 によれば、更新用信号出力手段と供給手段とは供給経路を介して接続されている。供給手段は、電力手段に対する電力供給が開始されたことに基づいて、信号又は電力を供給する供給状態となる。また、供給手段が供給状態となり供給経路から供給される信号又は電力の状態が予め定められた動作可能状態となった場合に、更新用クロック信号が出力される。ここで、供給経路の途中位置には変動手段が設けられており、供給状態となるタイミングから動作可能状態となるタイミングまでの期間が供給状態となるタイミングに応じて変動している。これにより、供給状態となるタイミングから動作可能状態となるまでの期間が不規則になるため、電力手段に対して電力が供給される供給開始タイミングから、数値情報の更新が開始される更新開始タイミングまでの期間が不規則になる。よって、供給開始タイミングから数値情報が当選情報となるまでの期間が不規則になるため、当該期間が把握されにくい。したがって、「ぶら下げ基板」等を用いた不正行為を防止することができる。

20

【0817】

また、本特徴に特徴 E 6 乃至 E 2 0、特徴 E 2 3 乃至 E 2 4 に示した技術的思想を適用することも可能である。この場合、「制御手段」を「電力手段」に置き換える。

【0818】

特徴 G 4 . 前記電力手段と前記更新用信号出力手段とを接続する電力供給経路を備え、
前記電力手段は、前記外部電源から電力の供給が開始されたことに基づいて、前記更新用信号出力手段に対して動作電力を供給する供給状態となるものであり、

30

前記更新用信号出力手段は、前記電力手段が前記供給状態となり前記電力供給経路から動作電力が供給されたことに基づいて、前記更新用クロック信号を出力するものであり、

前記変動手段は、前記電力供給経路の途中位置に設けられ、前記供給状態となるタイミングから前記更新用信号出力手段に動作電力が供給されるまでの期間を、前記供給状態となるタイミングに応じて変動させるものであることを特徴とする特徴 G 2 に記載の遊技機。

【0819】

特徴 G 4 によれば、電力手段が供給状態となるタイミングから、更新用信号出力手段に動作電力が供給されるまでの期間が上記供給状態となるタイミングに応じて変動している。これにより、電力手段に対して電力が供給される供給開始タイミングから数値情報更新手段による数値情報の更新開始タイミングまでの期間が変動するため、上記更新開始タイミングの特定が困難になっている。よって、数値情報が当選情報となるタイミングの特定が困難になっているため、「ぶら下げ基板」等を用いた不正行為を抑制することができる。

40

【0820】

また、本特徴に特徴 E 6 乃至 E 2 0、特徴 E 2 3 乃至 E 2 4 に示した技術的思想を適用することも可能である。この場合、「制御手段」を「電力手段」に置き換える。

【0821】

特徴 G 5 . 前記変動手段は、前記電力手段から動作電力が供給されている状況であって

50

、さらに予め定められた指示信号が入力された場合に、前記電力手段からの動作電力を前記更新用信号出力手段に対して伝達する電力伝達手段（増幅回路 9 1 2）と、

前記電力手段が前記供給状態となったことに基づいて、前記電力伝達手段に対して前記指示信号を出力するとともに、前記電力手段が前記供給状態となったタイミングから前記指示信号が出力されるまでの期間を前記供給状態となったタイミングに応じて変動させる指示信号出力手段（不規則遅延回路 6 0 2）と、
を備えていることを特徴とする特徴 G 4 に記載の遊技機。

【0822】

特徴 G 5 によれば、指示信号の入力によって動作電力が更新用信号出力手段に供給されるようになっており、当該指示信号の出力タイミングは、電力手段が供給状態となったタイミングに対して変動している。すなわち、供給状態となったタイミングに対して更新用信号出力手段に動作電力が供給されるタイミングを変動させる制御は、信号制御によって実現されている。これにより、電力制御と比較して、変動させる制御を容易に行うことができるとともに、当該制御に伴う消費電力の損失を抑制することができる。

10

【0823】

特徴 G 6 . 前記更新用信号出力手段と前記数値情報更新手段とを接続する信号経路を備え、

前記変動手段は、前記信号経路の途中位置に設けられ、前記更新用信号出力手段が前記更新用クロック信号を出力する出力タイミングから、前記数値情報更新手段に前記更新用クロック信号が入力される入力タイミングまでの期間を、前記出力タイミングに応じて変動させるものであることを特徴とする特徴 G 2 に記載の遊技機。

20

【0824】

特徴 G 6 によれば、更新用信号出力手段から更新用クロック信号が出力される出力タイミングに対して、数値情報更新手段に更新用クロック信号が入力される入力タイミングが変動しているため、数値情報の更新開始タイミングが変動している。これにより、数値情報の更新開始タイミングが把握されにくいため、「ぶら下げ基板」等を用いた不正行為を抑制することができる。

【0825】

特徴 G 7 . 前記更新用信号出力手段及び遊技に関する制御を行う制御手段を接続する信号経路を更に備え、

30

前記制御手段は、前記更新用クロック信号が前記信号経路を介して入力されたことに基づいて、遊技に関する制御を行うものであり、

前記更新用信号出力手段は、前記電力手段に対して電力が供給されたことに基づいて、前記制御手段に対して前記更新用クロック信号を出力するとともに、前記数値情報更新手段に対して前記更新用クロック信号を出力するものであることを特徴とする特徴 G 6 に記載の遊技機。

【0826】

特徴 G 7 によれば、更新用信号出力手段と数値情報更新手段とを接続する信号経路（以下、第 1 信号経路と称する）とは別に、更新用信号出力手段と制御手段とを接続する信号経路（以下、第 2 信号経路と称する）が設けられており、更新用クロック信号が第 2 信号経路を介して制御手段に対して入力されることに基づいて、遊技に関する制御が行われる。これにより、数値情報の更新及び遊技に関する制御が、更新用クロック信号によって行われる。

40

【0827】

ここで、第 1 信号経路上にのみ変動手段が設けられており、第 2 信号経路上には変動手段が設けられていないため、制御手段への更新用クロック信号の入力タイミングは変動しない。これにより、数値情報更新手段に対する更新用クロック信号の入力タイミングが変動する場合であっても、遊技に関する制御は一定のタイミングで行われる。よって、遊技に関する制御に対して影響を与えることなく、「ぶら下げ基板」等を用いた不正行為を抑制することができる。

50

【 0 8 2 8 】

特徴 G 8 . 前記変動手段は、前記更新用信号出力手段から更新用クロック信号が入力されることに基づいて、当該更新用クロック信号と同一又はそれに対応した中継結果信号を、前記信号経路を通じて前記数値情報更新手段に出力するものであるとともに、前記更新用クロック信号の出力タイミングから前記中継結果信号の出力タイミングまでの期間を、前記更新用クロック信号の出力タイミングに応じて変動させるものであり、

前記数値情報更新手段は、前記中継結果信号が入力されたことに基づいて、前記数値情報を更新するものであることを特徴とする特徴 G 6 に記載の遊技機。

【 0 8 2 9 】

特徴 G 8 によれば、更新用クロック信号が変動手段に対して入力された場合、更新用クロック信号と同一又はそれに対応した中継結果信号が数値情報更新手段に対して出力される。数値情報更新手段に対して中継結果信号が入力されることによって、数値情報が更新される。ここで、更新用クロック信号の出力タイミングから中継結果信号の出力タイミングまでの期間が、更新用クロック信号の出力タイミングに応じて変動している。これにより、数値情報更新手段による更新の開始タイミングが把握されにくい。よって、「ぶら下げ基板」等を用いた不正行為を防止することができる。

【 0 8 3 0 】

特に、中継結果信号の周期が更新用クロック信号の周期と異なるように設定されているとよい。この場合、中継結果信号に基づく数値情報の更新タイミングと、更新用クロック信号に基づく更新タイミングと、が異なることとなる。これにより、仮に更新用クロック信号の周期が把握された場合であっても、数値情報の更新タイミングは把握されにくい。よって、更新用クロック信号の周期を特定することによって、数値情報の更新タイミングを特定する不正行為を抑制することができる。

【 0 8 3 1 】

特徴 G 9 . 前記電力手段に対して電力が供給されたことに基づいて、所定の周期で遊技用クロック信号を出力する遊技用信号出力手段（システム用クロック回路 3 1 2 ）と、

前記遊技用信号出力手段から遊技用クロック信号が入力されたことに基づいて、遊技に関する制御を行う制御手段（ M P U 3 1 1 における遊技の進行に関する処理を実行する機能）と、

を更に備えていることを特徴とする特徴 G 2 乃至特徴 G 8 のいずれか 1 に記載の遊技機。

【 0 8 3 2 】

特徴 G 9 によれば、遊技に関する制御は、更新用クロック信号とは別の遊技用クロック信号に基づいて行われるため、電力手段に対して動作電力が供給される供給開始タイミングに対して更新用クロック信号の出力タイミングが変動する場合であっても、遊技に関する制御は一定のタイミングで行われる。これにより、遊技に関する制御に対して影響を与えることなく、「ぶら下げ基板」等を用いた不正行為を抑制することができる。

【 0 8 3 3 】

特徴 G 1 0 . 所定の周期で更新用クロック信号を出力する更新用信号出力手段（ハード乱数用クロック回路 3 1 3 ）と、

前記更新用信号出力手段から前記更新用クロック信号が入力されたことに基づいて、予め定められた数値範囲において数値情報を順次更新する数値情報更新手段（大当たり乱数カウンタ C 1 の更新機能）と、

予め定められた取得条件が成立したことに基づいて、前記数値情報更新手段により更新されている数値情報を取得する取得手段（ M P U 3 1 1 におけるステップ S 8 0 4 の大当たり乱数カウンタ C 1 を格納する処理を実行する機能）と、

動作条件が成立した場合に、起動信号（データ消去信号）を出力する起動信号出力手段（データ消去信号出力回路 1 0 0 2 ）と、

を備え、

前記取得手段によって取得された数値情報が予め定められた当選情報に対応していることに基づいて、遊技者に特典が付与されるとともに、

10

20

30

40

50

前記起動信号出力手段から前記起動信号が出力されたことに基づいて、前記数値情報更新手段は所定の初期値から前記数値情報の更新を開始する遊技機において、

前記起動信号出力手段から前記起動信号が出力されたことに基づいて、前記数値情報更新手段への前記更新用クロック信号の入力を一旦停止させるとともに、その後入力を再開させる起動信号対応手段（データ消去信号出力回路1002及びリセット用トランジスタ1003）と、

前記動作条件の成立タイミングから、前記数値情報更新手段に対して前記更新用クロック信号が入力される入力タイミングまでの期間を、前記動作条件の成立タイミングに応じて変動させる変動手段（不規則遅延回路602又は非定期化用回路）と、
を備えていることを特徴とする遊技機。

10

【0834】

特徴G10によれば、動作条件が成立する（例えば遊技機に設けられたスイッチが操作される）ことによって、起動信号出力手段から起動信号が出力される。当該起動信号の出力に応じて、一旦数値情報更新手段への更新用クロック信号の入力が停止する。これにより、数値情報の更新が一旦停止する。その後、更新用クロック信号の入力が再開され、数値情報の更新が所定の初期値から行われる。

【0835】

ここで、動作条件の成立タイミングから、数値情報更新手段に対して更新用クロック信号が入力される入力タイミングまでの期間が、動作条件の成立タイミングに応じて変動している。これにより、動作条件の成立タイミングから数値情報の更新開始タイミングまでの期間が変動することとなる。よって、数値情報の更新開始タイミングの特定が困難になっているため、「ぶら下げ基板」等の不正行為を抑制することができる。

20

【0836】

また、本特徴に特徴E6乃至E18、特徴E23乃至E24に示した技術的思想を適用することも可能である。この場合、「前記制御手段への動作電力の供給が開始されたことに基づいて」を「前記動作条件が成立したことに基づいて」と、置き換える。

【0837】

なお、「所定の初期値」とは、予め定められた初期値だけでなく、所定の初期値情報を生成する手段から取得された初期値も含まれる。

【0838】

特徴G11．外部電源に接続され、外部電源から電力の供給が開始されたことに基づいて、前記更新用信号出力手段に対して電力供給を行う供給状態となる電力手段（電源及び発射制御基板321）と、

30

前記電力手段と前記更新用信号出力手段とを接続する電力供給経路と、
を備え、

前記更新用信号出力手段は、前記電力手段が前記供給状態となり前記電力供給経路から動作電力が供給されたことに基づいて、前記更新用クロック信号を出力するものであり、

前記変動手段は、前記電力供給経路の途中位置に設けられ、前記電力手段から動作電力が供給されたことに基づいて、前記電力供給経路を通じて前記更新用信号出力手段に対して動作電力が供給されるようにするとともに、前記電力手段から動作電力が供給されたタイミングから前記更新用信号出力手段に対して動作電力が供給されるタイミングまでの期間を、前記動作電力が供給されたタイミングに応じて変動させるものであり、

40

前記起動信号対応手段は、前記起動信号出力手段から前記起動信号が出力されたことに基づいて、前記電力手段から前記変動手段への動作電力の供給を一旦停止させるとともに、その後再開させるものであることを特徴とする特徴G10に記載の遊技機。

【0839】

特徴G11によれば、電力手段から変動手段に対して動作電力が供給されることによって、変動手段から更新用信号出力手段に対して動作電力が供給される。ここで、変動手段に動作電力が供給されたタイミングに対して、更新用信号出力手段に動作電力が供給されるタイミングが変動しているため、電力手段が供給状態となったタイミングから、更新用

50

クロック信号が出力されるタイミングまでの期間が変動することとなる。これにより、電力手段が電力供給を開始することに同期して、数値情報の更新開始タイミングを特定する不正行為を抑制することができる。

【0840】

さらに、起動信号が出力された場合には、電力手段から変動手段に対する電力供給が一時的に停止される。そして、その後電力供給が再開された場合、変動手段を介して更新用信号出力手段に対して動作電力が供給される。この場合、電力供給が再開されたタイミングに対して、更新用信号出力手段に動作電力が供給されるタイミングが変動する。これにより、動作条件が成立したことに同期して、数値情報の更新の開始タイミングを把握することが困難になっている。

10

【0841】

以上のことから、1の変動手段によって、電力手段が供給状態となることに同期して数値情報の更新開始タイミングを特定する不正行為、及び所定条件が成立したことに同期して数値情報の更新開始タイミングを特定する不正行為双方を抑制することができる。

【0842】

また、本特徴に特徴G6に示した技術的特徴を適用することも可能である。

【0843】

特徴G12．所定の周期で遊技用クロック信号を出力する遊技用信号出力手段（システム用クロック回路312）と、

前記遊技用信号出力手段から遊技用クロック信号が入力されたことに基づいて、遊技に関する制御を行う制御手段（MPU311における各種処理を実行する機能）と、
を更に備えていることを特徴とする特徴G10又は特徴G11に記載の遊技機。

20

【0844】

特徴G12によれば、遊技に関する制御は、更新用クロック信号とは別の遊技用クロック信号に基づいて行われるため、動作条件の成立タイミングに対して更新用クロック信号の出力タイミングが変動した場合であっても、遊技に関する制御は一定のタイミングで行われる。これにより、遊技に関する制御に対して影響を与えることなく、「ぶら下げ基板」等を用いた不正行為を抑制することができる。

【0845】

特徴G13．所定の周期で遊技用クロック信号を出力する遊技用信号出力手段（システム用クロック回路312）と、

前記遊技用信号出力手段から前記遊技用クロック信号が入力されることに基づいて、遊技に関する制御を行う制御手段（MPU311における各種処理を実行する機能）と、

特定の周期で更新用クロック信号を出力する更新用信号出力手段（ハード乱数用クロック回路313）と、

前記更新用信号出力手段から前記更新用クロック信号が入力されたことに基づいて、予め定められた数値範囲において数値情報を順次更新する数値情報更新手段（大当たり乱数カウンタC1の更新機能）と、

予め定められた取得条件が成立したことに基づいて、前記数値情報更新手段により更新されている数値情報を取得する取得手段（MPU311におけるステップS307の大当たり乱数カウンタC1を格納する処理を実行する機能）と、

40

前記取得手段によって取得された数値情報が予め定められた当選情報に対応していることに基づいて、遊技者に特典を付与する特典付与手段（MPU311におけるステップS503の処理を実行する機能）と、
を備え、

前記遊技用クロック信号と前記更新用クロック信号とは、互いに周期が異なるものであることを特徴とする遊技機。

【0846】

特徴G13によれば、遊技用クロック信号と更新用クロック信号とは、互いに周期が異なっているため、遊技用クロック信号の周期が把握された場合であっても、更新用クロッ

50

ク信号の出力タイミングは把握されにくい。これにより、遊技用クロック信号の周期から数値情報の更新タイミングを特定し、数値情報が当選情報となるタイミングを特定する不正行為を抑制することができる。

【0847】

なお、更新用信号出力手段と遊技用信号出力手段とは、それぞれ独自にクロック信号を出力する構成としてもよいし、一方から出力されるクロック信号を変換することによって自身のクロック信号を出力する構成であってもよい。

【0848】

特徴G14．前記遊技用クロック信号及び前記更新用クロック信号は、一方の周期に対して他方の周期が同期しないように設定されていることを特徴とする特徴G13に記載の遊技機。

10

【0849】

特徴G14によれば、遊技用クロック信号の周期と更新用クロック信号の周期とが互いに同期しないようになってきているため、遊技用クロック信号に同期することによって更新用クロック信号の同期タイミングを把握することは困難になっている。これにより、遊技用クロック信号に同期することによって、更新用クロック信号の同期タイミングを把握し、数値情報更新手段による数値情報の更新タイミングを把握する不正行為を抑制することができる。

【0850】

上記特徴G群の各発明は、以下の課題に対して効果的である。

20

【0851】

遊技機の一つとしてパチンコ機がある。パチンコ機においては、例えば遊技領域に発射された遊技球が作動口に入球することに基づき、大当たり抽選が行われる。当該抽選において大当たり状態の発生に当選すると、例えば所定の表示装置において変動表示される図柄が予め定められた特定の組み合わせで停止表示された後、遊技領域に設けられた可変入球装置の開閉が実行される。そして、可変入球装置への入球数に応じた遊技球が払い出されるといった特典が遊技者に付与される。

【0852】

大当たり状態の発生の有無は、遊技球が作動口へ入球するタイミングで決定される。例えば、定期的に一定の範囲で更新される（例えば2ms毎に0～300の範囲で1カウントずつ更新される）カウンタを備え、遊技球が作動口へ入球した時点のカウンタの値を取得して、当該カウンタの値が例えば「7」などの所定の値と一致する場合には、遊技状態が大当たり状態に移行する特典が遊技者に付与される。

30

【0853】

ここで、「ぶら下げ基板」と呼ばれる不正な基板を使用した不正行為が行われることがある。当該不正行為は、正規の制御基板に対し不正な基板をぶら下げて、不正に大当たり状態を発生させるというものである。具体的には、大当たり抽選で用いられるカウンタと同期するカウンタを「ぶら下げ基板」に設け、そのカウンタの値をパチンコ機の電源投入等に合わせて「0」にリセットすることにより、「ぶら下げ基板」内で大当たり状態の発生タイミングを把握する。そして、この大当たり状態の発生タイミングに合わせて、「ぶら下げ基板」から正規の制御基板に対し不正な入球検知信号を出力して、不正に大当たり状態を発生させるというものである。

40

【0854】

これに対し、大当たり抽選で用いられるカウンタ一回りの更新毎に、そのカウンタの更新の初期値を変更する遊技機が考えられる。当該遊技機によれば、カウンタの更新の初期値がカウンタ一回り毎に変更されるため、「ぶら下げ基板」によって大当たりの発生タイミングを把握することが困難となる。さらに、定期的な更新処理とは別に、遊技制御を行う所定のループ処理の残余時間などにおいて初期値乱数カウンタの更新処理を行うことによって、変更される初期値を把握できないようにしている。

【0855】

50

しかし、このような構成であっても、停電からの復旧時やRAMクリア時などに制御基板の初期化が行われると、RAM等の記憶手段に記憶された各種カウンタの値等の情報がクリアされるため、初期化直後においては、大当たり抽選で用いられる乱数カウンタや、その乱数カウンタの初期値を決定する際に用いる初期値乱数カウンタの値が例えば「0」など予め定められた値に設定される。その結果、制御基板の初期化直後においては容易に「ぶら下げ基板」によって大当たりの発生タイミングが把握されてしまうおそれがある。よって、初期化処理を行い、大当たりを発生させる不正行為が考えられる。

【0856】

なお、遊技機においては各種の不正行為が想定され、上記のように制御主体における所定の処理タイミングなどを把握し、その把握結果に基づいて不正を行う行為は、上記のような「ぶら下げ基板」による行為以外にも考えられる。また、かかる不正行為は、パチンコ機に限らず、スロットマシンにおいても同様である。

10

【0857】

以下に、以上の各特徴を適用し得る各種遊技機の基本構成を示す。

【0858】

パチンコ遊技機：遊技者が操作する操作手段と、その操作手段の操作に基づいて遊技球を発射する遊技球発射手段と、その発射された遊技球を所定の遊技領域に導く球通路と、遊技領域内に配置された各遊技部品とを備え、それら各遊技部品のうち所定の通過部を遊技球が通過した場合に遊技者に特典を付与する遊技機。

【0859】

20

スロットマシン等の回胴式遊技機：複数の絵柄を可変表示させる絵柄表示装置を備え、始動操作手段の操作に起因して前記複数の絵柄の可変表示が開始され、停止操作手段の操作に起因して前記複数の絵柄の可変表示が停止され、その停止後の絵柄に応じて遊技者に特典を付与する遊技機。

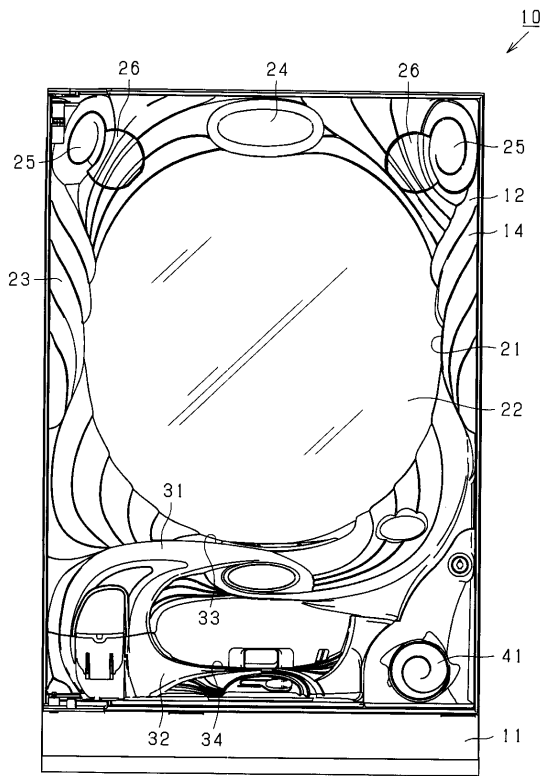
【符号の説明】

【0860】

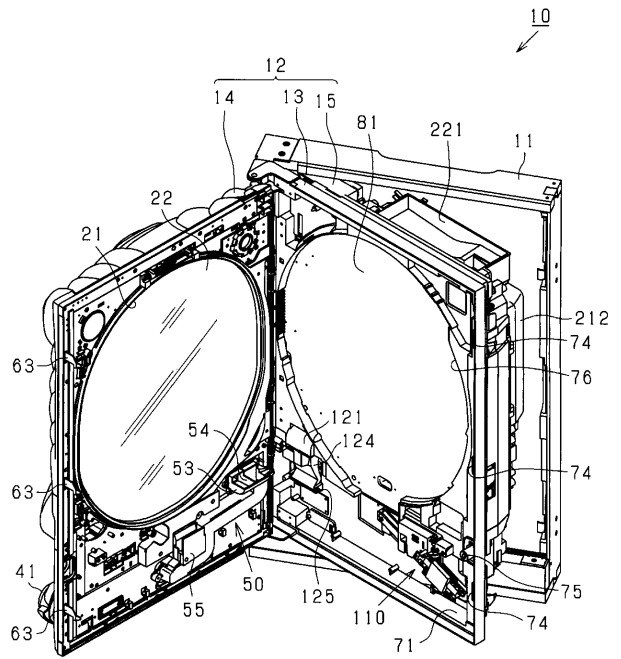
10 ... 遊技機としてのパチンコ機、162 ... 主制御装置、243 ... 電源及び発射制御装置、301 ... 主制御基板、302 ... 電断監視基板、311 ... MPU、312 ... システム用クロック回路、313 ... ハード乱数用クロック回路、314 ... 変調回路、401 ... 周波数変換回路、402 ... 信号変換回路、501 ... クロック変換回路、601 ... リセット回路、602 ... 不規則遅延回路、701 ... カウンタ更新回路、802 ... RAM消去信号出力回路、900 ... ハード乱数用クロック回路、901 ... 電力伝達回路、1002 ... データ消去信号出力回路、1101 ... クロック信号伝達回路。

30

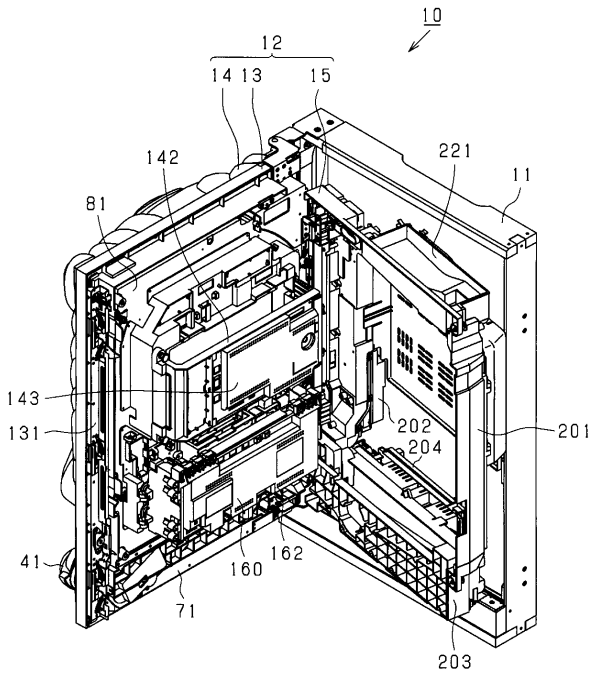
【 図 1 】



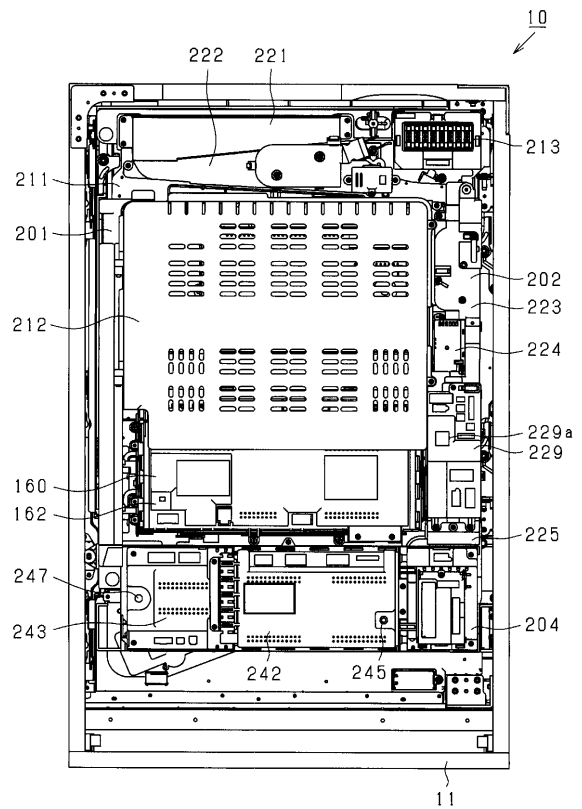
【 図 2 】



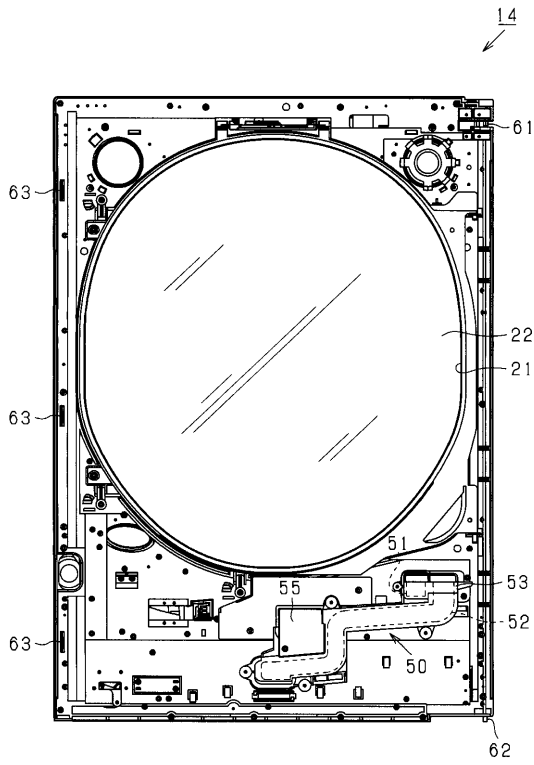
【 図 3 】



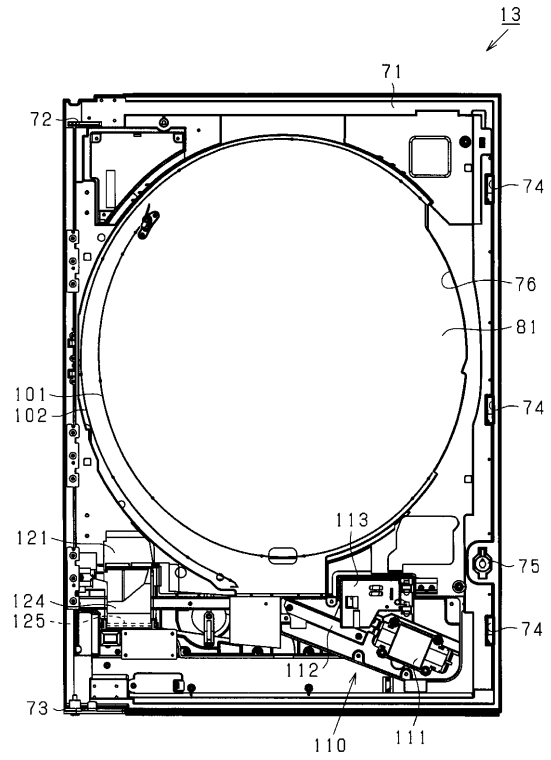
【 図 4 】



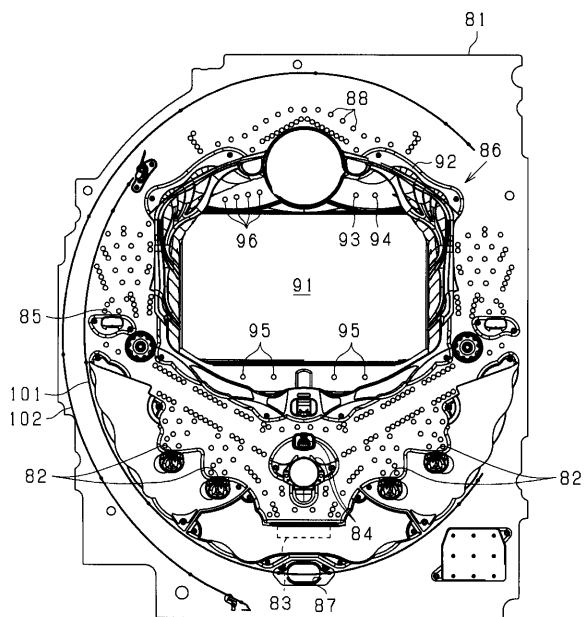
【図5】



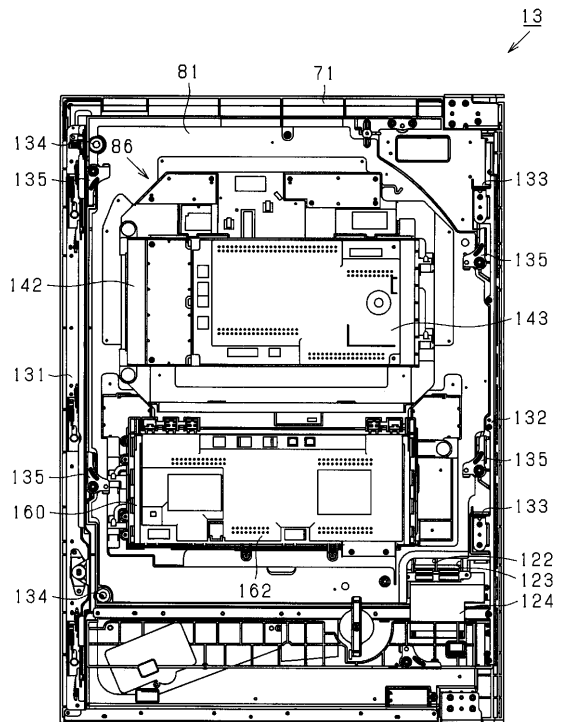
【図6】



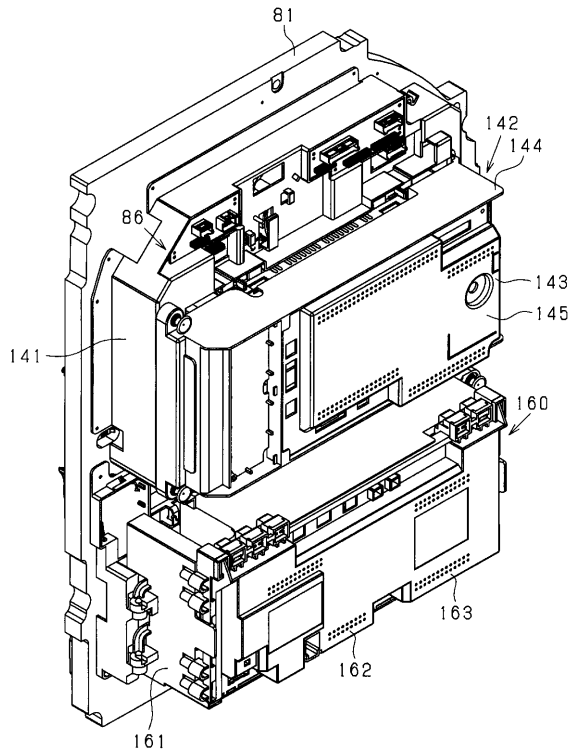
【図7】



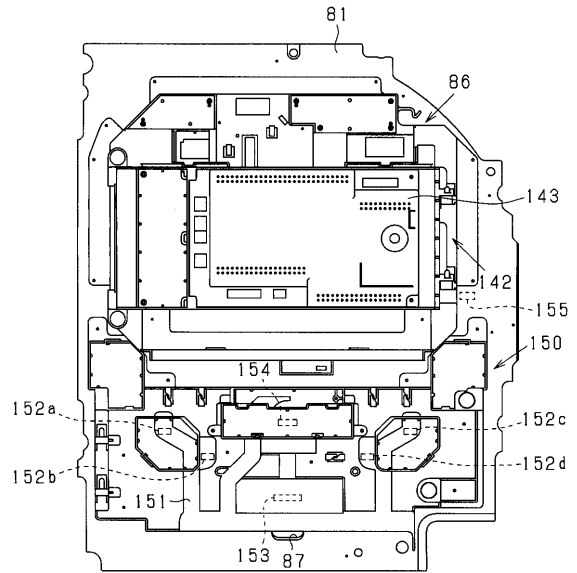
【図8】



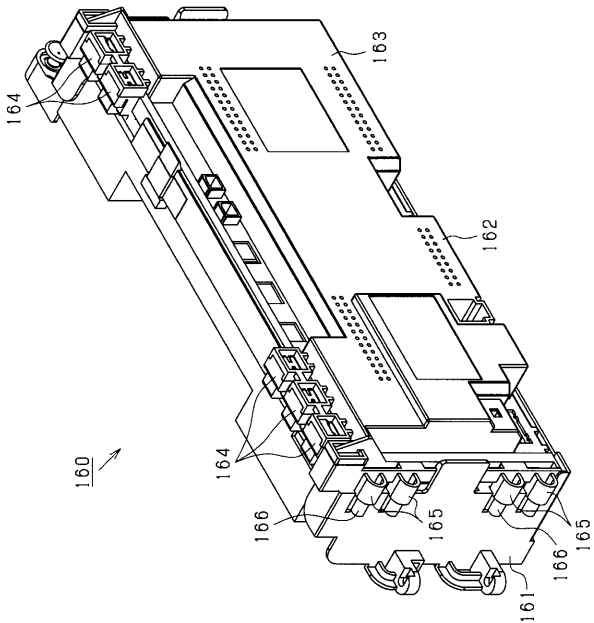
【図 9】



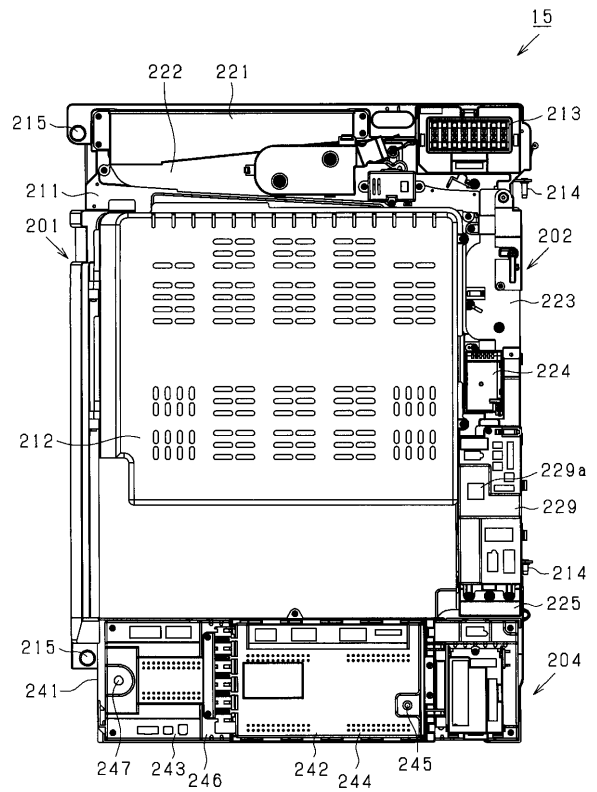
【図 10】



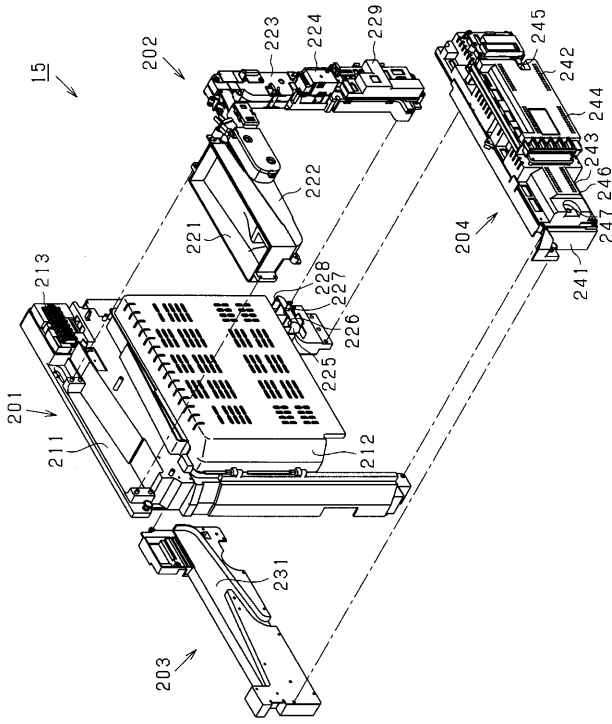
【図 11】



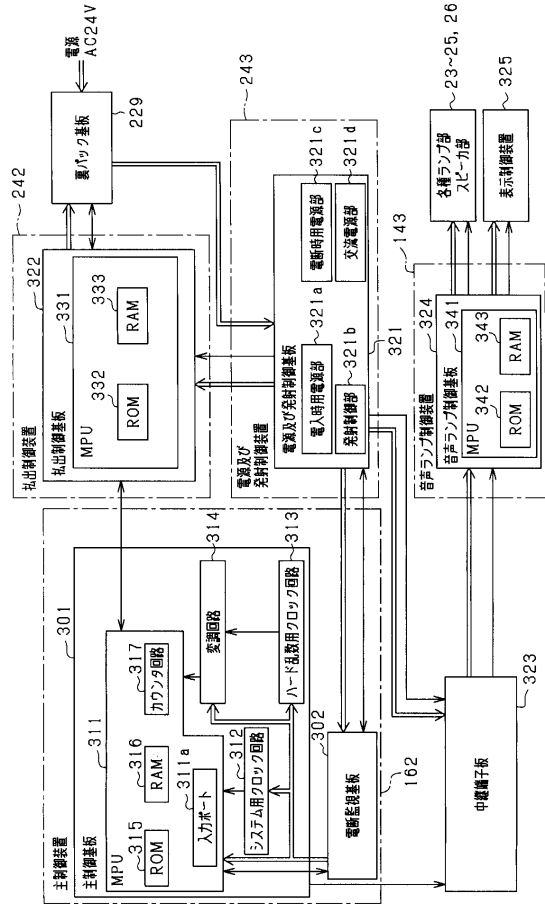
【図 12】



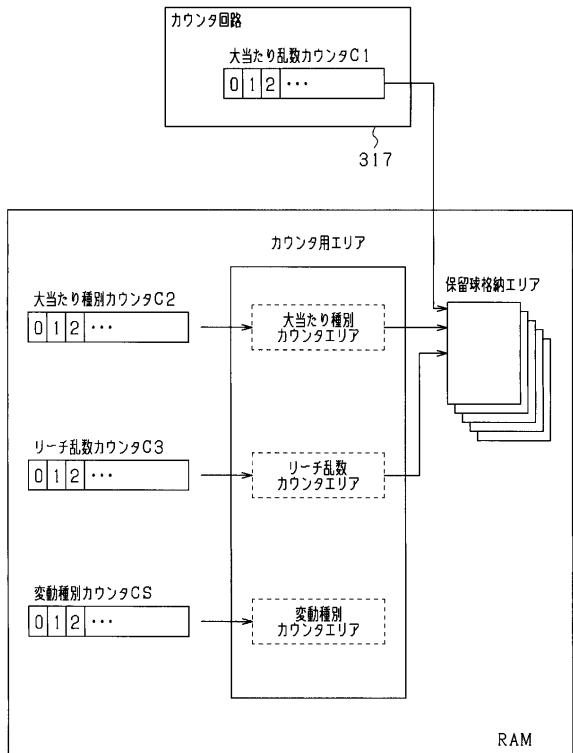
【図 13】



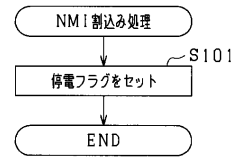
【図 14】



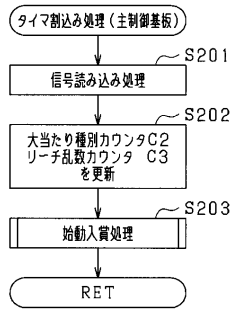
【図 15】



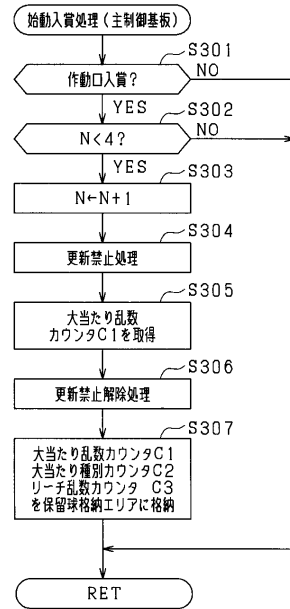
【図 16】



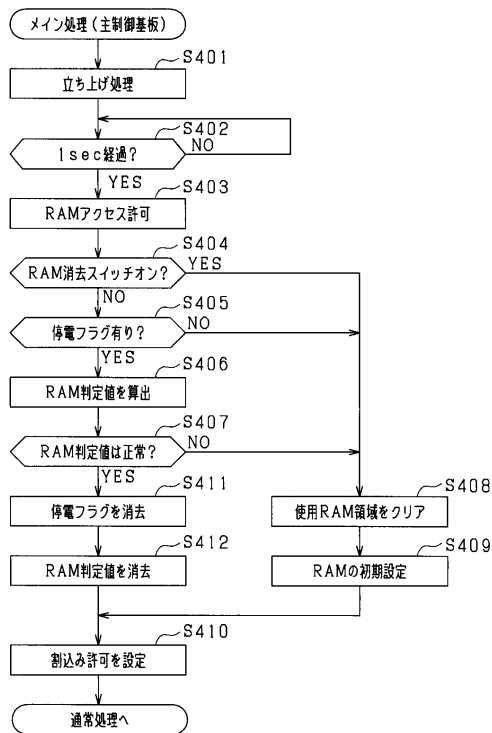
【 図 1 7 】



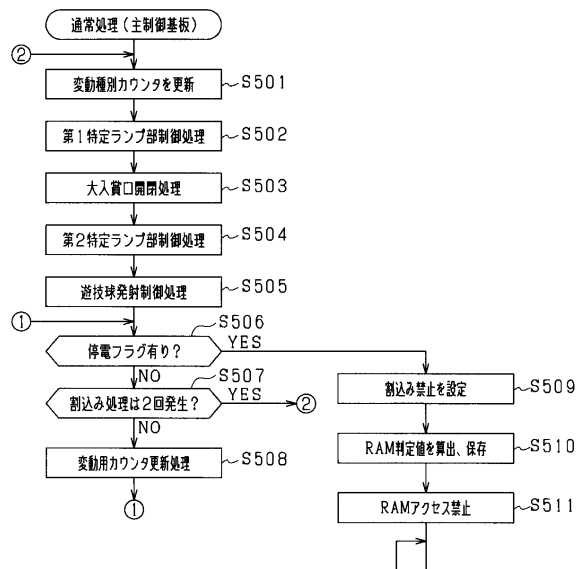
【 図 1 8 】



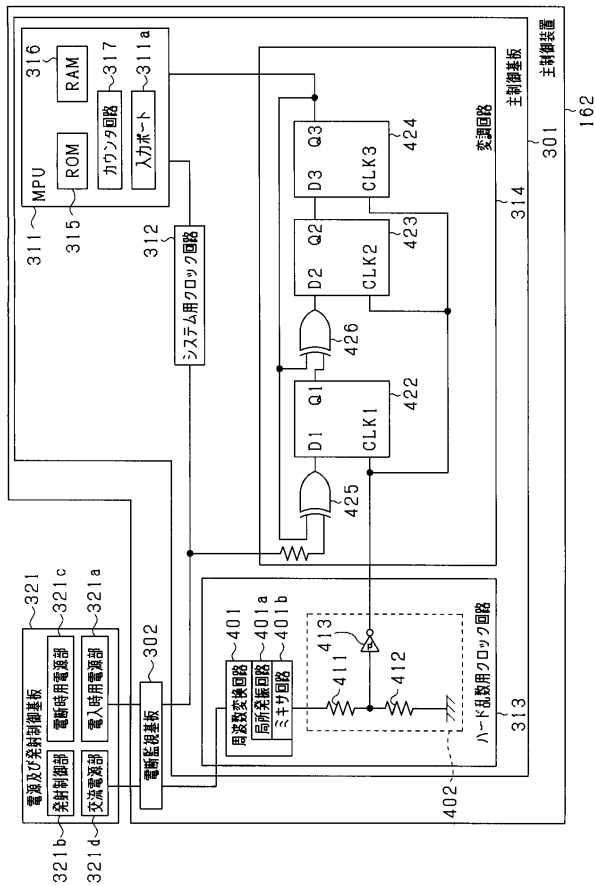
【 図 1 9 】



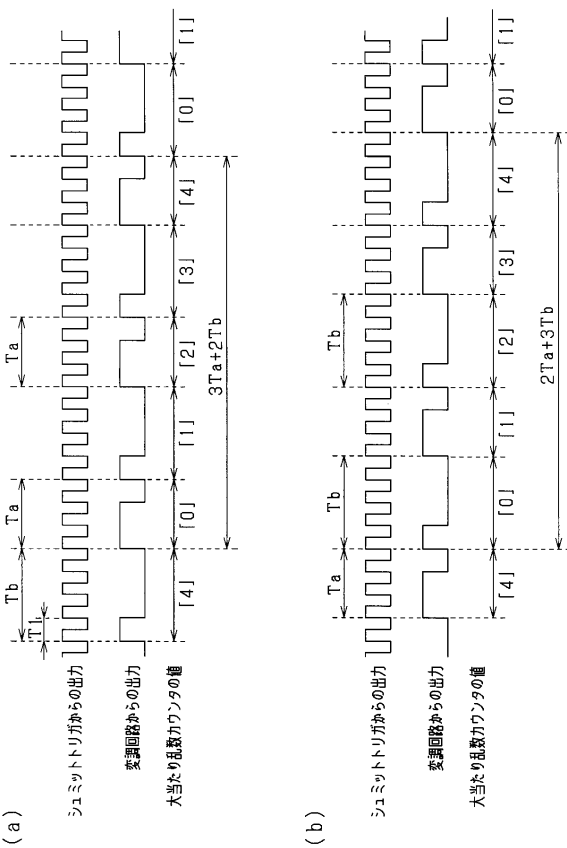
【 図 2 0 】



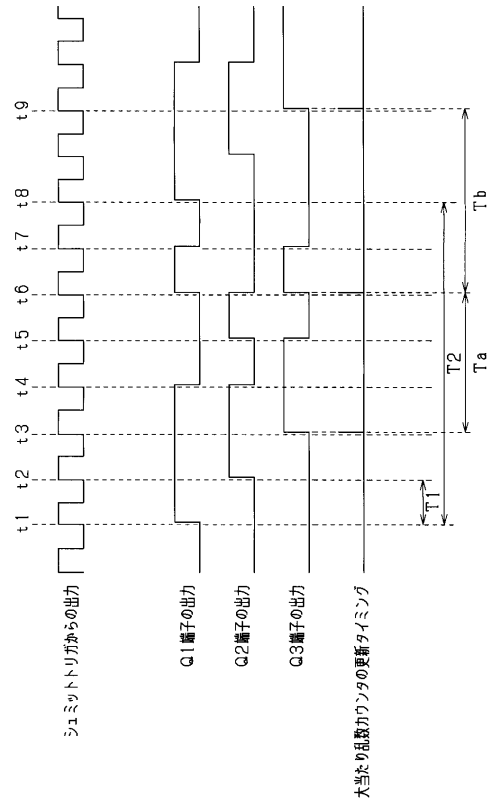
【 図 2 1 】



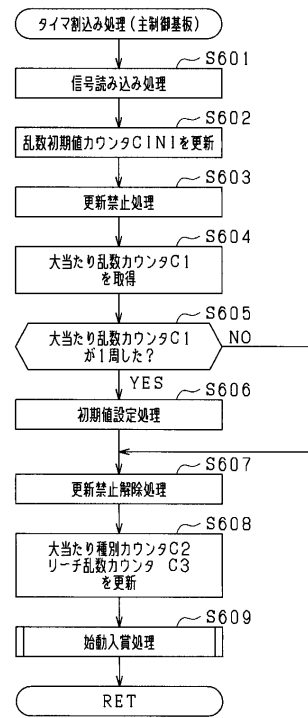
【 図 2 3 】



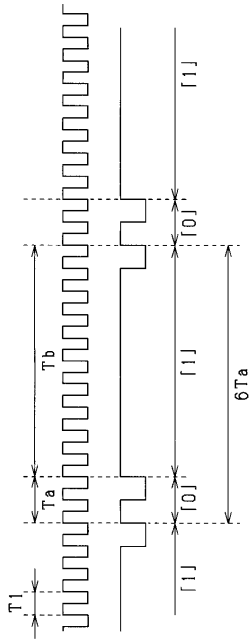
【 図 2 2 】



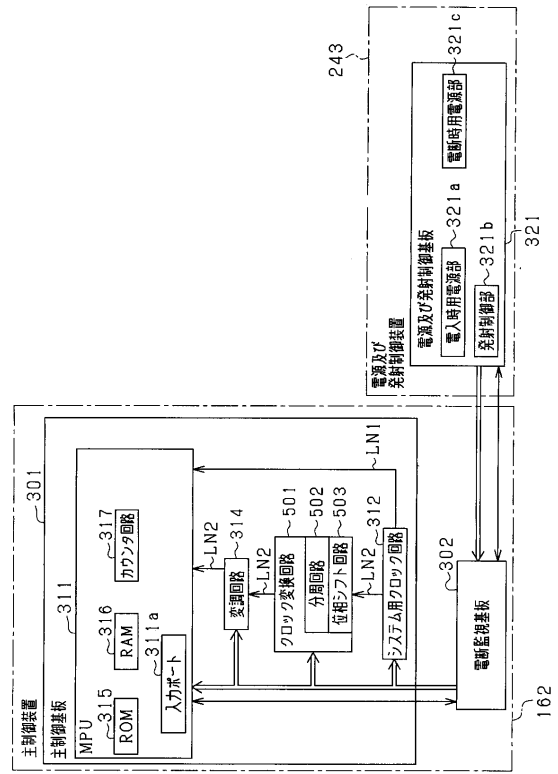
【 図 2 4 】



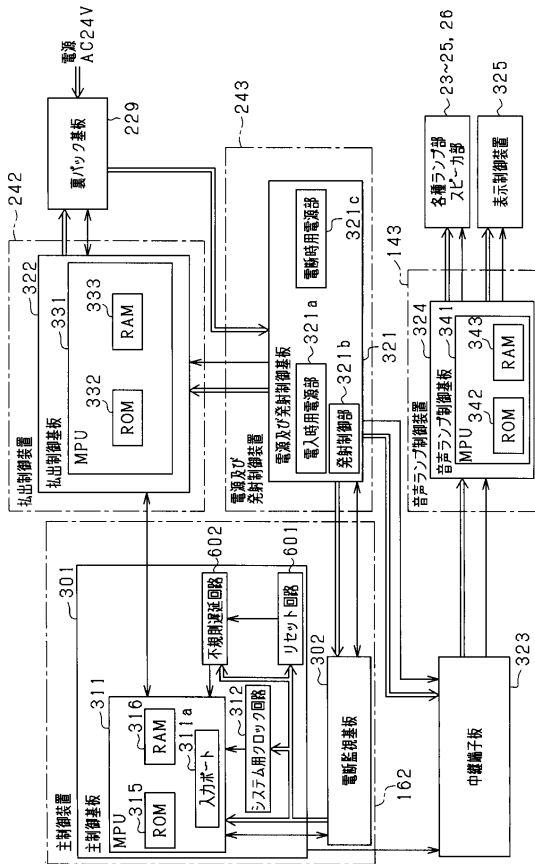
【図 25】



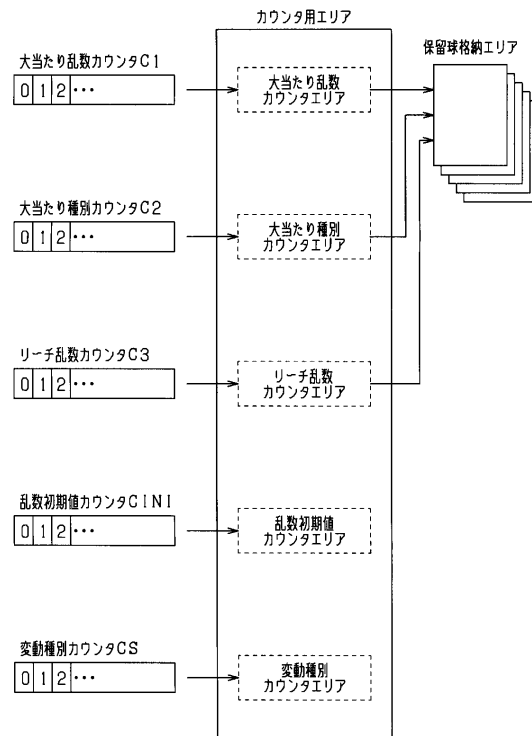
【図 26】



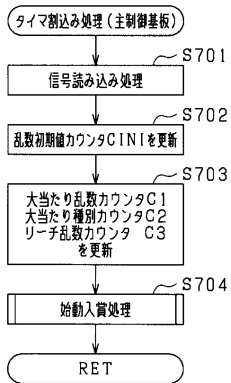
【図 27】



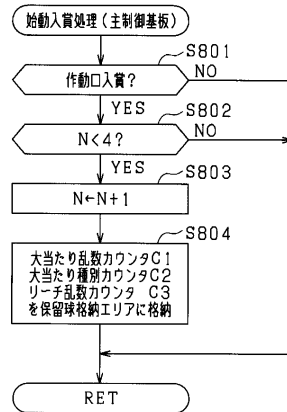
【図 28】



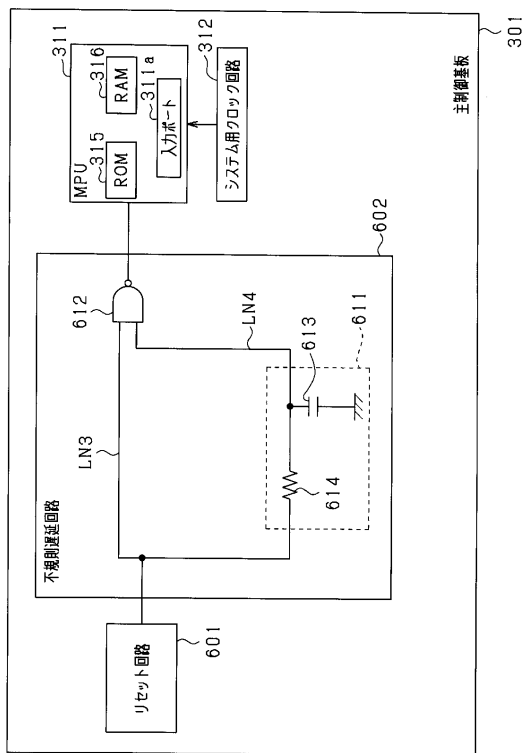
【 図 2 9 】



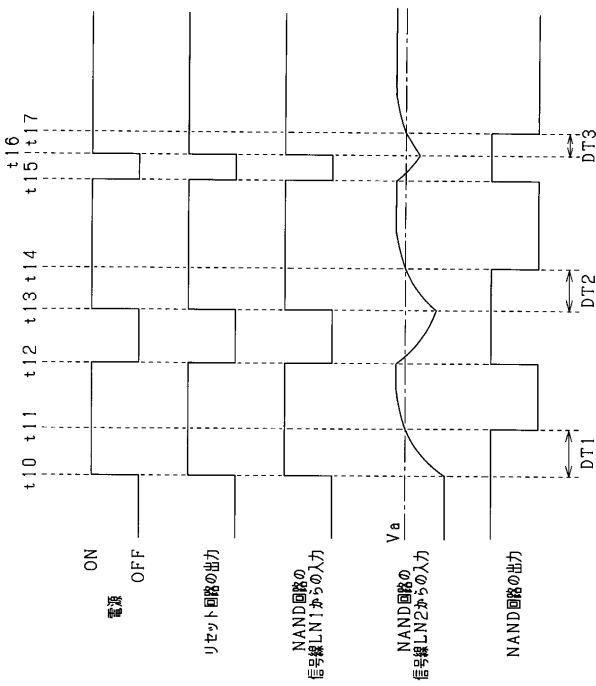
【 図 3 0 】



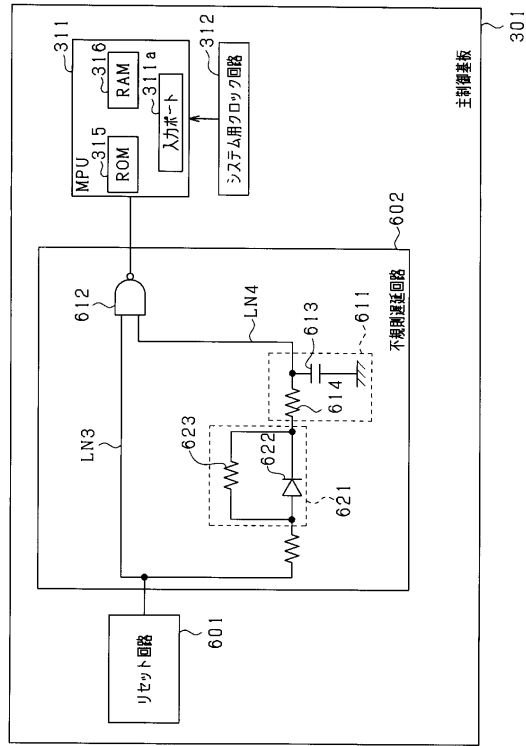
【 図 3 1 】



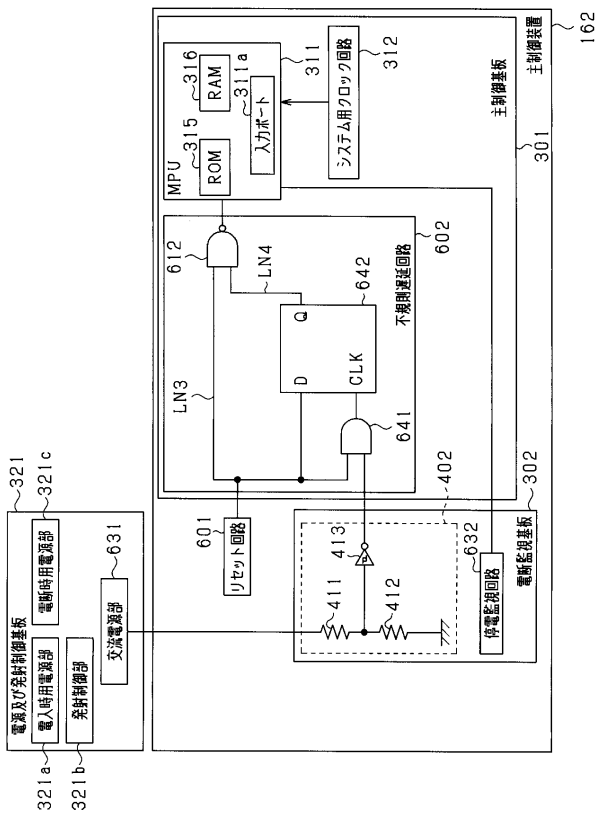
【 図 3 2 】



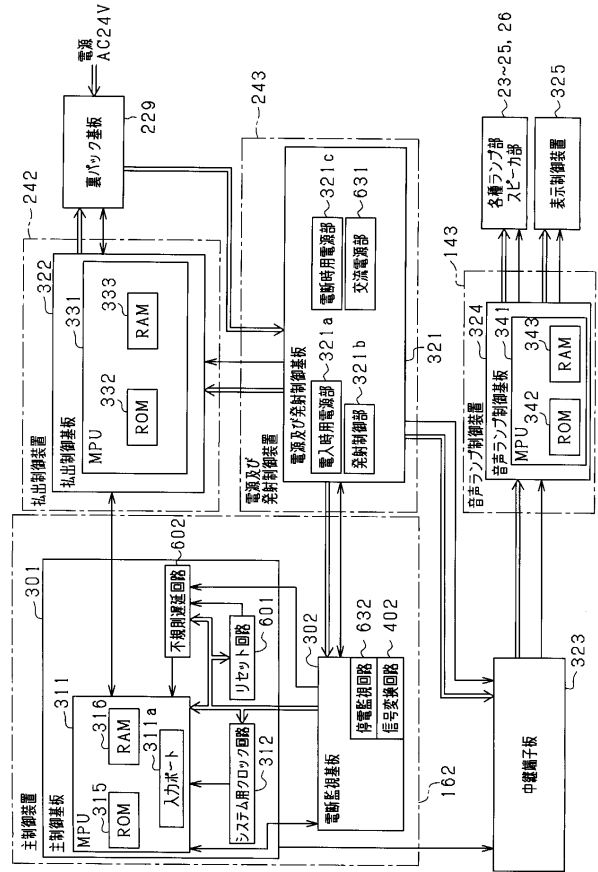
【図 3 3】



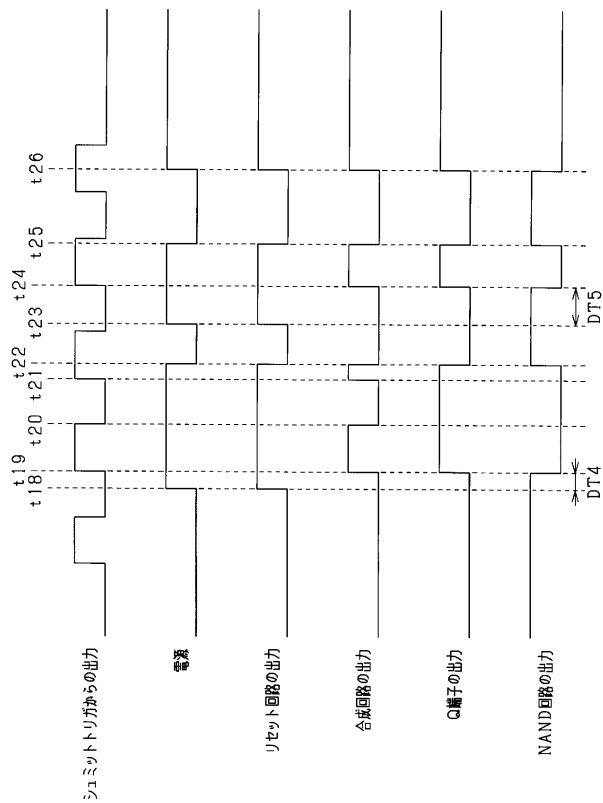
【図 3 5】



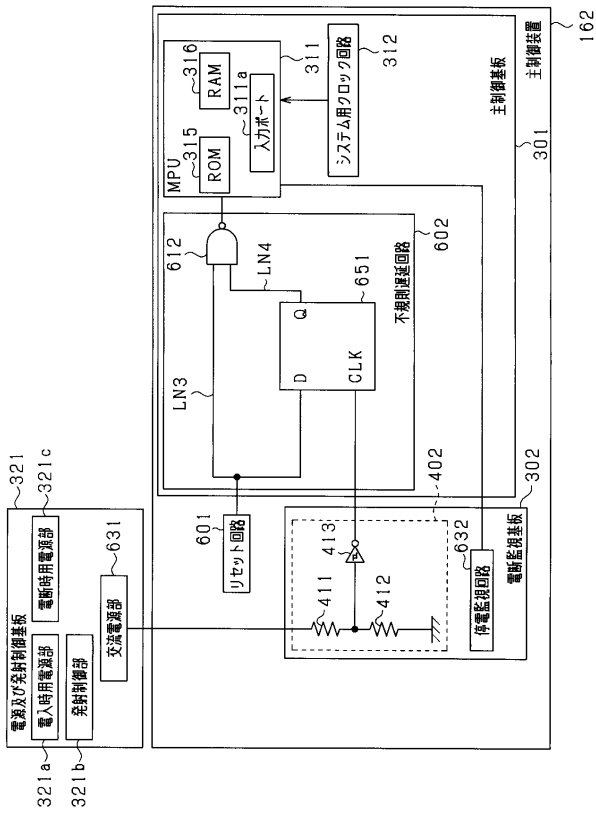
【図 3 4】



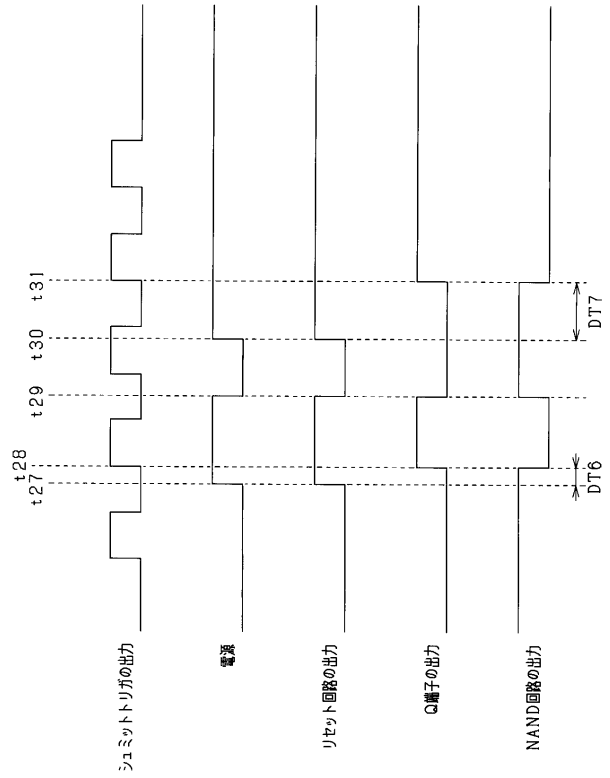
【図 3 6】



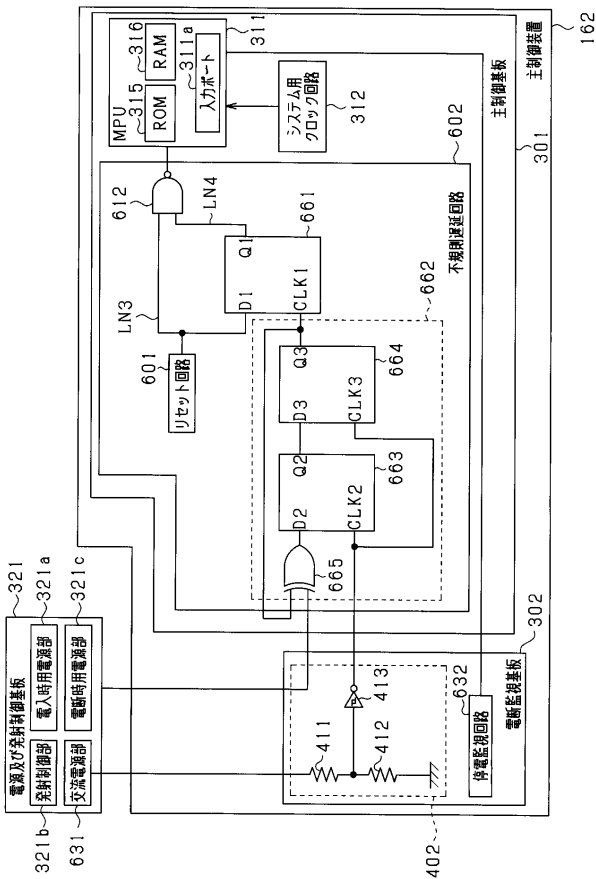
【図 37】



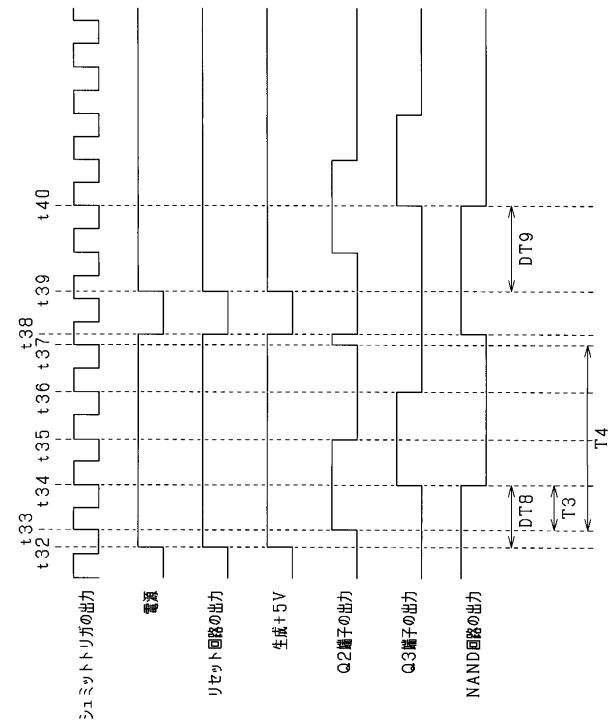
【図 38】



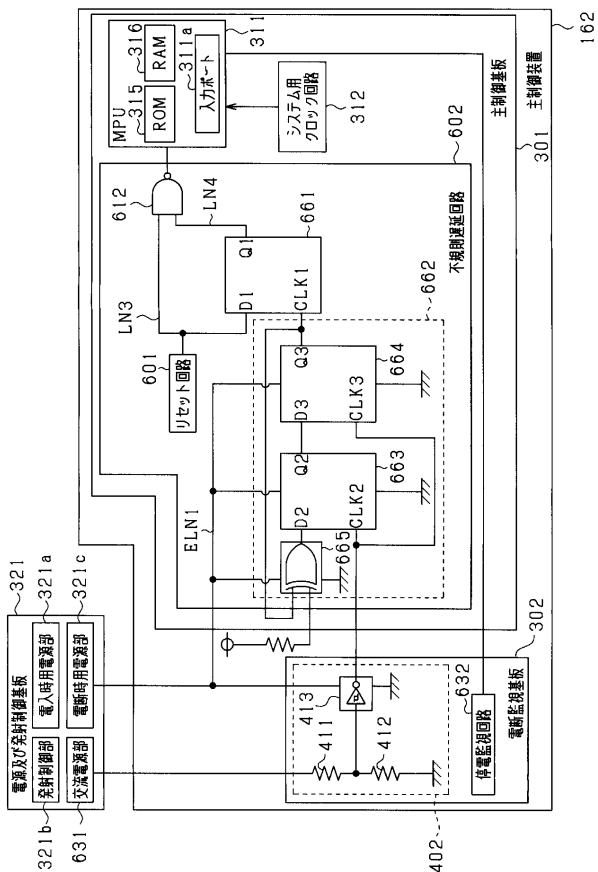
【図 39】



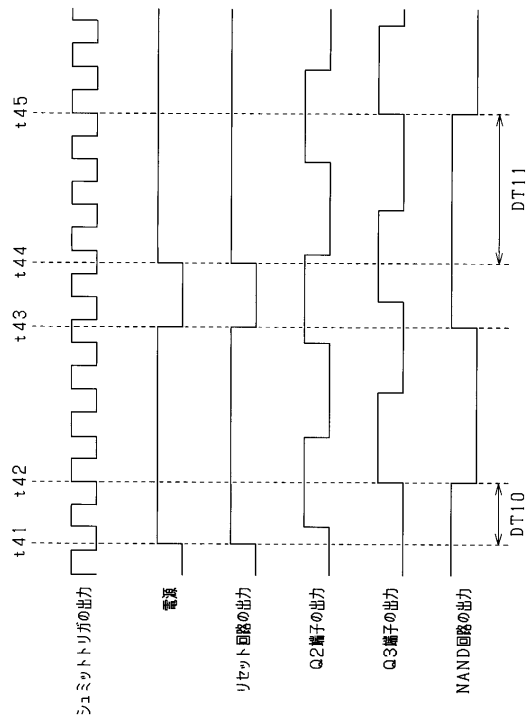
【図 40】



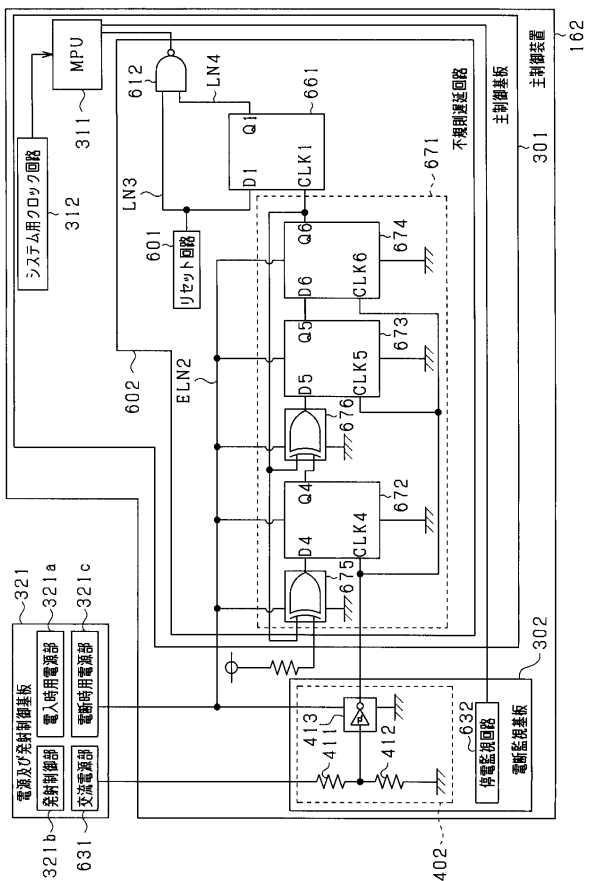
【図 4 1】



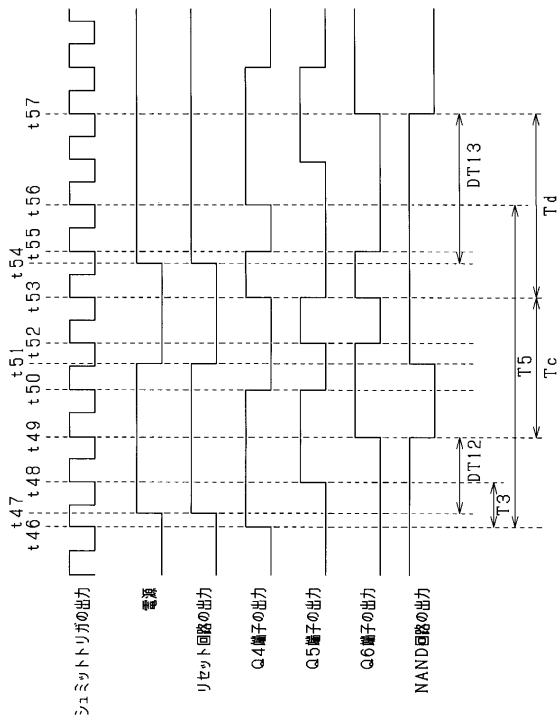
【図 4 2】



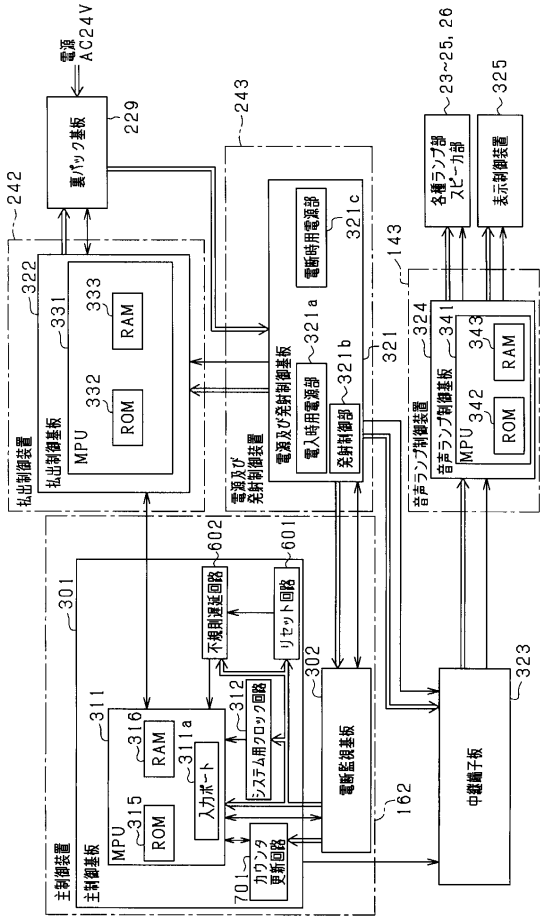
【図 4 3】



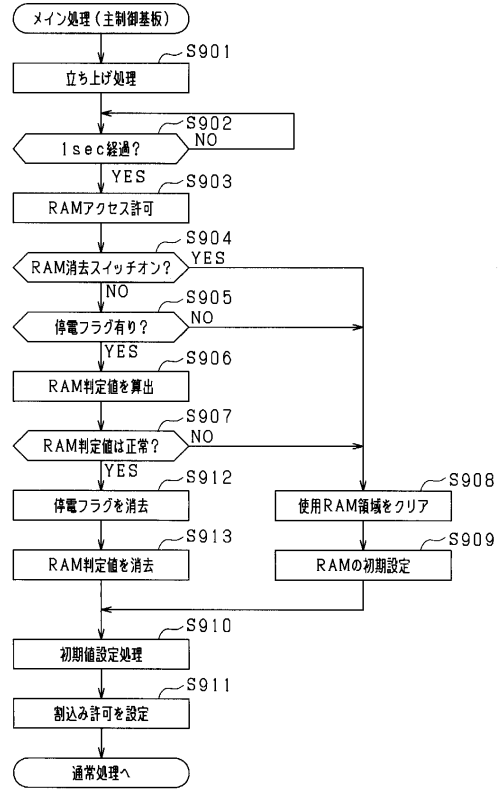
【図 4 4】



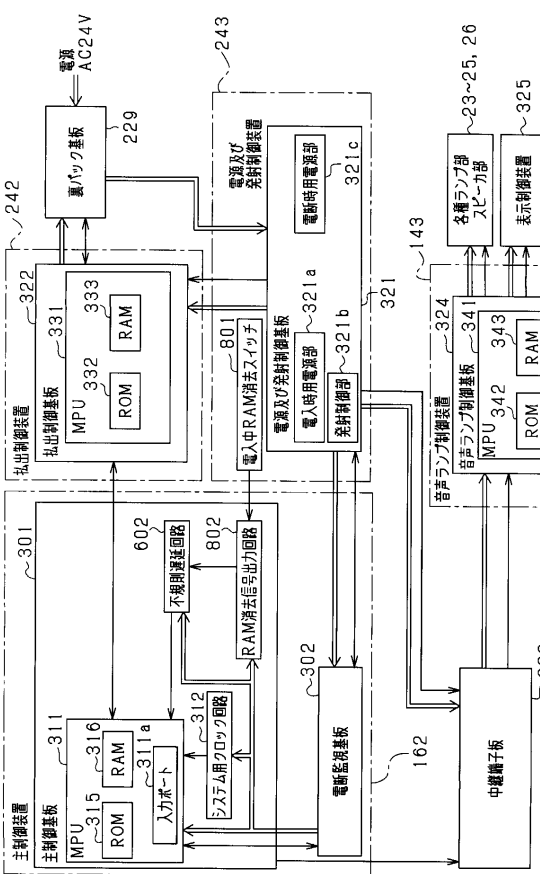
【図 45】



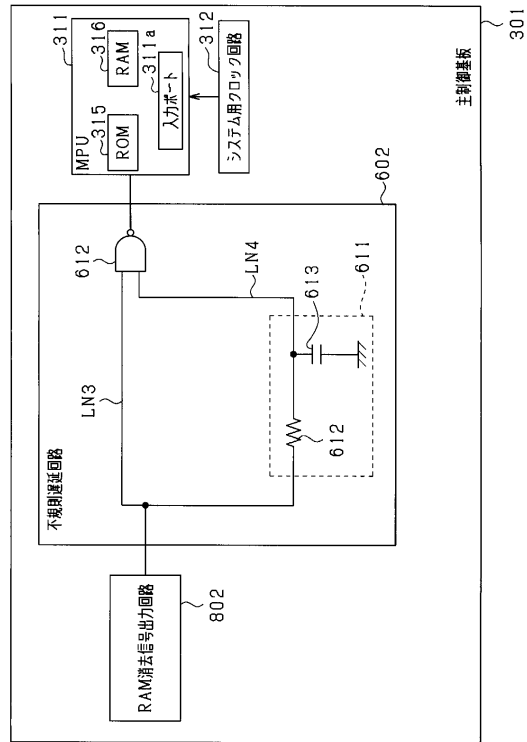
【図 46】



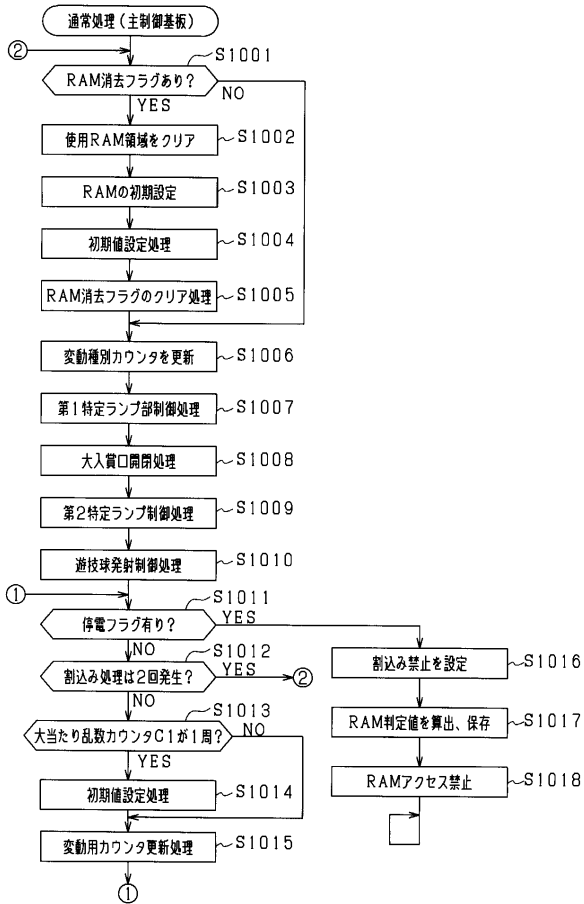
【図 47】



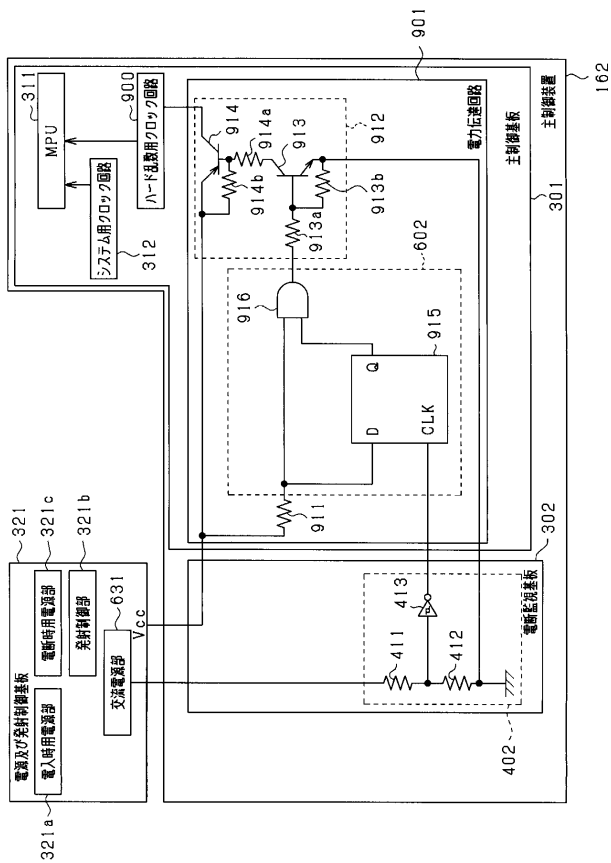
【図 48】



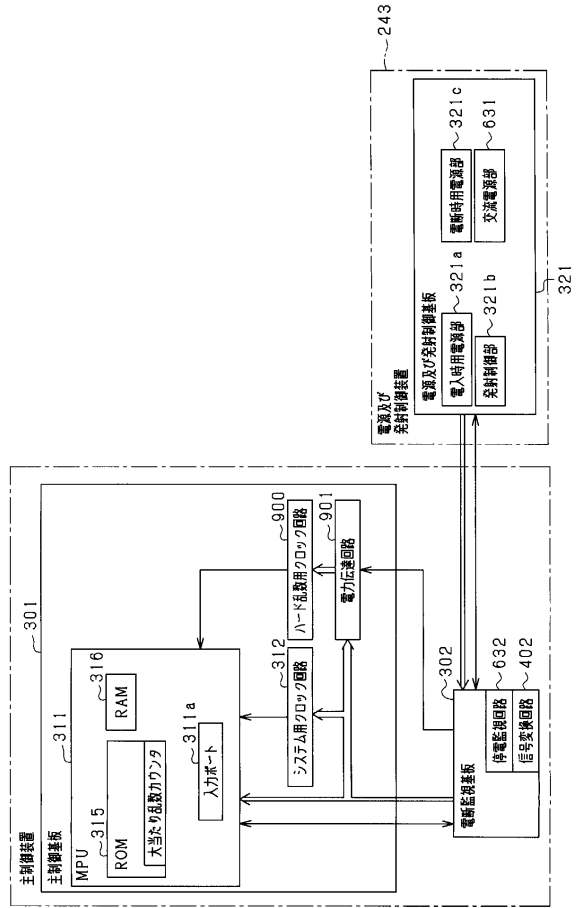
【図 49】



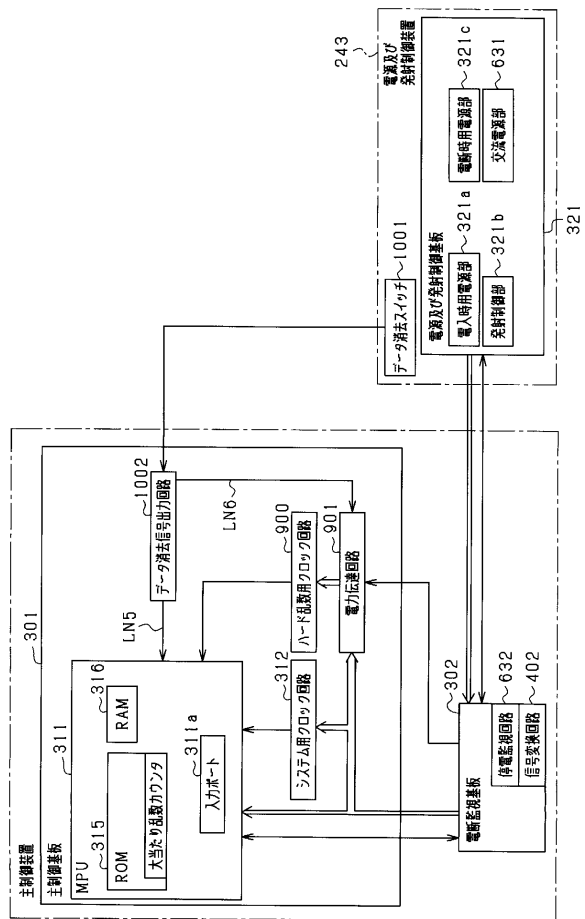
【図 51】



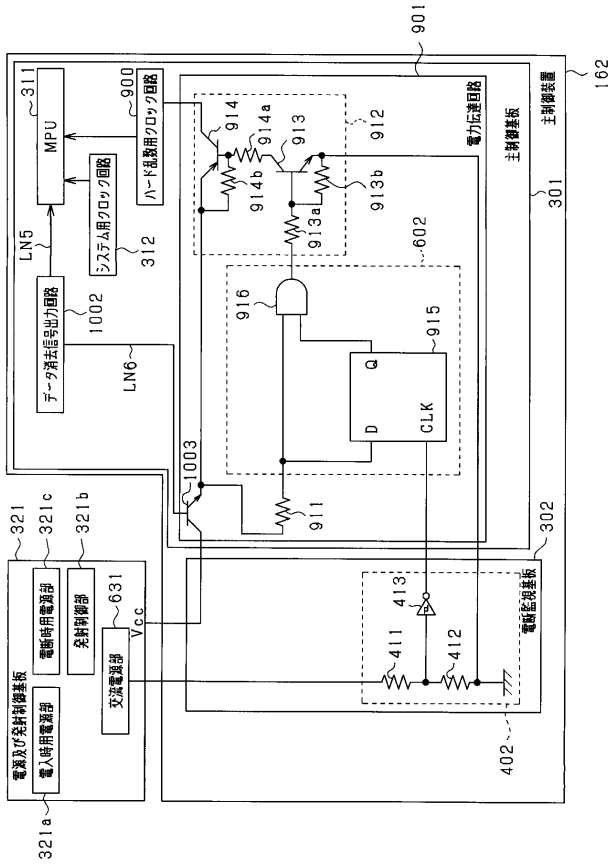
【図 50】



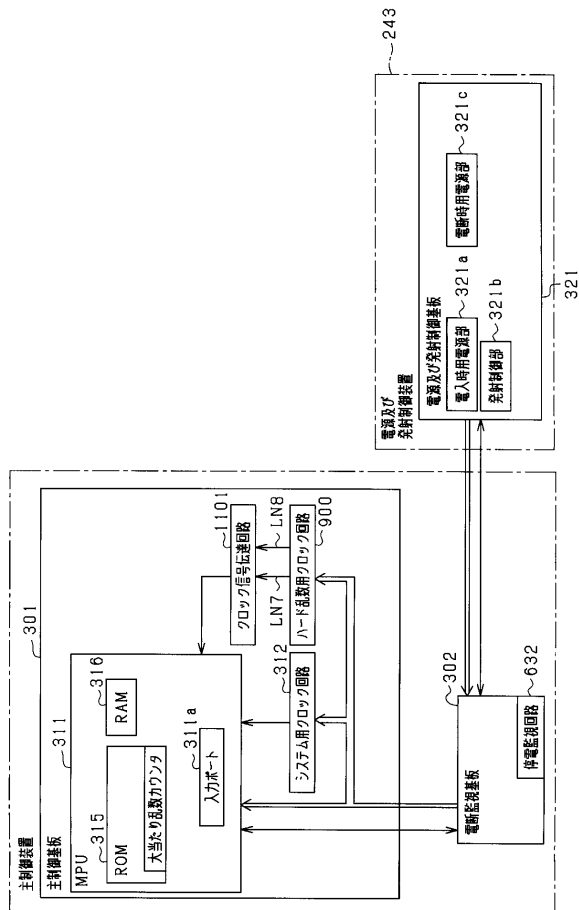
【図 52】



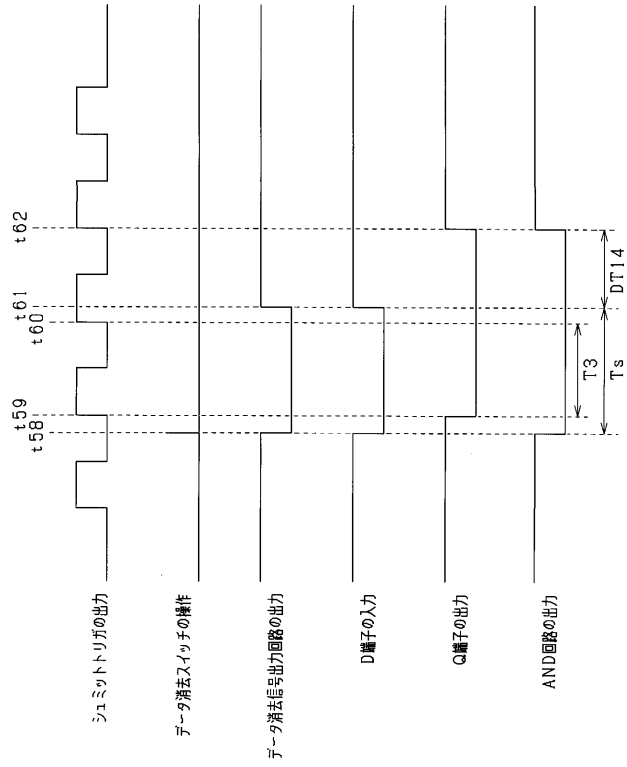
【 図 5 3 】



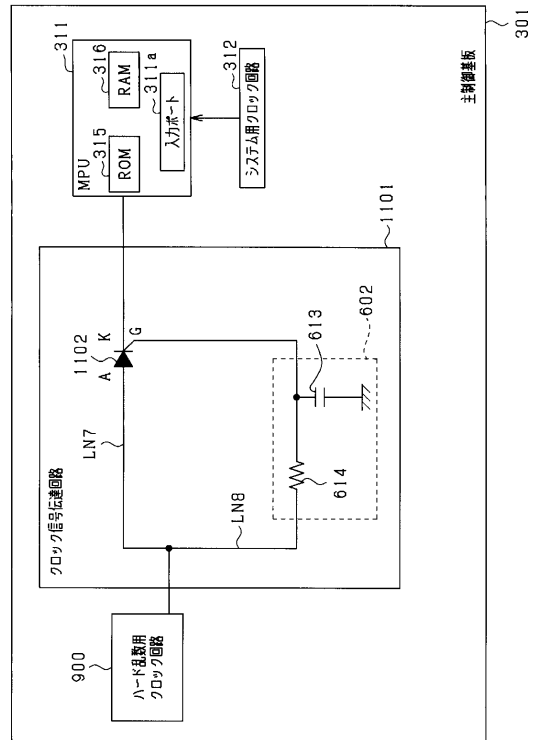
【 図 5 5 】



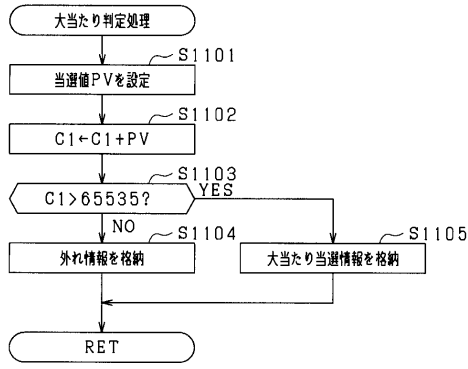
【 図 5 4 】



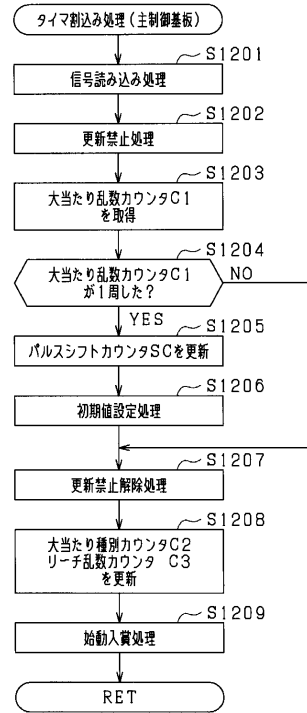
【 図 5 6 】



【図57】



【図58】



【図59】

