

公告本

473716

申請日期	89.5.31
案 號	89110571
類 別	G11C1/2

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	鐵電記憶體及半導體記憶體
	日 文	強誘電体メモリおよび半導体メモリ
二、發明 人	姓 名	1.荻原 隆 2.高島 大三郎 3.田中 壽實夫 4.大脇 幸人 5.竹内 義昭
	國 籍	1.-5.均日本
	住、居所	1.日本國神奈川縣鎌倉市大船4-3-26 威爾德鎌倉103 2.日本國神奈川縣橫濱市西區東久保町23-9 3.日本國東京都大田區大森西6-8-2 4.日本國神奈川縣橫濱市榮區土鄉4491-31 5.日本國神奈川縣橫濱市保土谷區天王町2-42-2 3-212
	三、申請人	姓 名 (名稱)
三、申請人	國 籍	日本
	住、居所 (事務所)	日本國神奈川縣川崎市幸區堀川町72番地
	代 表 人 姓 名	西室 泰三

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權日本 1999年06月02日 特願平11-155131 ☒有 ☐無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

[發明所屬之技術領域]

本發明係關於一種半導體記憶體，特別是關於一種含有具有低升壓電位的習知型記憶胞的FRAM；鏈式FRAM；具有同低升壓電位，採用負字元線方式或升壓、感測、接地方式的DRAM；及，含有習知型記憶胞的FRAM和鏈式FRAM，適用於記憶體積體電路、邏輯混裝記憶體積體電路等。

[習知技術]

鐵電材料係施加電場和電極化量的關係具有滯後(hysteresis)特性，即使使鐵電膜兩端間的施加電壓回到零，極化也殘留。即，鐵電材料具有下述特性：施加電場時一旦發生的電極化即使不施加上述電場也殘留，在和上述電場相反方向的方向施加某種程度以上強度的電場時，極化的方向反轉。

著眼於這種鐵電材料的非揮發性特性，開發了具有用鐵電薄膜的極化方向方法儲存資訊的記憶胞陣列的FRAM。

就FRAM胞構造而言，可大致區分為將鐵電膜用於資訊記憶用電容器之電極間絕緣膜的構造和將鐵電膜用於開關用MOS電晶體之閘絕緣膜的構造兩種。

前者的FRAM胞構造以將DRAM胞的電容器換成鐵電電容器的結構實現，透過轉移閘用MOS電晶體從鐵電電容器取出極化反轉或非反轉之際的電荷(資料破壞讀出)，資料讀出後進行再寫入。

此處，就前者的FRAM胞的基本結構、特性、寫入/讀出

五、發明說明 (2)

原理加以說明。

上述FRAM胞如圖25(a)所示的等效電路，有1T1C型者和例如如圖27(a)所示的等效電路，有由1T1C型胞2組所構成的2T2C型者。

圖25(a)所示的1T1C型胞係串聯連接1個轉移開用的1個MOS電晶體Q和資訊記憶用1個鐵電電容器C而成，字元線WL連接於上述MOS電晶體Q之閘極，位元線BL連接於上述MOS電晶體Q之一端(汲極)，板線PL連接於上述電容器C之一端(板極)。

圖25(b)係爲了說明圖25(a)所示的1T1C型FRAM胞的“0”讀出、“1”讀出動作而顯示鐵電電容器之電極對間所夾的鐵電薄膜的施加電壓(板線電壓VPL和位元線電壓VBL的電位差)和極化量P(C/m)之關係(滯後特性)的特性圖，圖中a、b點表示殘留極化量。

如從圖25(b)所示的滯後特性得知，根據在不施加電場給晶胞之鐵電電容器之鐵電薄膜的狀態，即電容器電極對間的施加電壓 $V=0(V)$ 的狀態的鐵電薄膜殘留極化 P_r 位於a點或位於b點，可將二進資料記憶於晶胞。

其次，就對於1T1C型FRAM胞的讀出/寫入動作原理一面參照圖25(b)所示的滯後特性，一面加以說明。

首先，在預先充電周期使位元線電壓VBL與接地電位均衡。其次，解除位元線的均衡，選擇字元線WL而使電晶體Q成爲接通後，藉由使板線電壓VPL從接地電位上升到電源電壓，將電容器C的電荷讀出到位元線，將因此而產

五、發明說明 (3)

生的位元線電位變化和由參考用晶胞所產生的參考電壓以感測放大器(未圖示)比較放大。

此時，“0”讀出時，由於電容器C的極化不反轉，所以讀出到位元線的電荷量少，由感測放大器比較放大的結果，位元線(電容器C的儲存節點側)變成接地電位。藉此，電容器C的極化點從滯後曲線的a點向c點移動。

對此，“1”讀出時，伴隨電容器C的極化反轉，施加電源電壓作為前述板線電壓VPL時，讀出到位元線的電荷量比“0”讀出時多，由感測放大器比較放大的結果，位元線(電容器C的儲存節點側)變成和電源電壓同電位。藉此，電容器C的極化點從滯後曲線的b點移到c點後，移動到a點。

其次，將為感測放大器所鎖定的資料送出到資料線(未圖示)後，藉由將板線電壓VPL降到接地電位，“0”讀出時的極化點回到a點，“1”讀出時的極化點移到d點。

此後，使電晶體Q成為斷開時，“1”讀出時的極化點從d點移到b點，對晶胞電容器C的再寫入結束。

以上雖然說明讀出及再寫入，但想要進行資料重寫時，在施加電源電壓作為上述板電壓VPL時，想要寫入“1”時通過輸出入線(未圖示)施加和電源電壓同電位給位元線，想要寫入“0”時通過輸出入線(未圖示)施加接地電位給位元線即可。

圖26(a)所示的2T2C型胞係第一位元線BL連接於第一晶胞電晶體Q1一端，和前述位元線BL成對的第二位元線

五、發明說明(4)

/BL 連接於第二晶胞電晶體 Q2 一端。而且，字元線 WL 共同連接於各電晶體 Q1、Q2 之閘極，板線 PL 共同連接於各電容器 C1、C2 之板極。位元線電位感測放大用感測放大器(未圖示)、均衡電路(未圖示)等連接於上述兩條位元線 BL、/BL。

其次，就 2T2C 結構的鐵電記憶胞的資料寫入動作原理及資料讀出動作原理加以說明。

圖 26(a)至(d)顯示寫入動作時的鐵電電容器施加電壓、電極化的狀態，圖 27(a)至(c)顯示讀出動作時的鐵電電容器施加電壓、電極化的狀態。

此外，圖 28 顯示上述資料寫入動作時及讀出動作時的板線施加電壓。當對於上述鐵電記憶胞的資料讀出、寫入之際，藉由使所選擇的記憶胞的板線 PL 電位例如 $0V \rightarrow 3V \rightarrow 0V$ 變化，控制極化方向。

(A) 當資料寫入動作之際，在起始狀態將板線 PL 設定於 $0V$ ，先使位元線對 BL、/BL 分別與 $0V$ 均衡。此處設想下述情況：例如如圖 26(a)所示，將互相反方向的極化資料寫入到兩個電容器 C1、C2。

首先，當動作開始時，解除位元線的均衡。接著如圖 26(b)所示，例如施加 $4.5V$ 給字元線 WL 而使兩個電晶體 Q1、Q2 成為接通狀態，其次例如施加 $3V$ 給板線 PL，從兩個電容器 C1、C2 讀出電荷到位元線對 BL、/BL。此時，雖然因在第一電容器 C1 兩端間產生電位差而其極化方向反轉，但第二電容器 C2 的極化方向不反轉。

五、發明說明 (5)

其次，如圖 26(c)所示，例如施加 3 V 給位元線對 BL、/BL 中的一方(例如 /BL)，施加 0 V 給他方(例如 BL)，接著如圖 26(d)所示，使板線 PL 到 0 V。於是，雖然因在第二電容器 C2 兩端間產生電位差而其極化方向反轉，但第一電容器 C1 的極化方向不反轉，就寫入和起始狀態反方向的極化資料。此後，使字元線 WL 回到 0 V，使兩個電晶體 Q1、Q2 回到斷開狀態。

(B)當資料讀出動作之際，在起始狀態將板線 PL 設定於 0 V，先使位元線對 BL、/BL 分別與 0 V 均衡。此處設想下述情況：例如如圖 27(a)所示，將互相反方向的極化資料寫入到兩個電容器 C1、C2。

首先，當動作開始時，解除位元線的均衡。接著如圖 27(b)所示，例如施加 4.5 V 給字元線 WL 而使兩個電晶體 Q1、Q2 成為接通狀態，其次例如施加 3 V 給板線 PL，從兩個電容器 C1、C2 讀出電荷到位元線對 BL、/BL。此時，雖然因在第二電容器 C2 兩端間產生電位差而其極化方向反轉，但第一電容器 C1 的極化方向不反轉。其結果，位元線 BL 的電位 $V(BL)$ 比位元線 /BL 的電位 $V(/BL)$ 低。來自此兩個電容器 C1、C2 的讀出電位為感測放大器所感測放大，藉由此感測放大器的輸出，位元線對 BL、/BL 分別變成 0 V、3 V。

接著，如圖 27(c)所示，使板線 PL 設定回到 0 V，因在第二電容器 C2 兩端間產生電位差而其極化方向再反轉，第一電容器 C1 的極化方向不反轉，回到起始狀態。此後，

五、發明說明(6)

使字元線WL回到0V，使兩個電晶體Q1、Q2回到斷開狀態。

如上述的FRAM和為其他非揮發性記憶體的快閃記憶體比較，有重寫次數多、寫入時間小、可低電壓/低消耗電力動作等等的特徵，近幾年正在迅速進行開發中。

具有這種特徵的FRAM和現有DRAM、快閃記憶體、SRAM的調換、和邏輯元件的混裝等，其期待非常大。此外，FRAM因無電池且可高速動作而正在開始朝非接觸式卡(RF-ID：射頻識別)展開。

另一方面，若將FRAM的位元線結構形成折疊結構(Folded結構)，則有下述問題： $8F^2$ (F為設計規則的最小線幅)以下辦不到或因驅動電容重的板線而動作速度比DRAM慢。

為了解決這些問題，根據以下文獻：VLSI Circuit Sympo. 1997 p83-84 “High-Density Chain Ferroelectric Random Access Memory (CFRAM)”及ISSCC Tech. Dig. Papers, pp.102-103, Feb. 1999 “A Sub-40ns Random-Access Chain FRAM Architecture with 7ns Cell-Plate-Line Drive”，提出了Chain FRAM(鏈式FRAM)。

此鏈式FRAM構成如下：具有記憶胞單元陣列：串聯連接多數個將鐵電電容器兩電極連接於MOS電晶體之源極和汲極的鐵電記憶胞而成；藉由將記憶胞單元的多數個記憶胞中非選擇胞的電晶體控制在接通狀態，將選擇胞的電晶體控制在斷開狀態，可隨機存取記憶胞。

五、發明說明(7)

根據前述文獻記載：鏈式FRAM和習知FRAM比較，晶胞尺寸成為 $1/2$ ，位元線電容成為 $1/4$ ，所以可謀求高速化和高積集化。此處，就習知鏈式FRAM加以簡單說明。

圖29概略顯示習知鏈式FRAM的一部分結構，特別顯示記憶胞陣列及周邊電路的一部分電路連接。

即，在圖29中，在記憶胞區域行列狀地排列記憶胞單元。此記憶胞單元係串聯連接多數個記憶胞：將鐵電電容器兩電極分別連接於增強型(E型)NMOS電晶體之源極及汲極而成。

在本例例如代表性地顯示串聯連接8個記憶胞M0~M7、BM0~BM7的記憶胞單元，以Tr0~Tr7表示前述晶胞M0~M7的電晶體，以C0~C7表示電容器，以BTr0~BTr7表示晶胞BM0~BM7的電晶體，以BC0~BC7表示電容器。

將前述各電晶體與Tr0~Tr7、BTr0~BTr7之閘極對應連接於字元線W_{Lr<0>}~W_{Lr<7>}，上述記憶胞單元一端連接於板線PL<0>或PL<1>，他端透過部件選擇用MOS電晶體QB0或QB1連接於位元線BL或與此互補的BBL。

而且，均衡(equalize)電路EQ、正反器(flip-flop)至感測放大器SA、列選擇閘CG連接於前述位元線對應BL、BBL。

又，前述部件選擇用MOS電晶體QB0、QB1對應為部件選擇信號V(BSr<0>)、V(BSr<1>)所控制，前述均衡電路EQ為均衡控制信號V(BEQL)所控制，前述感測放大器SA為感測放大器活化控制信號V(SEN)、V(BSEP)所控制，前

五、發明說明(8)

述列選擇閘CG爲列選擇信號V(CSL)所控制。

然而，在圖29所示的結構，進行以下代表性地例示之類的習知讀出/再寫入動作或習知寫入動作時，晶胞的儲存極化量減少，有發生干擾的問題，茲就此加以詳細說明。

<習知寫入的第一動作例>

圖30爲顯示對於圖29所示的2T2C型胞，例如選擇字元線W_{Lr}<0>而選擇晶胞M₀、B_{M0}，利用單板脈衝(Single Plate Pulse)驅動方式從晶胞M₀讀出資料“0”後，從晶片外部寫入資料“1”的動作一例的定時圖及顯示圖29中從節點BL_{1R}到BL_{7R}的電位變遷的電位波形圖。

以下，一面參照圖30，一面具體說明第一動作例。

首先，降低均衡控制信號V(BEQL)而解除位元線對的均衡。其次，降低字元線驅動電位V(W_{Lr}<0>)而選擇字元線W_{Lr}<0>。其次，提高部件選擇信號V(BS_r<0>)、V(BS_r<1>)而將記憶胞M₀、B_{M0}連接於位元線對BL、BBL。接著，提高板線電位V(PL<0>)、V(PL<1>)而使板線上升，將記憶胞M₀、B_{M0}的極化以電荷形式讀出到位元線對BL、BBL。

其次，提高感測放大器活化信號V(SEN)，同時降低感測放大器活化信號V(BSEP)而使感測放大器SA活化，進行比較放大。此時，儲存於記憶胞M₀的極化資料爲從板線到感測放大器的方向(即“0”資料)，所以由感測放大器比較放大的結果，如圖29所示，雖然從BL_{1R}到BL_{7R}的各節點爲板線上升的電位，但節點BL_{0R}成爲0V。

五、發明說明 (9)

此後，在使感測放大器SA活化的狀態選擇列選擇信號V(CSL)，從晶片外部通過列選擇閘CG寫入“資料”。於是，字元線升壓電位低時，從BL1R到BL7R的各節點被大量啓動(boot)，在

節點BL7R的電位-節點BL6R的電位

節點BL6R的電位-節點BL5R的電位

節點BL5R的電位-節點BL4R的電位

節點BL4R的電位-節點BL3R的電位

節點BL3R的電位-節點BL2R的電位

節點BL2R的電位-節點BL1R的電位

之間產生電位差。茲說明此理由於下。

如前述，從板線上升電位再為感測放大器SA所啓動，各晶胞轉移閘Tr0~Tr7之源極電位就上升，各晶胞轉移閘Tr0~Tr7之閘極、源極間電位差變深，藉由因基板偏壓效應而臨界值上升，晶胞轉移閘Tr0到Tr7斷開。由於在Tr0到Tr7一旦變成斷開的狀態再為感測放大器SA所放大，所以斷開後因感測放大器SA而上升的部分為連接於感測放大器SA和晶胞轉移閘Tr0~Tr7之間的電容成分所電容分割。

結果，在各晶胞轉移閘Tr0~Tr7兩端產生電位差，極化量就減少，特別是大的電位差落在晶胞轉移閘Tr1的兩端節點BL2R、BL1R間。此時，儲存於非選擇記憶胞M1的極化方向為從板線到感測放大器的方向(即資料“0”)時，就施加減少此儲存極化的電場，成為干擾。

五、發明說明(10)

<習知寫入的第二動作例>

圖31為顯示對於圖29所示的2T2C型胞，例如選擇字元線 $W_{Lr<0>}$ 而選擇晶胞M0、BM0，利用雙板脈衝(Double Plate Pulse、雙重板線脈衝)驅動方式從晶胞M0讀出資料“0”後，從晶片外部寫入資料“1”的動作一例的定時圖及顯示圖29中從節點BL1R到BL7R的電位變遷的電位波形圖。

以下，一面參照圖31，一面具體說明第二動作例。

首先，降低均衡控制信號 $V(BEQL)$ 而解除位元線對的均衡。其次，降低字元線驅動電位 $V(W_{Lr<0>})$ 而選擇字元線 $W_{Lr<0>}$ 。其次，提高部件選擇信號 $V(BS_{r<0>})$ 、 $V(BS_{r<1>})$ 而將記憶胞M0、BM0連接於位元線對BL、BBL。

接著，分別提高板線電位 $V(PL_{<0>})$ 及 $V(PL_{<1>})$ 後，進行降低的脈衝驅動，將記憶胞M0、BM0的極化以電荷形式讀出到位元線對BL、BBL。

其次，提高感測放大器活化信號 $V(SEN)$ ，同時降低感測放大器活化信號 $V(BSEP)$ 而使感測放大器SA活化，進行比較放大。此時，儲存於記憶胞M0的極化資料為從板線到感測放大器的方向(即“0”資料)，所以由感測放大器比較放大的結果，如圖31所示，雖然從BL1R到BL7R的各節點為板線上升電位，但節點BL0R成為0V。

此後，在使感測放大器SA活化的狀態選擇列選擇信號 $V(CSL)$ ，從晶片外部通過列選擇閘CG寫入“1”資料。於是，位元線升壓電位低時，從BL1R到BL7R的各節點被大

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

量啟動(boot)，在
 節點BL7R的電位-節點BL6R的電位
 節點BL6R的電位-節點BL5R的電位
 節點BL5R的電位-節點BL4R的電位
 節點BL4R的電位-節點BL3R的電位
 節點BL3R的電位-節點BL2R的電位
 節點BL2R的電位-節點BL1R的電位
 之間產生電位差。茲說明此理由於下。

如前述，從板線上升電位再為感測放大器SA所啟動，所以各晶胞電晶體之源極電位上升，各晶胞轉移閘之閘極、源極間電位差變深，藉由因基板偏壓效應而晶胞轉移閘Tr0~Tr7的臨界值上升，晶胞轉移閘Tr0到Tr7斷開。由於在Tr0~Tr7一旦變成斷開的狀態再因感測放大器SA而上升，所以Tr0~Tr7斷開後上升的部分為連接於感測放大器SA和前述晶胞轉移閘Tr0~Tr7之間的電容成分所電容分割。

結果，在各晶胞轉移閘Tr0~Tr7兩端產生電位差，極化量就減少，特別是大的電位差落在節點BL2R、BL1R間。此時，儲存於非選擇記憶胞M1的極化方向為從板線到感測放大器的方向(即資料“0”)時，就施加減少此儲存極化的電場，成為干擾。

<習知讀出的第三動作例>

圖32為顯示對於圖29所示的2T2C型胞，例如選擇字元線WLr<7>而選擇晶胞BM7和M7，利用雙板脈衝驅動方

五、發明說明 (12)

式從晶胞BM7讀出資料“1”的動作的定時圖及顯示圖29中從節點BL1R到BL7R的電位變遷的電位波形圖。

以下，一面參照圖32，一面具體說明第三動作例。

首先，降低均衡控制信號V(BEQL)而解除位元線對BL、BBL的均衡。其次，降低字元線驅動電位V(WLr<7>)而選擇字元線WLr<7>。其次，提高部件選擇信號V(BSr<0>)、V(BSr<1>)而將記憶胞BM7、M7連接於位元線對BBL、BL。

接著，分別脈衝驅動板線電壓V(PL<0>)及V(PL<1>)而將記憶胞BM7、M7的極化以電荷形式讀出到位元線對BBL、BL。

其次，提高感測放大器活化信號V(SEN)，同時降低感測放大器活化信號V(BSEP)而使感測放大器SA活化，使其比較放大。此時，儲存於記憶胞BM7的極化資料為從感測放大器到板線的方向(即“1”資料)，所以由感測放大器SA比較放大後，為了再寫入資料而使板線電壓V(PL<0>)和V(PL<1>)成為“L”→“H”時，字元線升壓電位低時，大量啟動(boot)從BBLOR到BBL7R的各節點，在

節點BBL7R的電位 - 節點BBL6R的電位
 節點BBL6R的電位 - 節點BBL5R的電位
 節點BBL5R的電位 - 節點BBL4R的電位
 節點BBL4R的電位 - 節點BBL3R的電位
 節點BBL3R的電位 - 節點BBL2R的電位
 節點BBL2R的電位 - 節點BBL1R的電位

五、發明說明 (13)

之間產生電位差。茲說明此理由於下。

若字元線升壓電位低，晶胞轉移閘 BTr0~BTr7 臨界值高，則從感測放大器 SA 電源電位再為板線所啟動時，各晶胞電晶體之源極電位上升，各晶胞轉移閘之閘極、源極間電位差變深，藉由因基板偏壓效應而晶胞轉移閘 BTr0~BTr7 的臨界值上升，晶胞轉移閘 BTr0 到 BTr7 斷開。由於在 BTr0 到 BTr7 一旦變成斷開的狀態，板線再上升，所以 BTr0~BTr7 斷開後上升的部分為連接於板線和前述晶胞轉移閘 BTr0~BTr7 之間的電容成分所電容分割。

結果，特別是大的電位差落在節點 BBL7R、BBL6R 間。此時，儲存於非選擇記憶胞 BM6 的極化方向為從感測放大器到板線的方向（即“1”資料）時，就施加減少此儲存極化的電場，成為干擾。

以上說明係就資料讀出時將位元線預先充電到 0V 的情況加以敘述，但前述第一動作例和第二動作例的情況在資料讀出時將位元線預先充電到高電平的情況也成為問題。

然而，對於如上述的習知鏈式 FRAM 的干擾問題，到目前一直未指出其存在本身及解決方法。

此外，在具有習知記憶胞結構的 FRAM 方面，利用單板脈衝驅動方式進行讀出動作時，大量啟動板線電位，有下述問題：有給與晶胞電容器可靠性不良影響的可能性，茲就此點說明於下。

圖 33 概略顯示具有習知記憶胞結構的 FRAM 一部分結構，特別顯示記憶胞陣列及周邊電路的一部分電路連接。

五、發明說明 (14)

即，在圖33中，在記憶胞區域行列狀地排列記憶胞。在本例例如代表性地顯示兩個記憶胞M0、BM0，以TrO、BTr0表示此兩個記憶胞M0、BM0的電晶體，以C0、BC0表示電容器。前述電容器C0、BC0一端對應連接於板線PL<0>、PL<B0>，電晶體Tr0、BTr0之閘極對應連接於字元線WL<0>、WL<B0>，電晶體Tr0、BTr0一端連接於位元線BL及與此互補的BBL。

而且，均衡(equalize)電路EQ、正反器(flip-flop)型感測放大器SA、列選擇閘CG連接於前述位元線對BL、BBL。

又，前述均衡電路EQ為均衡控制信號V(BEQL)所控制，前述感測放大器SA為感測放大器活化控制信號V(SEN)、V(BSEP)所控制，前述列選擇閘CG為列選擇信號V(CSL)所控制。

圖34為顯示在圖33之FRAM，對於2T2C型胞選擇字元線WL<0>、WL<B0>而選擇晶胞M0、BM0，利用單板脈衝驅動方式從晶胞M0讀出資料“1”的動作的定時圖。

其次，一面參照圖34，一面具體說明動作例。此處假設在晶胞M0寫入從位元線到板線方向的極化(資料“1”)，在晶胞BM0寫入從板線到位元線方向的極化(資料“0”)。

首先，做下述準備：降低均衡控制信號V(BEQL)而解除位元線對BL、BBL的均衡，讀出資料到位元線對BL、BBL。其次，將字元線電位V(WL<0>)、V(WL<B0>)從0V升壓到VPP而選擇字元線WL<0>、WL<B0>。接著，藉由將板線電壓V(PL<0>)、V(PL<B0>)分別從0V提高到

五、發明說明 (15)

V(PLPW)，將記憶胞M0、BM0的極化以電荷形式讀出到位元線對BL、BBL。

其次，提高感測放大器活化信號V(SEN)，同時降低感測放大器活化信號V(BSEP)而使感測放大器SA活化，使其感測放大。然後，提高列選擇信號V(CSL)而使列選擇閘CG成為接通，將資料讀出到晶片外部。

由於上述感測放大係在板線電壓V(PL<0>)、V(PL<B0>)的電位上升到V(PLPW)的狀態進行，所以讀出儲存於晶胞M0的“1”資料時，藉由位元線BL和板線PL<0>的耦合，將板線電壓V(PL<0>)的電位啟動(boot)到比前述V(PLPW)更高的電位。

此後，將板線電壓V(PL<0>)、V(PL<B0>)分別降到0V，使字元線電位V(WL<0>)、V(WL<B0>)從VPP降到0V而使字元線WL<0>、WL<B0>成為非選擇狀態，降低感測放大器活化信號V(SEN)，同時提高感測放大器活化信號V(BSEP)，使感測放大器SA非活化而結束動作。

如上述，藉由位元線BL和板線PL<0>的耦合，將板線電壓V(PL<0>)的電位啟動(boot)到更高的電位，就有下述問題：有給與晶胞電容器可靠性不良影響的可能性。

另一方面，伴隨半導體記憶體電源低電壓化，若MOS電晶體臨界值也不成比例降低，則動作速度會惡化，但在DRAM方面，因將資訊以電荷形式儲存於記憶胞的電容器而不能降低晶胞轉移閘的臨界值，臨界值大致0.7V前後成為下限。

五、發明說明 (16)

如此，因不能降低MOS電晶體臨界值而引起的問題點為以下兩個：

(1)爲了即使MOS電晶體細微化也得到高的臨界值，基板濃度變成極高，接合電場強度增加，接合漏電流增加，使再新(refresh)特性惡化。

(2)不能換算(scaling)爲使晶胞轉移閘充分接通所需的字元線電壓VWL和位元線電壓VBL之差，所以需要高的升壓率VWL/VBL，升壓電路的設計成爲困難。

於是，在DRAM方面，藉由提出以下兩個方式，可降低MOS電晶體的臨界值。這些技術是以即使低的臨界值也抑制轉移閘的洩漏爲目的。

(1)負字元線(Negative Word Line; NWL)方式。

圖35(a)、(b)顯示採用NWL方式的DRAM的概略結構及字元線WL和位元線BL、/BL的高電平電位VBL(H)、低電平電位VBL(L)之關係。

在圖35(a)中，Q爲晶胞轉移閘，C爲晶胞電容器，WL爲字元線，WLD爲字元線驅動器，BL、/BL爲位元線對，SA爲感測放大器，SAD爲感測放大器驅動器。

此方式係藉由以感測放大器SA放大輸出的低電平“L”，即位元線電位VBL(L)爲接地電位VSS，以字元線WL電位“L”爲負電位VBB，將負偏壓電位VBB施加於晶胞轉移閘Q之閘極、源極間，改善晶胞轉移閘Q的斷開特性。

又，字元線WL的高電平“H”比感測放大器SA放大輸出的高電平“H”，即位元線電位VBL(H)被升壓晶胞轉移閘Q

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

的臨界值 $V_{th3} + \alpha$ (即高 V_{th3} 以上)。

(2) 升壓感測接地 (Boosted Sense Ground ; BSG) 方式。

圖 36(a)、(b) 顯示採用 BSG 方式的 DRAM 的概略結構及字元線 WL 和位元線 BL、/BL 的高電平電位 VBL(H)、低電平電位 VBL(L) 之關係。

在圖 36(a) 中，Q 為晶胞轉移閘，C 為晶胞電容器，WL 為字元線，BL、/BL 為位元線對，SA 為感測放大器，SAD 為感測放大器驅動器，VOFF 為偏置電壓 (offset voltage)。

此方式係使感測放大器 SA 放大輸出的“L”電平，即位元線電位 VBL(L) 比為字元線 WL 的“L”的接地電平 VSS 只 VOFF 浮起，有效地將負偏壓電位 VOFF 施加於晶胞轉移閘 Q 之閘極、源極間，改善晶胞轉移閘 Q 的斷開特性。

又，字元線 WL 的高電平“H”比感測放大器 SA 放大輸出的“H”，即位元線電位 VBL(H) 被升壓晶胞轉移閘 Q 的臨界值 $V_{th2} + \alpha$ (即高 V_{th2} 以上)。

如以上說明，關於 DRAM，雖然對於低消耗電力化、低電壓化的要求提出了上述方法，但既然使用正值作為晶胞轉移閘的臨界值，作為字元線的升壓電位就需要電源電壓 $V_{CC} + V_{th}$ (晶胞轉移閘的臨界值) 以上的 V_{PP} 。上述情況，關於習知 FRAM 亦同樣。

[發明欲解決之課題]

如上述，習知鏈式 FRAM 有下述問題：進行讀出/寫入動作時發生干擾，記憶胞的儲存極化量減少。

此外，具有習知型記憶胞結構的 FRAM 有下述問題：利

五、發明說明 (18)

用單板脈衝驅動方式進行讀出動作時，啟動(boot)板線電位，有給與晶胞電容器可靠性不良影響的可能性。

此外，DRAM或具有習知型記憶胞結構的FRAM有下述問題：即使採用NWL方式或BSG方式的情況，由於使用正值作為晶胞轉移閘的臨界值，所以作為字元線的升壓電位也需要電源電壓+晶胞轉移閘的臨界值以上，需要升壓電路。

本發明係鑑於上述情況所完成的，其目的係在鏈式FRAM方面提供一種進行讀出/寫入動作時抑制干擾發生，可減低或消除記憶胞儲存極化量減少的鐵電記憶體。

此外，本發明之其他目的在於在具有習知型記憶胞結構的FRAM方面提供一種利用單板脈衝驅動方式進行讀出動作時，抑制板線啟動，不帶給晶胞電容器可靠性不良影響的鐵電記憶體。

再者，本發明之其他目的在於提供一種可低電壓化、低消耗電力化，可靠性高的DRAM或FRAM等半導體記憶體。

[解決課題之手段]

本發明之第一鐵電記憶體，其特徵在於：具備記憶胞單元：串聯連接多數個將鐵電電容器兩電極分別連接於第一MOS電晶體之源極及汲極而成的記憶胞；多數條字元線：分別對應連接於前述記憶胞單元之各第一MOS電晶體之閘極；板線：連接於前述記憶胞單元一；第一位元線：透過部件選擇用開關元件連接於前述記憶胞單元他

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

端；感測放大器：比較放大包含前述第一位元線及與此互補的第二位元線的位元線對電位；及，第二MOS電晶體：插入於前述部件選擇用開關元件和感測放大器之間；在前述板線電位上升的狀態且設利用前述感測放大器進行比較放大時的前述第二MOS電晶體之閘極電位最小值為VPP1，在前述板線電位下降的狀態且設利用前述感測放大器進行比較放大時的前述第二MOS電晶體之閘極電位最大值為VPP2，則為VPP1<VPP2者。

本發明之第二鐵電記憶體，其特徵在於：具備記憶胞陣列：排列多數個將第一MOS電晶體一端連接於至少一個鐵電電容器一端而成的記憶胞；字元線：連接於前述第一MOS電晶體之閘極；第一位元線：連接於和前述第一MOS電晶體之前述鐵電電容器連接側相反側之節點；板線：連接於和前述鐵電電容器之前述第一MOS電晶體連接側相反側之節點；感測放大器：比較放大包含前述第一位元線及與此互補的第二位元線的位元線對電位；及，第二MOS電晶體：插入於前述第一位元線和感測放大器之間；在前述板線電位上升的狀態且設利用前述感測放大器進行比較放大時的前述第二MOS電晶體之閘極電位最小值為VPP1，在前述板線電位下降的狀態且設利用前述感測放大器進行比較放大時的前述第二MOS電晶體之閘極電位最大值為VPP2，則為VPP1<VPP2者。

又，在本發明之第一或第二鐵電記憶體，最好在前述板線電位上升的狀態且設未利用前述感測放大器進行比較放

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (20)

大時的前述第二MOS電晶體之閘極電位最大值為VPP3，則為 $VPP1 < VPP3$ 。這種情況，VPP3例如為前述第一位元線的最大振幅電壓和前述第二MOS電晶體的臨界電壓之和以上。

此外，在本發明之第一或第二鐵電記憶體，最好前述VPP2為前述第一位元線最大振幅電壓和前述第二MOS電晶體臨界電壓之和以上(和前述字元線的升壓電位VPP同電位)。

此外，在本發明之第一或第二鐵電記憶體，最好前述VPP1為前述第一位元線最大振幅電壓和前述第二MOS電晶體臨界電壓之和未滿。

此外，在本發明之第一或第二鐵電記憶體，前述VPP1可以成為和前述第一位元線最大振幅電壓或由外部所供應的外部電源電壓VCC同電位或成為0V。

本發明之第三鐵電記憶體係在本發明之第一鐵電記憶體，其特徵在於：更具備均衡電路：在前述部件選擇用開關元件和前述第二MOS電晶體之間連接於前述位元線對間，在預定定時使前述位元線對與0V均衡者。

這種情況，在前述第二MOS電晶體之閘極電位變成0V的狀態，藉由將前述均衡電路控制在接通狀態，可使以下動作進行：再寫入從前述板線到前述感測放大器方向的極化到前述記憶胞或將前述均衡電路只在前述感測放大器變成非活性的狀態控制在接通狀態。

這些動作可在從前述記憶胞單元的選擇胞讀出資料後，

五、發明說明 (21)

按照從記憶體晶片外部寫入資料時或從前述記憶胞單元的選擇胞讀出資料而再寫入時選擇。

此外，從前述記憶胞單元的選擇胞讀出資料而再寫入時及從前述記憶胞單元的選擇胞讀出資料後從記憶體晶片外部寫入資料時，在前述第二MOS電晶體之閘極電位變成0V的狀態，藉由將前述均衡電路控制在接通狀態，可使再寫入從前述板線到前述感測放大器方向的極化到前述記憶胞的動作進行。

本發明之第四鐵電記憶體係在本發明之第一鐵電記憶體，其特徵在於：更具備一對第三電晶體：以各個的控制電極接收前述位元線對的電位，在各個的一端間連接前述感測放大器的一對輸出入節點；及，一對第四電晶體；插入於前述感測放大器的一對輸出入節點和前述位元線對之間，將由前述感測放大器進行比較放大的輸出資料藉由將前述板線電位降到0V後被控制於接通狀態傳到前述位元線對者。

本發明之第一半導體記憶體，其特徵在於：具備記憶胞：連接具有0V或0V附近的臨界值的至少一個第一MOS電晶體及連接於其一端的至少一個資訊記憶用電容器而成；位元線：連接於前述第一MOS電晶體之閘極；位元線：連接於和前述第一MOS電晶體之前述資訊記憶用電容器連接側相反側之節點；及，感測放大器：將前述位元線電位和參考電位比較放大者。

本發明之第二半導體記憶體係在本發明之第一半導體記

五、發明說明 (22)

憶體，其特徵在於：前述資訊記憶用電容器使用鐵電薄膜作為電極間絕緣膜者。

本發明之第三半導體記憶體係在本發明之第一半導體記憶體，其特徵在於：前述資訊記憶用電容器使用閘氧化膜作為電極間絕緣膜者。

本發明之第四半導體記憶體，其特徵在於：具備記憶胞單元：串聯連接多數個將鐵電電容器兩電極分別連接於第一MOS電晶體之源極及汲極而成的記憶胞；多數條字元線：分別對應連接於前述記憶胞單元之各第一MOS電晶體之閘極；板線：連接於前述記憶胞單元一端；部件選擇用第一MOS電晶體：一端連接於前述記憶胞單元他端；第一位元線：連接於前述第一MOS電晶體他端；及，感測放大器：比較放大包含第一位元線及與此互補的第二位元線的位元線對電位；前述第一MOS電晶體具有0V或0V附近的臨界值者。

本發明之第五半導體記憶體係在本發明第一至第四半導體記憶體之任一半導體記憶體，其特徵在於：前述字元線升壓電位為電源電壓者。

本發明之第六半導體記憶體係在本發明第一至第五半導體記憶體之任一半導體記憶體，其特徵在於：前述字元線非選擇時為負電位者。

本發明之第七半導體記憶體係在本發明第一至第五半導體記憶體之任一半導體記憶體，其特徵在於：前述感測放大器放大輸出的低電位側電位為正值者。

五、發明說明 (23)

[發明之實施形態]

以下，參照圖面詳細說明本發明之實施形態。

<第一實施形態>

圖1概略顯示關於第一實施形態的鏈式FRAM一部分結構，特別顯示記憶胞陣列及周邊電路的一部分電路連接。

在圖1中，在記憶胞區域行列狀地排列記憶胞單元。此記憶胞單元係串聯連接多數個將鐵電電容器兩電極分別連接於E型NMOS電晶體之源極及汲極而成的記憶胞。

此處例如代表性地顯示由8個晶胞M0~M7或BM0~BM7構成的兩個晶胞單元，以Tr0~Tr7及C0~C7表示晶胞M0~M7的電晶體及電容器，以BTr0~BTr7及BC0~BC7表示晶胞BM0~BM7的電晶體及電容器。

前述各電晶體Tr0~Tr7、BTr0~BTr7之閘極連接於字元線W_{Lr<0>}~W_{Lr<7>}，上述晶胞單元一端連接於板線PL<0>、PL<1>中的一條，他端透過部件選擇用MOS電晶體QB0或QB1連接於互補的一對位元線BL、BBL中的一條。

又，前述字元線W_{Lr<0>}~W_{Lr<7>}根據位址信號利用字元線選擇電路(未圖示)選擇一條字元線而供應字元線驅電位V(W_{Lr<0>})~V(W_{Lr<7>})。

此外，前述板線PL<0>、PL<1>根據位址信號為板線選擇電路(未圖示)所選擇，對應供應板線電壓V(PL<0>)、V(PL<1>)。

此外，前述部件選擇用MOS電晶體QB0、QB1對應為部件選擇信號V(BSr<0>)、V(BSr<1>)所控制。

五、發明說明（24）

而且，感測放大器區域10連接於前述位元線對BL、BBL。在此感測放大器區域10含有為了使位元線對BL、BBL均衡的均衡電路EQ、比較放大位元線對BL、BBL電位的感測放大器SA及列選擇閘CG。

這種情況，在前述均衡電路EQ和感測放大器SA之間插入分別串聯插入於前述位元線對BL、BBL的NMOS電晶體QS，根據施加於此電晶體QS之閘極的分離控制信號 ϕ_t ，均衡電路EQ和感測放大器SA選擇地進行連接/分開。

前述均衡電路部EQ具有NMOS電晶體QN：分別連接於給與位元線預先充電電位VSS的接地電位線和位元線對BL、BBL之間；及，NMOS電晶體QE：連接於上述位元線對BL、BBL間；為均衡控制信號V(BEQL)所控制。

前述感測放大器SA包含NMOS部：一對感測節點連接於位元線對BL、BBL，根據感測放大器活化信號V(SEN)控制活性/非活性狀態；及，PMOS部：一對感測節點連接於位元線對BL、BBL，根據感測放大器活化信號V(BSEP)控制活性/非活性狀態。

上述NMOS部和以往同樣，包含2個NMOS電晶體：與位元線BL、BBL對應而連接各汲極，與位元線對BBL、BL對應而連接各閘極；及，1個NMOS電晶體：共同連接於此2個NMOS電晶體之各源極和感測放大器之低電位（“L”）側電位VSS之間，施加感測放大器活化信號V(SEN)給閘極。

五、發明說明 (25)

前述PMOS部和以往同樣，包含2個PMOS電晶體：與位元線對BL、BBL對應而連接各汲極，與位元線對BBL、BL對應而連接各閘極；及，1個PMOS電晶體：共同連接於此2個PMOS電晶體之各源極和感測放大器之高電位(“H”)側電位VCC之間，施加感測放大器活化信號V(BSEP)給閘極。

前述列選擇閘CG和以往同樣，包含NMOS電晶體QG：分別連接於和對於多數列(即多數位元線對BL、BBL)共同設置的資料線對DQ、BDQ之間；由爲了選擇所希望列的位元線對BL、/BL的列選擇線CSL所開關控制，將利用對應列的感測放大器SA比較放大後的位元線對BL、BBL的資料轉移到資料線對DQ、BDQ或將由晶片外部所輸入的資料寫入到所希望的位元線對BL、/BL。

<第1實施例>

圖2爲顯示在圖1之鏈式FRAM，對於2T2C方式的記憶胞利用單板脈衝驅動方式進行讀出/來自晶片外部的寫入時的一連串動作的定時圖及顯示圖1中的晶胞電晶體Tr0~Tr7之一端節點BL0R~BL7R、晶胞電晶體BTr0~BTr7之一端節點BBL0r~BBL7r的電位詳細變遷。

此處例如在選擇字元線W_{Lr}<0>的情況，假設所選擇的晶胞中，在BL側的晶胞M0寫入從板線PL<0>到位元線BL方向的極化(即資料“0”)，在BBL側的晶胞BM0寫入從位元線BBL到板線PL<1>方向的極化(即資料“1”)，設想從記憶胞M0、BM0分別讀出資料“0”、資料“1”，接著從晶片

五、發明說明 (26)

外部分別寫入資料“1”、資料“0”的情況。

以下，一面參照圖2，一面具體說明動作。

首先做以下準備：將均衡控制信號 $V(BEQL)$ 降到“L”而解除位元線對BL、BBL的均衡，使位元線對BL、BBL成為浮動狀態，讀出資料到位元線對BL、BBL。

其次做以下準備：將字元線電位 $V(WLr<0>)$ 從 V_{PP} 降到0V而電位差落在晶胞M0、BM0兩端。接著，將部件選擇信號 $V(BSr<0>)$ 、 $V(BSr<1>)$ 從0V升到“H”而使部件選擇電晶體QB0、QB1成為接通，使板線電位 $V(PL<0>)$ 、 $V(PL<1>)$ “L”→“H”上升而讀出資料到位元線對BL、BBL。若更具體敘述，則藉由使板線電位上升，讀出到晶胞電晶體Tr0之一端節點BLOR及晶胞電晶體BTr0之一端節點BBL0r的電荷被讀出到感測放大器SA之一對感測節點。

其次，將分離控制信號 ϕt 從 V_{PP} 降到0V而使分離用電晶體QS成為斷開，在均衡電路EQ和感測放大器SA之間分開位元線BL、BBL。然後，降低感測放大器活化信號 $V(BSEP)$ ，提高感測放大器活化信號 $V(SEN)$ 而利用感測放大器SA使其感測放大。此外，進行前述分開之中將列選擇信號 $V(CSL)$ 升到“H”，進行感測放大器SA側的資料讀出到晶片外/來自晶片外的資料寫入到感測放大器SA。

另一方面，如前述斷開分離用電晶體QS後，使均衡控制信號 $V(BEQL)$ 上升到“H”而使位元線對BL、BBL與0V均衡。藉此，在晶胞M0、BM0兩方寫入“0”資料(即從板線到位元線方向的極化)。

五、發明說明 (27)

接著，將板線電位 $V(PL<0>)$ 、 $V(PL<1>)$ 降到 0 V，將均衡控制信號 $V(BEQL)$ 降到“L”而解除位元線對 BL、BBL 的均衡，使位元線對 BL、BBL 再成為浮動狀態後，藉由使分離控制信號 ϕ $t_0V \rightarrow V_{PP}$ 上升而接通分離用電晶體 QS，將為感測放大器 SA 所鎖定的資料寫入到位元線對 BL、BBL。

此時，在 BL 側的晶胞 M0，若感測放大器區域 10 中 BL 側的電位為“H”，則會重新寫入從位元線到板線方向的極化，但若感測放大器區域 10 中 BL 側的電位為“L”，則在分離用電晶體 QS 斷開的期間會照樣繼續寫入從最初所寫入的板線到位元線方向的資料。

在本實施例，晶胞 M0 重寫成從位元線 BL 到板線 $PL<0>$ 方向的極化(資料“1”)，在晶胞 BM0 照樣繼續寫入從板線 $PL<1>$ 到位元線方向的極化(資料“0”)。

此後，使字元線 $WLr<0>$ 上升到 V_{PP} ，使感測放大器活化信號 (SEN)、 $V(BSEP)$ 成為非活性狀態，使均衡控制信號 $V(BEQL)$ 上升到“H”。

雖然以上說明係就讀出後從晶片外部寫入到記憶胞的寫入 (Write) 周期動作加以說明，但進行讀出/再寫入的讀出 (Read) 周期動作也在如圖 2 所示的定時，如說明於下般地進行。

即，首先做以下準備：將均衡控制信號 $V(BEQL)$ 降到“L”而解除位元線對 BL、BBL 的均衡，使位元線 BL、BBL 成為浮動狀態，讀出資料到位元線對 BL、BBL。

五、發明說明 (28)

其次做以下準備：將字元線電位 $V(WLr<0>)$ 從 V_{PP} 降到 $0V$ 而電位差落在晶胞 $M0$ 、 $BM0$ 兩端。接著，將部件選擇信號 $V(BSr<0>)$ 、 $V(BSr<1>)$ 從 $0V$ 升到 V_{PP} 而使部件選擇電晶體 $QB0$ 、 $QB1$ 成為接通，使板線電位 $V(PL<0>)$ 、 $V(PL<1>)$ “L” → “H” 上升而讀出資料到位元線對 BL 、 BBL 。若更具體敘述，則藉由使板線電位上升，讀出到晶胞電晶體 $Tr0$ 之一端節點 $BLOR$ 及晶胞電晶體 $BTr0$ 之一端節點 $BBL0r$ 的電荷被讀出到感測放大器 SA 之一對感測節點。

其次，將分離控制信號 ϕt 從 V_{PP} 降到 $0V$ 而使分離用電晶體 QS 成為斷開，在均衡電路 EQ 和感測放大器 SA 之間分開位元線 BL 、 BBL 。然後，降低感測放大器活化信號 $V(BSEP)$ ，提高感測放大器活化信號 $V(SEN)$ 而利用感測放大器 SA 使其感測放大。此外，進行前述分開之中將列選擇信號 $V(CSL)$ 升到 “H”，將感測放大器 SA 側的資料讀出到晶片外。

另一方面，如前述斷開分離用電晶體 QS 後，使均衡控制信號 $V(BEQL)$ 上升到 “H” 而使位元線 BL 、 BBL 與 $0V$ 均衡。藉此，在晶胞 $M0$ 、 $BM0$ 兩方寫入 “0” 資料 (即從板線到位元線方向的極化)。

接著，將板線電位 $V(PL<0>)$ 、 $V(PL<1>)$ 降到 $0V$ ，將均衡控制信號 $V(BEQL)$ 降到 “L” 而解除位元線對 BL 、 BBL 的均衡，使位元線對 BL 、 BBL 再成為浮動狀態後，藉由使分離控制信號 ϕt $0V \rightarrow V_{PP}$ 上升而接通分離用電晶體 QS ，將為感測放大器 SA 所鎖定的讀出資料寫入到位元線對 BL 、

五、發明說明（29）

BBL。

此時，在BL側的晶胞M0，若感測放大器區域10中BL側的電位為“H”，則會重新寫入從位元線到板線方向的極化，但若感測放大器區域10中BL側的電位為“L”，則在分離用電晶體QS斷開的期間會照樣繼續寫入從最初所寫入的板線到位元線方向的資料。

在本實施例，晶胞M0照樣繼續寫入從板線PL<0>到位元線方向的極化（資料“0”），在晶胞BM0重寫成從位元線到板線PL<1>方向的極化（資料“1”）。

此後，使字元線WLR<0>上升到VPP，使感測放大器活化信號（SEN）、V(BSEP)成為非活性狀態，使均衡控制信號V(BEQL)上升到“H”。

上述讀出周期動作和前述寫入周期動作係均衡控制信號V(BEQL)的驅動方式相同，讀出周期時間T(R)和寫入周期時間T(R/W)相等。

根據上述第1實施例的鏈式FRAM，在晶胞陣列和感測放大器SA之間設置分離用電晶體QS和比此分離用電晶體QS在晶胞陣列側為了使位元線對BL、BBL在預定定時與接地電位均衡的均衡電路EQ，控制這些元件而可抑制前述干擾。

具體而言，一面斷開分離用電晶體QS而保為感測放大器SA所鎖的資料，一面使均衡電路EQ成為接通狀態而首先將“0”資料寫入到晶胞。接著，藉由將板線降到0V而斷開均衡電路EQ後接通分離用電晶體QS，將鎖定於感測放

五、發明說明 (30)

大器SA的讀出資料或由晶片外部輸入的資料寫入到晶胞。如此，由於在將板線降到0V的狀態將資料寫入到晶胞，所以此時板線電位及位元線電位兩方不會同時變成“H”。

因此，不會啟動(boot)圖1中晶胞電晶體Tr0~Tr7之一端節點BL0R~BL7R、晶胞電晶體BTr0~BTr7之一端節點BBL0r~BBL7r的電位，無晶胞電晶體Tr0~Tr7、BTr0~BTr7之源極電位上升，不會因基板偏壓效應而晶胞電晶體斷開，不發生下述干擾問題：在晶胞轉移閘兩端產生電位差而晶胞電容器的儲存極化量減少。

此外，根據上述第1實施例的鏈式FRAM，由於使分離用電晶體QS成為斷開後進行感測放大，所以有下述次要效果：從感測放大器SA看不見晶胞電容器的電容失衡。此外，也有下述次要效果：從感測放大器SA也看不見重的位元線寄生電容CB，可高速進行感測動作。

又，在上述第1實施例雖然顯示對於2T2C方式的晶胞進行讀出/寫入時的一連串動作，但對於1T1C方式的晶胞進行讀出/寫入時，選擇1個晶胞，藉由比較放大從晶胞讀出到位元線的電位和所另外產生的參考電位(例如從參考胞讀出到和前述位元線互補的位元線的電位)，可容易實現。

<第2實施例>

本實施例和第1實施例比較，在讀出周期和寫入周期均衝控制信號V(BEQL)的驅動方式不同，可使各個周期分別

五、發明說明 (31)

獨立最佳化。

在本實施例雖然寫入周期的動作參照圖2如前所述，但讀出周期的動作和說明於下般地進行。

圖3為顯示在圖1之鏈式FRAM，對於2T2C方式的晶胞在本實施例利用單板脈衝驅動方式進行讀出/再寫入的作為讀出周期的一連串動作的定時圖及顯示圖1中的晶胞電晶體 $Tr0 \sim Tr7$ 之一端節點 $BL0R \sim BL7R$ 、晶胞電晶體 $BTr0 \sim BTr7$ 之一端節點 $BBL0r \sim BBL7r$ 的電位詳細變遷。

此處和前述第1實施例同樣，例如在選擇字元線 $WLR<0>$ 的情況，假設所選擇的晶胞中，在BL側的晶胞M0寫入從板線 $PL<0>$ 到位元線BL方向的極化(即資料“0”)，在BBL側的晶胞BM0寫入從位元線BBL到板線 $PL<1>$ 方向的極化(即資料“1”)，設想從記憶胞M0、BM0分別讀出資料“0”、資料“1”，接著進行再寫入的情況。

以下，一面參照圖3，一面具體說明動作。

首先做以下準備：將均衡控制信號 $V(BEQL)$ 降到“L”而解除位元線對BL、BBL的均衡，使位元線對BL、BBL成為浮動狀態，讀出資料到位元線對BL、BBL。

其次做以下準備：將字元線電位 $V(WLR<0>)$ 從 V_{PP} 降到0V而電位差落在晶胞M0、BM0兩端。接著，將部件選擇信號 $V(BSr<0>)$ 、 $V(BSr<1>)$ 從0V升到 V_{PP} 而使部件選擇電晶體QB0、QB1成為接通，使板線電位 $V(PL<0>)$ 、 $V(PL<1>)$ “L”→“H”上升而讀出資料到位元線對BL、BBL。此時，讀出到晶胞電晶體 $Tr0$ 之一端節點 $BL0R$ 的電

五、發明說明 (32)

荷量及讀出到晶胞電晶體 BTr0 之一端節點 BBL0r 的電荷量被讀出到感測放大器 SA 之一對感測節點。

其次，將分離控制信號 ϕt 從 VPP 降到 0V 而使分離用電晶體 QS 成為斷開，在均衡電路 EQ 和感測放大器 SA 之間分開位元線 BL、BBL。然後，降低感測放大器活化信號 V(BSEP)，同時提高感測放大器活化信號 V(SEN) 而利用感測放大器 SA 使其感測放大。此外，進行前述分開之中提高列選擇信號 V(CSL)，將感測放大器 SA 側的資料讀出到晶片外。

此處應注意的是，在第 1 實施例，藉由斷開分離用電晶體 QS 後使位元線 BL、BBL 與 0V 均衡，在晶胞 M0、BM0 兩方寫入“0”資料(即從板線到位元線方向的極化)，但在本實施例，為了動作高速化，不使位元線 BL、BBL 與 0V 均衡。

如此，不使位元線對 BL、BBL 與 0V 均衡時，讀出“L”側的資料的位元線電位為接近 0V 的狀態，但不完全變成 0V。在此階段雖然不能充分寫入“0”資料，但在電源斷開時，由於回到晶胞電容器的滯後特性曲線上的原來位置(y 段上的極化位置)所以沒有問題。

接著，使板線電位 V(PL<0>)、V(PL<1>) 成為 0V 後，藉由使分離控制信號 ϕt 0V→VPP 上升而接通分離用電晶體 QS，將為感測放大器 SA 所鎖定的資料寫入到位元線對 BL、BBL。

此時，若感測放大器區域 10 中 BL 側的電位為“H”，則

五、發明說明 (33)

在BL側的晶胞M0重新寫入從位元線到板線方向的極化，但若感測放大器區域10中BL側的電位為“L”，則在BL側的晶胞M0照樣繼續寫入從最初所寫入的板線到位元線方向的資料。

即，在本實施例，在位元線對BL、BBL的電位接近0V的狀態，使板線電位 $V(PL<0>)$ 、 $V(PL<1>)$ 上升到“H”而在晶胞M0、BM0寫入“0”資料，其後將板線電位 $V(PL<0>)$ 、 $V(PL<1>)$ 降到0V之後，從感測放大器SA在晶胞BM0寫入“1”資料。

此後，將字元線電位 $V(WLr<0>)$ 升壓到VPP，使感測放大器活化信號 $V(SEN)$ 、 $V(BSEP)$ 成為非活性狀態，使均衡控制信號 $V(BEQL)$ 上升到“H”。

因此，根據第2實施例，和前述第1實施例同樣，板線電位和位元線電位兩方不會變成“H”，不發生如在習知第一動作例所述的干擾問題。此外，由於使分離用電晶體QS成為斷開後進行感測放大，所以有以下次要效果：從感測放大器SA看不見晶胞電容器的失衡，並且從感測放大器SA也看不見重的位元線寄生電容CB，可高速度。

此外，在第2實施例的讀出周期的動作和在第1實施例的讀出周期的動作比較，位元線對BL、BBL的均衡動作不同。即，在第1實施例的讀出周期(及寫入周期)，使分離用電晶體QS成為斷開之間，必須升降均衡控制信號 $V(BEQL)$ ，但在第2實施例的讀出周期，使分離用電晶體QS成為斷開之間，降低均衡控制信號 $V(BEQL)$ 不管即可。

五、發明說明 (34)

因此，在第2實施例，可在讀出周期和寫入周期各自獨立使動作定時最佳化，比寫入周期時間 $T(R/W)$ 短設定讀出周期時間 $T(R)$ 。

又，在上述第2實施例雖然顯示對於2T2C方式的晶胞進行讀出/寫入時的一連串動作，但對於1T1C方式的晶胞進行讀出/寫入時，選擇1個晶胞，藉由比較放大從晶胞讀出到位元線的電位和所另外產生的參考電位(例如從參考胞讀出到和前述位元線互補的位元線的電位)，可容易實現。

<第3實施例>

本實施例和採用單板脈衝驅動方式的第1實施例及第2實施例比較，採用雙板脈衝驅動方式之點不同。

圖4為顯示在圖1之鏈式FRAM，對於2T2C方式的晶胞利用雙板脈衝驅動方式進行讀出及來自晶片外部的寫入時的一連串動作的定時圖及顯示圖1中的晶胞電晶體 $Tr_0 \sim Tr_7$ 之一端節點 $BL_0R \sim BL_7R$ 、晶胞電晶體 $BTr_0 \sim BTr_7$ 之一端節點 $BBL_0r \sim BBL_7r$ 的電位詳細變遷。

此處和前述第1實施例同樣，例如在選擇字元線 $W_{Lr} < 0 >$ 的情況，假設所選擇的晶胞中，在BL側的晶胞 M_0 寫入從板線 $PL < 0 >$ 到位元線BL方向的極化(即資料“0”)，在BBL側的晶胞 BM_0 寫入從位元線BBL到板線 $PL < 1 >$ 方向的極化(即資料“1”)，設想從晶胞 M_0 、 BM_0 分別讀出資料“0”、資料“1”，接著從晶片外部分別寫入資料“1”、資料“0”的情況。

五、發明說明 (35)

以下，一面參照圖4，一面具體說明動作。

首先做以下準備：將均衡控制信號 $V(\text{BEQL})$ 降到“L”而解除位元線對BL、BBL的均衡，成為浮動狀態，讀出資料。

其次做以下準備：將字元線電位 $V(\text{WLr}<0>)$ 從 V_{PP} 降到0V而電位差落在晶胞M0、BM0兩端。接著，將部件選擇信號 $V(\text{BSr}<0>)$ 、 $V(\text{BSr}<1>)$ 從0V升到 V_{PP} 而使部件選擇電晶體QB0、QB1成為接通，藉由“L”→“H”→“L”地脈衝驅動板線電位 $V(\text{PL}<0>)$ 、 $V(\text{PL}<1>)$ ，只以極化量差為資料讀出到位元線對BL、BBL。此時，讀出到晶胞電晶體Tr0之一端節點BL0R的電荷量及讀出到晶胞電晶體BTr0之一端節點BBL0r的電荷量被讀出到感測放大器SA之一對感測節點。

其次，將分離控制信號 ϕ_t 從 V_{PP} 降到0V而使分離用電晶體QS成為斷開，在均衡電路EQ和感測放大器SA之間分開位元線BL、BBL。然後，降低感測放大器活化信號 $V(\text{BSEP})$ ，同時提高感測放大器活化信號 $V(\text{SEN})$ 而利用感測放大器SA使其感測放大。此外，進行前述分開之中將列選擇信號 $V(\text{CSL})$ 升到“H”，進行感測放大器SA側的資料讀出到晶片外/來自晶片外的資料寫入到感測放大器SA。

另一方面，如前述斷開分離用電晶體QS後，使均衡控制信號 $V(\text{BEQL})$ 上升到“H”而使位元線BL、BBL與0V均衡，在其狀態藉由“L”→“H”→“L”地脈衝驅動板線電位 $V(\text{PL}<0>)$ 、 $V(\text{PL}<1>)$ ，在晶胞M0、BM0兩方寫入“0”資

五、發明說明 (36)

料(即從板線到位元線方向的極化)。

接著，將均衡控制信號 $V(BEQL)$ 降到“L”而解除位元線對 BL、BBL 的均衡，再成為浮動狀態後，藉由使分離控制信號 ϕ 由 $0V \rightarrow V_{PP}$ 上升而接通分離用電晶體 QS，將為感測放大器 SA 所鎖定的資料寫入到位元線對 BL、BBL。

此時，在 BBL 側的晶胞 BM0，若感測放大器區域 10 中 BBL 側的電位為“H”，則重新寫入從位元線到板線方向的極化，但由於因來自晶片外部的寫入而感測放大器區域 10 中 BBL 側的電位成為“L”，所以在分離用電晶體 QS 斷開的期間，照樣繼續寫入從最初所寫入的板線到位元線方向的資料。另一方面，在 BL 側的晶胞 M0，由於因來自晶片外部的寫入而感測放大器區域 10 中 BL 側的電位成為“H”，所以寫入從位元線到板線方向的極化。

即，在本實施例，一面使位元線對 BL、BBL 與 $0V$ 均衡，一面使板線電位 $V(PL<0>)$ 、 $V(PL<1>)$ 上升而在晶胞 M0、BM0 寫入“0”資料，其後在將板線電位 $V(PL<0>)$ 、 $V(PL<1>)$ 降到 $0V$ 的狀態，從感測放大器 SA 在晶胞 M0、BM0 分別寫入資料“1”，“0”。

此後，將字元線電位 $V(WLr<0>)$ 升壓到 V_{PP} ，使感測放大器活化信號 $V(SEN)$ 、 $V(BSEP)$ 成為非活性狀態，使均衡控制信號 $V(BEQL)$ 上升到“H”。

因此，根據第 3 實施例，和前述第 1 實施例同樣，板線電位和位元線電位兩方不會變成“H”，不發生如在習知第二動作例所述的干擾問題。此外，由於使分離用電晶體 QS

五、發明說明 (37)

成為斷開後進行感測放大，所以有以下次要效果：即使晶胞電容器的電容失衡存在，從感測放大器SA也看不見，從感測放大器SA也看不見重的位元線寄生電容CB。

又，在上述第3實施例雖然顯示對於2T2C方式的晶胞進行讀出/寫入時的一連串動作，但對於1T1C方式的晶胞進行讀出/寫入時，選擇1個晶胞，藉由比較放大從晶胞讀出到位元線的電位和所另外產生的參考電位(例如從參考胞讀出到和前述位元線互補的位元線的電位)，可容易實現。

<第4實施例>

本實施例係對於顯示在寫入周期選擇選擇字元線W_{Lr}<0>而選擇晶胞M₀、B_{M0}，採用雙板脈衝驅動方式時的動作的第3實施例，在讀出周期選擇字元線W_{Lr}<7>而選擇晶胞M₇、B_{M7}，採用雙板脈衝驅動方式時的動作。

圖5為顯示在圖1之鏈式FRAM，對於2T2C方式的記憶胞利用雙板脈衝驅動方式進行讀出及再寫入時的一連串動作的定時圖及顯示圖1中的晶胞電晶體Tr₀~Tr₇之一端節點BL_{0R}~BL_{7R}、晶胞電晶體BTr₀~BTr₇之一端節點BBL_{0r}~BBL_{7r}的電位詳細變遷。

此處例如在選擇字元線W_{Lr}<7>的情況，假設所選擇的晶胞中，在BL側的晶胞M₇寫入從板線PL<0>到位元線BL方向的極化(即資料“0”)，在BBL側的晶胞B_{M7}寫入從位元線BBL到板線PL<1>方向的極化(即資料“1”)，設想從記憶胞M₇、B_{M7}分別讀出資料“0”、資料“1”，接著進行再

五、發明說明 (38)

寫入的情況。

以下，一面參照圖5，一面具體說明動作。

首先做以下準備：將均衡控制信號 $V(\text{BEQL})$ 降到“L”而解除位元線對BL、BBL的均衡，使位元線對BL、BBL成為浮動狀態，讀出資料到位元線對BL、BBL。

其次做以下準備：將字元線電位 $V(\text{WLr} < 7 >)$ 從 V_{PP} 降到0V而電位差落在晶胞M7、BM7兩端。接著，將部件選擇信號 $V(\text{BSr} < 0 >)$ 、 $V(\text{BSr} < 1 >)$ 從0V升到 V_{PP} 而使部件選擇電晶體QB0、QB1成為接通，藉由“L”→“H”→“L”地脈衝驅動板線電位 $V(\text{PL} < 0 >)$ 、 $V(\text{PL} < 1 >)$ ，只以極化量差為資料讀出到位元線對BL、BBL。

其次，將分離控制信號 ϕ_t 從 V_{PP} 降到0V而使分離用電晶體QS成為斷開，在均衡電路EQ和感測放大器SA之間分開位元線對BL、BBL。然後，降低感測放大器活化信號 $V(\text{BSEP})$ ，同時提高感測放大器活化信號 $V(\text{SEN})$ 而利用感測放大器SA使其感測放大。此外，進行前述分開之中將列選擇信號 $V(\text{CSL})$ 升到“H”，進行感測放大器SA側的資料讀出到晶片外/來自晶片外的資料寫入到感測放大器SA。

另一方面，如前述斷開分離用電晶體QS後，使均衡控制信號 $V(\text{BEQL})$ 上升到“H”而使位元線BL、BBL與0V均衡，在其狀態藉由“L”→“H”→“L”地脈衝驅動板線電位 $V(\text{PL} < 0 >)$ 、 $V(\text{PL} < 1 >)$ ，在晶胞M7、BM7兩方寫入“0”資料(即從板線到位元線方向的極化)。

五、發明說明（ 39）

接著，將均衡控制信號 $V(\text{BEQL})$ 降到“L”而解除位元線對BL、BBL的均衡，使位元線對BL、BBL再成為浮動狀態後，藉由使分離控制信號 $\phi t0V \rightarrow V_{PP}$ 上升而接通分離用電晶體QS，將為感測放大器SA所鎖定的資料寫入到位元線對BL、BBL。

此時，若感測放大器區域10中BL側的電位為“H”，則在BL側的晶胞M7重新寫入從位元線到板線方向的極化，但若感測放大器區域10中BL側的電位為“L”，則在BL側的晶胞M7，在分離用電晶體QS斷開的期間，照樣繼續寫入從最初所寫入的板線到位元線方向的資料。

即，在本實施例，一面使位元線對BL、BBL與0V均衡，一面將板線電位 $V(\text{PL}<0>)$ 、 $V(\text{PL}<1>)$ 升壓而在晶胞M7、BM7寫入“0”資料，其後在將板線電位 $V(\text{PL}<0>)$ 、 $V(\text{PL}<1>)$ 降到0V的狀態，從感測放大器SA在晶胞BM7寫入“1”資料。

此後，使字元線電位 $V(\text{WLr}<7>)$ 上升到 V_{PP} ，使感測放大器活化信號 $V(\text{SEN})$ 、 $V(\text{BSEP})$ 成為非活性狀態，使均衡控制信號 $V(\text{BEQL})$ 上升到“H”。

因此，根據第4實施例，和前述第1實施例同樣，板線電位和位元線電位兩方不會變成“H”，不發生如在習知第三動作例所述的干擾問題。此外，由於使分離用電晶體QS成為斷開後進行感測放大，所以從感測放大器SA看不見晶胞電容器的電容失衡。此外，有以下次要效果：從感測放大器SA也看不見重的位元線寄生電容CB，可謀求感測動

五、發明說明（40）

作高速化。

又，在上述第4實施例雖然顯示對於2T2C方式的晶胞進行讀出/再寫入時的一連串動作，但對於1T1C方式的晶胞進行讀出/再寫入時，選擇1個晶胞，藉由比較放大從此晶胞讀出到位元線的電位和所另外產生的參考電位（例如從參考胞讀出到和前述位元線互補的位元線的電位），可容易實現。

<第5實施例>

本實施例和將板線電位降到0V，接著將均衡控制信號V(BEQL)降到“L”後，將資料開始寫入到位元線對BL、BBL的第1實施例比較，藉由在將板線電位完全降到0V的中途的階段將資料開始寫入到位元線對BL、BBL，可比第1實施例謀求高速化之點不同。

圖6為顯示在圖1之鏈式FRAM，對於2T2C方式的記憶胞利用單板脈衝驅動方式進行讀出/來自晶片外部的寫入時的一連串動作的定時圖及顯示圖1中的晶胞電晶體Tr0~Tr7之一端節點BL0R~BL7R、晶胞電晶體BTr0~BTr7之一端節點BBL0r~BBL7r的電位詳細變遷。

此處例如在選擇字元線W_{Lr}<0>的情況，假設所選擇的晶胞中，在BL側的晶胞M0寫入從板線PL<0>到位元線BL方向的極化（即資料“0”），在BBL側的晶胞BM0寫入從位元線BBL到板線PL<1>方向的極化（即資料“1”），設想從記憶胞M0讀出資料“0”，接著從晶片外部寫入資料“1”的情況。

五、發明說明 (41)

以下，一面參照圖6，一面具體說明動作。

首先做以下準備：將均衡控制信號 $V(\text{BEQL})$ 降到“L”而解除位元線對BL、BBL的均衡，使位元線對BL、BBL成為浮動狀態，讀出資料到位元線對BL、BBL。

其次做以下準備：將字元線電位 $V(\text{WLr} < 0 >)$ 從 V_{PP} 降到0V而電位差落在晶胞M0、BM0兩端。接著，將部件選擇信號 $V(\text{BSr} < 0 >)$ 、 $V(\text{BSr} < 1 >)$ 從0V升到 V_{PP} 而使部件選擇電晶體QB0、QB1成為接通，使板線電位 $V(\text{PL} < 0 >)$ 、 $V(\text{PL} < 1 >)$ “L”→“H”上升而讀出資料到元線對BL、BBL。若更具體敘述，則藉由使板線電位上升，讀出到晶胞電晶體Tr0之一端節點BL0R及晶胞電晶體BTr0之一端節點BBL0r的電荷被讀出到感測放大器SA之一對感測節點。

其次，將分離控制信號 ϕ_t 從 V_{PP} 降到0V而使分離用電晶體QS成為斷開，在均衡電路EQ和感測放大器SA之間分開位元線對BL、BBL。然後，降低感測放大器活化信號 $V(\text{BSEP})$ ，提高感測放大器活化信號 $V(\text{SEN})$ 而利用感測放大器SA使其感測放大。此外，進行前述分開之中將列選擇信號 $V(\text{CSL})$ 升到“H”，進行感測放大器SA側的資料讀出到晶片外/來自晶片外的資料寫入到感測放大器SA。

另一方面，如前述斷開分離用電晶體QS後，使均衡控制信號 $V(\text{BEQL})$ 上升到“H”而使位元線對BL、BBL與0V均衡。藉此，在晶胞M0、BM0兩方寫入“0”資料(即從板線到位元線方向的極化)。

接著，將均衡控制信號 $V(\text{BEQL})$ 降到“L”而解除位元線

五、發明說明 (42)

對BL、BBL的均衡，使位元線對BL、BBL再成為浮動狀態。其次，和將板線電位 $V(PL<0>)$ 、 $V(PL<1>)$ 逐漸降到0V的動作同時，藉由使分離控制信號 $\phi t0V \rightarrow VPP$ 上升而接通分離用電晶體QS，將為感測放大器SA所鎖定的資料寫入到位元線對BL、BBL。

此時，在BL側的晶胞M0，若感測放大器區域10中BL側的電位為“H”，則會重新寫入從位元線到板線方向的極化，但若感測放大器區域10中BL側的電位為“L”，則在分離用電晶體QS斷開的期間會照樣繼續寫入從最初所寫入的板線到位元線方向的資料。

在本實施例，晶胞M0重寫成從位元線BL到板線 $PL<0>$ 方向的極化(資料“1”)，在晶胞BM0照樣繼續寫入從板線 $PL<1>$ 到位元線方向的極化(資料“0”)。

此後，將部件選擇信號 $V(BSr<0>)$ 、 $V(BSr<1>)$ 從“H”降到“L”而使部件選擇電晶體QB0、QB1成為斷開，接著使字元線 $WLR<0>$ 上升到VPP，使感測放大器活化信號(SEN)、 $V(BSEP)$ 成為非活性狀態，使均衡控制信號 $V(BEQL)$ 上升到“H”。

因此，根據第5實施例，和前述第1實施例同樣，可得到干擾減低效果、從感測放大器SA看不見晶胞電容器的電容失衡這種次要效果、從感測放大器SA也看不見位元線寄生電容CB、可高速進行感測動作這種次要效果。

而且，在第5實施例，具特徵的是在將板線電位 $V(PL<0>)$ 、 $V(PL<1>)$ 完全降到0V的中途，將為感測放大

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（43）

器SA所鎖定的資料開始寫入到位元線對BL、BBL，所以比前述第1實施例可謀求高速化。

又，在上述第5實施例雖然顯示對於2T2C方式的晶胞進行讀出/寫入時的一連串動作，但對於1T1C方式的晶胞進行讀出/再寫入時，選擇1個晶胞，藉由比較放大從此晶胞讀出到位元線的電位和所另外產生的參考電位（例如從參考胞讀出到和前述位元線互補的位元線的電位），可容易實現。

<第6實施例>

在本實施例和前述第1實施例的讀出周期的動作及寫入周期的動作比較，說明分離控制信號 ϕt 的“L”電平不同時之例。

圖7為顯示在圖1之鏈式FRAM，對於2T2C方式的晶胞在本實施例利用單板脈衝驅動方式進行讀出/再寫入時作為讀出周期的一連串動作的定時圖及顯示圖1中的晶胞電晶體Tr0~Tr7之一端節點BL0R~BL7R、晶胞電晶體BTr0~BTr7之一端節點BBL0r~BBL7r的電位詳細變遷。

圖8為顯示在圖1之鏈式FRAM，對於2T2C方式的晶胞在本實施例利用單板脈衝驅動方式讀出後從晶片外部寫入到記憶胞時作為寫入周期的一連串動作的定時圖及顯示圖1中的晶胞電晶體Tr0~Tr7之一端節點BL0R~BL7R、晶胞電晶體BTr0~BTr7之一端節點BBL0r~BBL7r的電位詳細變遷。

首先，就讀出周期的動作，一面參照圖7，一面具體說

五、發明說明 (44)

明動作。此處例如在選擇字元線 $W_{Lr<0>}$ 的情況，假設所選擇的晶胞中，在 BL 側的晶胞 M0 寫入從板線 $PL<0>$ 到位元線 BL 方向的極化（即資料“0”），在 BBL 側的晶胞 BM0 寫入從位元線 BBL 到板線 $PL<1>$ 方向的極化（即資料“1”），設想從記憶胞 M0 讀出資料“0”，接著進行再寫入的情況。

首先，做以下準備：允許輸出控制信號 /OE 變成活性狀態（“L”）而變成可輸出狀態後，將均衡控制信號 $V(BEQL)$ 降到“L”而解除位元線對 BL、BBL 的均衡，使位元線對 BL、BBL 成為浮動狀態，讀出資料到位元線對 BL、BBL。

其次，做以下準備：將字元線電位 $V(W_{Lr<0>})$ 從 V_{PP} 降到 0V 而電位差落在晶胞 M0、BM0 兩端。接著，將部件選擇信號 $V(BS_{r<0>})$ 、 $V(BS_{r<1>})$ 從 0V 升到 V_{PP} 而使部件選擇電晶體 QB0、QB1 成為接通，使板線電位 $V(PL<0>)$ 、 $V(PL<1>)$ “L”→“H”上升而讀出資料到位元線對 BL、BBL。此時，讀出到晶胞電晶體 Tr0 之一端節點 BL0R 的電荷量及讀出到晶胞電晶體 BTr0 之一端節點 BBL0r 的電荷量被讀出到感測放大器 SA 之一對感測節點。

其次，將分離控制信號 ϕ_t 從 V_{PP} 降到 V_{PP} 未滿的一定電位（在本例 V_{CC} ）。然後，降低感測放大器活化信號 $V(BSEP)$ ，同時提高感測放大器活化信號 $V(SEN)$ 而利用感測放大器 SA 使其感測放大。此外，將分離控制信號 ϕ_t 降到 V_{CC} 之中提高列選擇信號 $V(CSL)$ ，將感測放大器 SA 側的資料讀出到晶片外。

五、發明說明 (45)

此處應注意的是，在前述第6實施例，將前述分離控制信號 ϕ_t 從VPP降到0V而使分離用電晶體QS完全成為斷開，但在本例，將分離控制信號 ϕ_t 從VPP只降到VCC。

如此先將分離控制信號 ϕ_t 從VPP降到VCC，圖1中的晶胞電晶體BTr1~BTr7之一端節點BBL1r~BBL7r電位如前述，藉由使板線電位V(PL<0>)、V(PL<1>)上升，在於升起“H”的狀態，雖然利用感測放大晶胞電晶體BTr0之一端節點BBL0r電位上升，但上述節點BBL0r電位只升起到VCC-Vth。因此，晶胞電晶體BTr1~BTr7之一端節點BBL1r~BBL7r的啟動(boot)比前述節點BBL0r電位升起到VCC時減低，結果可使干擾減低。

接著，使板線電位V(PL<0>)、V(PL<1>)成為0V後，藉由使分離控制信號 ϕ_t 回到VPP而接通分離用電晶體QS，將為感測放大器SA所鎖定的資料寫入到位元線對BL、BBL。此時，若感測放大器區域10中BL側的電位為“H”，則在BL側的晶胞M0重新寫入從位元線到板線方向的極化，但若感測放大器區域10中BL側的電位為“L”，則在BL側的晶胞M0照樣繼續寫入從初所寫入的板線到位元線方向的資料。

即，在本實施例，使板線電位V(PL<0>)、V(PL<1>)上升到“H”時，將感測放大器區域10中BL側的電位(資料“0”)寫入到晶胞M0。此外，將感測放大器區域10中BBL側的電位(資料“1”)再寫入到晶胞BM0時，由於在使前述分離控制信號 ϕ_t 回到VPP的時點，節點BBL0r電位達到VCC-

五、發明說明 (46)

V_{th} ，所以使節點 $BBL0r$ 電位恢復到 VCC 的時間短，可達成高速化。

此後，將部件選擇信號 $V(BSr<0>)$ 、 $V(BSr<1>)$ 從 VPP 降到 $0V$ 而使部件選擇電晶體 $QB0$ 、 $QB1$ 成為斷開，接著將字元線驅動電位 $V(WLr<0>)$ 升壓到 VPP ，使感測放大器活化信號 $V(SEN)$ 、 $V(BSEP)$ 成為非活性狀態，使均衡控制信號 $V(BEQL)$ 上升到“H”。

即，在第6實施例的讀出周期的動作，使節點 $BBL0r$ 電位只升起到 $VCC-V_{th}$ ，藉由使板線電位 $V(PL<0>)$ 、 $V(PL<1>)$ 成為 $0V$ 後使分離控制信號 ϕ_t 回到 VPP 而將節點 $BBL0r$ 電位升到 VCC 這種設計，可使晶胞電晶體 $BTr1 \sim BTr7$ 之一端節點 $BBL1r \sim BBL7r$ 的啟動減低，使干擾減低及使高速化並存。

其次，就寫入周期的動作，一面參照圖8，一面具體說明動作。此處例如在選擇字元線 $WLr<0>$ 的情況，假設所選擇的晶胞中，在 BL 側的晶胞 $M0$ 寫入從板線 $PL<0>$ 到位元線 BL 方向的極化(即資料“0”)，在 BBL 側的晶胞 $BM0$ 寫入從位元線 BBL 到板線 $PL<1>$ 方向的極化(即資料“1”)，設想從晶胞 $M0$ 、 $BM0$ 分別讀出資料“0”、資料“1”，接著從晶片外部寫入晶胞資料“1”、資料“0”的情況。

此寫入周期的動作和前述讀出周期的動作同樣，係讀出資料後，在再寫入的定時從晶片外部寫入資料到記憶胞。

首先，做以下準備：允許寫入控制信號 $/WE$ 變成活性狀

五、發明說明 (47)

態(“L”)而變成可寫入狀態後，將均衡控制信號 $V(BEQL)$ 降到“L”而解除位元線對BL、BBL的均衡，使位元線對BL、BBL成為浮動狀態，讀出資料。

其次，做以下準備：將字元線電位 $V(WLr<0>)$ 從“H”降到“L”而電位差落在晶胞M0、BM0兩端。接著，將部件選擇信號 $V(BSr<0>)$ 、 $V(BSr<1>)$ 從“L”升到“H”而使部件選擇電晶體QB0、QB1成為接通，使板線電位 $V(PL<0>)$ 、 $V(PL<1>)$ “L”→“H”上升而讀出資料到位元線對BL、BBL。此時，讀出到晶胞電晶體Tr0之一端節點BL0R的電荷量及讀出到晶胞電晶體BTr0之一端節點BBL0r的電荷量被讀出到感測放大器SA之一對感測節點。

其次，將分離控制信號 ϕt 從VPP降到VPP未滿的一定電位(在本例VCC)。然後，降低感測放大器活化信號 $V(BSEP)$ ，同時提高感測放大器活化信號 $V(SEN)$ 而利用感測放大器SA使其感測放大。此外，將分離控制信號 ϕt 降到VCC之中提高列選擇信號 $V(CSL)$ ，從晶片外部寫入資料到感測放大器SA。

如前述先將分離控制信號 ϕt 從VPP降到VCC，圖1中的晶胞電晶體BTr1~BTr7之一端節點BBL1r~BBL7r電位如前述，藉由使板線電位 $V(PL<0>)$ 、 $V(PL<1>)$ 上升，在於升起“H”的狀態，雖然利用感測放大晶胞電晶體BTr0之一端節點BBL0r電位上升，但上述節點BL0r電位只升起到VCC- V_{th} 。

因此，晶胞電晶體BTr1~BTr7之一端節點BBL1r~BBL7r

五、發明說明 (48)

的啓動(boot)比前述節點BBL0r電位升起到VCC時減低，結果可使干擾減低。

此外，若對於晶胞電晶體Tr1~Tr7的干擾減低效果比BTr1~BTr7更加顯著，則也可以同時達成高速化。

晶胞資料讀出時，晶胞電晶體Tr1~Tr7之一端節點BL1r~BL7r電位如前述，在於升起到“H”的狀態，利用感測動作BL0r一旦變成0V後，因來自外部的寫入而升起到“H”，但此時只升起到VCC-Vth。因此，比升起到VCC的情況，啓動(boot)降低，也減低干擾。此外，由於在使分離控制信號 ϕ_t 回到VPP的時點，BL0r電位恢復到VCC-Vth，所以回到VCC的時間少即可，可達成高速化。

接著，使板線電位V(PL<0>)、V(PL<1>)成為0V後，藉由使分離控制信號 ϕ_t 回到VPP而接通分離用電晶體QS，將為感測放大器SA所鎖定的資料透過位元線對BL、BBL寫入到晶胞M0、BM0。

即，在本實施例，使板線電位V(PL<0>)、V(PL<1>)上升到“H”時，將感測放大器區域10中BBL側的電位(資料“0”)寫入到晶胞BM0。

此後，將部件選擇信號V(BSr<0>)、V(BSr<1>)從VPP降到0V而使部件選擇電晶體QB0、QB1成為斷開，接著將字元線驅動電位V(WLr<0>)升壓到VPP，使感測放大器活化信號V(SEN)、V(BSEP)成為非活性狀態，使均衡控制信號V(BEQL)上升到“H”。

即，在第6實施例的讀出周期的動作，使節點BBL0r電

五、發明說明 (49)

位只升起到 $V_{CC}-V_{th}$ ，藉由使板線電位 $V(PL<0>)$ 、 $V(PL<1>)$ 成為 0V 後使分離控制信號 ϕ_t 回到 V_{PP} 而將節點 $BBL0r$ 電位升到 V_{CC} 這種設計，使晶胞電晶體 $BTr1 \sim BTr7$ 之一端節點 $BBL1r \sim BBL7r$ 和晶胞電晶體 $Tr1 \sim Tr7$ 之一端節點 $BL1r \sim BL7r$ 的啓動 (boot) 減低，結果可使干擾減低。特別是晶胞電晶體 $Tr1 \sim Tr7$ 的干擾減低效果顯著。

因此，根據第 6 實施例，和第 1 實施例、第 2 實施例同樣，除了得到干擾減低效果等之外，在使分離控制信號 ϕ_t 回到 V_{PP} 的時點，使節點 $BL0r$ 或 $BL0r$ 電位恢復到 V_{CC} 的時間變短，比前述第 1 實施例、第 2 實施例可謀求高速化。

又，在上述第 6 實施例雖然顯示對於 2T2C 方式的晶胞進行讀出/寫入時的一連串動作，但對於 1T1C 方式的晶胞進行讀出/寫入時，選擇 1 個晶胞，藉由比較放大從晶胞讀出到位元線的電位和所另外產生的參考電位 (例如從參考胞讀出到和前述位元線互補的位元線的電位)，可容易實現。

< 第 7 實施例 >

在前述第 6 實施例，雖然在進行感測放大的狀態大略規定在板線電位下降前後的分離控制信號 ϕ_t 電位，但在本實施例，為使干擾減低而使最低限度必要動作和其以外動作明確化。

圖 9 顯示參照圖 7 和前述第 6 實施例的讀出周期的動作大致同樣進行的讀出周期的動作，和第 6 實施例的讀出周期的動作比較，基本上相同，但以斜線顯示分離控制信號 ϕ_t

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (50)

電位的不定(don't care)期間。

即，若信號從記憶胞傳到感測放大器，則分離控制信號 ϕt 電位VPP亦可，其未滿的電位(在本例VCC)亦可，在感測放大前後使VCC成為一定時，亦可謀求存取時間的高速化。

此外，進行再寫入到記憶胞後，分離控制信號 ϕt 電位會從VPP被降到VCC。

圖10顯示參照圖8和前述第6實施例的寫入周期的動作大致同樣進行的讀出周期的動作，和第6實施例的寫入周期的動作比較，基本上相同，但以斜線顯示分離控制信號 ϕt 電位的不定(don't care)期間。

即，若信號從記憶胞傳到感測放大器，則分離控制信號 ϕt 電位VPP亦可，其未滿的電位(在本例VCC)亦可，在感測放大前後使VCC成為一定時，亦可謀求存取時間的高速化。

此外，進行再寫入到記憶胞後，分離控制信號 ϕt 電位會從VPP被降到VCC。

因此，根據第7實施例，除了得到和第6實施例同樣的干擾減低效果等之外，還可謀求存取時間的更加高速化。

又，在上述第7實施例雖然顯示對於2T2C方式的晶胞進行讀出/寫入時的一連串動作，但對於1T1C方式的晶胞進行讀出/寫入時，選擇1個晶胞，藉由比較放大從晶胞讀出到位元線的電位和所另外產生的參考電位(例如從參考胞讀出到和前述位元線互補的位元線的電位)，可容易實

五、發明說明 (51)

現。

< 第 8 實施例 >

在前述第 1~第 7 實施例係使分離控制信號 ϕt 電位變化，但在本實施例係將分離控制信號 ϕt 電位固定在 V_{PP} 等一定電位或除掉分離控制用電晶體 Q_S 。

圖 11 為顯示在圖 1 之鏈式 FRAM，對於 2T2C 方式的晶胞利用雙板脈衝驅動方式進行讀出及來自晶片外部的寫入時的一連串動作的定時圖及顯示圖 1 中的晶胞電晶體 $BTr_0 \sim BTr_7$ 之一端節點 $BBL_{0r} \sim BBL_{7r}$ 的電位詳細變遷。

此處例如在選擇字元線 $W_{Lr} < 7 >$ 的情況，假設所選擇的晶胞中，在 BL 側的晶胞 M_7 寫入從板線 $PL < 0 >$ 到位元線 BL 方向的極化（即資料“0”），在 BBL 側的晶胞 BM_7 寫入從位元線 BBL 到板線 $PL < 1 >$ 方向的極化（即資料“1”），設想從記憶胞 M_7 讀出資料“0”，接著進行來自晶片外的寫入的情況。

以下，一面參照圖 11，一面具體說明動作。

首先做以下準備：將均衡控制信號 $V(BEQL)$ 降到“L”而解除位元線對 BL 、 BBL 的均衡，成為浮動狀態，將部件選擇信號 $V(BSr < 0 >)$ 、 $V(BSr < 1 >)$ 從 0V 升到 V_{PP} 而使電晶體 QB_0 、 QB_1 成為接通，讀出資料。此外，先將分離控制信號 ϕt 電位固定在 V_{PP} 等一定電位。

其次做以下準備：將字元線電位 $V(W_{Lr} < 7 >)$ 從 V_{PP} 降到 0V 而電位差落在晶胞 M_7 、 BM_7 兩端。接著，將部件選擇信號 $V(BSr < 0 >)$ 、 $V(BSr < 1 >)$ 從 0V 升到 V_{PP} 而使部件選擇

五、發明說明 (52)

電晶體 QB0、QB1 成為接通，藉由“L”→“H”→“L”地脈衝驅動板線電位 $V(PL<0>)$ 、 $V(PL<1>)$ ，只以極化量差為資料讀出到位元線對 BL、BBL。

其次，降低感測放大器活化信號 $V(BSEP)$ ，同時提高感測放大器活化信號 $V(SEN)$ 而利用感測放大器 SA 使其感測放大。此處應注意之點就是，在此時點感測放大器 SA 的電源電位為未滿 VCC。此外，將列選擇信號 $V(CSL)$ 升到“H”，進行感測放大器 SA 側的資料讀出到晶片外/來自晶片外的資料寫入到感測放大器 SA。

接著，藉由“L”→“H”→“L”地脈衝驅動板線電位 $V(PL<0>)$ 、 $V(PL<1>)$ ，在晶胞 M7、BM7 進行再寫入。然後，上述板線電位 $V(PL<0>)$ 、 $V(PL<1>)$ 變成“L”(0V) 後，將感測放大器 SA 的電源電位 $V(SAP)$ 從未滿 VCC 的電位提高到 VCC。

此後，使字元線電位 $V(WLr<7>)$ 上升到 VPP，將部件選擇信號 $V(BSr<0>)$ 、 $V(BSr<1>)$ 降到 0V，使感測放大器活化信號 $V(SEN)$ 、 $V(BSEP)$ 成為非活性狀態，使均衡控制信號 $V(BEQL)$ 上升到“H”。

即，根據第 8 實施例，先從 VCC 降低板線電位 $V(PL<0>)$ 、 $V(PL<1>)$ 在於“H”狀態時的感測放大器 SA 的電源電位 $V(SAP)$ ，板線電位 $V(PL<0>)$ 、 $V(PL<1>)$ 下降到 0V 後，使感測放大器 SA 的電源電位 $V(SAP)$ 上升到 VCC。

如此，在感測放大中藉由調節感測放大器 SA 的電源電位 $V(SAP)$ ，可使干擾減低。

五、發明說明 (53)

又，在上述第8實施例雖然顯示對於2T2C方式的晶胞進行讀出/寫入時的一連串動作，但對於1T1C方式的晶胞進行讀出/寫入時，選擇1個晶胞，藉由比較放大從此晶胞讀出到位元線的電位和所另外產生的參考電位(例如從參考胞讀出到和前述位元線互補的位元線的電位)，可容易實現。

在此概括說明上述第一實施形態。

在鏈式FRAM方面，例如在雙板脈衝驅動方式，設想啟動感測放大器後進行爲了再寫入的板線驅動的情況。

這種情況，在習知鏈式FRAM，讀出“1”時，由於位元線被放大到感測放大器的電源電平又再爲板線所驅動，所以會啟動(boot)記憶胞單元內部的節點，因基板偏壓效應而轉移閘斷開。

由於在該狀態板線電位再上升，所以晶胞轉移閘斷開後上升的部分爲連接於板線和晶胞轉移閘之間的電容成分所電容分割，結果在各晶胞轉移閘兩端產生電位差，因此而各晶胞電容器的儲存極化量減少，發生干擾。

於是，在關於第一實施形態的鏈式FRAM，在晶胞陣列和感測放大器SA之間設置分離用電晶體QS和比此分離用電晶體QS在晶胞陣列側使位元線對BL、BBL在預定定時與接地電位均衡的均衡電路EQ，控制這些元件而抑制前述干擾。

具體而言，係藉由一面斷開分離用電晶體QS而保護讀出的資料，一面使均衡電路EQ成爲接通狀態而進行第二

五、發明說明 (54)

啟動的板線驅動，先將“0”資料寫入到晶胞。

接著，將板線降到0V而斷開均衡電路EQ後，藉由接通分離用電晶體QS，將為感測放大器SA所鎖定的讀出資料或由晶片外部輸入的資料寫入到晶胞。此時，若為感測放大器SA所鎖定的資料為“1”，則晶胞的“0”資料重寫成“1”。

在以上的動作，板線和感測放大器不會都變成“H”，所以不發生如在習知鏈式FRAM產生的干擾問題。

<第二實施形態>

關於前述第一實施形態的鏈式FRAM，係在均衡電路EQ和感測放大器SA之間設置分離用電晶體QS，如在感測放大器前斷開分離用電晶體QS，使板線電位下降到0V後接通分離用電晶體QS，在記憶胞進行寫入或再寫入般地使其動作。

對此，就變更前述均衡電路EQ和感測放大器SA間的電氣分離機構的關於第二實施形態的鏈式FRAM說明於下。

圖12概略顯示關於第二實施形態的鏈式FRAM一部分結構，特別顯示記憶胞陣列及周邊電路的一部分電路連接。

關於第二實施形態的鏈式FRAM結構和關於第一實施形態的鏈式FRAM結構比較，省略分離用電晶體QS，感測放大器區域20、寫入電路21不同，其他相同，所以附上和圖1中相同符號。

即，在感測放大器區域20，在位元線對BL、BBL連接均衡電路EQ，同時連接感測輸入用電晶體之控制電極(在

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (55)

本例NMOS連接QA之閘極)。此電晶體QA係源極連接於接地電位VSS，第二位元線對BL2或BBL2連接於汲極。感測放大器SA、列選擇閘CG及位元線預先充電電路PR連接於此第二位元線對BL2、BBL2。

而且，在上述第二位元線對BL2、BBL2和前述位元線對BL、BBL之間連接寫入電路21之點不同。

前述位元線預先充電電路PR具有預先充電用NMOS電晶體QP：分別連接於給與位元線預先充電電位VPR的位元線預先充電線和第二位元線對BL2、BBL2之間；為位元線預先充電控制信號V(BLPR)所控制。

前述寫入電路21包括寫入用NMOS電晶體QW：分別連接於第二位元線對BL2、BBL2和位元線對BL、BBL之間；為寫入控制信號V(WRITE)所控制。

關於第二實施形態的鏈式FRAM動作和關於第一實施形態的鏈式FRAM動作比較，下述之點不同：如利用位元線預先充電電路PR將第二位元線對BL2、BBL2預先充電到預定電位VPR，以電晶體QA之閘極直接接收從選擇胞讀出到位元線對BL、BBL的電位，在連接於第二位元線對BL2、BBL2的感測放大器SA比較放大完畢後，使寫入電路21接通而分別連接位元線對BL、BBL和BL2、BBL2，寫回到選擇胞般地使其動作。

<第9實施例>

圖13為顯示在圖12所示的關於第二實施形態的鏈式FRAM，對於2T2C方式的晶胞利用單板脈衝驅動方式進行

五、發明說明 (56)

讀出及來自晶片外部的寫入時的一連串動作的定時圖及顯示圖12中的晶胞電晶體 $Tr_0 \sim Tr_7$ 之一端節點 $BL_{0R} \sim BL_{7R}$ 的電位、晶胞電晶體 $BTr_0 \sim BTr_7$ 之一端節點 $BBL_{0R} \sim BBL_{7R}$ 的電位詳細變遷。

此處例如在選擇字元線 $W_{Lr} < 7 >$ 的情況，假設所選擇的晶胞中，在BL側的晶胞M7寫入從板線 $PL < 0 >$ 到位元線BL方向的極化(即資料“0”)，在BBL側的晶胞BM7寫入從位元線BBL到板線 $PL < 1 >$ 方向的極化(即資料“1”)，設想從記憶胞M7讀出資料“0”的情況。

以下，一面參照圖13，一面具體說明動作。

首先做以下準備：將均衡控制信號 $V(BEQL)$ 降到“L”而解除位元線對BL、BBL與0V的均衡，使位元線對BL、BBL成為浮動狀態，讀出資料到位元線對BL、BBL。此外，做以下準備：將位元線預先充電控制信號 $V(BLPR)$ 也降到“L”而也解除第二位元線對BL2、BBL2的預先充電，讀出到位元線對BL、BBL的資料自動傳到感測放大器SA側。

其次做以下準備：將字元線電位 $V(W_{Lr} < 7 >)$ 從 V_{PP} 降到0V而電位差落在晶胞M7、BM7兩端。接著，將部件選擇信號 $V(BS_r < 0 >)$ 、 $V(BS_r < 1 >)$ 從0V升到 V_{PP} 而使部件選擇電晶體QB0、QB1成為接通，藉由使板線電位 $V(PL < 0 >)$ 、 $V(PL < 1 >)$ “L”→“H”上升，將資料讀出到位元線對BL、BBL。

在此狀態寫入控制信號 $W(WRITE)$ 為0V，感測放大器SA

五、發明說明 (57)

仍然和晶胞陣列區域分開，在此狀態時降低感測放大器活化信號 $V(BSEP)$ ；同時提高感測放大器活化信號 $V(SEN)$ 而利用感測放大器 SA 使其感測放大。

此外，在進行前述分開之中將列選擇信號 $V(CSL)$ 升到“H”，進行感測放大器 SA 側的資料讀出到晶片外。

另一方面，和前述感測放大大致同時使均衡控制信號 $V(BEQL)$ 上升到“H”而使位元線對 BL2、BBL2 與 0V 均衡。藉此，位元線對 BL、BBL 變成 0V，在該狀態藉由板線電位 $V(PL<0>)$ 、 $V(PL<1>)$ 變成“H”，在晶胞 M7、BM7 兩方寫入“0”資料（即從板線到位元線方向的極化）。

接著，將板線電位 $V(PL<0>)$ 、 $V(PL<1>)$ 降到 0V，將均衡控制信號 $V(BEQL)$ 降到“L”而解除位元線對 BL、BBL 的均衡，使位元線對 BL2、BBL2 再成為浮動狀態後，藉由使寫入控制信號 $V(WRITE)$ 成為“H”，將為感測放大器 SA 所鎖定的資料寫入到位元線對 BL、BBL。

此時，若感測放大器區域 20 中 BL2 側的電位為“H”，則在 BL 側的晶胞 M7 會重新寫入從位元線到板線方向的極化，但若感測放大器區域 20 中 BL2 側的電位為“L”，則在 BL 側的晶胞 M7 會照樣繼續寫入從最初所寫入的板線到位元線方向的資料。

即，在本實施例，一面使位元線對 BL、BBL 與 0V 均衡，一面將板線電位 $V(PL<0>)$ 、 $V(PL<1>)$ 升壓而在晶胞 M7、BM7 寫入“0”資料，其後在將板線電位 $V(PL<0>)$ 、 $V(PL<1>)$ 降到 0V 的狀態，從感測放大器 SA 在晶胞 BM7 寫

五、發明說明（58）

入“1”資料。

此後，使字元線 $WLr<0>$ 上升到 V_{PP} ，使感測放大器活化信號 $V(SEN)$ 、 $V(BSEP)$ 成為非活性狀態，使均衡控制信號 $V(BEQL)$ 上升到“H”。

因此，根據第9實施例，板線和位元線兩方不會變成“H”，不發生如在習知第三動作例所述的干擾問題。

此外，由於以電晶體QA之間極接收讀出到位元線對的資料，所以感測放大之際，因即使晶胞電容器的電容失衡存在，從感測放大器SA也看不見，從感測放大器SA也看不見重的位元線寄生電容，而有可高速感測動作這種次要效果。

此外，根據關於第二實施形態的鏈式FRAM，和關於第一實施形態的鏈式FRAM結構比較，雖然感測放大器區域20變成複雜（圖案面積變大），但和關於第一實施形態的鏈式FRAM的第4實施例比較，在板線的脈衝驅動和感測放大之間不要將分離用電晶體QS根據分離控制信號 ϕt 定時（clocking）在斷開狀態的動作，所以僅該部分就有可使動作高速化的優點。

<第三實施形態>

關於第三實施形態的FRAM，例如如圖14所示般地所構成，具有習知型記憶胞結構，和習知技術的FRAM比較，在均衡電路EQ和感測放大器SA之間分離控制用NMOS電晶體QS分別串聯插入於位元線BL、BBL之點不同，其他大致同樣。

五、發明說明 (59)

<第10實施例>

圖14概略顯示關於第10實施例的FRAM一部分結構，特別顯示記憶胞陣列及周邊電路的一部分電路連接。

即，在圖14中，在記憶胞陣列區域行列狀地排列記憶胞：串聯連接1個晶胞電晶體和1個鐵電電容器而成。在本例，例如代表性地顯示2個記憶胞M0、BM0，以Tr0、BTr0表示此2個記憶胞M0、BM0的電晶體，以C0、BC0表示電容器。前述電容器C0、BC0一端對應連接於板線PL<0>、PL<B0>，電晶體Tr0、BTr0之閘極對應連接於字元線WLr<0>、WLr<B0>，電晶體Tr0、BTr0一端連接於位元線BL及與此互補的BBL。

而且，均衡電路EQ、正反器型感測放大器SA、列選擇閘CG連接於前述位元線對BL、BBL。這種情況，在均衡電路EQ和感測放大器SA之間分離控制用電晶體QS分別串聯插入於位元線BL、BBL。

又，前述均衡電路EQ為均衡控制信號V(BEQL)所控制，前述感測放大器SA為感測放大器活化控制信號V(SEN)、V(BSEP)所控制，前述列選擇閘CG為列選擇信號V(CSL)所控制，前述分離控制用電晶體QS為分離控制信號 ϕ_t 所控制。

圖15為顯示在圖14之FRAM，對於2T2C型晶胞選擇字元線WLr<0>、WLr<B0>而選擇晶胞M0、BM0，利用單板脈衝驅動方式從晶胞M0、BM0分別讀出資料“1”、資料“0”而再寫入的動作的定時圖。

五、發明說明 (60)

以下，一面參照圖15，一面具體說明動作例。此處假設在晶胞M0寫入從位元線到板線方向的極化(資料“1”)，在晶胞BM0寫入從板線到位元線方向的極化(資料“0”)。

首先做以下準備：降低均衡控制信號 $V(\text{BEQL})$ 而解除位元線對BL、BBL的均衡，讀出資料。其次，將字元線電位 $V(\text{WL}<0>)$ 、 $V(\text{WLr}<\text{B0}>)$ 從0V升壓到 V_{PP} 而選擇字元線 $\text{WLr}<0>$ 、 $\text{WLr}<\text{B0}>$ 。接著，藉由將板線電壓 $V(\text{PL}<0>)$ 、 $V(\text{PL}<\text{B0}>)$ 分別從0V升到 $V(\text{PLPW})$ ，將記憶胞M0、BM0的極化以電荷形式讀出到位元線對BL、BBL。

其次，將分離控制信號 ϕ_t 從 V_{PP} 降到0V而使分離控制用電晶體QS成為斷開後，提高感測放大器活化信號 $V(\text{SEN})$ ，同時降低感測放大器活化信號 $V(\text{BSEP})$ 而使感測放大器SA活化，使其感測放大。然後，提高列選擇信號 $V(\text{CSL})$ 而使列選擇閘CG成為接通，將資料讀出到晶片外部。

此外，提高均衡控制信號 $V(\text{BEQL})$ 而使均衡電路EQ成為接通，藉由使位元線對BL、BBL與0V均衡，在晶胞M0、BM0先寫入資料“0”。

其次，將板線電壓 $V(\text{PL}<0>)$ 、 $V(\text{PL}<\text{B0}>)$ 分別降到0V，使分離控制信號 ϕ_t 從“L”回到“H”而使分離控制用電晶體QS、QS再成為接通，將為感測放大器SA所鎖定的資料再寫入到晶胞M0、BM0。

因此，在前述板線電壓 $V(\text{PL}<0>)$ 、 $V(\text{PL}<\text{B0}>)$ 的電位上升到 $V(\text{PLPW})$ 的狀態進行由晶胞M0所讀出的“1”資料的感

五、發明說明 (61)

測放大時，分離控制用電晶體QS變成斷開而防止位元線BL和板線PL<0>的電容耦合(coupling)，所以不會將板線電壓V(PL<0>)的電位啟動(boot)到比前述V(PLPW)更高的電位。

此後，使字元線驅動電位V(WLr<0>)、V(WLr<B0>)從VPP下降到0V而使字元線WLr<0>、WLr<B0>成為非選擇狀態，降低感測放大器活化信號V(SEN)，同時提高感測放大器活化信號V(BSEP)而使感測放大器SA非活化，結束動作。

又，分離控制用NMOS電晶體QS之閘極電位可按照在前述第一實施形態的第1、第2、第5~第8實施例加以控制。

<第四實施形態>

圖16概略顯示關於第四實施形態的FRAM一部分結構。

此FRAM結構和習知FRAM比較，以下之點不同：(1)各記憶胞MC係串聯連接具有臨界值0V或0V附近之值的1個本徵(intrinsic)型(I型)MOS電晶體和1個鐵電電容器而成，(2)應用NWL方式或BSG方式，使用電源電壓VCC作為字元線的升壓電位，(3)採用上述BSG方式時，將位元線對的均衡電位VBLP控制在比0V高的電位；其他大致同樣。

即，在圖16中，記憶胞區域係行列狀地排列晶胞MC：串聯連接具有臨界值0V或0V附近之值的I型MOS電晶體Qi的1個和鐵電電容器C的1個而成。在此記憶胞區域的同一列晶胞MC係將電晶體Qi一端側(和電容器連接側相反

五、發明說明 (62)

側)的節點連接於位元線BL或與此互補的位元線BBL。

此外，字元線WL<i>(代表性地只顯示WL<0>~WL<7>)共同連接於同一行晶胞MC的電晶體Qi之閘極。而且，板線PL<i>(代表性地只顯示PL<0>~PL<7>)共同連接於同一行晶胞MC的晶胞電容器C之板極(和電晶體連接側相反側的電極)。這些板線PL<i>與前述字元線WL<i>大致平行地配置。

前述多數條字元線WL<i>係根據位址信號利用字元線選擇電路(未圖示)選擇1條至2條(一對)而供應字元線升壓電位。此外，多數條板線PL<i>也根據位址信號利用板線選擇電路(未圖示)選擇1條至2條(一對)，供應板線電壓。

EQ為使前述位元線對BL、BBL均衡的均衡電路，SA為感測放大器，CG為列選擇閘，這些元件和圖1中同樣構成。

<第11實施例>

圖17為顯示在圖16之FRAM，採用NWL方式，對於2T2C方式的晶胞利用雙板脈衝驅動方式進行讀出及來自晶片外部的寫入的根據假SRAM方式的一連串動作的定時圖。

首先，一接通電源，電源電壓VCC就徐徐上升起來，但在某處電源接通檢測電路(未圖示)起作用，檢出脈衝V(Detect)升起。接到此脈衝，字元線全部被加偏壓到負電位VBB，並且均衡控制信號V(BEQL)變成“H”而進行位元線對BL、BBL的均衡。

五、發明說明 (63)

繼均衡解除之後，降低行位址選通信號/RAS，提高列位址選通信號CAS而鎖定行和列的位址。

接到行位址而將所選擇的字元線WL<0>和WL<1>的電位從0V升壓到VCC，脈衝驅動板線電位V(PL<0>)、V(PL<1>)。和由感測放大器SA比較放大同時使列選擇信號V(CSL)活化而使列選擇閘CG接通，發出資料到晶片外部，藉由再脈衝驅動板線電位V(PL<0>)、V(PL<1>)，進行再寫入。

此動作結束後，藉由降低選擇字元線的電位而再進行位元線對BL、BBL的均衡，動作結束。

藉由如上述組合NWL方式和使用I型電晶體Qi而將字元線的升壓電位從習知VPP(=VCC+Vth以上)降到VCC，可改善晶胞電晶體Qi的TDDB(Time Dependent Dielectric Breakdown；時間相關介質擊穿)特性。

<第12實施例>

圖18為顯示在圖16之FRAM，採用BSGL方式，對於2T2C方式的晶胞利用雙板脈衝驅動方式進行讀出及來自晶外部的寫入的根據假SRAM方式的一連串動作的定時圖。

首先，一接通電源，電源電壓VCC就徐徐上升起，但在某處電源接通檢測電路(未圖示)起作用，檢出脈衝V(Detect)升起。接到此脈衝，將位元線對的均衡電位VBLP設定於VOFF。在這樣的狀態，均衡控制信號V(BEQL)變成“H”而進行與位元線對BL、BBL的VOFF電位的均衡。繼均衡解除之後，降低/RAS，提高CAS而鎖定行和列

五、發明說明 (64)

的位址。

接到行位址而將所選擇的字元線 $WL<0>$ 和 $WL<1>$ 的電位從 $0V$ 升壓到 VCC ，脈衝驅動板線電位 $V(PL<0>)$ 、 $V(PL<1>)$ 。和由感測放大器 SA 比較放大同時選擇列選擇線 $V(CSL)$ 而發出資料到晶片外部，藉由再脈衝驅動板線電位 $V(PL<0>)$ 、 $V(PL<1>)$ ，進行再寫入。

此動作結束後，藉由降低選擇字元線的電位而再進行位元線對 BL 、 BBL 的均衡，動作結束。

在此動作應注意的是下述之點：提高字元線電位時是從 $0V$ 到 VCC ，而不升壓到 $VPP(=VCC+V_{th}$ 以上)。

藉由如上述組合 BSG 方式和使用 I 型晶胞電晶體 Q_i 而將字元線升壓電位從習知 VPP 降到 VCC ，可改善晶胞電晶體 Q_i 的 $TDDb$ 特性。

< 第五實施形態 >

在第四實施形態，在具有串聯連接 1 個晶胞電晶體和 1 個鐵電電容器而成的記憶胞陣列的 $FRAM$ 方面，藉由使用 I 型晶胞電晶體 Q_i ，組合 NWL 方式或 BSG 方式而將字元線的升壓電位從習知 VPP 降到 VCC ，改善晶胞電晶體 Q_i 的 $TDDb$ 性。

對此，在第五實施形態，在鏈式 $FRAM$ 方面，併用 NWL 方式或 BSG 方式，不從 $VPP(=VCC+V_{th}$ 以上)降低字元線的升壓電位而可使用 I 型晶胞電晶體，減低基板偏壓效應，結果使干擾(減弱施加於非選擇胞的極化的方向的電場)減少。

五、發明說明（ 65）

圖19概略顯示關於第五實施形態的鏈式FRAM一部分結構，特別顯示2T2C方式的晶胞陣列及周邊電路的一部分電路連接。

即，圖19所示的鏈式FRAM和圖29所示的鏈式FRAM比較，以下之點不同：(1)晶胞電晶體 $Tr_0 \sim Tr_7$ 、 $BTr_0 \sim BTr_7$ 使用I型電晶體，(2)採用NWL方式或BSG方式；其他部分同樣，所以附上和圖29中同一符號。

<第13實施例>

圖20為顯示在圖19之鏈式FRAM，採用NWL方式，對於2T2C方式的晶胞利用雙板脈衝驅動方式進行讀出及來自晶片外部的寫入時的一連串動作的定時圖。

此處例如在選擇字元線 $WL_r<7>$ 的情況，假設所選擇的晶胞中，在BL側的晶胞M7寫入從板線 $PL<0>$ 到位元線BL方向的極化(即資料“0”)，在BBL側的晶胞BM7寫入從位元線BBL到板線 $PL<1>$ 方向的極化(即資料“1”)，設想從記憶胞M7、BM7分別讀出資料“0”、資料“1”，進行再寫入的情況。

圖21顯示當圖20的動作之際，圖19中的晶胞電晶體 $BTr_0 \sim BTr_7$ 一端之節點 $BBL_{0r} \sim BBL_{7r}$ 的電位詳細變遷。

以下，一面參照圖20及圖21，一面具體說明動作。

首先，一接通電源，電源電壓VCC就徐徐上升起來，但在某處電源接通檢測電路(未圖示)起作用，檢出脈衝 $V(Detect)$ 升起。接到此脈衝，字元線全部被升壓到 V_{PP} 電位，並且均衡控制信號 $V(BEQL)$ 變成“H”也進行位元線對

五、發明說明 (66)

BL、BBL的均衡。繼均衡解除之後，降低/RAS，提高CAS而鎖定行和列的位址。

其次，做以下準備：以選擇字元線的電位 $V(WLr<7>)$ 為負電位VBB而選擇字元線 $WLr<7>$ ，電位差落在晶胞M7、BM7兩端。接著，將部件選擇信號 $V(BSr<0>)$ 、 $V(BSr<1>)$ 從“L”升到“H”而使部件選擇電晶體QB0、QB1成為接通，藉由“L”→“H”→“L”地脈衝驅動板線電位 $V(PL<0>)$ 、 $V(PL<1>)$ ，只以晶胞M7、BM7的極化量為電荷讀出到位元線對BL、BBL。

前述板線電位 $V(PL<0>)$ 、 $V(PL<1>)$ 一旦降到“L”時，提高感測放大器活化信號 $V(SEN)$ ，同時降低感測放大器活化信號 $V(BSEP)$ 而使感測放大器SA活化，利用感測放大器SA使其比較放大。此處，藉由使列選擇線 $V(CSL)$ 成為“H”，使列開CG成為接通，輸出資料到晶片外部。

此後，藉由再L”→“H”→“L”地脈衝驅動板線電位，將為感測放大器SA所鎖定的資料在位元線對BL、BBL進行再寫入。此板線電位變成“H”時，儲存於晶胞BM7的極化資料為從感測放大器到板線方向(即資料“1”)，所以由感測放大器SA比較放大和板線電位上升的結果，如圖21所示，啟動(boot)從BBL0R到BBL7R的各節點的電位，在以下之間產生電位差：

節點BBL7R的電位 - 節點BBL6R的電位

節點BBL6R的電位 - 節點BBL5R的電位

節點BBL5R的電位 - 節點BBL4R的電位

五、發明說明 (67)

節點 BBL4R 的電位 - 節點 BBL3R 的電位

節點 BBL3R 的電位 - 節點 BBL2R 的電位

節點 BBL2R 的電位 - 節點 BBL1R 的電位

此電位差係由於從感測放大器 SA 的電源電位再啓動 (boot) 從 BBL1R 到 BBL7R 的各節點，所以因基板偏壓效應造成臨界值上升而晶胞電晶體 BTr0~BTr7 斷開而產生。

此時，儲存於非選擇胞 BM6 的極化方向為從感測放大器到板線方向 (即資料“1”) 時，會施加減弱此極化的電場。

然而，如參照圖 32 和前述習知第三動作例比較得知，由於使用 I 型晶胞電晶體 BTr0~BTr7 抑制臨界值因基板偏壓效應而上升，所以結果難以斷開，干擾大小減少。

<第 14 實施例>

圖 22 為顯示在圖 19 之鏈式 FRAM，採用 BSG 方式，對於 2T2C 方式的晶胞利用雙板脈衝驅動方式進行讀出及再寫入時的一連串動作的定時圖。

此處例如在選擇字元線 WLr<7> 的情況，假設所選擇的晶胞中，在 BL 側的晶胞 M7 寫入從板線 PL<0> 到位元線 BL 方向的極化 (即資料“0”)，在 BBL 側的晶胞 BM7 寫入從位元線 BBL 到板線 PL<1> 方向的極化 (即資料“1”)，設想從記憶胞 BM7、M7 分別讀出資料“1”、資料“0”，接著從晶片外分別進行資料“0”、資料“1”的寫入的情況。

圖 23 顯示當圖 22 的動作之際，圖 19 中的晶胞電晶體 BTr0~BTr7 一端之節點 BBL0r~BBL7r 的電位詳細變遷。

以下，一面參照圖 22 及圖 23，一面具體說明動作。

五、發明說明 (68)

首先，一接通電源，電源電壓VCC就徐徐上升起，但在某處電源接通檢測電路(未圖示)起作用，檢出脈衝V(Detect)升起。接到此脈衝，字元線全部被升壓到VPP電位，並且將位元線對的均衡電位VBLP設定於VOFF，變成浮動狀態。在這樣的狀態，均衡控制信號V(BEQL)變成“H”而進行與位元線對BL、BBL的VOFF的均衡。繼均衡解除之後，降低/RAS，提高CAS而鎖定行和列的位址。

接著，做以下準備：將選擇字元線的電位V(WLr<7>)降到0V，電位差落在晶胞M7、BM7兩端。接著，將部件選擇信號V(BSr<0>)、V(BSr<1>)從“L”升到“H”而使部件選擇電晶體QB0、QB1成為接通，藉由“L”→“H”→“L”地脈衝驅動板線電位V(PL<0>)、V(PL<1>)，只以晶胞M7、BM7的極化量差為電荷讀出到位元線對BL、BBL。

前述板線電位V(PL<0>)、V(PL<1>)一旦降到“L”時，提高感測放大器活化信號V(SEN)，同時降低感測放大器活化信號V(BSEP)而使感測放大器SA活化，利用感測放大器SA使其比較放大。

此後，藉由再L”→“H”→“L”地脈衝驅動板線電位，將為感測放大器SA所鎖定的資料在位元線對BL、BBL進行再寫入。此板線電位變成“H”時，儲存於晶胞BM7的極化資料為從感測放大器到板線方向(即資料“1”)，所以由感測放大器SA比較放大和板線電位上升的結果，如圖23所示，啟動(boot)從BBL0R到BBL7R的各節點的電位，在以下之間產生電位差：

五、發明說明 (69)

節點 BBL7R 的電位 - 節點 BBL6R 的電位
 節點 BBL6R 的電位 - 節點 BBL5R 的電位
 節點 BBL5R 的電位 - 節點 BBL4R 的電位
 節點 BBL4R 的電位 - 節點 BBL3R 的電位
 節點 BBL3R 的電位 - 節點 BBL2R 的電位
 節點 BBL2R 的電位 - 節點 BBL1R 的電位

此電位差係由於從感測放大器 SA 的電源電位再啟動 (boot) 從 BBL1R 到 BBL7R 的各節點，所以因基板偏壓效應造成臨界值上升而晶胞電晶體 Tr0~Tr7 斷開而產生。

此時，儲存於非選擇胞 BM6 的極化方向為從感測放大器到板線方向 (即資料 "1") 時，會施加減弱此極化的電場。

然而，如參照圖 32 和前述習知第三動作例比較得知，由於使用 I 型晶胞電晶體抑制臨界值因基板偏壓效應而上升，所以結果難以斷開，干擾大小減少。

此後，在使感測放大器 SA 活化的狀態，列選擇信號 V(CSL) 變成 "H"，從晶片外部通過列選擇閘 CG 在感測放大器 SA 寫入資料。

在此概括說明上述第五實施形態。

在習知鏈式 FRAM 方面，例如利用雙板脈衝驅動方式啟動感測放大器後，若進行為了再寫入的脈衝驅動，則讀出 "1" 時會被放大到感測放大器的電源電平並再為板線驅動所啟動 (boot)，因基板偏壓效應而各晶胞轉移閘斷開，結果在記憶胞兩端產生電位差，因此而記憶胞的極化量減少，有發生干擾的問題。

五、發明說明 (70)

於是，在關於第五實施形態的鏈式FRAM方面，採用具有0V或0V附近之值的I型電晶體作為晶胞轉移閘，併用NWL方式或BSG方式，給與VPP電位(VCC以上)作為字元線電位。作為如此使用I型晶胞電晶體的結果，將臨界值因基板偏壓效應而上升謀求減低，結果使其難以因基板偏壓效應而斷開，可使干擾減少。

<第六實施形態>

其次，就關於上述第六實施形態的DRAM加以說明。

圖24概略顯示關於第六實施形態的DRAM一部分結構，特別顯示晶胞陣列及周邊電路的一部分電路連接。

此DRAM結構和習知DRAM比較，以下之點不同：(1)記憶胞11係串聯連接具有臨界值0V或0V附近之值的1個I型MOS電晶體Qi及具有閘氧化膜作為電容器絕緣膜的1個資訊記憶用電容器C而成，(2)應用NWL方式或BSG方式，使用電源電壓VCC作為字元線升壓電位；其他大致同樣。

即，在圖24中，在記憶胞區域行列狀地排列記憶胞11：串聯連接具有臨界值0V或0V附近之值的I型1個MOS電晶體Qi和資訊記憶用1個電容器C而成(代表性地只顯示1個)。

而且，如為了選擇上述記憶胞區域的記憶胞11的多數字元線WL(代表性地只顯示1條)與在和記憶胞11之間進行資料接受的位元線對BL、BBL(代表性只顯示一對)互交叉般地設置。

五、發明說明(71)

而且，在位元線對BL、BBL間連接位元線預先充電電路31、感測放大器16、列選擇閘17，在列選擇閘17連接一對資料線DQ、BDQ。

又，前述位元線預先充電電路31為均衡控制信號EQL所控制，將位元線對BL、BBL預先充電到由預先充電電源線41所供應的電位Vref。

前述感測放大器16包括為感測放大器控制信號SEN所控制的NMOS感測放大器部及為感測放大器控制信號bSEP所控制的PMOS感測放大器部。此外，前述列選擇閘17為閘控制信號CSL所控制。

<第15實施例>

作為第15實施例，在圖24之DRAM採用NWL方式，說明使用電源電壓VCC作為字元線升壓電位進行讀出及再寫入時的一連串動作。

此DRAM的動作和採用NWL方式的習知DRAM的動作比較，使用電源電壓VCC作為字元線升壓電位之點不同，其他相同。

即，首先，一接通電源，電源電壓VCC就徐徐上升起來，但在某處電源接通檢測電路(未圖示)起作用，檢出脈衝(未圖示)升起。接到此脈衝，字元線全部被加偏壓到負電位VBB，並且均衡控制信號EQL變成“H”而進行位元線對BL、BBL的均衡。

從記憶胞讀出資料時，均衡控制信號EQL從“H”變成“L”而解除均衡，位元線對BL、BBL變成浮動狀態。

五、發明說明 (72)

接著，使行位址選通信號(未圖示)活化，使列位址選通信號(未圖示)活化而鎖定行和列的位址。為行位址所選擇的字元線WL從負電位VBB升壓到VCC，將記憶胞的資料讀出到位元線BL。

接著，藉由感測放大器控制信號SEN從“L”變成“H”，感測放大器控制信號bSEP從“H”變成“L”，感測放大器16活化，感測放大位元線對BL、BBL的電位。

此感測放大器16的放大輸出(讀出資料)被再寫入到晶胞，同時透過資料線對DQ、DBQ被輸出到緩衝電路(未圖示)。

此後，使選擇字元線WL從“H”成為“L”而停止對晶胞的存取，接著藉由將感測放大器控制信號bSEP從“L”切換到“H”，將感測放大器控制信號SEN從“H”切換到“L”，使感測放大器16成為非活性狀態。

而且，使均衡控制信號EQL成為“H”而將位元線對BL、BBL設定在預先充電電壓Vref，成為等候狀態。

上述第15實施例的DRAM採用NWL方式(記憶胞非選擇時先將字元線加負偏壓的方式)，所以有效地思考晶胞電晶體閘極、源極間時，具有施加負電位作為閘極電位-源極電位的效果。藉此，在非選擇時可使晶胞電晶體充分斷開。

此外，在採用NWL方式的DRAM方面，如以往使用具有正值作為臨界值的NMOS電晶體作為晶胞電晶體，則就字元線的升壓電位而言，需要變成電源電壓VCC+Vth以上的

五、發明說明（73）

電位 V_{PP} 。然而，在本實施例，藉由採用具有 $0V$ 或 $0V$ 附近之值的 I 型晶胞電晶體而使晶胞電晶體的臨界值減低，可使字元線的升壓電位成為總是電源電壓 V_{CC} ，晶胞電晶體的 T_{DDB} 特性提高。

< 第 16 實施例 >

作為第 16 實施例，在圖 24 之 DRAM 採用 BSG 方式，說明使用電源電壓 V_{CC} 作為字元線升壓電位進行讀出及再寫入時的一連串動作。

此 DRAM 的動作和採用 BSG 方式的習知 DRAM 的動作比較，使用電源電壓 V_{CC} 作為字元線升壓電位之點不同，其他相同。

即，首先，一接通電源，電源電壓 V_{CC} 就徐徐上升起來，但在某處電源接通檢測電路（未圖示）起作用，檢出脈衝（未圖示）升起。接到此脈衝，將位元線對的均衡電位（由預先充電電源線 41 所供應的電位 V_{ref} ）設定於比字元線的“L”電平僅 V_{OFF} 浮起的偏置（offset）電壓。在這樣的狀態，均衡控制信號 EQL 變成“H”而進行與位元線對 BL 、 BBL 的 V_{OFF} 電位的均衡。

從記憶胞讀出資料時，均衡控制信號 EQL 從“H”變成“L”而解除均衡，位元線對 BL 、 BBL 變成浮動狀態。

接著，使行位址選通信號（未圖示）活化，使列位址選通信號（未圖示）活化而鎖定行和列的位址。為行位址所選擇的字元線 WL 從 $0V$ 升壓到 V_{CC} ，將記憶胞的資料讀出到位元線 BL 。

五、發明說明 (74)

接著，藉由感測放大器控制信號SEN從“L”變成“H”，感測放大器控制信號bSEP從“H”變成“L”，感測放大器16活化，感測放大位元線對BL、BBL的電位。

此感測放大器16的放大輸出(讀出資料)被再寫入到晶胞，同時透過資料線對DQ、DBQ被輸出到緩衝電路(未圖示)。

此後，使選擇字元線WL從“H”成為“L”而停止對晶胞的存取，接著藉由將感測放大器控制信號bSEP從“L”切換到“H”，將感測放大器控制信號SEN從“H”切換到“L”，使感測放大器16成為非活性狀態。

而且，使均衡控制信號EQL成為“H”而將位元線對BL、BBL設定在預先充電電壓Vref(偏置電壓VOFF)，成為等候狀態。

上述第16實施例的DRAM採用BSG方式(使感測放大器放大輸出的“L”電平，即位元線的“L”電平比字元線的“L”電平僅VOFF浮起的方式)，所以有效地思考晶胞電晶體閘極、源極間時，具有施加負電位作為閘極電位-源極電位的效果。藉此，在非選擇時可使晶胞電晶體充分斷開。

此外，在採用BSG方式的DRAM方面，如以往使用具有正值作為臨界值的NMOS電晶體作為晶胞電晶體，則就字元線的升壓電位而言，需要變成電源電壓VCC+Vth以上的電位VPP。然而，在本實施例，藉由採用具有0V或0V附近之值的I型晶胞電晶體而使晶胞電晶體的臨界值減低，

五、發明說明（ 75 ）

可使字元線的升壓電位成為總是電源電壓VCC，晶胞電晶體的TDDB特性提高。

[發明之效果]

如上述，根據本發明之鐵電記憶體，在鏈式FRAM方面，可抑制特別是在使字元線升壓電位低電壓化的情況成為問題的讀出/寫入時造成記憶胞儲存極化量減少的干擾發生。

此外，根據本發明之鐵電記憶體，在具有習知型記憶胞的FRAM方面利用單板脈衝驅動方式進行讀出動作時，可抑制板線啟動，以免帶給晶胞電容器可靠性不良影響。

此外，根據本發明，可提供低電壓化、進而可低耗電化、可靠性高的半導體記憶體。

即，根據本發明申請專利範圍第1項及從屬於其的從屬項之鐵電記憶體，在鏈式FRAM方面，再寫入“1”資料及從晶片外部寫入“1”資料之際，板線和感測放大器不會都成為“H”電平，所以可防止減弱非選擇胞極化的電場發生，即干擾發生。

此外，根據本發明申請專利範圍第2項及從屬於其的從屬項之鐵電記憶體，在具有行列狀地排列串聯連接1個鐵電電容器和1個電晶體而成的記憶胞的陣列的FRAM方面，再寫入“1”資料及從晶片外部寫入“1”資料之際，板線和感測放大器不會都成為“H”電平，所以可防止因減弱非選擇胞極化的電場而發生干擾。

根據本發明申請專利範圍第15項及從屬於其的從屬項之

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (76)

半導體記憶體，在使用通常1電晶體、1電容器型記憶胞陣列的半導體記憶體方面，可降低字元線的升壓電位。

此外，根據申請專利範圍第19項，在鏈式FRAM方面可改善記憶胞的電晶體的TDDDB特性。

[圖式之簡單說明]

圖1為概略顯示關於本發明第一實施形態的鏈式FRAM一部分結構的電路圖。

圖2為顯示在圖1的鏈式FRAM的第1實施例的一連串動作的定時圖及顯示圖1中的節點BL0r~BL7r、BBL0r~BBL7r的電位詳細變遷的電位波形圖。

圖3為顯示在圖1的鏈式FRAM的第2實施例的一連串動作的定時圖及顯示圖1中的節點BL0r~BL7r、BBL0r~BBL7r的電位詳細變遷的電位波形圖。

圖4為顯示在圖1的鏈式FRAM的第3實施例的一連串動作的定時圖及顯示圖1中的節點BL0r~BL7r、BBL0r~BBL7r的電位詳細變遷的電位波形圖。

圖5為顯示在圖1的鏈式FRAM的第4實施例的一連串動作的定時圖及顯示圖1中的節點BL0r~BL7r、BBL0r~BBL7r的電位詳細變遷的電位波形圖。

圖6為顯示在圖1的鏈式FRAM的第5實施例的一連串動作的定時圖及顯示圖1中的節點BL0r~BL7r、BBL0r~BBL7r的電位詳細變遷的電位波形圖。

圖7為顯示在圖1的鏈式FRAM的第6實施例的作為讀出周期的一連串動作的定時圖及顯示圖1中的節點

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (77)

BL0r~BL7r、BBL0r~BBL7r的電位詳細變遷的電位波形圖。

圖8為顯示在圖1的鏈式FRAM的第6實施例的作為寫入周期的一連串動作的定時圖及顯示圖1中的節點BL0r~BL7r、BBL0r~BBL7r的電位詳細變遷的電位波形圖。

圖9為顯示在圖1的鏈式FRAM的第7實施例的作為讀出周期的一連串動作的定時圖及顯示圖1中的節點BL0r~BL7r、BBL0r~BBL7r的電位詳細變遷的電位波形圖。

圖10為顯示在圖1的鏈式FRAM的第7實施例的作為寫入周期的一連串動作的定時圖及顯示圖1中的節點BL0r~BL7r、BBL0r~BBL7r的電位詳細變遷的電位波形圖。

圖11為顯示在圖1的鏈式FRAM的第8實施例的一連串動作的定時圖及顯示圖1中的節點BL0r~BL7r、BBL0r~BBL7r的電位詳細變遷的電位波形圖。

圖12為概略顯示關於本發明第二實施形態的鏈式FRAM一部分結構的電路圖。

圖13為顯示在圖12的鏈式FRAM的第9實施例的一連串動作的定時圖及顯示圖1中的節點BL0r~BL7r、BBL0r~BBL7r的電位詳細變遷的電位波形圖。

圖14為概略顯示關於本發明第三實施形態的FRAM一部分結構的電路圖。

六、申請專利範圍

圖15為顯示在圖14的FRAM的第10實施例的一連串動作的定時圖。

圖16為概略顯示關於本發明第四實施形態的FRAM一部分結構的電路圖。

圖17為顯示在圖16的FRAM的第10實施例的一連串動作的定時圖。

圖18為顯示當圖17的動作時圖16中的節點BBL0r~BBL7r的電位詳細變遷的電位波形圖。

圖19為概略顯示關於本發明第五實施形態的鏈式FRAM一部分結構的電路圖。

圖20為顯示在圖19的FRAM的第11實施例的一連串動作的定時圖。

圖21為顯示當圖20的動作時圖19中的節點BBL0r~BBL7r的電位詳細變遷的電位波形圖。

圖22為顯示在圖19的FRAM的第12實施例的一連串動作的定時圖。

圖23為顯示當圖22的動作時圖19中的節點BBL0r~BBL7r的電位詳細變遷的電位波形圖。

圖24為概略顯示關於本發明第六實施形態的FRAM一部分結構的電路圖。

圖25為顯示1T1C型FRAM胞的等效電路圖及為說明“0”讀出、“1”讀出動作而顯示的晶胞電容器的滯後特性圖。

圖26為顯示為說明對於2T2C型FRAM胞的寫入動作而顯示的等效電路圖及鐵電電容器極化方向之圖。

五、發明說明 (79)

圖 27 為顯示為說明對於 2T2C 型 FRAM 胞的讀出動作而顯示的等效電路圖及鐵電電容器極化方向之圖。

圖 28 為顯示在對於 2T2C 型 FRAM 胞的資料寫入時 / 資料讀出時的板線施加電位變化的電位波形圖。

圖 29 為概略顯示習知鏈式 FRAM 一部分結構的電路圖。

圖 30 為顯示在圖 29 的鏈式 FRAM 的第一動作例的定時圖及顯示圖 29 中的節點 BL0r~BL7r 的電位詳細變遷的電位波形圖。

圖 31 為顯示在圖 29 的鏈式 FRAM 的第二動作例的定時圖及顯示圖 29 中的節點 BL0r~BL7r 的電位詳細變遷的電位波形圖。

圖 32 為顯示在圖 29 的鏈式 FRAM 的第三動作例的定時圖及顯示圖 29 中的節點 BL0r~BL7r 的電位詳細變遷的電位波形圖。

圖 33 為概略顯示習知 FRAM 一部分結構的電路圖。

圖 34 為顯示在圖 33 的 FRAM 的動作例的定時圖。

圖 35 為顯示採用負字元線 (NWL) 方式的 DRAM 結構特徵部分的電路圖及顯示字元線電位和位元線電位之關係的電位波形圖。

圖 36 為顯示採用升壓感測接地 (BSG) 方式的 DRAM 結構特徵部分的電路圖及顯示字元線電位和位元線電位之關係的電位波形圖。

[元件編號之說明]

M0~M7、BM0~BM7...FRAM 胞

五、發明說明 (80)

Tr0~Tr7、BTr0~BTr7…晶胞電晶體

C0~C7…晶胞電容器

BL0R~BL7R、BBL0R~BBL7R…節點

W_{Lr<0>}~W_{Lr<7>}…字元線

BL、BBL…位元線

PL<0>、PL<1>…板線

QB0、QB1…部件選擇用電晶體

10…感測放大器區域

EQ…均衡、預先充電電路

SA…感測放大器

CG…列選擇閘

QS…分離用電晶體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

編

四、中文發明摘要(發明之名稱:鐵電記憶體及半導體記憶體)

本發明之課題係在鏈式鐵電隨機存取記憶體(FRAM)方面，進行讀出/寫入動作時，抑制記憶胞的儲存極化量減少、干擾發生。

本發明具備晶胞單元：串聯連接多數個鐵電胞M0~M7；板線PL<0>：連接於晶胞單元一端；位元線BL：透過選擇電晶體QB0連接於晶胞單元他端；感測放大器SA：比較放大此位元線和互補位元線BBL的電位；及，電晶體QS：插入於選擇電晶體和感測放大器之間，在板線電位上升的狀態進行感測放大器時的電晶體QS之閘極電位最小值VPP1比在板線電位下降的狀態進行感測放大時的電晶體QS之閘極電位最大值VPP2小。

英文發明摘要(發明之名稱:強誘電体メモリおよび半導体メモリ)

【課題】チェーンFRAMにおいて読み出し/書き込み動作を行う時にメモリセルの蓄積分極量の減少、ディスタブの発生を抑制する。

【解決手段】強誘電体セルM0 ~M7 を複数個直列に接続したセルユニットと、セルユニットの一端に接続されたプレート線PL<0> と、セルユニットの他端に選択トランジスタQB0 を介して接続されたビット線BLと、このビット線と相補的なビット線BBLの電位を比較増幅するセンスアンプSAと、選択トランジスタとセンスアンプとの間に挿入されたトランジスタQSとを具備し、プレート線電位が上昇した状態でセンス増幅が行われている時のトランジスタQSのゲート電位の最小値VPP1 は、プレート線電位が下降した状態でセンス増幅が行われている時のトランジスタQSのゲート電位の最大值VPP2 よりも小さい。

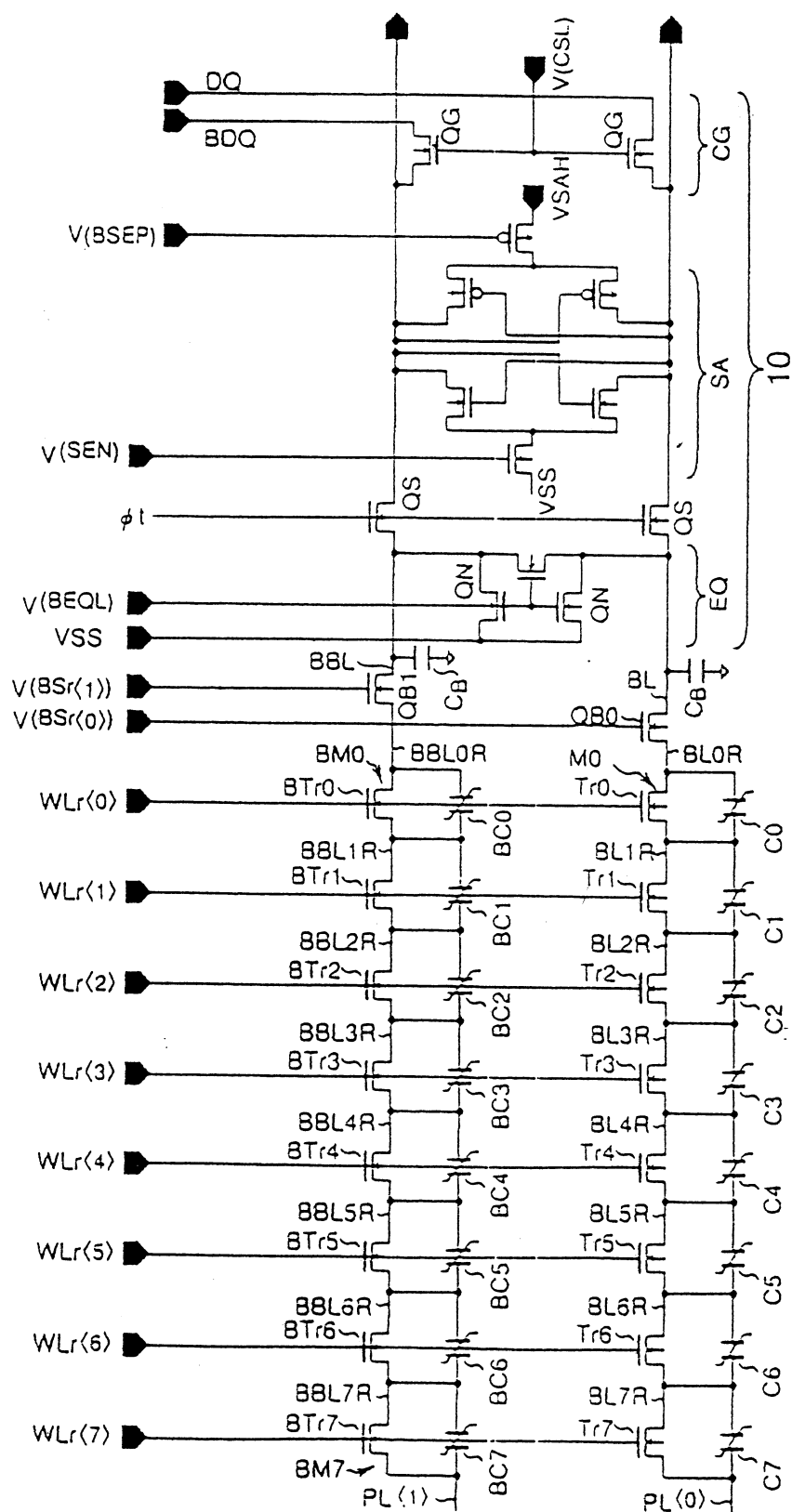


圖 1

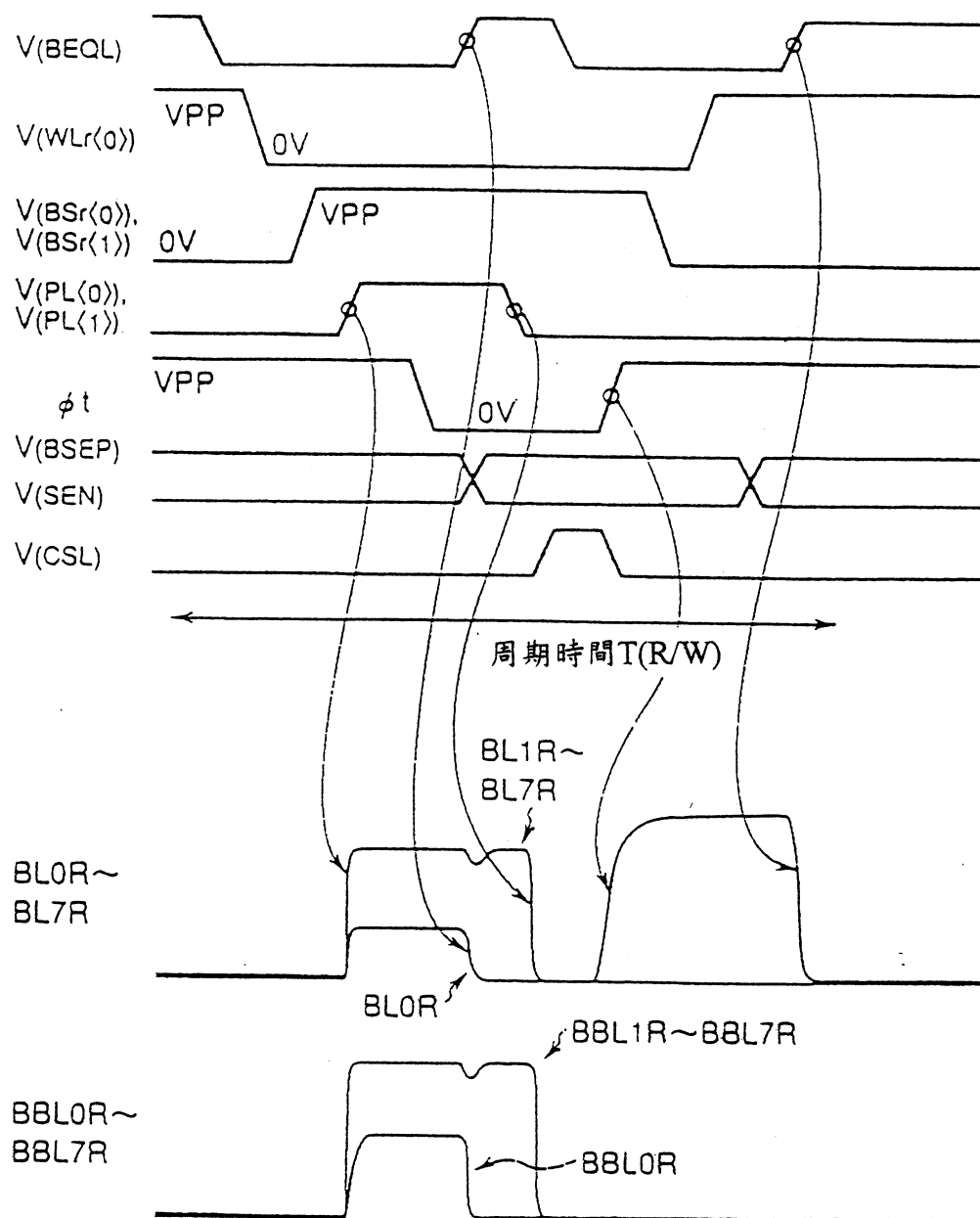


圖 2

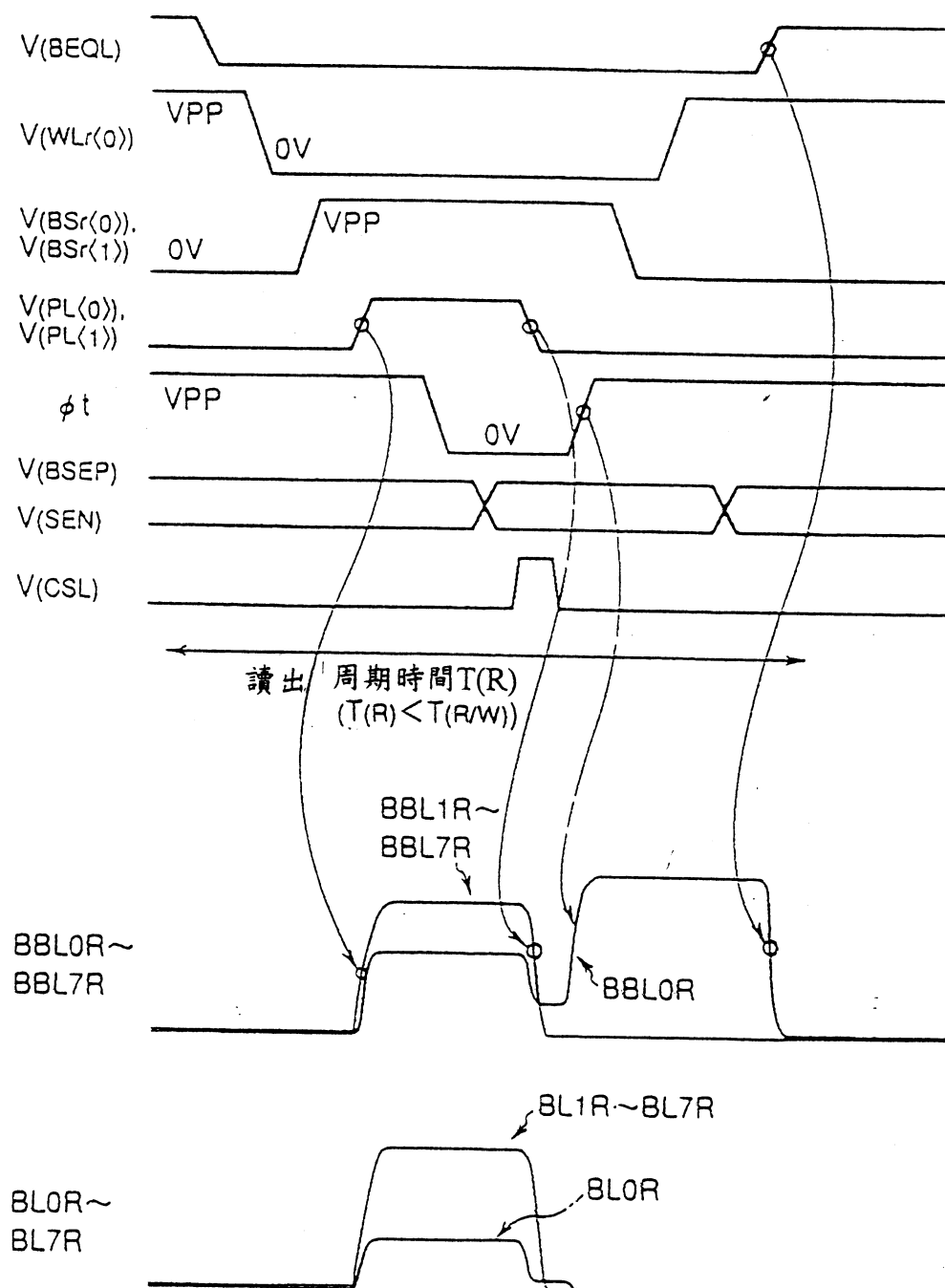


圖 3

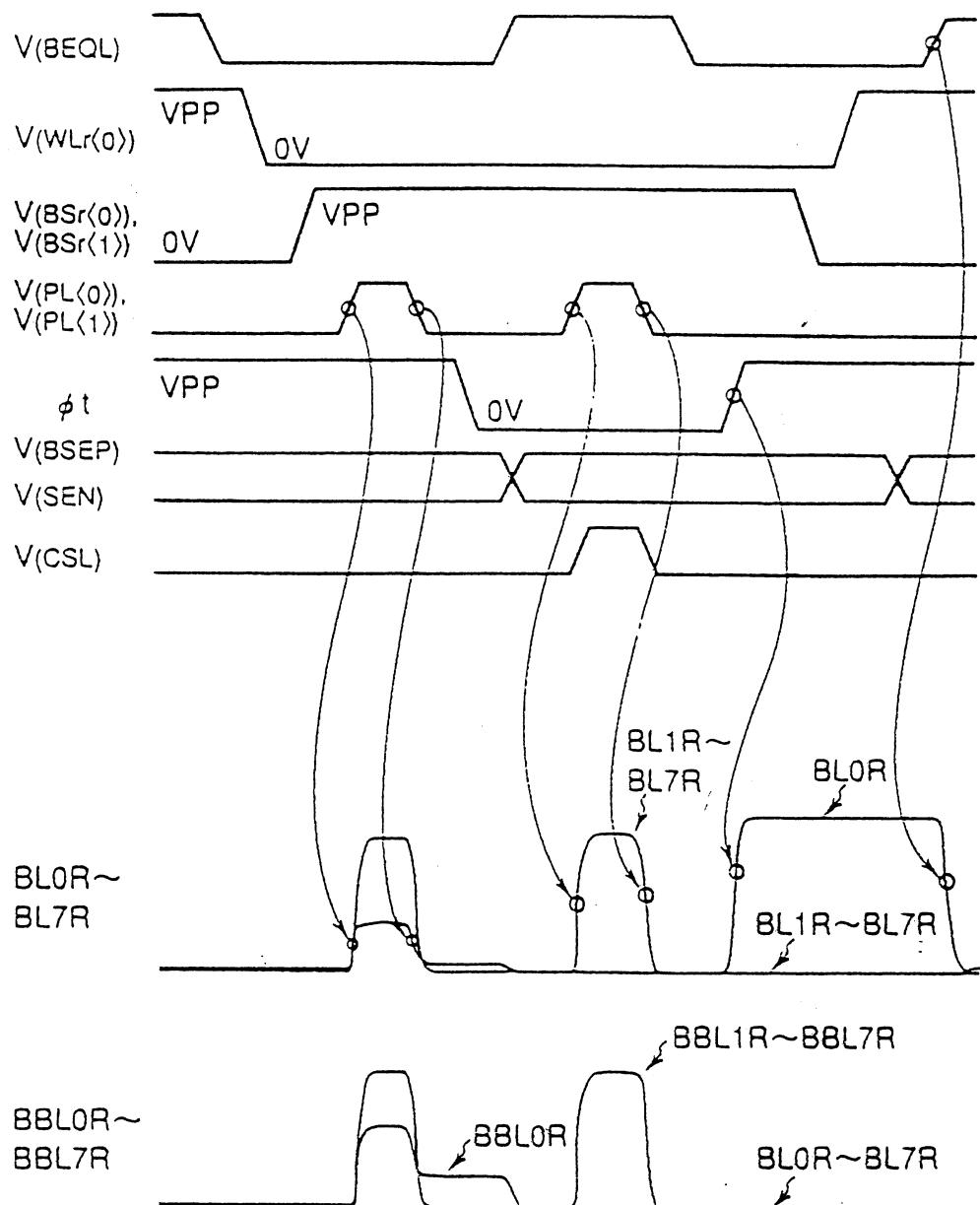


圖 4

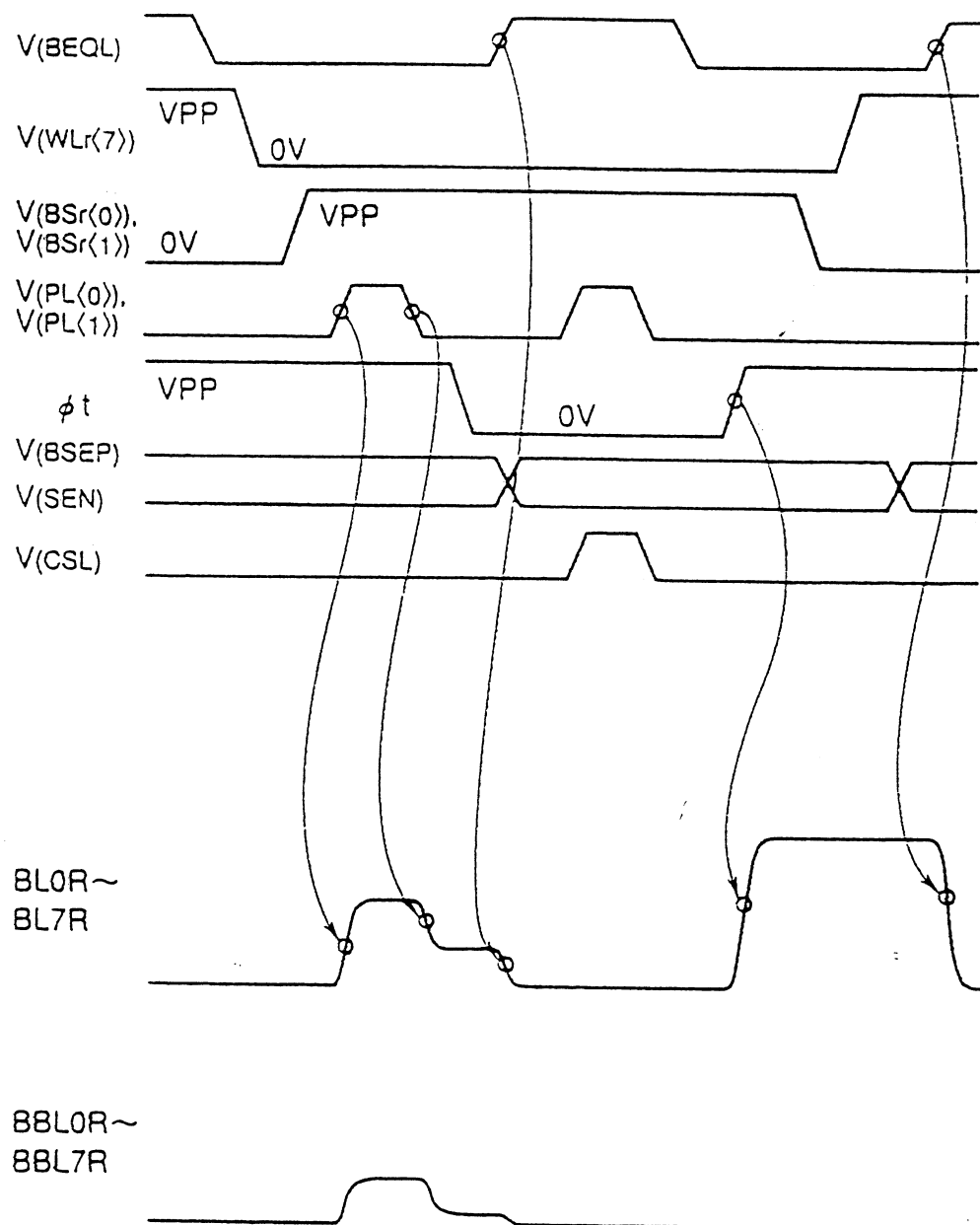


圖 5

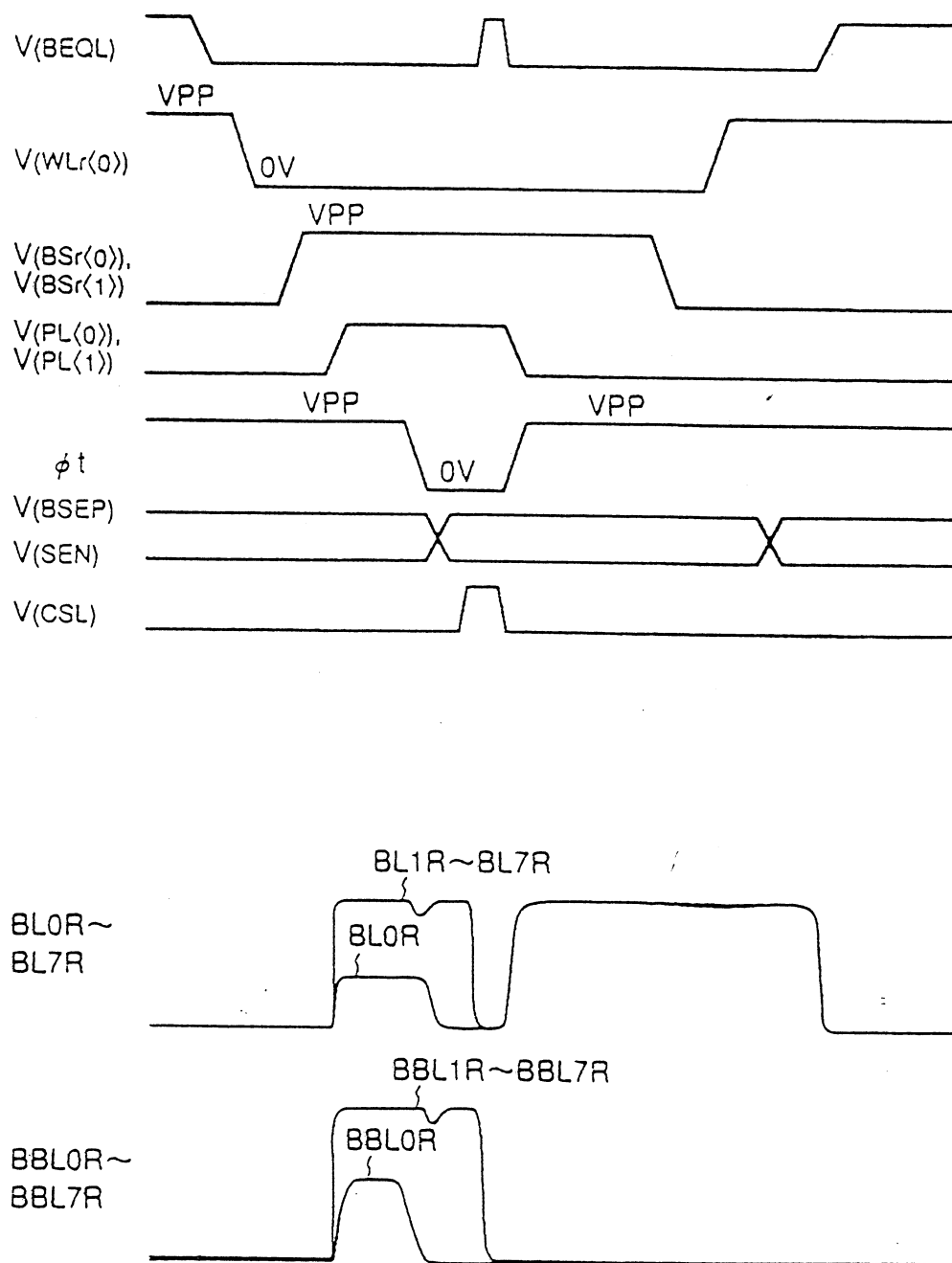


圖 6

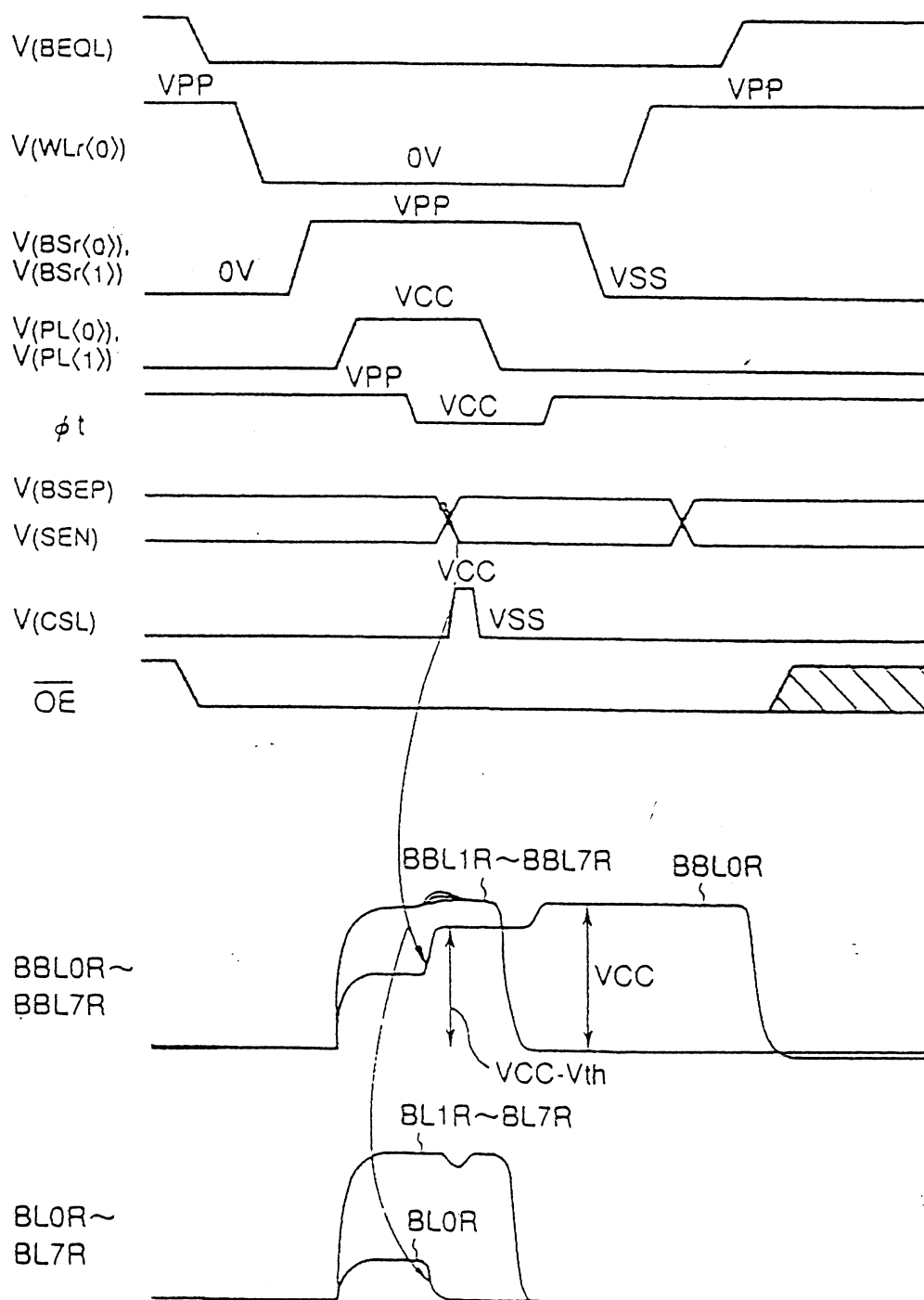


圖 7

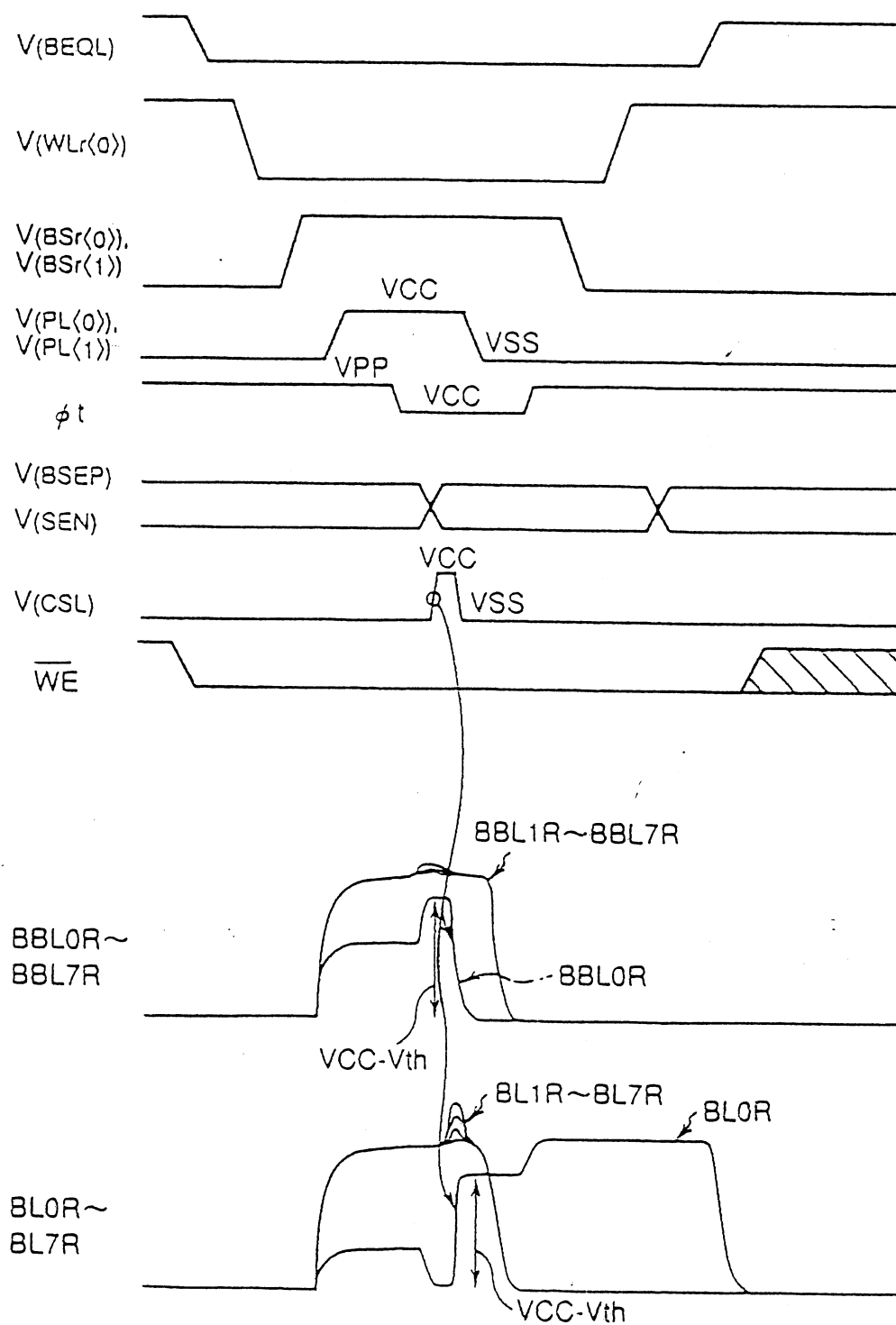


圖 8

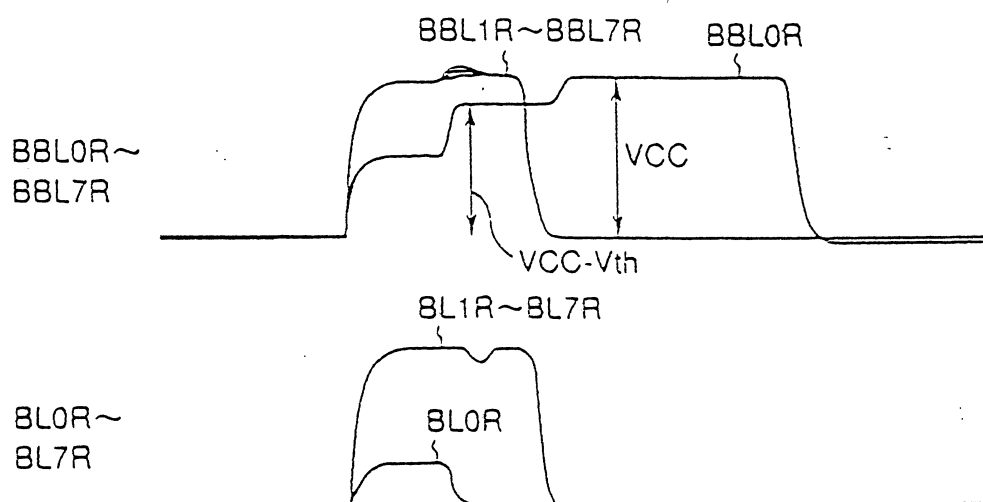
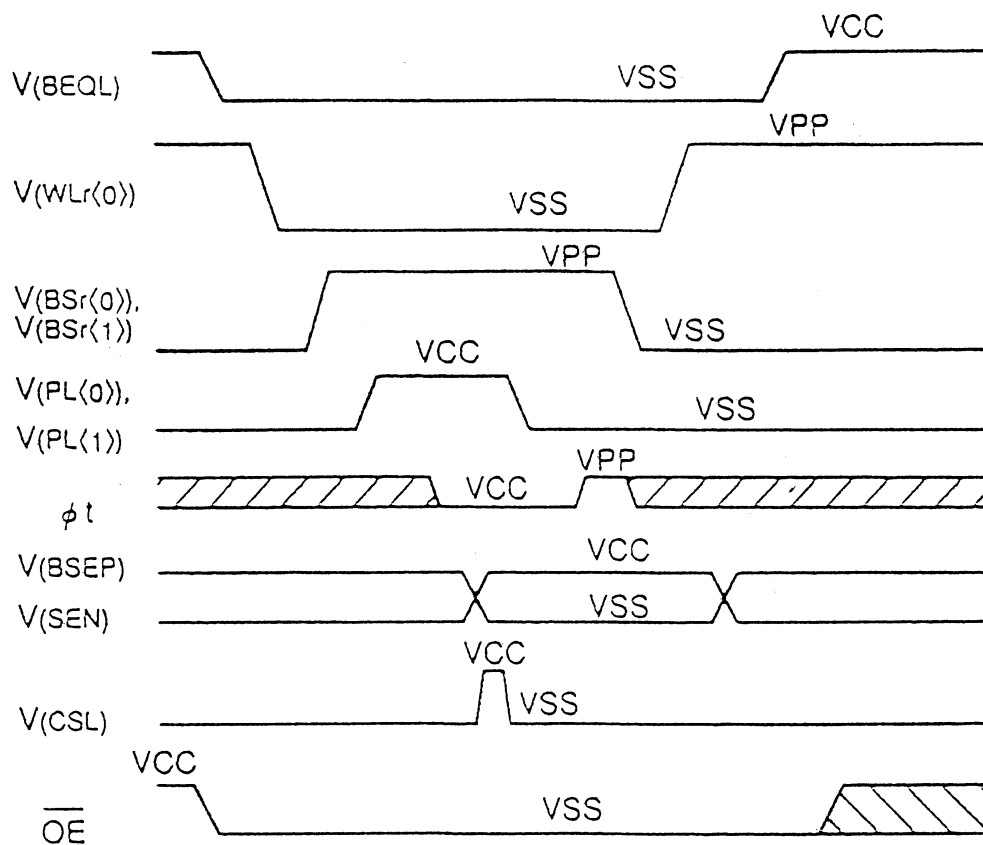


圖 9

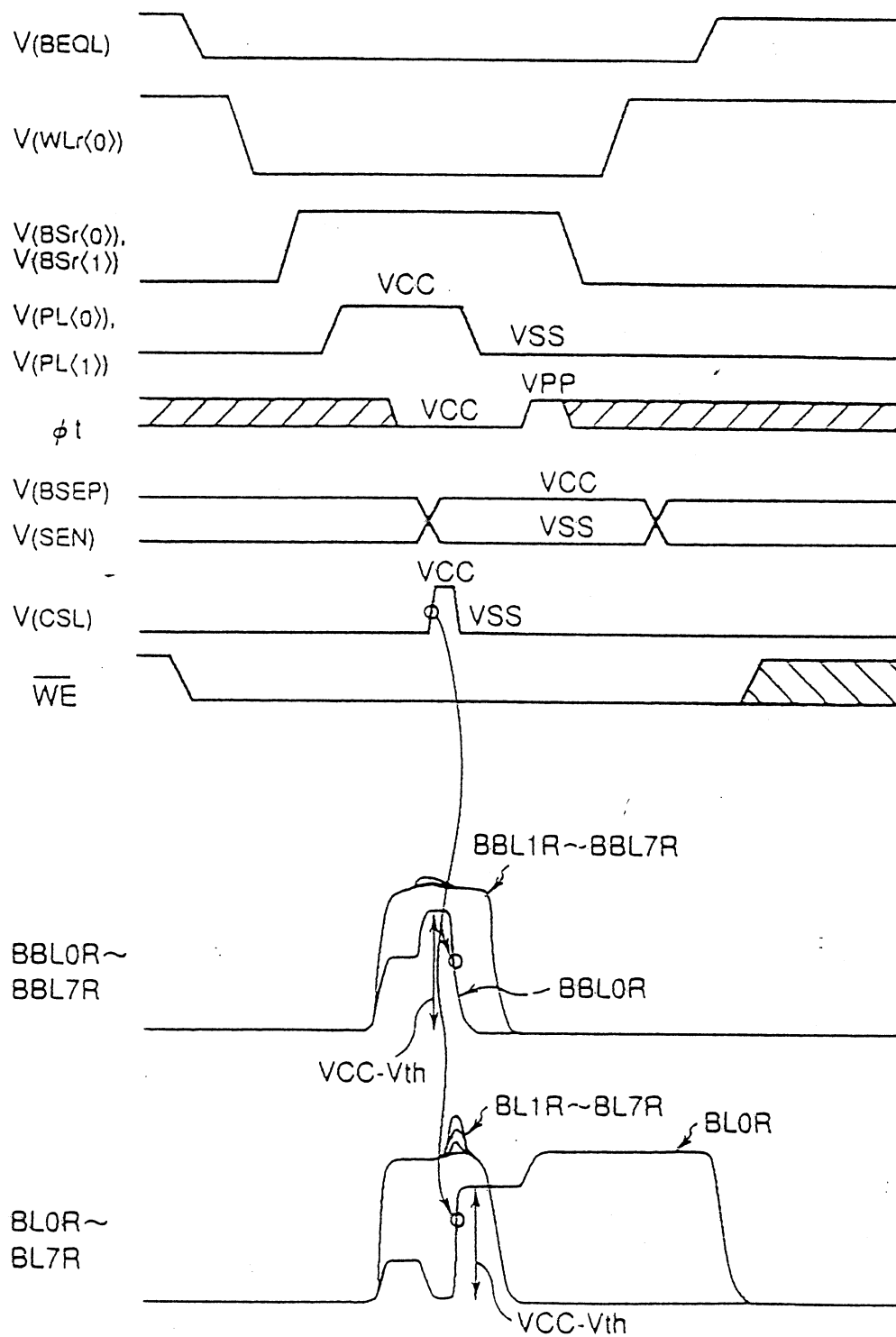


圖 10

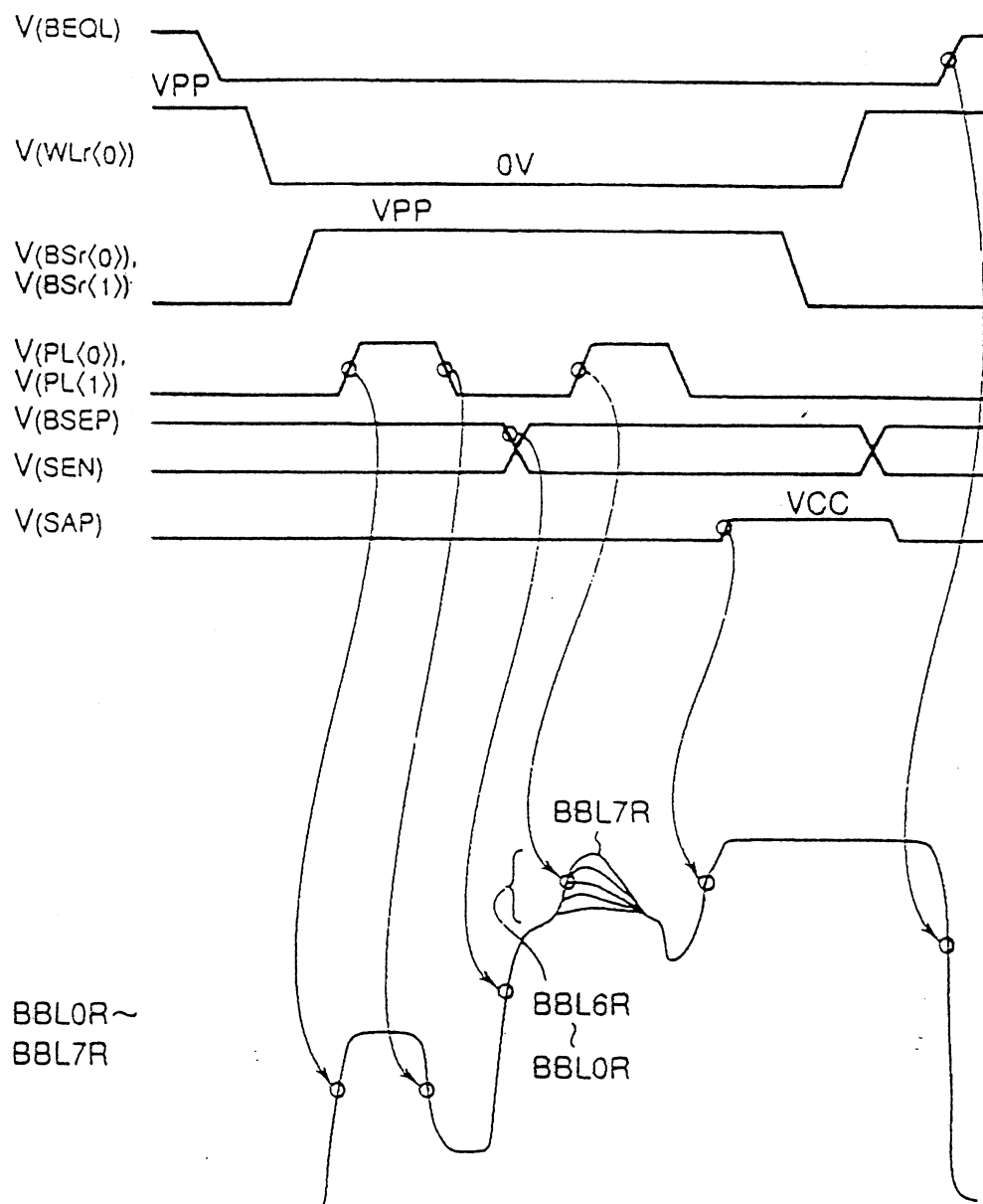


圖 11

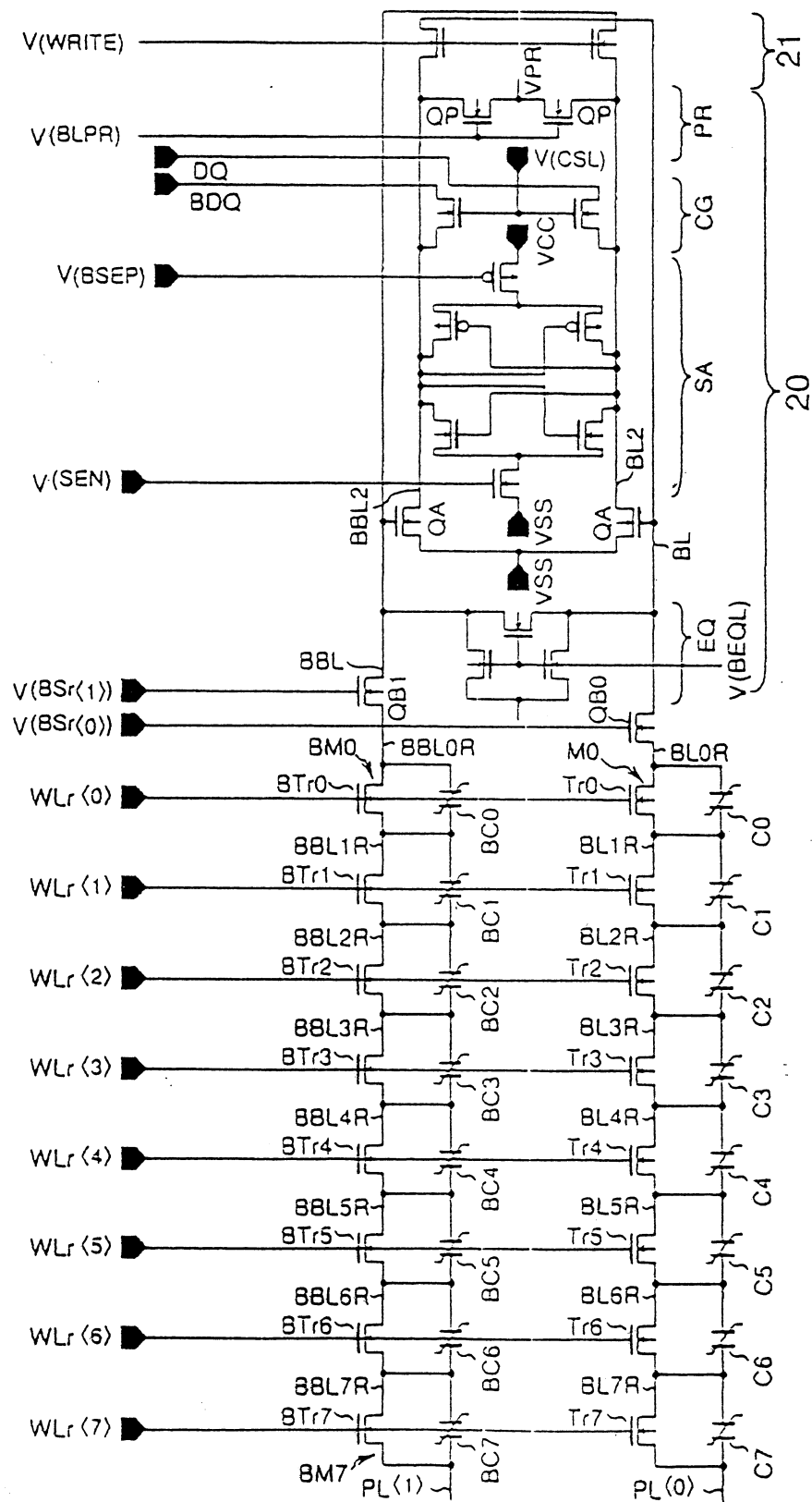


圖 12

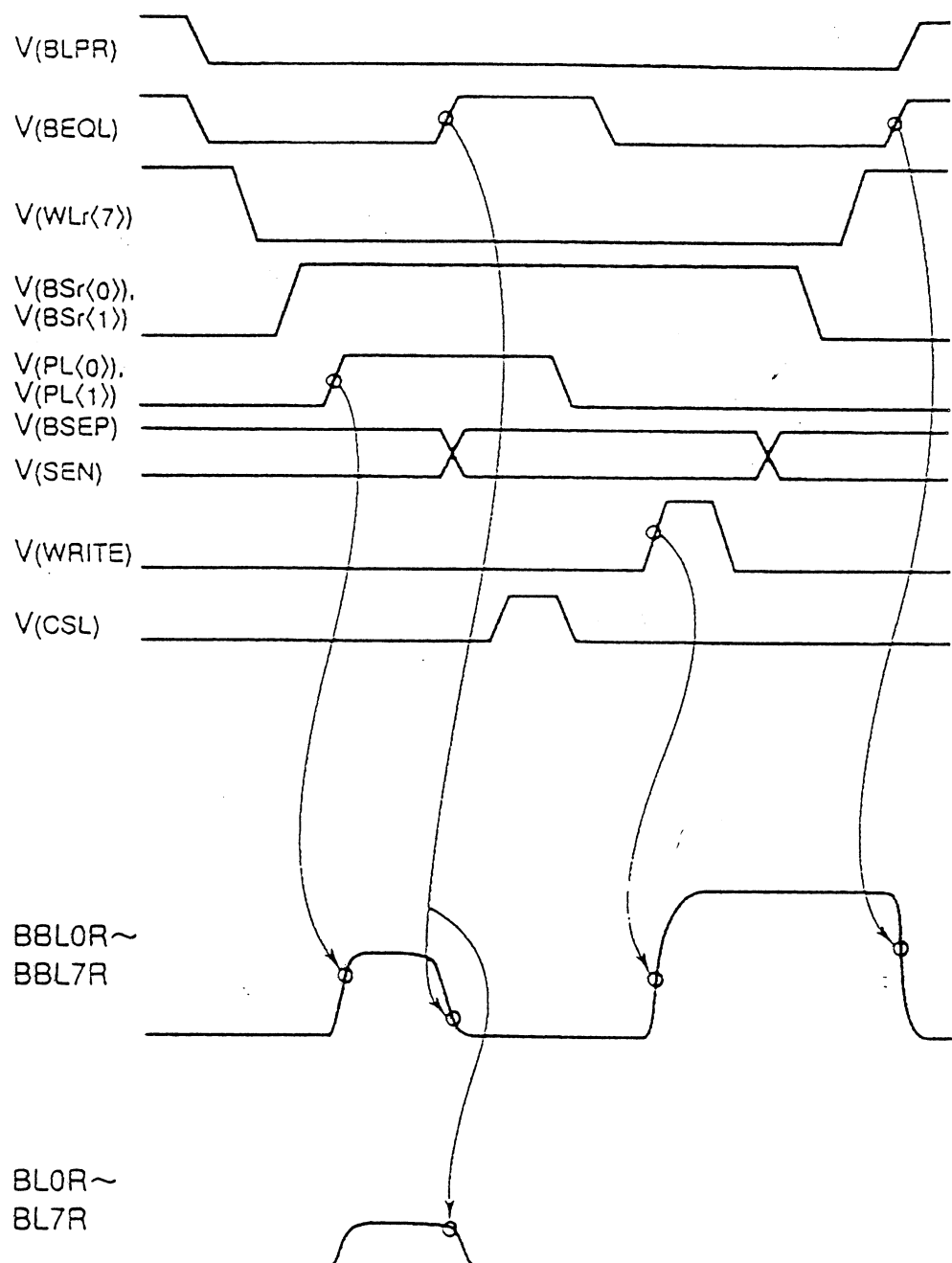


圖 13

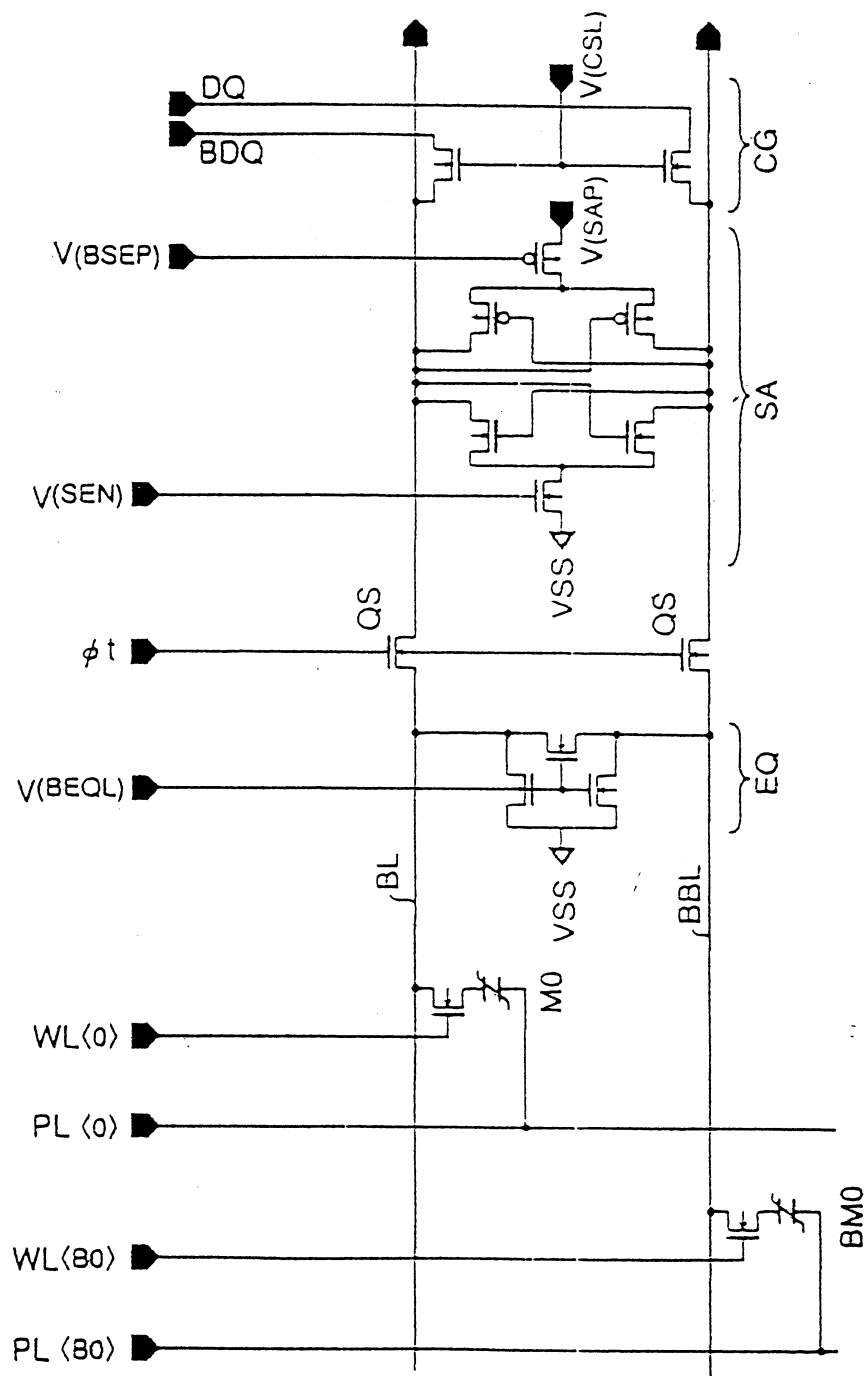


圖 14

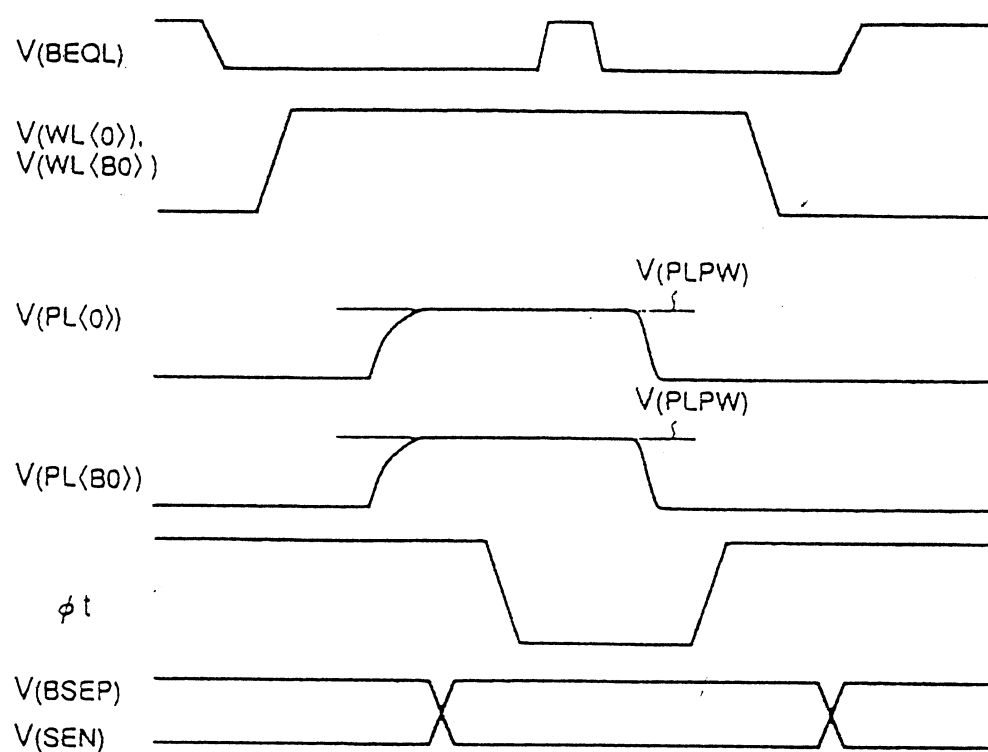


圖 15

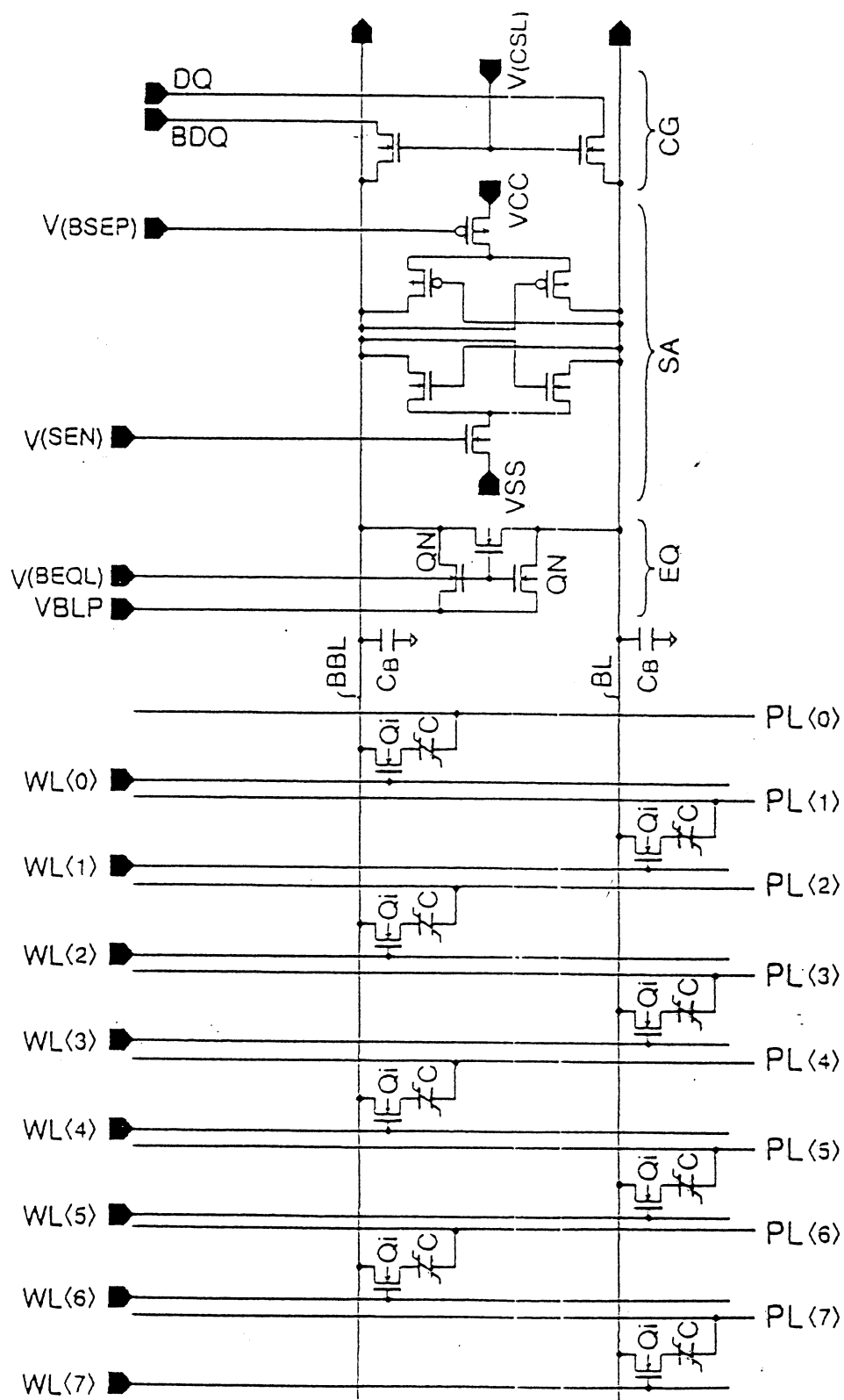


圖 16

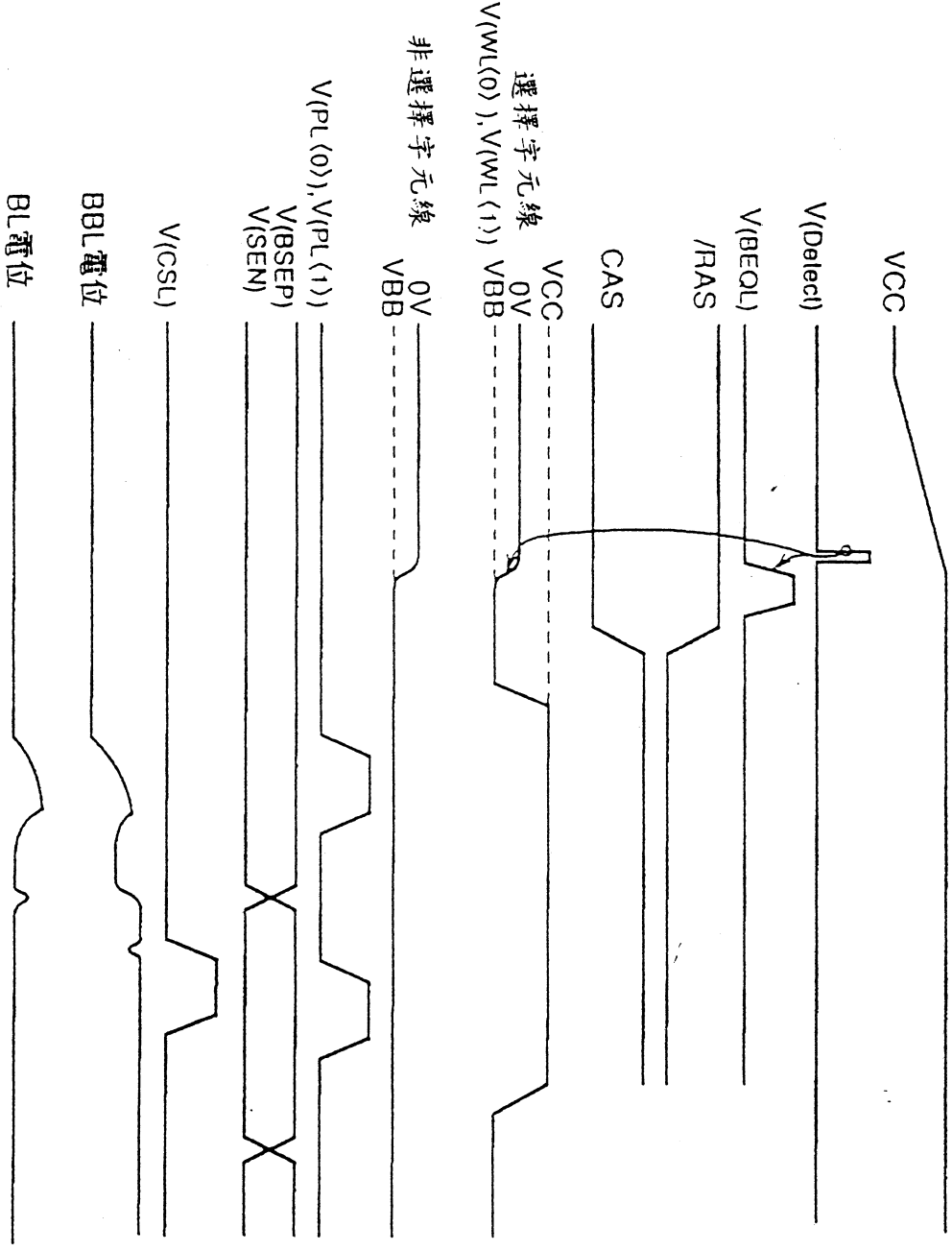


圖 17

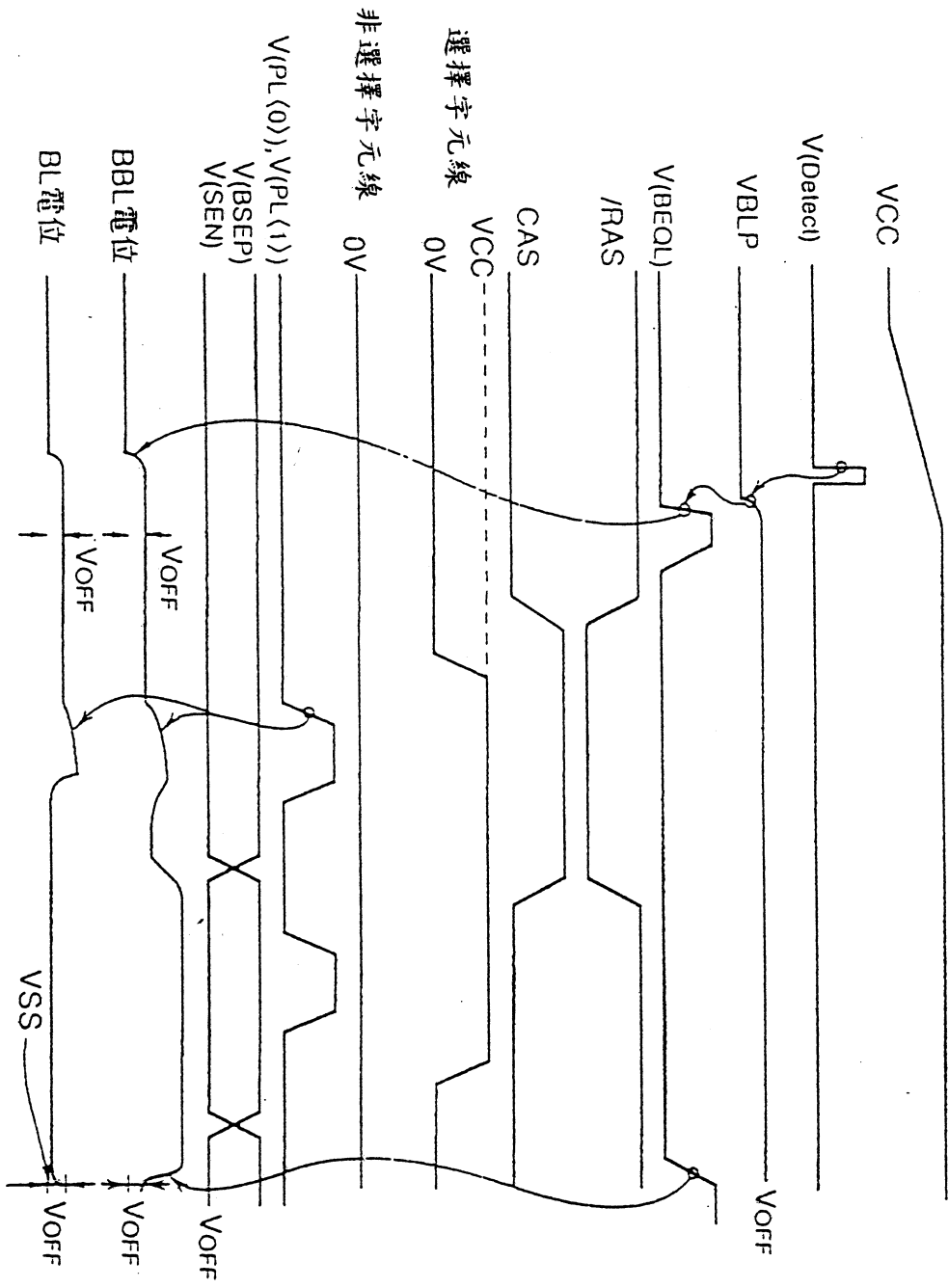


圖 18

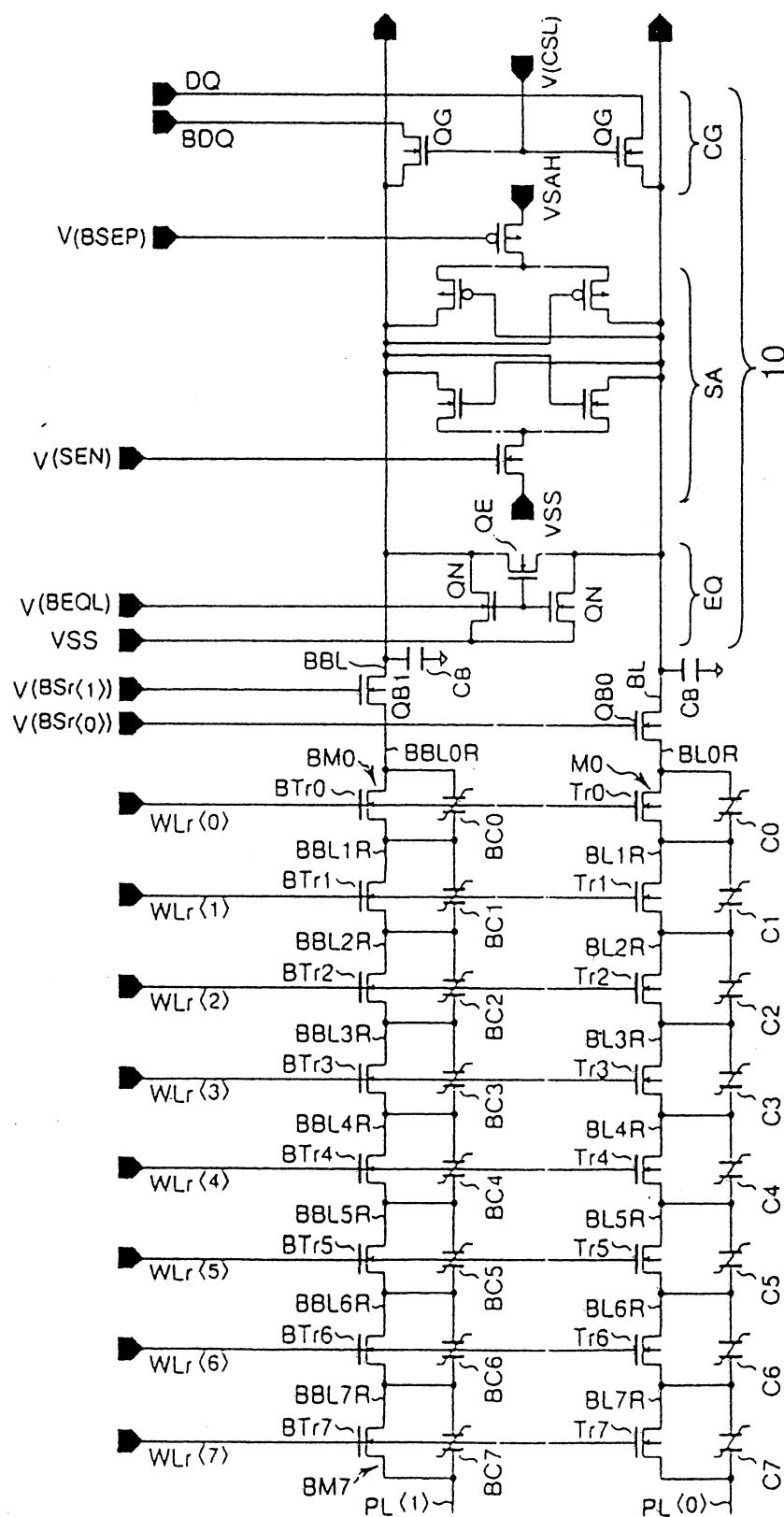


圖 19

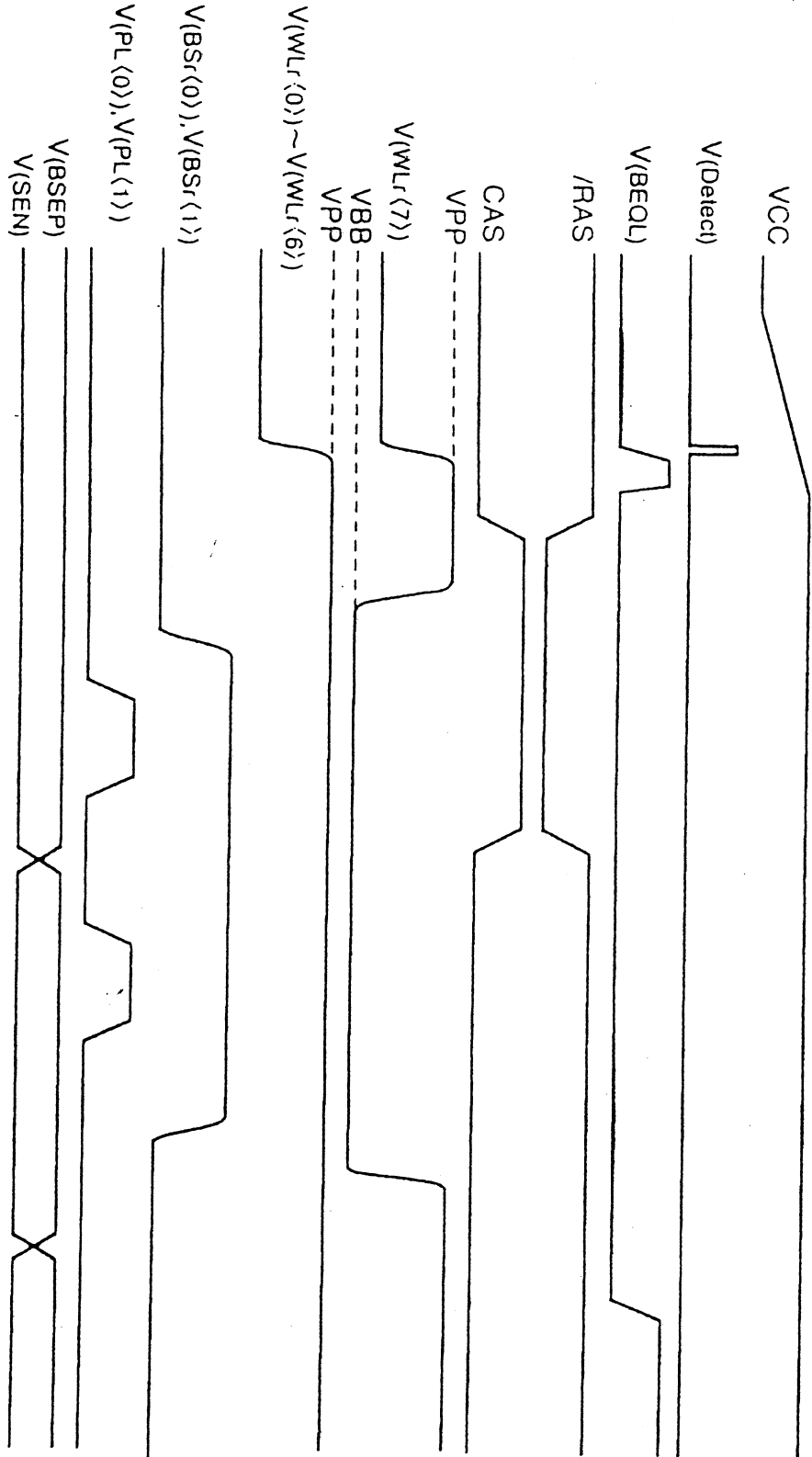


圖 20

473716.

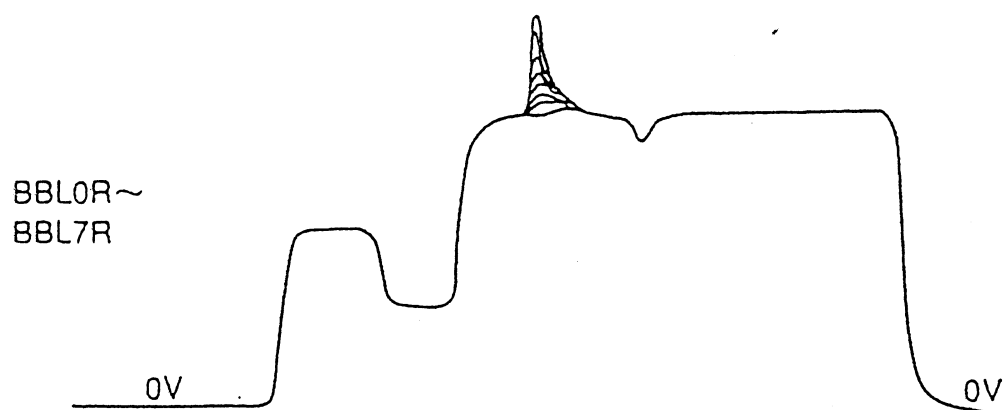


圖 21

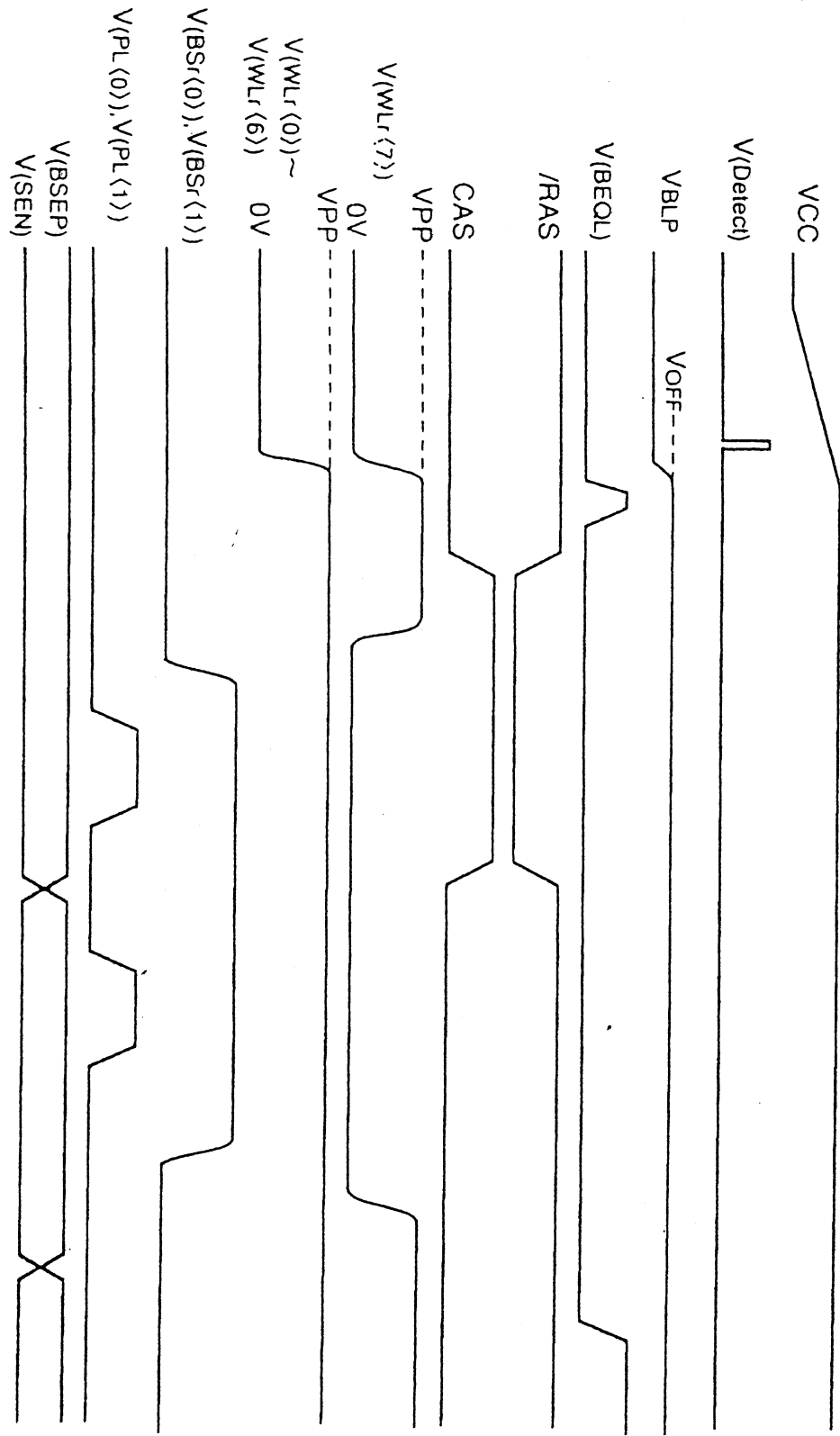


圖 22

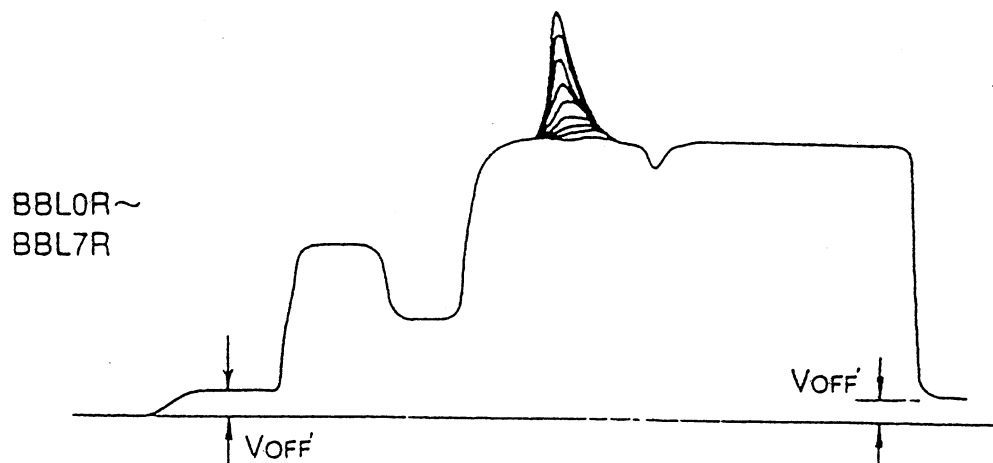


圖 23

【圖 24】

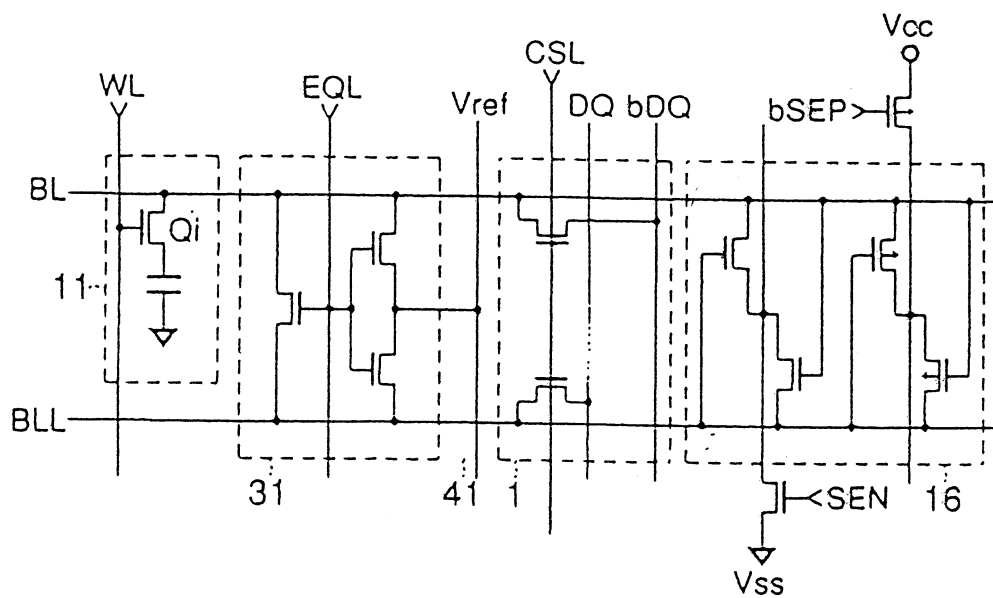


圖 24

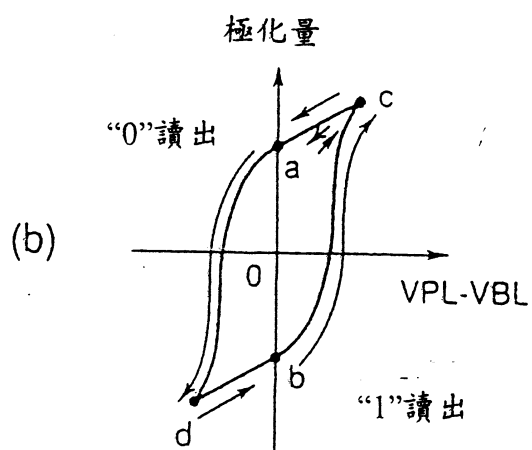
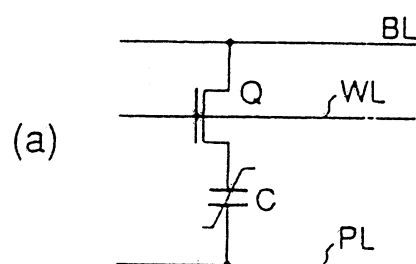


圖 25

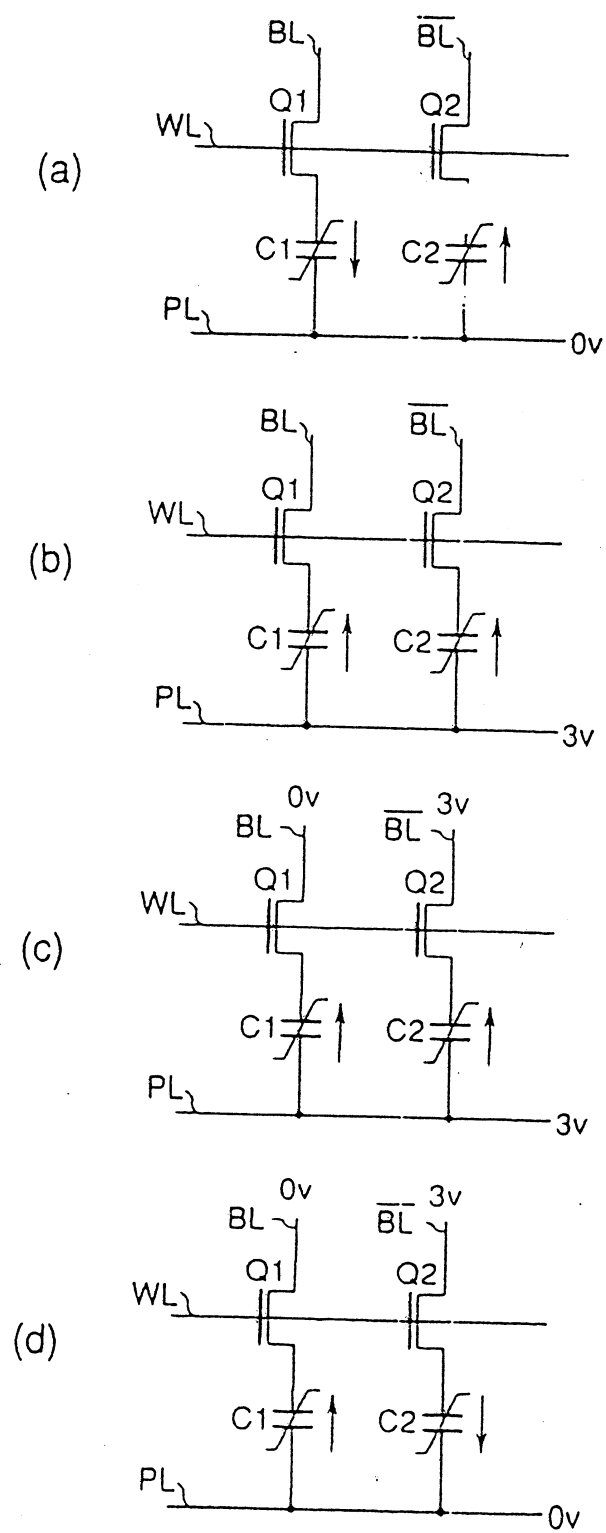


圖 26

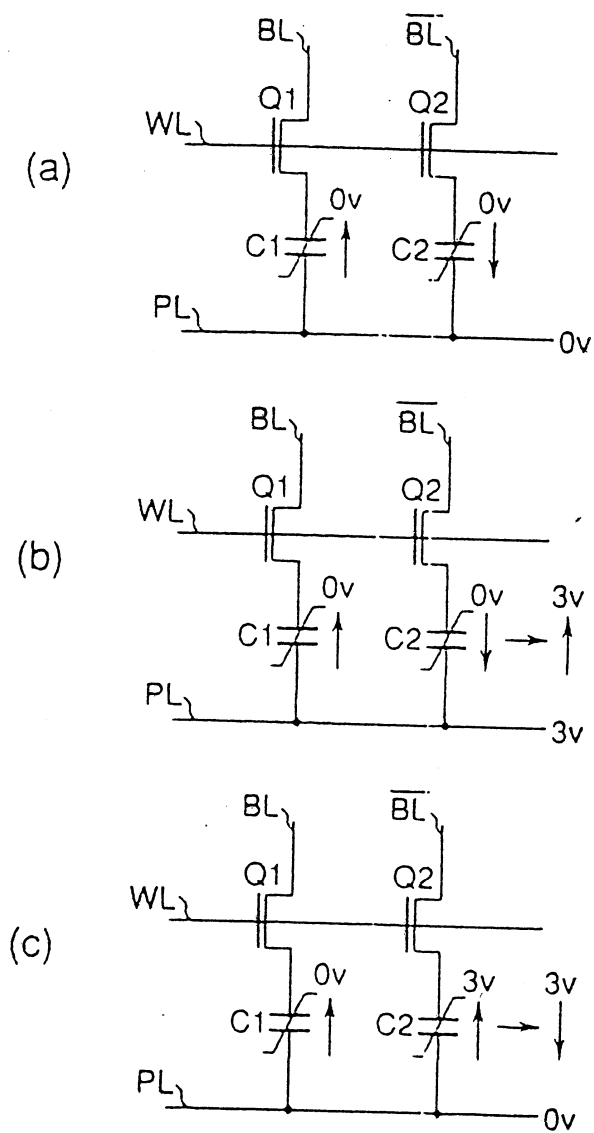


圖 27

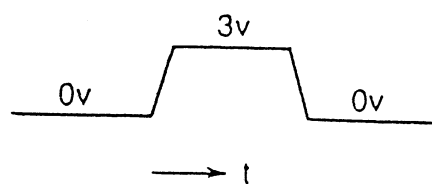


圖 28

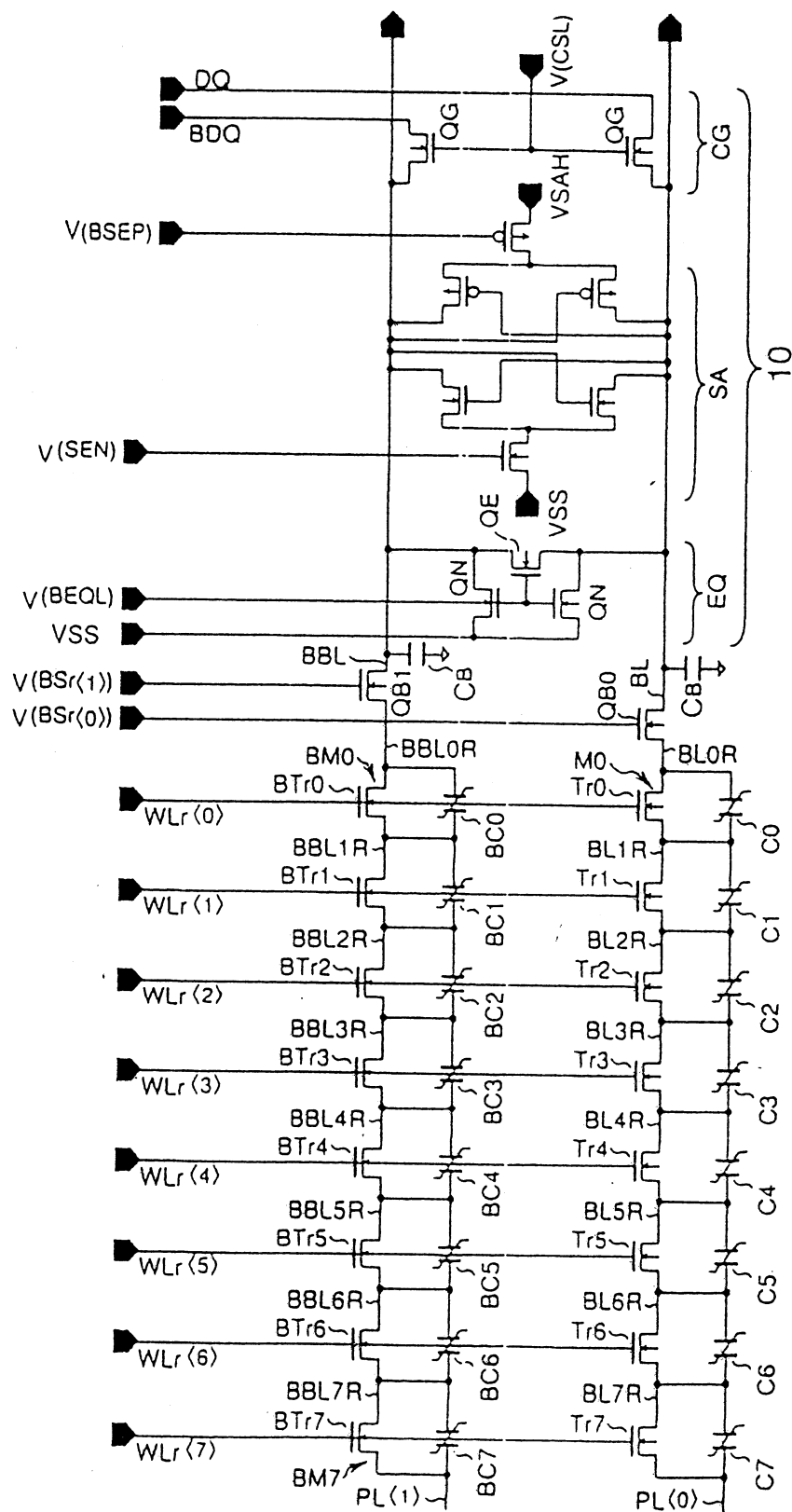


圖 29

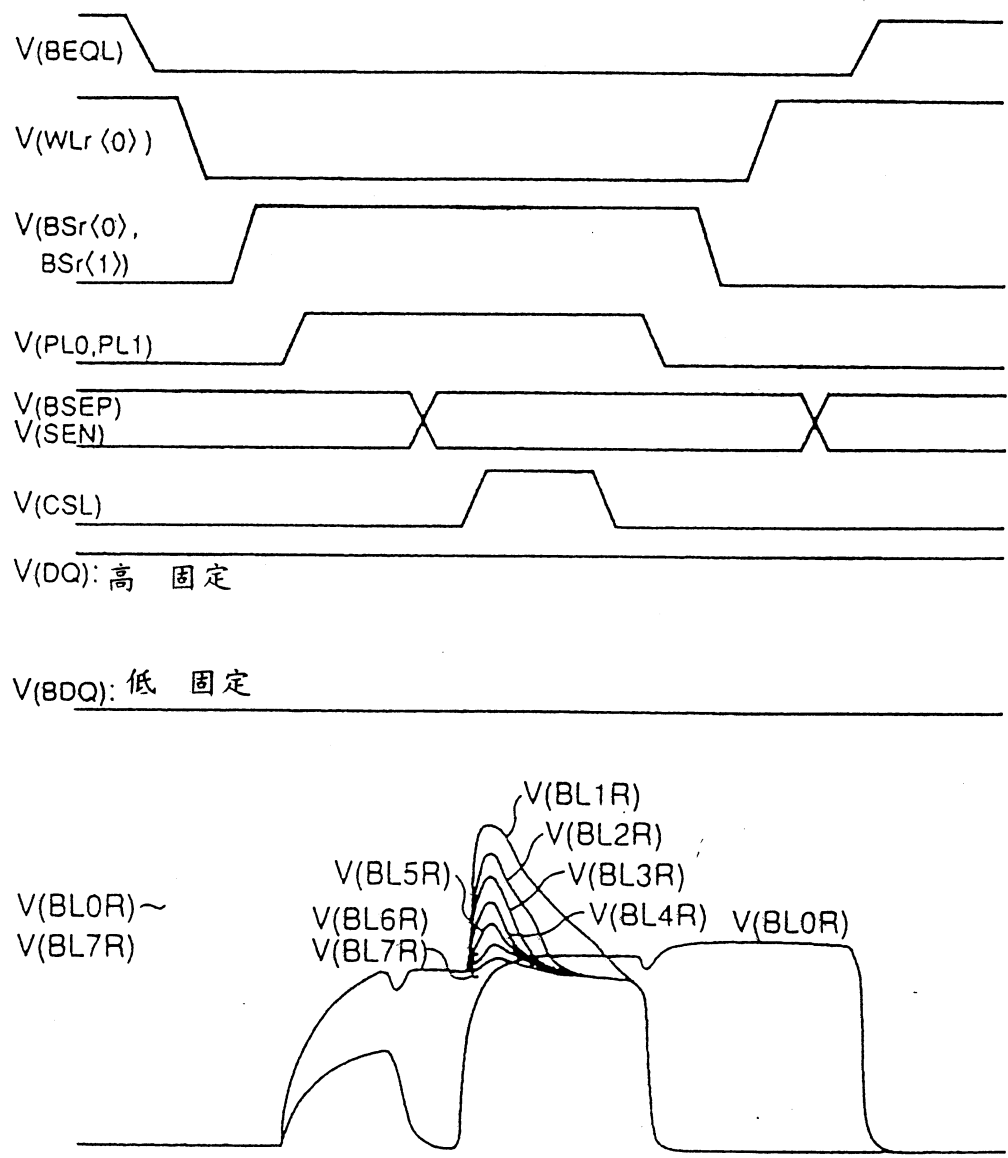


圖 30

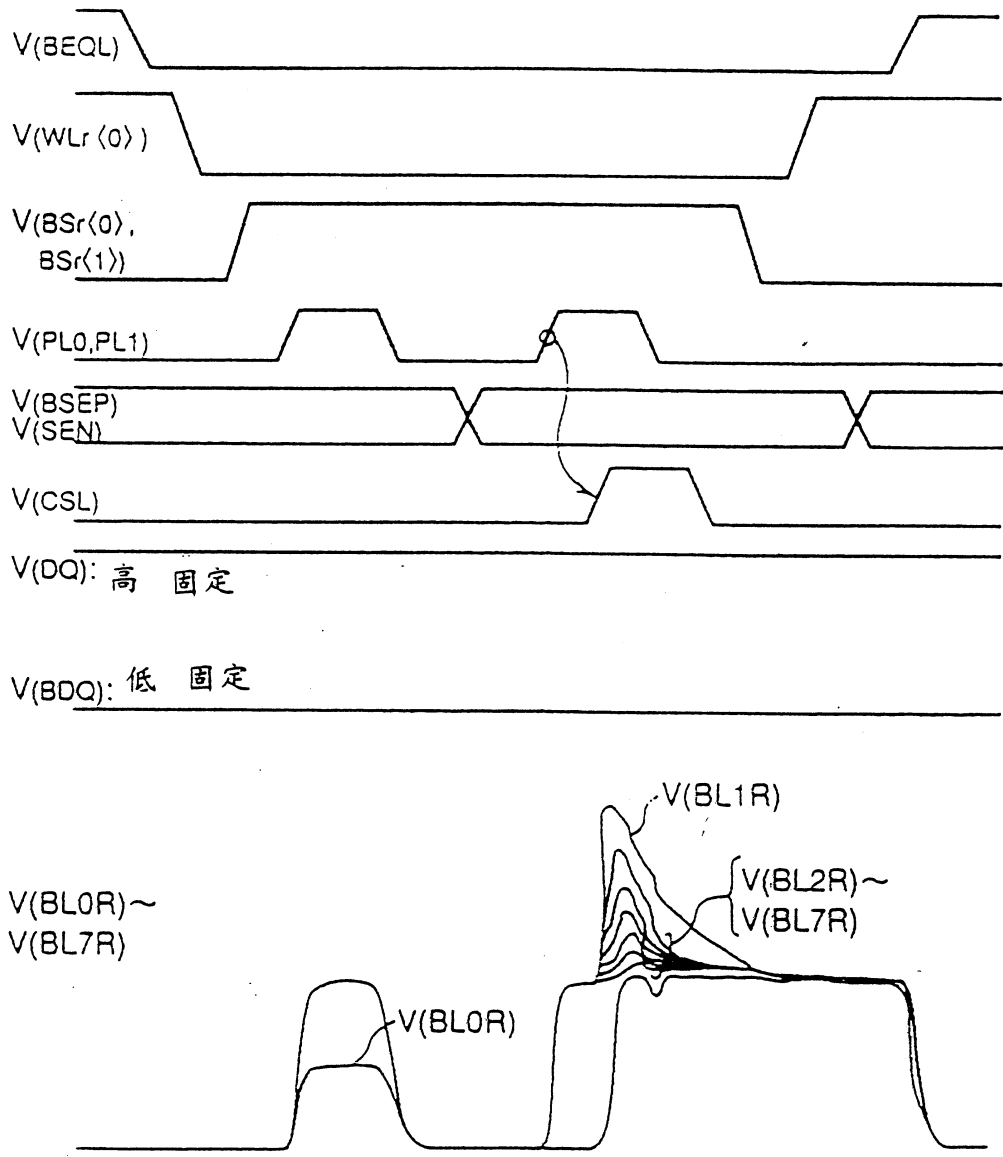


圖 3 1

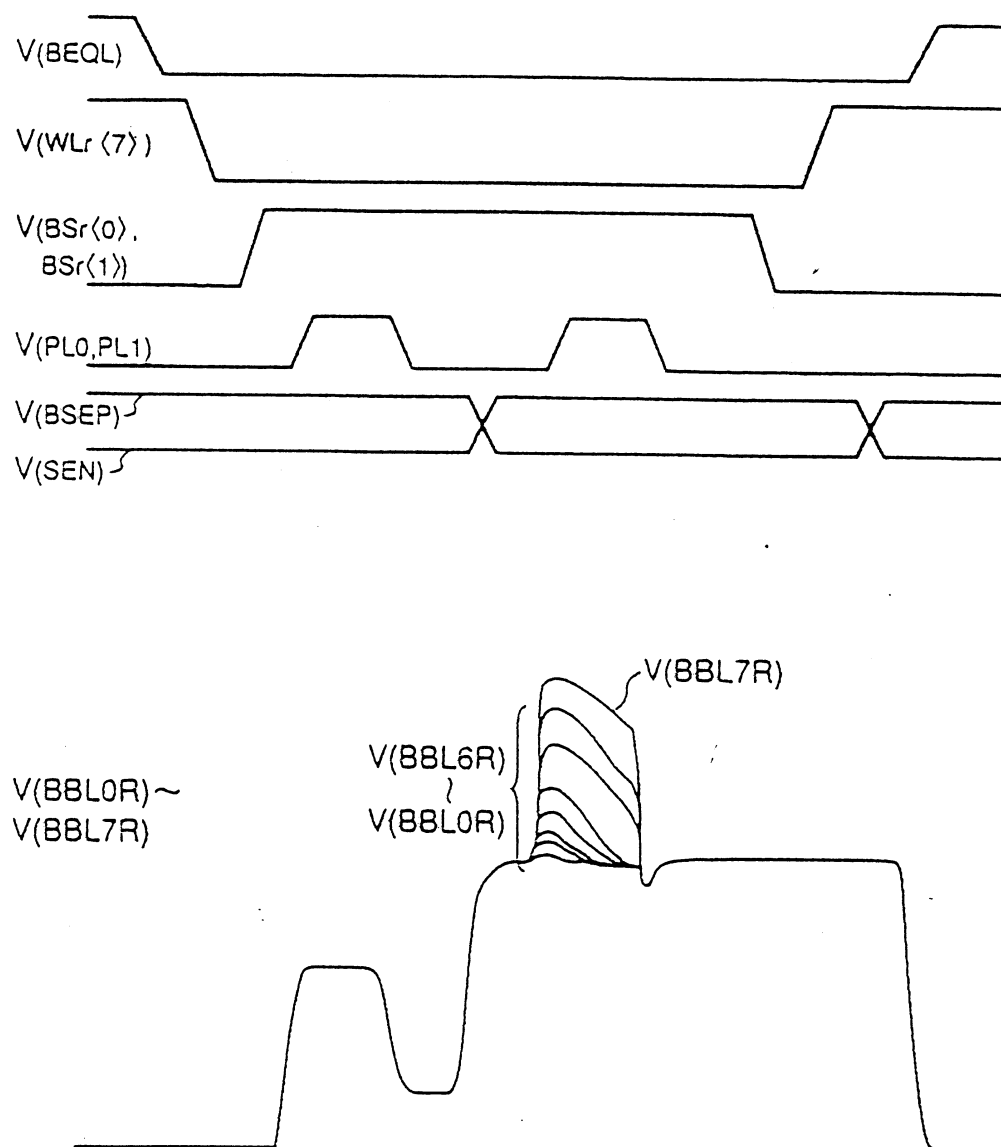


圖 32

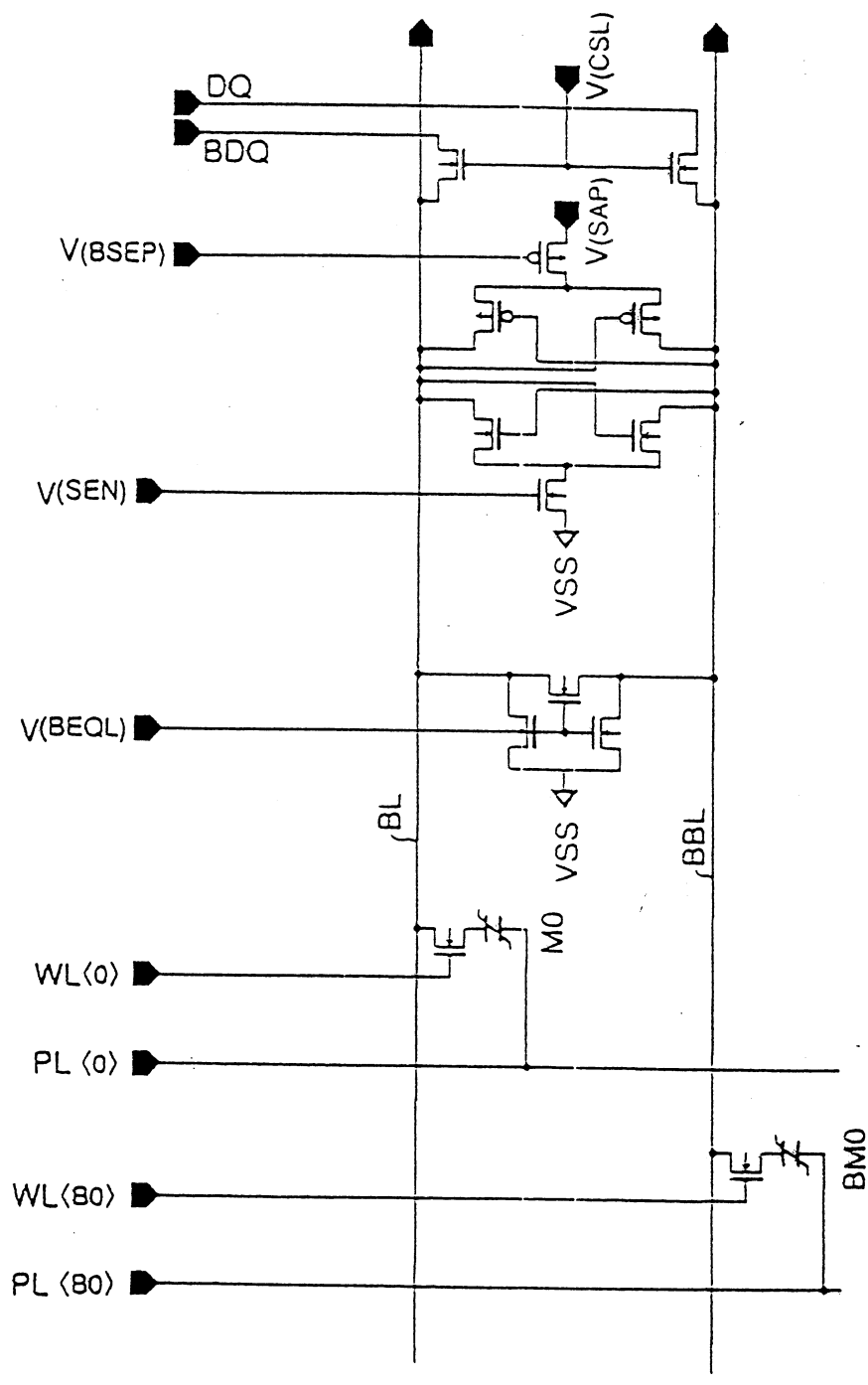


圖 33

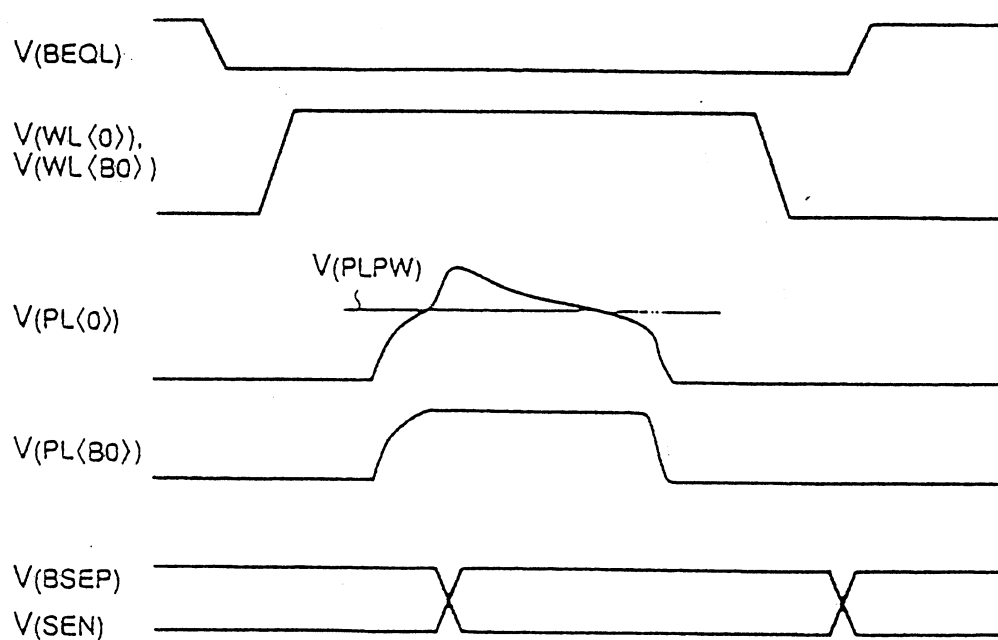


圖 34

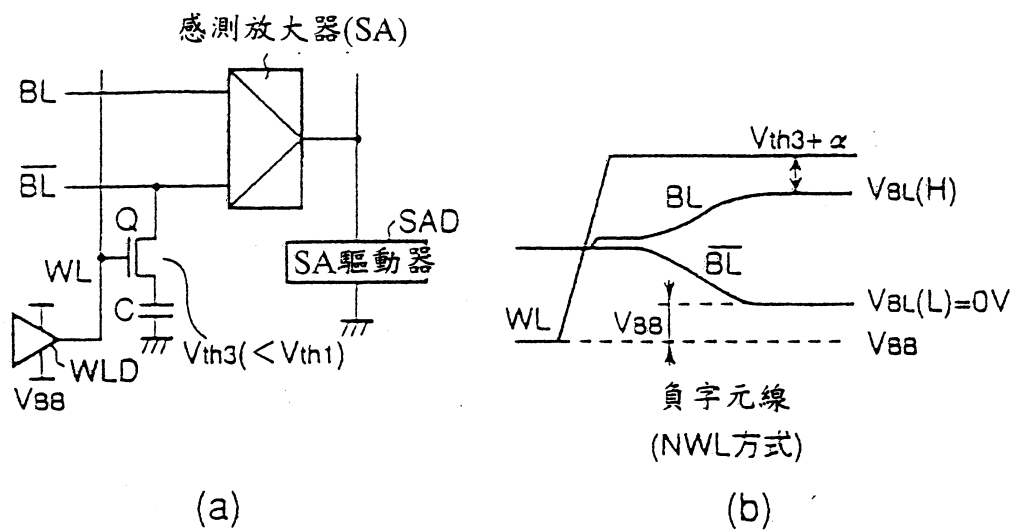


圖 3 5

[圖 3 6]

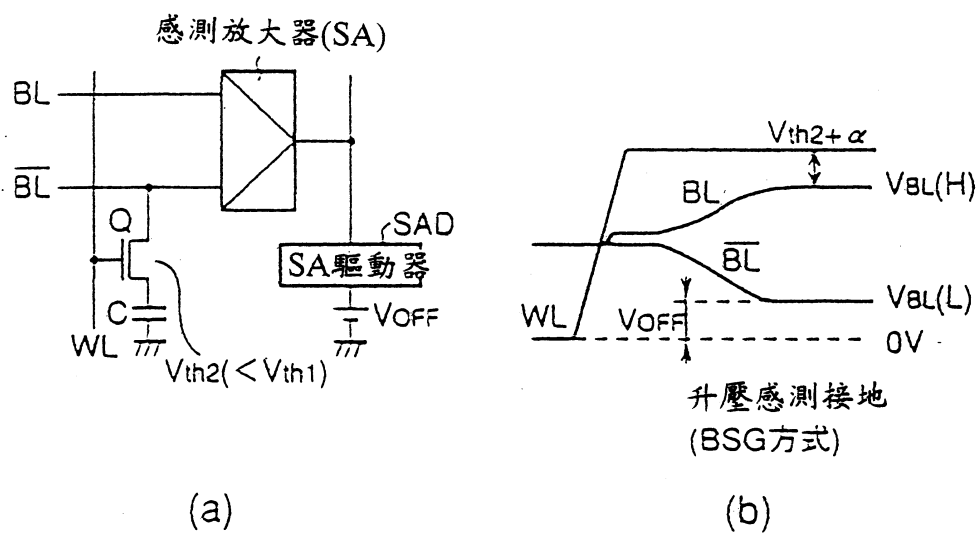


圖 3 6

六、申請專利範圍

1. 一種鐵電記憶體，其特徵在於：具備

記憶胞單元：串聯連接多數個將鐵電電容器兩電極分別連接於第一MOS電晶體之源極及汲極而成的記憶胞；

多數條字元線：分別對應連接於前述記憶胞單元之各第一MOS電晶體之閘極；

板線：連接於前述記憶胞單元一端；

第一位元線：透過部件選擇用開關元件連接於前述記憶胞單元他端；

感測放大器：比較放大包含前述第一位元線及與此互補的第二位元線的位元線對電位；及，

第二MOS電晶體：插入於前述部件選擇用開關元件和感測放大器之間，

在前述板線電位上升的狀態且設利用前述感測放大器進行比較放大時的前述第二MOS電晶體之閘極電位最小值為VPP1，在前述板線電位下降的狀態且設利用前述感測放大器進行比較放大時的前述第二MOS電晶體之閘極電位最大值為VPP2，則為 $VPP1 < VPP2$ 者。

2. 一種鐵電記憶體，其特徵在於：具備

記憶胞陣列：排列多數個將第一MOS電晶體一端連接於至少一個鐵電電容器一端而成的記憶胞；

字元線：連接於前述第一MOS電晶體之閘極；

第一位元線：連接於和前述第一MOS電晶體之前述鐵電電容器連接側相反側之節；

板線：連接於和前述鐵電電容器之前述第一MOS電晶

六、申請專利範圍

體連接側相反側之節點；

感測放大器：比較放大包含前述第一位元線及與此互補的第二位元線的位元線對電位；及，

第二MOS電晶體：插入於前述第一位元線和感測放大器之間，

在前述板線電位上升的狀態且設利用前述感測放大器進行比較放大時的前述第二MOS電晶體之閘極電位最小值為VPP1，在前述板線電位下降的狀態且設利用前述感測放大器進行比較放大時的前述第二MOS電晶體之閘極電位最大值為VPP2，則為 $VPP1 < VPP2$ 者。

3. 如申請專利範圍第1或2項之鐵電記憶體，其中在前述板線電位上升的狀態且設未利用前述感測放大器進行比較放大時的前述第二MOS電晶體之閘極電位最大值為VPP3，則為 $VPP1 < VPP3$ 。
4. 如申請專利範圍第1或2項之鐵電記憶體，其中前述VPP2為前述第一位元線最大振幅電壓和前述第二MOS電晶體臨界電壓之和以上。
5. 如申請專利範圍第4項之鐵電記憶體，其中前述VPP2為和前述字元線升壓電位VPP同電位。
6. 如申請專利範圍第1或2項之鐵電記憶體，其中前述VPP1為前述第一位元線最大振幅電壓和前述第二MOS電晶體臨界電壓之和未滿。
7. 如申請專利範圍第1或2項之鐵電記憶體，其中前述VPP1為和前述第一位元線最大振幅電壓或由外部所供應

六、申請專利範圍

的外部電源電壓VCC同電位。

8. 如申請專利範圍第1或2項之鐵電記憶體，其中前述VPP1為0V。
9. 如申請專利範圍第3項之鐵電記憶體，其中前述VPP3為前述第一位元線最大振幅電壓和前述第二MOS電晶體臨界電壓之和以上。
10. 如申請專利範圍第1或2項之鐵電記憶體，其中更具備均衡電路：連接於在前述第二MOS電晶體之記憶胞側之一端所連接的前述位元線對間，在預定定時使前述位元線對與0V均衡。
11. 如申請專利範圍第3項之鐵電記憶體，其中更具備均衡電路：連接於在前述第二MOS電晶體之記憶胞側之一端所連接的前述位元線對間，在預定定時使前述位元線對與0V均衡。
12. 如申請專利範圍第10項之鐵電記憶體，其中在前述第二MOS電晶體之閘極電位變成0V的狀態，藉由將前述均衡電路控制於接通狀態，在前述記憶胞再寫入從前述板線到前述感測放大器方向的極化。
13. 如申請專利範圍第10項之鐵電記憶體，其中前述均衡電路只在前述感測放大器變成非活性的狀態被控制於接通狀態。
14. 一種鐵電記憶體，其特徵在於：從前述記憶胞單元之選擇胞讀出資料後，從記憶體晶片外部寫入資料時，進行申請專利範圍第12項所載之動作，從前述記憶胞單元之

六、申請專利範圍

選擇胞讀出資料而再寫入時，進行申請專利範圍第13項所載之動作者。

15. 如申請專利範圍第14項之鐵電記憶體，其中進行申請專利範圍第13項所載之動作的讀出周期的周期時間比進行申請專利範圍第12項所載之動作的寫入周期的周期時間短。

16. 一種鐵電記憶體，其特徵在於：從前述記憶胞單元之選擇胞讀出資料而再寫入時及從前述記憶胞單元之選擇胞讀出資料後，從記憶體晶片外部寫入資料時，分別進行申請專利範圍第12項所載之動作。

17. 如申請專利範圍第1項之鐵電記憶體，其中更具備一對第三電晶體：以各個的控制電極接收前述位元線對的電位，在各個的一端間連接前述感測放大器的一對輸入節點；及，

一對第四電晶體：插入於前述感測放大器的一對輸出節點和前述位元線對之間，將由前述感測放大器進行比較放大的輸出資料藉由將前述板線電位降到0V後被控制於接通狀態傳到前述位元線對。

18. 一種半導體記憶體，其特徵在於：具備

記憶胞：連接具有0V或0V附近的臨界值的至少一個第一MOS電晶體及連接於其一端的至少一個資訊記憶用電容器而成；

字元線：連接於前述第一MOS電晶體之閘極；

位元線：連接於和前述第一MOS電晶體之前述資訊記

六、申請專利範圍

憶用電容器連接側相反側之節點；及，

感測放大器：將前述位元線電位和參考電位比較放大者。

19. 如申請專利範圍第18項之半導體記憶體，其中前述資訊記憶用電容器使用鐵電薄膜作為電極間絕緣膜。

20. 如申請專利範圍第18項之半導體記憶體，其中前述資訊記憶用電容器使用閘氧化膜作為電極間絕緣膜。

21. 一種半導體記憶體，其特徵在於：具備

記憶胞單元：串聯連接多數個將鐵電電容器兩電極分別連接於第一MOS電晶體之源極及汲極而成的記憶胞；

多數條字元線：分別對應連接於前述記憶胞單元之各第一MOS電晶體之閘極；

板線：連接於前述記憶胞單元一端；

部件選擇用第一MOS電晶體：一端連接於前述記憶胞單元他端；

第一位元線：連接於前述第一MOS電晶體他端；及，

感測放大器：比較放大包含前述第一位元線及與此互補的第二位元線的位元線對電位，

前述第一MOS電晶體具有0V或0V附近的臨界值者。

22. 如申請專利範圍第18至21項中任一項之半導體記憶體，其中前述字元線升壓電位為電源電壓。

23. 如申請專利範圍第18至21項中任一項之半導體記憶體，其中前述字元線非選擇時為負電位。

24. 如申請專利範圍第22項之半導體記憶體，其中前述字元

六、申請專利範圍

線非選擇時為負電位。

25. 如申請專利範圍第18至21項中任一項之半導體記憶體，其中前述感測放大器低電位側電位為正值。
26. 如申請專利範圍第22項之半導體記憶體，其中前述感測放大器低電位側電位為正值。