

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-204871

(P2012-204871A)

(43) 公開日 平成24年10月22日(2012.10.22)

(51) Int.Cl.			F I			テーマコード (参考)		
H03K	5/13	(2006.01)	H03K	5/13		5J001		
H04L	7/00	(2006.01)	H04L	7/00	Z	5J106		
H03L	7/081	(2006.01)	H03L	7/08	J	5K047		
H03L	7/095	(2006.01)	H03L	7/08	B			

審査請求 未請求 請求項の数 7 O L (全 36 頁)

(21) 出願番号 特願2011-64863 (P2011-64863)
 (22) 出願日 平成23年3月23日 (2011. 3. 23)

(71) 出願人 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番1号
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100146776
 弁理士 山口 昭則
 (72) 発明者 右田 幸治
 神奈川県川崎市中原区上小田中4丁目1番1号 富士通アドバンステクノロジー株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置、及び情報処理装置

(57) 【要約】

【課題】

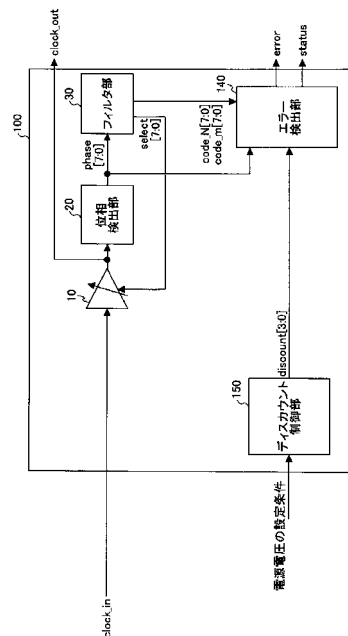
安定的な動作を確保できる半導体回路装置、及び情報処理装置を提供することを課題とする。

【解決手段】

半導体装置は、入力信号に遅延を与える遅延部と、前記遅延部から出力される出力信号の位相を検出する位相検出部と、前記位相検出部から出力される位相情報に基づき、前記出力信号の位相の安定動作範囲を設定する設定部と、前記安定動作範囲から位相が外れた前記出力信号の検出回数をカウントするカウンタと、前記遅延部の動作条件又は外的要因に応じて、前記カウンタのカウント数のディスカウント数を表すディスカウント信号を生成するディスカウント制御部と、前記カウンタのカウント数と前記ディスカウント信号が表すディスカウント数とに基づき、前記出力信号の位相のエラーの有無を判定するエラー判定部とを含む。

【選択図】 図6

実施の形態1の半導体装置に含まれる信号遅延回路100を示す図



【特許請求の範囲】

【請求項 1】

入力信号に遅延を与える遅延部と、
 前記遅延部から出力される出力信号の位相を検出する位相検出部と、
 前記位相検出部から出力される位相情報に基づき、前記出力信号の位相の安定動作範囲を設定する設定部と、
 前記安定動作範囲から位相が外れた前記出力信号の検出回数をカウントするカウンタと、
 前記遅延部の動作条件又は外的要因に応じて、前記カウンタのカウント数のディスカウント数を表すディスカウント信号を生成するディスカウント制御部と、
 前記カウンタのカウント数と前記ディスカウント信号が表すディスカウント数とに基づき、前記出力信号の位相のエラーの有無を判定するエラー判定部と
 を含む半導体装置。

10

【請求項 2】

前記ディスカウント制御部は、前記動作条件又は前記外的要因の変動度合いが大きいほど、前記ディスカウント数を増大する、請求項 1 記載の半導体装置。

【請求項 3】

前記動作条件は、前記遅延部の電源電圧の変動範囲であり、
 前記ディスカウント制御部は、前記電源電圧の変動範囲が大きいほど、前記ディスカウント数を増大する、請求項 1 又は 2 記載の半導体装置。

20

【請求項 4】

前記外的要因は、前記半導体装置の電源電圧の変動であり、
 前記電源電圧の変動分を検出する電源電圧検出部をさらに含み、
 前記ディスカウント制御部は、前記電源電圧検出部によって検出される電源電圧の変動分が大きくなると前記ディスカウント数を増大し、前記電源電圧検出部によって検出される電源電圧の変動分が小さくなると前記ディスカウント数を減少する、請求項 1 又は 2 記載の半導体装置。

【請求項 5】

前記動作条件は、前記半導体装置の温度の変動範囲であり、
 前記ディスカウント制御部は、前記温度の変動範囲が大きいほど、前記ディスカウント数を増大する、請求項 1 又は 2 記載の半導体装置。

30

【請求項 6】

前記外的要因は前記半導体装置の温度の変動範囲の変動であり、
 前記温度の変動範囲の変動を検出する温度検出部をさらに含み、
 前記ディスカウント制御部は、前記温度検出部によって検出される温度の変動範囲が拡大すると前記ディスカウント数を増大し、前記温度検出部によって検出される温度の変動範囲が縮小すると前記ディスカウント数を減少する、請求項 1 又は 2 記載の半導体装置。

【請求項 7】

演算処理装置と、
 主記憶装置と、
 請求項 1 乃至 6 のいずれか一項記載の半導体装置を有し、前記演算処理装置と前記主記憶装置との間でデータの転送を行うメモリコントローラと
 を含む情報処理装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

半導体装置、及び情報処理装置に関する。

【背景技術】

【0002】

従来より、クロック信号の経路として選択された一の可変遅延回路の出力の位相と他の

50

可変遅延回路の出力の位相とが1周期だけ異なるとき、一の可変遅延回路を他の可変遅延回路に切り替え、一の可変遅延回路の遅延時間可変範囲以上の位相補償を行う半導体回路装置があった。

【0003】

また、多数決回路によって位相比較器の位相比較結果の多数決を取ることにより、入力データに含まれるジッタに過度に追従することを防止する半導体回路装置があった。

【0004】

また、同期エラーが連続して発生する時にその連続回数を計数し、連続回数が所定回数になるときに、最初に検出した同期信号が誤検出されたものと判定する同期検出回路装置があった。

10

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2001-075671号公報

【特許文献2】特開2005-033392号公報

【特許文献3】特開平2-206070号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

ところで、従来の半導体回路装置は、複数の可変遅延回路、又は、多数決回路及び多数決回数設定レジスタを含むため、フィードバックループの応答が遅れるという問題があった。

20

【0007】

また、従来の同期検出回路装置は、多数決回路等を含むため、フィードバックループの応答が遅れるという問題があった。

【0008】

このように、従来の装置では、フィードバックループの応答が遅れると、安定的な動作を確保できない場合があるという問題点があった。

【0009】

そこで、安定的な動作を確保できる半導体回路装置、及び情報処理装置を提供することを目的とする。

30

【課題を解決するための手段】

【0010】

本発明の実施の形態の半導体装置は、入力信号に遅延を与える遅延部と、前記遅延部から出力される出力信号の位相を検出する位相検出部と、前記位相検出部から出力される位相情報に基づき、前記出力信号の位相の安定動作範囲を設定する設定部と、前記安定動作範囲から位相が外れた前記出力信号の検出回数をカウントするカウンタと、前記遅延部の動作条件又は外的要因に応じて、前記カウンタのカウント数のディスカウント数を表すディスカウント信号を生成するディスカウント制御部と、前記カウンタのカウント数と前記ディスカウント信号が表すディスカウント数とに基づき、前記出力信号の位相のエラーの有無を判定するエラー判定部とを含む。

40

【発明の効果】

【0011】

安定的な動作を確保できる半導体回路装置、及び情報処理装置を提供することができる。

【図面の簡単な説明】

【0012】

【図1】比較例の信号遅延回路1を示すブロック図である。

【図2】比較例の信号遅延回路1に含まれる遅延部10を示す図である。

【図3】(A)は比較例の信号遅延回路1のフィルタ部30に入力される位相信号(phas

50

e) が表すクロックの位相と安定動作範囲との関係を模式的に示す図、(B) はフィルタ部 30 によってフィルタ処理が行われた後のクロックの位相と安定動作範囲との関係を模式的に示す図、(C) はエラー検出部 40 における許容範囲とクロックの位相との関係を模式的に示す図である。

【図 4】実施の形態 1 の半導体装置を含むサーバ 50 を示す図である。

【図 5】実施の形態 1 の半導体装置を含むサーバ 50 を示すブロック図である。

【図 6】実施の形態 1 の半導体装置に含まれる信号遅延回路 100 を示す図である。

【図 7】実施の形態 1 の半導体装置に含まれる信号遅延回路 100 の位相検出部 20 を示す図である。

【図 8】実施の形態 1 の信号遅延回路 100 のエラー検出部 140 の内部構成を示す図である。

10

【図 9】エラー検出部 140 におけるカウント数のディスカウントの概念を示す図である。

【図 10】実施の形態 2 の半導体装置に含まれる信号遅延回路 200 を示す図である。

【図 11】実施の形態 2 の信号遅延回路 100 のエラー検出部 240 の内部構成を示す図である。

【図 12】実施の形態 2 の半導体装置に含まれる信号遅延回路 200 に接続されるディスカウント制御部 250 を示す図である。

【図 13】実施の形態 2 の信号遅延回路 200 のディスカウント制御部 250 の入力信号の値と出力信号の値との対応関係を示す図である。

20

【図 14】実施の形態 2 の信号遅延回路 200 の動作を示すタイミングチャートである。

【図 15】実施の形態 3 の半導体装置に含まれる信号遅延回路 300 を示す図である。

【図 16】エラー検出部 140 におけるカウント数のディスカウントの概念を示す図である。

【図 17】実施の形態 4 の半導体装置に含まれる信号遅延回路 400 を示す図である。

【図 18】実施の形態 4 の半導体装置に含まれる信号遅延回路 400 に接続されるディスカウント制御部 450 を示す図である。

【図 19】実施の形態 4 の信号遅延回路 400 のディスカウント制御部 450 の入力信号の値と出力信号の値との対応関係を示す図である。

【図 20】実施の形態 4 の信号遅延回路 400 の動作を示すタイミングチャートである。

30

【発明を実施するための形態】

【0013】

以下、本発明の半導体装置、及び情報処理装置を適用した実施の形態について説明する。

【0014】

実施の形態 1 乃至 4 の半導体装置、及び情報処理装置について説明する前に、まず、図 1 乃至図 3 を用いて、比較例の半導体装置に含まれる信号遅延回路について説明する。

【0015】

図 1 は、比較例の信号遅延回路 1 を示すブロック図である。

【0016】

比較例の信号遅延回路 1 は、例えば、LSI (Large Scale Integrated circuit: 大規模集積回路) によって実現される。

40

【0017】

信号遅延回路 1 は、遅延部 10、位相検出部 20、フィルタ部 30、及びエラー検出部 40 を含む。

【0018】

遅延部 10 は、入力されたクロック (clock_in) に遅延を与えたクロック (clock_out) を出力する。遅延部 10 でクロックに与える遅延時間は、フィルタ部 30 から入力される選択信号 (select) により可变的に設定される。遅延部 10 から出力されるクロックは、信号遅延回路 1 の出力 (clock_out) として出力されるとともに、位相検出部 20 に入

50

力される。

【0019】

位相検出部20は、遅延部10から出力されるクロックの位相を検出し、クロックの位相を表す位相信号(phase)をフィルタ部30とエラー検出部40に出力する。位相検出部20は、例えば、クロックの毎周期の立ち上がりの位相を検出する。

【0020】

フィルタ部30は、遅延部10から出力されるクロックの位相の目標値を保持しており、遅延部10から出力されるクロックの位相の安定動作範囲を設定する設定部の一例である。フィルタ部30が設定する安定動作範囲は、遅延部10から出力されるクロックの位相の目標値を略中央とする所定幅を有する範囲である。

10

【0021】

フィルタ部30は、フィルタ処理により、位相検出部20からクロックの周期毎に入力される位相信号(phase)が表すクロックの位相のうち、安定動作範囲から位相が外れるクロックを除去する。また、フィルタ部30は、安定動作範囲内にあるクロックの位相と目標値との差に応じて遅延部10における遅延量を調節するための選択信号(select)を遅延部10に帰還する。また、フィルタ部30は、安定動作範囲を表すコード(code)をエラー検出部40に出力する。

【0022】

エラー検出部40は、フィルタ部30から出力される安定動作範囲を表すコード信号(code)に基づいて安定動作範囲に対応する許容範囲を設定するとともに、遅延部10から出力されるクロックの位相が許容範囲内にあるか否かを判定し、許容範囲から位相が外れた回数をカウントする。

20

【0023】

エラー検出部40は、フィルタ部30が設定する安定動作範囲と同一の範囲を有する許容範囲を設定する。すなわち、エラー検出部40が設定する許容範囲は、遅延部10の安定動作範囲(ロック範囲)を表す。このため、エラー検出部40は、位相検出部20で検出されるクロックの位相が、フィルタ部30によって設定される安定動作範囲を逸脱していないかを判定することができる。

【0024】

エラー検出部40は、例えば、許容範囲の上限及び下限を表すコード(code)と、クロックの位相を表すコード(phase)とを含む状態信号(status)を出力する。また、エラー検出部40は、位相検出部20で検出されるクロックの位相が許容範囲から逸脱したと判定すると、エラーが生じた旨を表すエラー信号(error)を出力する。状態信号(status)とエラー信号(error)は、信号遅延回路1を含むシステムの監視系統に伝送される。なお、エラー信号(error)は、許容範囲から位相が外れた回数(エラー検出部40のカウント数)を含んでもよい。

30

【0025】

以上のように、比較例の信号遅延回路1は、入力信号(クロック)に遅延を与えることにより、目標値に応じた位相を有する出力信号(クロック)を出力する。

【0026】

図2は、比較例の信号遅延回路1に含まれる遅延部10を示す図である。

40

【0027】

遅延部10は、インバータ11A、12A、13A、セレクタ11B、12B、13B、及びインバータ11C、12C、13Cを含む。

【0028】

インバータ11A~13Aは、信号の折り返し点となるセレクタ11B~13Bに信号を伝搬するためのフォワード側のインバータであり、インバータ11C~13Cは、信号がセレクタ11B~13Bで折り返した後に信号を伝搬するリターン側のインバータである。

【0029】

50

インバータ 1 1 A ~ 1 3 A は、それぞれ、入力信号を反転して出力する否定回路である。

【 0 0 3 0 】

インバータ 1 1 A ~ 1 3 A は、それぞれ、出力端子と入力端子が接続されることにより、直列に接続される遅延素子の一例である。インバータ 1 1 A の入力端子は、遅延部 1 0 の入力端子 I N に接続されており、インバータ 1 3 A の出力端子は、セクタ 1 3 B の一方の入力端子に接続されるとともに、開放されている (o p e n) 。

【 0 0 3 1 】

セクタ 1 1 B ~ 1 3 B は、それぞれ、インバータ 1 1 A ~ 1 3 A に対応して設けられている。セクタ 1 1 B ~ 1 3 B は、2つの入力端子と選択信号入力端子 S とを有し、選択信号入力端子 S に入力される選択信号に応じて、いずれかの入力を選択して出力する選択部の一例である。

10

【 0 0 3 2 】

ここで、セクタ 1 1 B、1 2 B の選択信号入力端子 S には、フィルタ部 3 0 から " 1 " 又は " 0 " の選択信号が入力される。また、セクタ 1 3 B の選択信号入力端子 S には、信号レベルが " 1 " にクリップされた選択信号が入力される。セクタ 1 3 B の選択信号入力端子 S には、例えば、電源電圧を抵抗器等で電圧変換することにより、選択信号の信号レベル " 1 " を表す所定電圧を生成して入力すればよい。

【 0 0 3 3 】

このため、セクタ 1 1 B、1 2 B は、フィルタ部 3 0 から入力される選択信号 (" 1 " 又は " 0 ") に応じていずれかの入力を選択して出力し、セクタ 1 3 B は常にインバータ 1 3 A の出力を選択して出力する。

20

【 0 0 3 4 】

インバータ 1 1 C ~ 1 3 C は、それぞれ、入力信号を反転して出力する否定回路であり、セクタ 1 1 B ~ 1 3 B に対応して設けられている。インバータ 1 1 C ~ 1 3 C は、セクタ 1 1 B ~ 1 3 B と交互に直列に接続されており、それぞれ、セクタ 1 1 B ~ 1 3 B の各々の出力を反転して出力する。インバータ 1 1 C ~ 1 3 C は、遅延素子の一例である。

【 0 0 3 5 】

セクタ 1 3 B の一方の入力端子には、インバータ 1 3 A の出力端子が接続されている。セクタ 1 3 B の他方の入力端子は接地されており、固定データとして " 0 " が入力される。

30

【 0 0 3 6 】

セクタ 1 2 B の一方の入力端子には、インバータ 1 2 A の出力端子が接続され、他方の入力端子には、インバータ 1 3 C の出力端子が接続されている。

【 0 0 3 7 】

セクタ 1 1 B の一方の入力端子には、インバータ 1 1 A の出力端子が接続され、他方の入力端子には、インバータ 1 2 C の出力端子が接続されている。

【 0 0 3 8 】

インバータ 1 1 C の入力端子には、セクタ 1 1 B の出力端子が接続され、インバータ 1 1 C の出力端子は、遅延部 1 0 の出力端子 O U T に接続されている。

40

【 0 0 3 9 】

遅延部 1 0 は、入力端子 I N に入力される信号をセクタ 1 1 B ~ 1 2 B のうちのどこで折り返すかにより、入力端子 I N に入力される信号の遅延量を調節して出力端子 O U T から出力する。

【 0 0 4 0 】

なお、上述したように、遅延部 1 0 の入力端子 I N から見て一番奥にあるセクタ 1 3 B の選択信号入力端子 S には、信号レベルが " 1 " にクリップされた選択信号が入力されるため、セクタ 1 3 B は常にインバータ 1 3 A の出力を選択する。

【 0 0 4 1 】

50

比較例の半導体装置に含まれる信号遅延回路 1 において、セレクタ 1 1 B、1 2 B に入力される選択信号が、それぞれ、" 0 "、" 0 " である場合、セレクタ 1 1 B、1 2 B は、それぞれ、インバータ 1 2 C、1 3 C の出力を選択するため、遅延部 1 0 における信号の折り返し点はセレクタ 1 3 B になる。

【 0 0 4 2 】

セレクタ 1 1 B、1 2 B に入力される選択信号が、それぞれ、" 0 "、" 1 " である場合、セレクタ 1 1 B はインバータ 1 2 C の出力を選択し、セレクタ 1 2 B はインバータ 1 2 A の出力を選択するため、信号の折り返し点はセレクタ 1 2 B になる。

【 0 0 4 3 】

なお、このとき、セレクタ 1 3 B はインバータ 1 3 A の出力を選択してインバータ 1 3 C に入力するが、インバータ 1 3 C の出力はセレクタ 1 2 B によって選択されないため、セレクタ 1 3 B は信号の折り返し点にはならない。

10

【 0 0 4 4 】

セレクタ 1 1 B、1 2 B に入力される選択信号が、それぞれ、" 1 "、" 0 " である場合、セレクタ 1 1 B がインバータ 1 1 A の出力を選択するため、信号の折り返し点はセレクタ 1 1 B になる。

【 0 0 4 5 】

なお、このとき、セレクタ 1 3 B はインバータ 1 3 A の出力を選択してインバータ 1 3 C に入力し、インバータ 1 3 C の出力はセレクタ 1 2 B によって選択されるが、インバータ 1 2 C の出力はセレクタ 1 1 B によって選択されないため、セレクタ 1 3 B は信号の折り返し点にはならない。

20

【 0 0 4 6 】

なお、ここでは、一例として、3 段のインバータ 1 1 A、1 2 A、1 3 A、セレクタ 1 1 B、1 2 B、1 3 B、及びインバータ 1 1 C、1 2 C、1 3 C を含む遅延部 1 0 について説明したが、フォワード側及びリターン側のインバータとセレクタの段数は、クロックに与える遅延量に応じて決めればよい。

【 0 0 4 7 】

例えば、クロックに 1 8 0 ° の位相を与えた出力信号を出力する場合には、例えば、8 ビットの選択信号を用いて、2 5 7 段のフォワード側及びリターン側のインバータとセレクタを用いて遅延量を段階的に設定してもよい。

30

【 0 0 4 8 】

この場合は、フィルタ部 3 0 が出力する 8 ビットの選択信号を 2 5 6 ビットの選択信号に変換して、2 5 7 段のセレクタのうち、遅延部 1 0 の入力端子 IN 及び出力端子 OUT から見て最も奥にあるセレクタ以外の 2 5 6 個のセレクタに、入力すればよい。なお、この場合、遅延部 1 0 の入力端子 IN 及び出力端子 OUT から見て最も奥にあるセレクタには、常に信号を折り返すように、信号値を固定した選択信号を入力すればよい。

【 0 0 4 9 】

また、図 2 には、一例として、フォワード側のインバータを伝送される信号をセレクタで折り返してリターン側のインバータを経て出力する形式の遅延部 1 0 を示すが、遅延部 1 0 の回路構成は折り返す形式のものに限らない。遅延部 1 0 は、入力信号に遅延を与えて出力できる回路であれば他の回路構成のものであってもよく、その形式は問わない。

40

【 0 0 5 0 】

次に、図 3 (A) ~ (C) を用いて、位相検出部 2 0 で検出されるクロックの位相、フィルタ部 3 0 が設定する安定動作範囲、及びエラー検出部 4 0 が設定する許容範囲について説明する。なお、図 3 (A) ~ (C) では、クロックの位相を点で示す。

【 0 0 5 1 】

図 3 (A) は、比較例の信号遅延回路 1 のフィルタ部 3 0 に入力される位相信号 (phase) が表すクロックの位相と安定動作範囲との関係を模式的に示す図である。図 3 (A) に示す位相を表す点は、フィルタ部 3 0 によるフィルタ処理が行われる前のクロックの位相であり、位相検出部 2 0 によって検出されるクロックの位相を表す。

50

【 0 0 5 2 】

図 3 (B) は、フィルタ部 3 0 によってフィルタ処理が行われた後のクロックの位相と安定動作範囲との関係を模式的に示す図である。

【 0 0 5 3 】

図 3 (C) は、エラー検出部 4 0 における許容範囲とクロックの位相との関係を模式的に示す図である。

【 0 0 5 4 】

ここで、安定動作範囲及び許容範囲の上限を N 、安定動作範囲及び許容範囲の幅を m とする。フィルタ部 3 0 が保持するクロックの位相の目標値は、 $N - (m / 2)$ で表されるものとする。

10

【 0 0 5 5 】

第 1 許容範囲の上限 N と幅 m は、フィルタ部 3 0 が、フィルタ部 3 0 に入力される位相信号 (phase) が表すクロックの位相の分布に基づいて信号遅延回路 1 0 0 が適切に動作するように決定する。なお、フィルタ部 3 0 は、目標値を用いて第 1 許容範囲の上限 N と幅 m を決定してもよい。

【 0 0 5 6 】

図 3 (A) に示すように、位相検出部 2 0 で検出されるクロックの位相は、目標値を中心とする安定動作範囲 ($N - m \sim N$) 内に殆どが存在する。

【 0 0 5 7 】

安定動作範囲 ($N - m \sim N$) から位相が逸脱するクロックは、例えば、遅延部 1 0 の異常、又はクロックの異常等が原因で生じる場合があるが、その他にも、例えば、遅延部 1 0 の温度、又は遅延部 1 0 の電源電圧の変動等によって生じる場合がある。

20

【 0 0 5 8 】

このように、クロックの位相が安定動作範囲 ($N - m \sim N$) から逸脱するのは、信号遅延回路 1 又は信号遅延回路 1 を含む半導体装置の外部で生じる要因 (外的要因) によって生じる場合がある。

【 0 0 5 9 】

安定動作範囲 ($N - m \sim N$) から逸脱したクロックの位相は、フィルタ部 3 0 のフィルタ処理によって取り除かれるため、フィルタ処理が終わった後のクロックの位相は、図 3 (B) に破線の楕円 A 内に示すように、安定動作範囲 ($N - m \sim N$) 内に収まる。

30

【 0 0 6 0 】

また、エラー検出部 4 0 は、フィルタ部 3 0 と同一の許容範囲 ($N - m \sim N$) を有するため、図 3 (C) に示すようなクロックの位相を表す位相信号 (phase) が位相検出部 2 0 から入力されると、クロックの位相が許容範囲 ($N - m \sim N$) 内に入る場合は正常と判定するが、許容範囲 ($N - m \sim N$) から逸脱すると異常が発生したと判定する。

【 0 0 6 1 】

すなわち、エラー検出部 4 0 は、図 3 (C) に破線で示す楕円 A 内のクロックの位相は許容範囲 ($N - m \sim N$) 内に入るため正常と判定し、楕円 B、C 内に入るクロックの位相については異常と判定する。

【 0 0 6 2 】

異常が発生したとエラー検出部 4 0 が判定した場合は、エラー信号が信号遅延回路 1 を含むシステムの監視系統に伝送され、例えば、信号遅延回路 1 を含むシステムの動作が停止される。

40

【 0 0 6 3 】

ところで、信号遅延回路 1 の電源電圧又は温度の変動のような動作条件又は外的要因によって信号遅延回路 1 に入力するクロックの位相が変動する場合の中には、エラー検出部 4 0 がエラー判定を行わなくても、信号遅延回路 1 を含むシステムの動作に影響を生じない場合がある。

【 0 0 6 4 】

例えば、動作条件又は外的要因によるエラーの発生頻度が極端に低い (例えば 1 % 未満

50

）場合、又は、信号遅延回路 1 の外部でデータの監視が行われている場合は、エラー判定を行わなくても、信号遅延回路 1 を含むシステムの動作に影響を生じない場合がある。

【 0 0 6 5 】

ここで、信号遅延回路 1 の外部でデータの監視が行われている場合としては、例えば、クロック (clock_in) に同期したデータ転送を行っているバス等で、E C C (Error Checking and Correction) 符号を伴ったデータ転送を行っている場合、又は、イネーブル信号等を伴ったデータ転送を行っている場合がある。

【 0 0 6 6 】

また、動作条件又は外的要因によってクロックの位相が変動してエラー検出部 4 0 の許容範囲から逸脱するのは、例えば、確率的に数パーセント以下 (例えば、1 万回の検出において、数回から数十回程度) であり、全体のクロックの位相から見るとごく僅かである。

10

【 0 0 6 7 】

従って、動作条件又は外的要因によるクロックの位相の変動が比較的少ない場合については、エラー検出部 4 0 でエラー判定を行わずに、信号遅延回路 1 を含むシステムの動作を継続する方がシステム全体を円滑かつ安定的に動作させることができる。

【 0 0 6 8 】

以上のように、比較例の信号遅延回路 1 を含む半導体装置では、動作条件又は外的要因でクロックの位相が許容範囲から逸脱した場合には、一律的にエラー判定を行うため、信号遅延回路 1 を含むサーバ等の情報処理装置を停止することになり、システム全体を円滑かつ安定的に動作させることが困難になる場合が生じる可能性があった。

20

【 0 0 6 9 】

このため、以下で説明する実施の形態 1 乃至 4 では、上述の問題点を解決した半導体装置、及び情報処理装置を提供することを目的とする。以下、実施の形態 1 乃至 4 の半導体装置、及び情報処理装置について説明する。

【 0 0 7 0 】

< 実施の形態 1 >

以下、実施の形態 1 の半導体装置、及び情報処理装置について説明するにあたり、比較例の半導体装置と同一又は同等の構成要素には同一符号を付し、その説明を省略する。

【 0 0 7 1 】

30

図 4 は、実施の形態 1 の半導体装置を含むサーバ 5 0 を示す図である。

【 0 0 7 2 】

図 4 に示すサーバ 5 0 は、実施の形態 1 の半導体装置を含む情報処理装置の一例である。サーバ 5 0 は、例えば、C P U (Central Processing Unit: 中央演算装置) 及び主記憶装置等を含む。

【 0 0 7 3 】

図 5 は、実施の形態 1 の半導体装置を含むサーバ 5 0 を示すブロック図である。

【 0 0 7 4 】

サーバ 5 0 は、C P U 5 1 及び主記憶装置 5 2 A、5 2 B を含む。C P U 5 1 と主記憶装置 5 2 A、5 2 B は、それぞれ、バス 5 3 A、5 3 B によって接続されている。

40

【 0 0 7 5 】

C P U 5 1 は、メモリコントローラ 5 4 を含み、メモリコントローラ 5 4 内のメモリ I / F (Interface: インターフェイス) 5 4 A を介して主記憶装置 5 2 A、5 2 B との間でデータの取得又は転送を行うとともに、取得したデータの処理を行う。

【 0 0 7 6 】

主記憶装置 5 2 A、5 2 B は、例えば、複数のモジュール化された R A M (Random Access Memory: ランダムアクセスメモリ) を含む。なお、図 5 には 2 つの主記憶装置 5 2 A、5 2 B を示すが、主記憶装置は 3 つ以上あってもよい。

【 0 0 7 7 】

メモリコントローラ 5 4 は、C P U 5 1 と主記憶装置 5 2 A、5 2 B との間でデータの

50

転送を行う。メモリコントローラ 5 4 は、主記憶装置 5 2 A、5 2 B との境界におけるデータ通信を実現するために、メモリ I / F 5 4 A を有する。

【 0 0 7 8 】

実施の形態 1 の半導体装置は、例えば、メモリ I / F 5 4 A 内に信号遅延回路を有するメモリコントローラ 5 4 である。図 5 には、CPU 5 1 がメモリコントローラ 5 4 を含む形態を示すが、メモリコントローラ 5 4 は CPU 5 1 の外部にあってもよい。また、実施の形態 1 の半導体装置は、メモリコントローラ 5 4 を含むチップセットであってもよい。

【 0 0 7 9 】

ここで、実施の形態 1 の半導体装置に含まれる信号遅延回路は、入力信号に遅延を与えた出力信号を出力する信号遅延回路の一例である。実施の形態 1 の半導体装置に含まれる信号遅延回路の出力信号は、例えば、実施の形態 1 の半導体装置としてのメモリコントローラ 5 4 が主記憶装置 5 2 A、5 2 B との間でデータ転送を行う際のシステムクロックとして用いられる。

10

【 0 0 8 0 】

次に、図 6 を用いて実施の形態 1 の半導体装置に含まれる信号遅延回路 1 0 0 について説明する。

【 0 0 8 1 】

図 6 は、実施の形態 1 の半導体装置に含まれる信号遅延回路 1 0 0 を示す図である。

【 0 0 8 2 】

信号遅延回路 1 0 0 は、遅延部 1 0、位相検出部 2 0、フィルタ部 3 0、エラー検出部 1 4 0、及びディスカウント制御部 1 5 0 を含む。

20

【 0 0 8 3 】

信号遅延回路 1 0 0 は、エラー検出部 1 4 0 の構成が比較例の信号遅延回路 1 のエラー検出部 4 0 と異なる。また、信号遅延回路 1 0 0 は、ディスカウント制御部 1 5 0 を含む点が比較例の信号遅延回路 1 のエラー検出部 4 0 と異なる。

【 0 0 8 4 】

また、信号遅延回路 1 0 0 では、位相検出部 2 0 は 8 ビットの位相信号 phase[7:0] を出力し、フィルタ部 3 0 は 8 ビットの select[7:0] と、8 ビットの安定動作範囲を表すコード code_N[7:0] 及び code_m[7:0] とを出力する。コード code_N[7:0] は安定動作範囲の上限の位相 N を表し、コード code_m[7:0] は安定動作範囲の幅 m を表す。

30

【 0 0 8 5 】

また、信号遅延回路 1 0 0 のエラー検出部 1 4 0 には、ディスカウント制御部 1 5 0 からディスカウント信号 discount[3:0] が入力される。

【 0 0 8 6 】

その他の構成は比較例の信号遅延回路 1 と同様であり、信号遅延回路 1 0 0 は遅延部 1 0 に入力するクロック (clock_in) に遅延を与えたクロック (clock_out) を出力する。

【 0 0 8 7 】

以下、比較例の信号遅延回路 1 と同一又は同等の構成要素には同一符号を付し、その説明を省略する。

【 0 0 8 8 】

まず、図 7 を用いて、位相検出部 2 0 について説明する。

40

【 0 0 8 9 】

図 7 は、実施の形態 1 の半導体装置に含まれる信号遅延回路 1 0 0 の位相検出部 2 0 を示す図である。

【 0 0 9 0 】

位相検出部 2 0 には、遅延部 1 0 から出力されるクロック (clock_out) が入力される。また、位相検出部 2 0 には、多相クロック 0 ~ 2 5 5 が入力されている。多相クロック 0 ~ 2 5 5 は、クロック (clock_in) の 1 周期を 2 5 6 分割して得る単位位相をクロック (clock_in) に順次付加することによって得られるクロックである。

【 0 0 9 1 】

50

クロック 0 は、クロック (clock_in) と同位相であり、クロック 1 はクロック (clock_in) より単位位相 1 つ分だけ位相が進んでおり、254 はクロック (clock_in) より単位位相 254 個分だけ位相が進んでおり、255 はクロック (clock_in) より単位位相 255 個分だけ位相が進んでいる。

【0092】

位相検出部 20 は、遅延部 10 から出力されるクロック (clock_out) と多相クロック 0 ~ 255 を比較し、多相クロック 0 ~ 255 のうち、遅延部 10 から出力されるクロック (clock_out) と位相が一致するクロック (0 ~ 255 のうちのいずれか 1 つ) の位相を遅延部 10 から出力されるクロック (clock_out) の位相として検出する。

10

【0093】

位相検出部 20 は、検出した位相を表す 8 ビットの位相信号 phase[7:0] を出力する。

【0094】

次に、エラー検出部 140 について説明する。

【0095】

エラー検出部 140 は、信号遅延回路 100 又は信号遅延回路 100 を含む半導体装置の動作条件に応じて、許容範囲から位相が外れた回数 (カウント数) をディスカウントする点が比較例の信号遅延回路 1 のエラー検出部 40 と異なる。

【0096】

エラー検出部 140 には、ディスカウント制御部 150 が接続されており、ディスカウント制御部 150 からディスカウント信号 discount[3:0] が入力される。ディスカウント信号 discount[3:0] は、信号遅延回路 100 又は信号遅延回路 100 を含む半導体装置の動作条件に応じて、ディスカウント制御部 150 によって生成される。

20

【0097】

エラー検出部 140 は、半導体装置の動作条件に応じて生成されるディスカウント信号 discount[3:0] に基づいて、許容範囲から位相が外れた回数 (カウント数) をディスカウントする。

【0098】

エラー検出部 140 がカウント数をディスカウントするのは、動作条件によるクロックの位相の変動が比較的少ない場合については、エラー検出部 140 がエラー判定を行わずに、信号遅延回路 100 を含むシステムの動作を継続する方がシステム全体を円滑かつ安定的に動作させることができるからである。

30

【0099】

ここで、クロックの位相が安定動作範囲 ($N - m \sim N$) から逸脱する要因になる半導体装置の動作条件又は外的要因としては、例えば、半導体装置の電源電圧の変動と半導体装置の温度の変動がある。

【0100】

半導体装置に含まれる遅延部 10 が出力するクロック (clock_out) の位相は、遅延部 10 に供給される電源電圧 (半導体装置に供給される電源電圧) によって影響を受け、変動範囲が変わる。例えば、電源電圧の変動範囲が $\pm 5\%$ 、 $\pm 10\%$ 、 $\pm 15\%$ の場合では、 $\pm 5\%$ の場合のクロック (clock_out) の位相の変動範囲が最も小さく、 $\pm 15\%$ の場合のクロック (clock_out) の位相の変動範囲が最も大きくなる。

40

【0101】

また、半導体装置に含まれる遅延部 10 が出力するクロック (clock_out) の位相は、遅延部 10 の温度 (半導体装置の温度) によって影響を受け、変動範囲が変わる。遅延部 10 の温度は、半導体装置の使用される環境によって異なり、また、半導体装置の動作等による発熱量等によって異なる。

【0102】

遅延部 10 又は半導体装置の温度の変動範囲が大きくなればクロック (clock_out) の位相の変動範囲も大きくなり、遅延部 10 又は半導体装置の温度の変動範囲が小さくなれば

50

ばクロック (clock_out) の位相の変動範囲も小さくなる。

【0103】

半導体装置の電源電圧と温度は、半導体装置の使用環境等の動作条件によって変動範囲が予め分かっている場合と、半導体装置の外的要因によって変動範囲が変わる場合がある。

【0104】

実施の形態1の信号遅延回路100のエラー検出部140は、半導体装置の動作条件に応じて、許容範囲から位相が外れた回数(カウント数)をディスカウントする度合を設定する。

【0105】

なお、半導体装置の外的要因に応じて、許容範囲から位相が外れた回数(カウント数)をディスカウントする信号遅延回路については実施の形態2、4で説明する。

【0106】

ここで、エラー検出部140の内部構成について説明する。

【0107】

図8は、実施の形態1の信号遅延回路100のエラー検出部140の内部構成を示す図である。

【0108】

エラー検出部140は、許容範囲抽出部141、カウント部142、及び判定部143を含む。

【0109】

許容範囲抽出部141は、フィルタ部30から出力されるコードcode_N[7:0]及びcode_m[7:0]に基づき、許容範囲(N - m ~ N)を抽出し、許容範囲を表す許容範囲信号Wをカウント部142に入力する。

【0110】

カウント部142は、位相検出部20から出力される位相信号phase[7:0]と、許容範囲抽出部141から出力される許容範囲信号Wとに基づき、許容範囲から位相が外れた回数をカウントし、カウント数を表すカウント信号Xを判定部143に入力する。

【0111】

判定部143は、ディスカウント制御部150から出力されるディスカウント信号discount[3:0]と、カウント部142から出力されるカウント信号Xとに基づき、クロック(clock_out)の位相にエラーが発生しているか否かを判定する。

【0112】

判定部143は、クロック(clock_out)の位相にエラーが発生していると判定した場合に、エラー信号(error)を出力する。

【0113】

ディスカウント信号discount[3:0]は、カウント信号Xが表す検出回数から減じる検出回数(ディスカウント数)を表す。

【0114】

例えば、ディスカウント信号discount[3:0]が表す検出回数が8回である場合は、判定部143は、カウント信号Xが表す検出回数が1回から8回までの間は、クロック(clock_out)の位相にエラーが生じたとは判定しない。

【0115】

判定部143は、カウント信号Xが表す検出回数が9回になると、エラーが生じたとは判定し、エラー信号(error)を出力するとともに、カウント部142をリセットするためのリセット信号(reset)を出力する。

【0116】

このように、エラー検出部140は、半導体装置の動作条件に応じて生成されるディスカウント信号discount[3:0]に基づいて、許容範囲から位相が外れた回数(カウント数)をディスカウントする。

10

20

30

40

50

【 0 1 1 7 】

なお、カウント部 1 4 2 は位相信号phase[7:0]を状態信号 (status) として出力し、判定部 1 4 3 は、ディスカウント信号discount[3:0] を状態信号 (status) として出力する。

【 0 1 1 8 】

次に、信号遅延回路 1 0 0 のエラー検出部 1 4 0 に接続されるディスカウント制御部 1 5 0 (図 6 参照) について説明する。

【 0 1 1 9 】

実施の形態 1 の信号遅延回路 1 0 0 のエラー検出部 1 4 0 に接続されるディスカウント制御部 1 5 0 (図 6 参照) は、半導体装置の動作条件としての電源電圧の設定条件を表す信号が入力される。

10

【 0 1 2 0 】

電源電圧の設定条件は、電源電圧の変動範囲を表しており、例えば、 $\pm 5\%$ 、 $\pm 10\%$ 、 $\pm 15\%$ のように電源電圧の変動範囲を表す。電源電圧の設定条件を表す信号は、システムの監視システムから入力される。

【 0 1 2 1 】

電源電圧の設定条件は、信号遅延回路 1 0 0 を含むサーバ 5 0 の種類等によって決められており、変更されることはない。

【 0 1 2 2 】

ディスカウント制御部 1 5 0 としては、例えば、組合せ回路を用いることができる。ディスカウント制御部 1 5 0 は、電源電圧の設定条件を表す信号に基づいてディスカウント信号discount[3:0]を生成し、エラー検出部 1 4 0 に入力する。

20

【 0 1 2 3 】

ディスカウント制御部 1 5 0 が出力するディスカウント信号discount[3:0]は、電源電圧の設定条件を表す信号に応じて、値が設定される。

【 0 1 2 4 】

例えば、電源電圧の設定条件が $\pm 5\%$ のサーバ 5 0 では、ディスカウント制御部 1 5 0 が出力するディスカウント信号discount[3:0]が表すディスカウント数は、例えば、“ 0 ”である。

【 0 1 2 5 】

また、電源電圧の設定条件が $\pm 10\%$ のサーバ 5 0 では、ディスカウント制御部 1 5 0 が出力するディスカウント信号discount[3:0]が表すディスカウント数は、例えば、“ 8 ”である。

30

【 0 1 2 6 】

同様に、電源電圧の設定条件が $\pm 15\%$ のサーバ 5 0 では、ディスカウント制御部 1 5 0 が出力するディスカウント信号discount[3:0]が表すディスカウント数は、例えば、“ 1 6 ”である。

【 0 1 2 7 】

次に、図 9 に示す遅延部 1 0 が出力するクロック (clock_out) の位相と、許容範囲抽出部 1 4 1 が抽出する許容範囲の例示的な関係を用いて、カウント数のディスカウントの仕方について説明する。

40

【 0 1 2 8 】

図 9 は、エラー検出部 1 4 0 におけるカウント数のディスカウントの概念を示す図である。

【 0 1 2 9 】

図 9 に示す許容範囲 ($N - m \sim N$) は 1 1 8 から 1 3 8 である。これは、コードcode_N[7:0]が表す許容範囲の上限の位相Nが 1 3 8 であり、code_m[7:0]が表す許容範囲の幅mが 2 0 である場合に相当する。

【 0 1 3 0 】

図 9 に番号 1 ~ 1 6 で示す 1 6 個のプロットは、許容範囲 (1 1 8 ~ 1 3 8) から外れ

50

ている位相を表している。

【 0 1 3 1 】

図 9 に示す許容範囲 (1 1 8 ~ 1 3 8) から外れているプロットは、説明のための例示的なプロットである。図 9 に示す許容範囲 (1 1 8 ~ 1 3 8) に示すプロットの数に対する許容範囲 (1 1 8 ~ 1 3 8) から外れているプロットの数割合は、実際の信号遅延回路 1 0 0 における割合ではなく、説明のために誇張して示すものである。

【 0 1 3 2 】

実際の信号遅延回路 1 0 0 では、例えば、位相を 1 万回検出する間に、許容範囲から外れる位相を離散的に数回検出する程度である。

【 0 1 3 3 】

ここで、一例として、電源電圧の変動範囲が $\pm 5\%$ の場合におけるディスカウント数を “ 0 ”、変動範囲が $\pm 10\%$ の場合におけるディスカウント数を “ 8 ”、 $\pm 15\%$ の場合におけるディスカウント数を “ 15 ” とする。

【 0 1 3 4 】

これは、ディスカウント信号 `discount[3:0]` が表すディスカウント数が、それぞれ、“ 0 ”、“ 8 ”、“ 15 ” である場合に相当する。

【 0 1 3 5 】

このような条件下では、電源電圧の変動範囲が $\pm 5\%$ の場合は、ディスカウント数が “ 0 ” であるため、番号 1 で示す位相を検出したときに、エラー検出部 1 4 0 内の判定部 1 4 3 はエラーが生じたとは判定し、エラー信号 (`error`) を出力する。

【 0 1 3 6 】

また、電源電圧の変動範囲が $\pm 10\%$ の場合は、ディスカウント数が “ 8 ” であるため、番号 1 から 8 で示す位相を検出する間は、エラー検出部 1 4 0 内の判定部 1 4 3 はエラーが生じたとは判定しない。判定部 1 4 3 は、番号 9 で示す位相を検出したときに、エラー検出部 1 4 0 内の判定部 1 4 3 はエラーが生じたとは判定し、エラー信号 (`error`) を出力する。

【 0 1 3 7 】

同様に、電源電圧の変動範囲が $\pm 15\%$ の場合は、ディスカウント数が “ 16 ” であるため、番号 1 から 16 で示す位相を検出する間は、エラー検出部 1 4 0 内の判定部 1 4 3 はエラーが生じたとは判定しない。判定部 1 4 3 は、図 9 には図示しない 17 番目に許容範囲から外れた位相を検出したときに、エラー検出部 1 4 0 内の判定部 1 4 3 はエラーが生じたとは判定し、エラー信号 (`error`) を出力する。

【 0 1 3 8 】

以上、実施の形態 1 の半導体装置に含まれる信号遅延回路 1 0 0 によれば、動作条件の一例である電源電圧の変動範囲によってクロックの位相が変動して許容範囲から外れる位相を検出した場合は、電源電圧の変動範囲に応じて、カウント数をディスカウントする。

【 0 1 3 9 】

このため、誤検出を抑制することができ、実施の形態 1 の信号遅延回路 1 0 0 を含む半導体装置全体の円滑かつ安定的な動作を確保することができる。

【 0 1 4 0 】

また、電源電圧の変動範囲に応じてディスカウント数を設定するため、信号遅延回路 1 0 0 の応答性を確保しつつ、動作条件に応じてカウント数をディスカウントすることにより、動作条件に応じて、信号遅延回路 1 0 0 及び信号遅延回路 1 0 0 を含む半導体装置の円滑かつ安定的な動作を確保することができる。

【 0 1 4 1 】

また、実施の形態 1 の信号遅延回路 1 0 0 は、従来の半導体回路装置等のように複数の可変遅延回路、多数決回路、及び多数決回数設定レジスタ等を含まないため、回路が大規模になることがなく、回路の小規模化を図ることができる。

【 0 1 4 2 】

< 実施の形態 2 >

10

20

30

40

50

実施の形態 2 の信号遅延回路 200 は、外的要因の一例としての電源電圧の変動に応じて、ディスカウント数変動するディスカウント信号 `discount[3:0]` が入力される点の実施の形態 1 の信号遅延回路 100 と異なる。

【0143】

その他の構成は同様であるため、実施の形態 1 の信号遅延回路 100 と同一又は同等の構成要素には同一符号を付し、その説明を省略する。

【0144】

図 10 は、実施の形態 2 の半導体装置に含まれる信号遅延回路 200 を示す図である。

【0145】

信号遅延回路 200 のエラー検出部 240 には、ディスカウント制御部 250 からディスカウント信号 `discount[3:0]` に加えて、セット信号 (set) 及びクリア信号 (clear) が入力される。

10

【0146】

エラー検出部 240 は、信号遅延回路 200 又は信号遅延回路 200 を含む半導体装置の外的要因に応じて、許容範囲から位相が外れた回数 (カウント数) をディスカウントする点の実施の形態 1 の信号遅延回路 100 のエラー検出部 140 と異なる。

【0147】

エラー検出部 240 には、ディスカウント制御部 250 が接続されており、ディスカウント制御部 250 からディスカウント信号 `discount[3:0]` が入力される。

【0148】

エラー検出部 240 は、半導体装置の外的要因に応じて生成されるディスカウント信号 `discount[3:0]` に基づいて、許容範囲から位相が外れた回数 (カウント数) をディスカウントする。

20

【0149】

エラー検出部 240 がカウント数をディスカウントするのは、動作条件によるクロックの位相の変動が比較的少ない場合については、エラー検出部 240 がエラー判定を行わずに、信号遅延回路 200 を含むシステムの動作を継続する方がシステム全体を円滑かつ安定的に動作させることができるからである。

【0150】

図 11 は、実施の形態 2 の信号遅延回路 100 のエラー検出部 240 の内部構成を示す図である。

30

【0151】

エラー検出部 240 は、許容範囲抽出部 141、カウント部 242、及び判定部 243 を含む。

【0152】

許容範囲抽出部 141 は、実施の形態 1 の許容範囲抽出部 141 と同様であり、フィルタ部 30 から出力されるコード `code_N[7:0]` 及び `code_m[7:0]` に基づき、許容範囲 (N - m ~ N) を抽出し、許容範囲を表す許容範囲信号 W をカウント部 242 に入力する。

【0153】

カウント部 242 は、位相検出部 20 から出力される位相信号 `phase[7:0]` と、許容範囲抽出部 141 から出力される許容範囲信号 W とに基づき、許容範囲から位相が外れた回数をカウントし、カウント数を表すカウント信号 X を判定部 243 に入力する。

40

【0154】

また、カウント部 242 には、ディスカウント制御部 250 からクリア信号 (clear) が入力される。クリア信号 (clear) は、カウント部 242 のカウント値をクリアするための信号である。

【0155】

判定部 243 は、ディスカウント制御部 250 から出力されるディスカウント信号 `discount[3:0]` と、カウント部 242 から出力されるカウント信号 X とに基づき、クロック (clock_out) の位相にエラーが発生しているか否かを判定する。

50

【 0 1 5 6 】

判定部 2 4 3 は、クロック (clock_out) の位相にエラーが発生していると判定した場合に、エラー信号 (error) を出力する。

【 0 1 5 7 】

また、判定部 2 4 3 には、ディスカウント制御部 2 5 0 からセット信号 (set) が入力される。セット信号 (set) については後述する。

【 0 1 5 8 】

また、判定部 2 4 3 は、位相にエラーが発生した場合に、エラー信号 (error) を出力するとともに、カウント部 2 4 2 をリセットするためのリセット信号 (reset) を出力する。

10

【 0 1 5 9 】

判定部 2 4 3 は、ディスカウント制御部 2 5 0 から出力されるディスカウント信号 discount [3:0] が表すディスカウント数が変わると、変更後のディスカウント数を用いてエラー判定を行う。

【 0 1 6 0 】

例えば、ディスカウント信号 discount [3:0] が表す検出回数が 0 回から 8 回に変更されると、判定部 2 4 3 は、カウント信号 X が表す検出回数が 1 回から 8 回までの間は、クロック (clock_out) の位相にエラーが生じたとは判定しないようになる。そして、判定部 2 4 3 は、カウント信号 X が表す検出回数が 9 回になると、エラーが生じたとは判定し、エラー信号 (error) を出力する。

20

【 0 1 6 1 】

このように、エラー検出部 2 4 0 は、半導体装置の外的要因に応じて変動するディスカウント信号 discount [3:0] に基づいて、許容範囲から位相が外れた回数 (カウント数) をディスカウントする。

【 0 1 6 2 】

ここで、ディスカウント制御部 2 5 0 (図 1 0 参照) について説明する前に、電源電圧検出部 2 6 0 について説明する。

【 0 1 6 3 】

電源電圧検出部 2 6 0 は、遅延部 1 0 の電源電圧の変動分を検出し、デジタル変換して遅延部 1 0 の電源電圧に含まれる変動分の値を表す 3 ビットの電源電圧信号 power_range [2:0] を出力する。電源電圧検出部 2 6 0 は、例えば、電源電圧の変動分を検出して、電源電圧の変動分を表すデジタル信号を出力できる電圧センサを用いればよい。

30

【 0 1 6 4 】

次に、信号遅延回路 1 0 0 のエラー検出部 2 4 0 に接続されるディスカウント制御部 2 5 0 (図 1 0 参照) について説明する。

【 0 1 6 5 】

実施の形態 2 の信号遅延回路 1 0 0 のエラー検出部 2 4 0 に接続されるディスカウント制御部 2 5 0 (図 1 0 参照) には、半導体装置の外的要因としての電源電圧の変動分を表す信号が入力される。

【 0 1 6 6 】

ここで、電源電圧の変動分とクロック (clock_out) の位相の変動分には相関がある。例えば、電源電圧の変動分が $\pm 5\%$ から $\pm 10\%$ になり、さらに $\pm 15\%$ まで大きくなると、クロック (clock_out) の位相の変動分は大きくなる。

40

【 0 1 6 7 】

このような電源電圧の変動分は、ディスカウント制御部 2 5 0 に接続される電源検出部 2 6 0 によって検出される。

【 0 1 6 8 】

ディスカウント制御部 2 5 0 は、電源電圧検出部 2 6 0 から入力される電源電圧信号 power_range [2:0] に基づいて、ディスカウント信号 discount [3:0] を生成する。電源電圧検出部 2 6 0 から入力される電源電圧信号 power_range [2:0] は、電源電圧の変動分を表す。

50

【0169】

ディスカウント制御部250は、電源電圧検出部260によって検出される電源電圧の変動分が絶対値で大きくなると、ディスカウント信号discount[3:0]が表すディスカウント数を増大させる。

【0170】

また、ディスカウント制御部250は、電源電圧検出部260によって検出される電源電圧の変動分が絶対値で小さくなると、ディスカウント信号discount[3:0]が表すディスカウント数を減少させる。

【0171】

次に、図12を用いて、ディスカウント制御部250の内部構成について説明する。

10

【0172】

図12は、実施の形態2の半導体装置に含まれる信号遅延回路200に接続されるディスカウント制御部250を示す図である。

【0173】

ディスカウント制御部250は、格納部251、比較部252、及び制御部253を含む。ディスカウント制御部250は、電源電圧信号power_range[2:0]に基づいて、ディスカウント信号discount[3:0]を生成する。

【0174】

格納部251は、比較部252が電源電圧信号power_range[2:0]の比較に用いる値を格納データとして格納する。格納データは、制御部253から更新信号(update)が入力されたときに、電源電圧信号power_range[2:0]の値を取り込むことによって設定される。なお、格納部251としては、例えば、レジスタ又はメモリを用いればよい。

20

【0175】

比較部252は、電源電圧検出部260から入力される電源電圧信号power_range[2:0]を格納部251が格納する格納データと比較し、比較結果を表す比較結果信号を制御部253に出力する。

【0176】

制御部253は、比較部253から入力される比較結果信号に基づき、ディスカウント信号discount[3:0]を更新する処理を行う。制御部253は、ディスカウント信号discount[3:0]を更新する処理に伴い、セット信号(set)、クリア信号(clear)、及び更新信号(update)を出力する。ディスカウント信号discount[3:0]の更新処理と、セット信号(set)及びクリア信号(clear)を出力するタイミングについては後述する。

30

【0177】

次に、図13を用いて、3ビットの電源電圧信号power_range[2:0]と4ビットのディスカウント信号discount[3:0]との対応関係について説明する。

【0178】

図13は、実施の形態2の信号遅延回路200のディスカウント制御部250の入力信号(電源電圧信号power_range[2:0])の値と出力信号(ディスカウント信号discount[3:0])の値との対応関係を示す図である。

【0179】

図13は、図13(A)に示す対応関係と図13(B)に示す対応関係の2種類の対応関係を含んでいる。

40

【0180】

ディスカウント制御部250は、図13(A)又は図13(B)に示す対応関係の通りに、3ビットの電源電圧信号power_range[2:0]に基づいて4ビットのディスカウント信号discount[3:0]を生成する。

【0181】

ここでは、電源電圧の変動分を電源電圧に対する百分率で表し、図13(A)には、電源電圧の変動分を2.5%刻みにして、電源電圧の変動分が0(%)から絶対値で17.5(%)以上の範囲に分類した変換テーブルを示す。

50

【 0 1 8 2 】

ここで、電源電圧は + 側に変動すること、- 側に変動することもあるため、図 1 3 (A) では電源電圧の変動分を表す数値に ± の符号を付して示す。

【 0 1 8 3 】

また、以下では、+ 側の変動と - 側の変動とを同時に説明するために、電源電圧の変動分の値を絶対値で取り扱って、3 ビットの電源電圧信号power_range[2:0]と 4 ビットのディスカウント信号discount[3:0]との対応関係について説明する。

【 0 1 8 4 】

まず、図 1 3 (A) に示す対応関係について説明する。3 ビットの電源電圧信号power_range[2:0]は、図 1 3 (A) に示すように、絶対値で 2 . 5 (%) 未満が “ 0 ”、
10
、絶対値で 1 5 (%) 以上 1 7 . 5 (%) 未満が “ 6 ”、絶対値で 1 7 . 5 (%) 以上が “ 7 ” と割り振られている。

【 0 1 8 5 】

これに対して、4 ビットのディスカウント信号discount[3:0]は、絶対値で 2 . 5 (%) 未満が “ 0 ”、
、絶対値で 1 5 (%) 以上 1 7 . 5 (%) 未満が “ 1 2 ”、絶対値で 1 7 . 5 (%) 以上が “ 1 4 ” と割り振られている。

【 0 1 8 6 】

例えば、電源電圧の変動分が - 6 . 5 (%) で 3 ビットの電源電圧信号power_range[2:0]が “ 2 ” を表す場合は、“ 4 ” を表す 4 ビットのディスカウント信号discount[3:0]が生成される。
20

【 0 1 8 7 】

図 1 3 (B) は図 1 3 (A) よりも粗く符号化する変換テーブルを示しており、図 1 3 (B) の変換テーブルでは電源電圧の変動分は 5 % 刻みにされている。

【 0 1 8 8 】

図 1 3 (B) に示すように、3 ビットの電源電圧信号power_range[2:0]は、絶対値で 5 (%) 未満が “ 0 ”、
、絶対値で 1 0 (%) 以上 1 5 (%) 未満が “ 2 ”、絶対値で 1 5 (%) 以上が “ 3 ” と割り振られている。

【 0 1 8 9 】

これに対して、4 ビットのディスカウント信号discount[3:0]は、絶対値で 5 (%) 未満が “ 0 ”、
30
、絶対値で 1 0 (%) 以上 1 5 (%) 未満が “ 8 ”、絶対値で 1 5 (%) 以上が “ 1 2 ” と割り振られている。

【 0 1 9 0 】

例えば、電源電圧の変動分が - 6 . 5 (%) で 3 ビットの電源電圧信号power_range[2:0]が “ 1 ” を表す場合は、“ 4 ” を表す 4 ビットのディスカウント信号discount[3:0]が生成される。

【 0 1 9 1 】

ディスカウント制御部 2 5 0 は、図 1 3 (A) 又は図 1 3 (B) に示す変換テーブルを用いて、3 ビットの電源電圧信号power_range[2:0]に基づいて 4 ビットのディスカウント信号discount[3:0]を生成する。

【 0 1 9 2 】

次に、図 1 4 を用いて、実施の形態 2 の信号遅延回路 2 0 0 の動作について説明する。
40

【 0 1 9 3 】

図 1 4 は、実施の形態 2 の信号遅延回路 2 0 0 の動作を示すタイミングチャートである。図 1 4 (A) は図 1 3 (A) に示す変換テーブルを用いた場合の動作を示し、図 1 4 (B) は図 1 3 (B) に示す変換テーブルを用いた場合の動作を示す。

【 0 1 9 4 】

図 1 4 (A) には、格納部 2 5 1 が格納する格納データ、電源電圧検出部 2 6 0 が出力する電源電圧信号power_range[2:0]、ディスカウント信号discount[3:0]、更新信号 (update)、クリア信号 (clear)、及びセット信号 (set) を示す。図 1 4 (A) では横軸を時間軸とする。
50

【 0 1 9 5 】

図 1 4 (A) に示す動作例では、格納データと電源電圧検出部 2 6 0 が出力する電源電圧信号power_range[2:0] (以下、現在の電源電圧信号power_range[2:0]と称す)との符号差が“ 2 ”以上になったときに、更新データを更新することとする。

【 0 1 9 6 】

また、時刻 $t = 0$ では、電源電圧の変動分は + 8 % であり、格納データとして格納されている電源電圧信号power_range[2:0]が“ 3 ”であるものとする。また、電源電圧検出部 2 6 0 が出力する電源電圧信号power_range[2:0]が“ 3 ”であるものとする。

【 0 1 9 7 】

このとき、図 1 3 (A) の変換テーブルより、ディスカウント信号discount[3:0]は“ 3 ”である。また、更新信号 (update)、クリア信号 (clear)、及びセット信号 (set) は、すべて L (Low) レベルであることとする。

10

【 0 1 9 8 】

時刻が経過するに連れ、電源電圧に変動が生じることにより、現在の電源電圧信号power_range[2:0]の値は時刻 $t = 0$ のときの“ 3 ”から、“ 2 ”、“ 3 ”、“ 4 ”、“ 3 ”、“ 4 ”と変化し、時刻 $t 1$ で“ 5 ”に変化したとする。

【 0 1 9 9 】

このとき、格納データの値“ 3 ”と、現在の電源電圧信号power_range[2:0]の値“ 5 ”との符号差が初めて“ 2 ”以上になる。

【 0 2 0 0 】

このため、時刻 $t 2$ で更新信号 (update) が H (High) レベルになり、これにより更新データが“ 5 ”に更新される。

20

【 0 2 0 1 】

また、時刻 $t 3$ でクリア信号 (clear) が H レベルになると、カウント部 2 4 2 (図 1 1 参照) のカウント値がクリアされる。

【 0 2 0 2 】

さらに、時刻 $t 4$ でセット信号 (set) が H レベルになることにより、判定部 2 4 3 (図 1 1 参照) のディスカウント信号discount[3:0]が“ 1 0 ”に設定される。

【 0 2 0 3 】

このような図 1 4 (A) に示す動作は、例えば、時刻 $t = 0$ で + 8 % だった電源電圧の変動分が、時刻 $t 4$ で + 1 4 % になった場合に相当する。

30

【 0 2 0 4 】

実施の形態 2 の信号遅延回路 2 0 0 は、このように電源電圧の変動に合わせて、ディスカウント信号discount[3:0]を変更することにより、誤検出を抑制でき、円滑かつ安定的な動作を確保することができる。

【 0 2 0 5 】

次に、図 1 4 (B) の動作例について説明する。

【 0 2 0 6 】

図 1 4 (B) には、図 1 4 (A) と同様に、格納部 2 5 1 が格納する格納データ、現在の電源電圧信号power_range[2:0]、ディスカウント信号discount[3:0]、更新信号 (update)、クリア信号 (clear)、及びセット信号 (set) を示す。図 1 4 (B) では横軸を時間軸とする。

40

【 0 2 0 7 】

図 1 4 (B) に示す動作例では、格納データと現在の電源電圧信号power_range[2:0]との符号差が“ 1 ”以上になったときに、更新データを更新することとする。

【 0 2 0 8 】

また、時刻 $t = 0$ では、電源電圧の変動分は + 1 1 % であり、格納データとして格納されている電源電圧信号power_range[2:0]が“ 2 ”であるものとする。また、電源電圧検出部 2 6 0 が出力する電源電圧信号power_range[2:0]が“ 2 ”であるものとする。

【 0 2 0 9 】

50

このとき、図 1 3 (B) の変換テーブルより、ディスカウント信号discount[3:0]は“ 8 ”である。また、更新信号 (update)、クリア信号 (clear)、及びセット信号 (set) は、すべて L (Low) レベルであることとする。

【 0 2 1 0 】

時刻が経過するに連れ、電源電圧に変動が生じることにより、現在の電源電圧信号power_range[2:0]の値は時刻 t = 0 のときの“ 2 ”から、“ 2 ”の状態が暫く継続し、時刻 t 1 で“ 3 ”に変化したとする。

【 0 2 1 1 】

このとき、格納データの値“ 2 ”と、現在の電源電圧信号power_range[2:0]の値“ 3 ”との符号差が初めて“ 1 ”以上になる。

10

【 0 2 1 2 】

このため、時刻 t 2 で更新信号 (update) が H (High) レベルになり、これにより更新データが“ 3 ”に更新される。

【 0 2 1 3 】

また、時刻 t 3 でクリア信号 (clear) が H レベルになると、カウント部 2 4 2 (図 1 1 参照) のカウント値がクリアされる。

【 0 2 1 4 】

さらに、時刻 t 4 でセット信号 (set) が H レベルになることにより、判定部 2 4 3 (図 1 1 参照) のディスカウント信号discount[3:0]が“ 1 2 ”に設定される。

【 0 2 1 5 】

20

このような図 1 4 (B) に示す動作は、例えば、時刻 t = 0 で + 1 1 % だった電源電圧の変動分が、時刻 t 4 で + 1 5 % になった場合に相当する。

【 0 2 1 6 】

実施の形態 2 の信号遅延回路 2 0 0 は、上述のように電源電圧の変動に合わせて、エラー検出部 2 4 0 内の判定部 2 4 3 が保持するディスカウント信号discount[3:0]を変更することにより、電源電圧の変動に合わせて、誤検出を抑制でき、円滑かつ安定的な動作を確保することができる。

【 0 2 1 7 】

以上、実施の形態 2 の半導体装置に含まれる信号遅延回路 2 0 0 によれば、外的要因の一例である電源電圧の変動分によってクロックの位相が変動して許容範囲から外れる位相を検出した場合は、電源電圧の変動に応じて、カウント数をディスカウントする。

30

【 0 2 1 8 】

このため、誤検出を抑制することができ、実施の形態 2 の信号遅延回路 2 0 0 を含む半導体装置全体の円滑かつ安定的な動作を確保することができる。

【 0 2 1 9 】

また、電源電圧の変動に応じてディスカウント数を変化させるため、信号遅延回路 2 0 0 の応答性を確保しつつ、外的要因に応じてカウント数をディスカウントすることにより、外的要因に応じて、信号遅延回路 2 0 0 及び信号遅延回路 2 0 0 を含む半導体装置の円滑かつ安定的な動作を確保することができる。

【 0 2 2 0 】

40

また、実施の形態 2 の信号遅延回路 2 0 0 は、従来の半導体回路装置等のように複数の可変遅延回路、多数決回路、及び多数決回数設定レジスタ等を含まないため、回路が大規模になることがなく、回路の小規模化を図ることができる。

【 0 2 2 1 】

< 実施の形態 3 >

図 1 5 は、実施の形態 3 の半導体装置に含まれる信号遅延回路 3 0 0 を示す図である。

【 0 2 2 2 】

信号遅延回路 3 0 0 は、ディスカウント制御部 3 5 0 が温度の変動範囲を表すディスカウント信号discount[3:0]を出力する点が実施の形態 1 と異なる。

【 0 2 2 3 】

50

その他の構成は、実施の形態 1 の信号遅延回路 100 と同様であるため、実施の形態 1 の信号遅延回路 100 と同一又は同等の構成要素には同一符号を付し、その説明を省略する。

【0224】

ここで、温度の変動範囲とは、実施の形態 3 の信号遅延回路 300 を含む半導体装置又はサーバ 50 (図 4 及び図 5 参照) を使用することができる環境温度の範囲である。

【0225】

実施の形態 3 の信号遅延回路 300 のエラー検出部 140 に接続されるディスカウント制御部 350 (図 15 参照) は、半導体装置の動作条件としての温度の設定条件を表す信号が入力される。

【0226】

温度の設定条件は、温度の変動範囲を表しており、例えば、30 ~ 50、20 ~ 60 のように温度の変動範囲を表す。温度の設定条件を表す信号は、システムの監視系統から入力される。

【0227】

温度の設定条件は、信号遅延回路 300 を含むサーバ 50 の種類等によって決められており、変更されることはない。

【0228】

ディスカウント制御部 350 としては、例えば、組合せ回路を用いることができる。ディスカウント制御部 350 は、温度の設定条件を表す信号に基づいてディスカウント信号 discount[3:0] を生成し、エラー検出部 140 に入力する。

【0229】

ディスカウント制御部 350 が出力するディスカウント信号 discount[3:0] は、温度の設定条件を表す信号に応じて、値が設定される。

【0230】

例えば、温度の設定条件が 30 ~ 50 のサーバ 50 では、ディスカウント制御部 350 が出力するディスカウント信号 discount[3:0] が表すディスカウント数は、例えば、“2” に設定される。

【0231】

また、温度の設定条件が 20 ~ 70 のサーバ 50 では、ディスカウント制御部 350 が出力するディスカウント信号 discount[3:0] が表すディスカウント数は、例えば、“4” に設定される。

【0232】

次に、図 16 に示す遅延部 10 が出力するクロック (clock_out) の位相と、許容範囲抽出部 141 が抽出する許容範囲の例示的な関係を用いて、カウント数のディスカウントの仕方について説明する。

【0233】

図 16 は、エラー検出部 140 におけるカウント数のディスカウントの概念を示す図である。

【0234】

図 16 に示す許容範囲 (N - m ~ N) は 118 から 138 である。これは、コード code_N[7:0] が表す許容範囲の上限の位相 N が 138 であり、code_m[7:0] が表す許容範囲の幅 m が 20 である場合に相当する。

【0235】

図 16 に番号 1 ~ 4 で示す 4 個のプロットは、許容範囲 (118 ~ 138) から外れている位相を表している。

【0236】

図 16 に示す許容範囲 (118 ~ 138) から外れているプロットは、説明のための例示的なプロットである。図 16 に示す許容範囲 (118 ~ 138) に示すプロットの数に対する許容範囲 (118 ~ 138) から外れているプロットの数割合は、実際の信号遅

10

20

30

40

50

延回路 300 における割合ではなく、説明のために誇張して示すものである。

【0237】

ここで、一例として、温度の設定条件が 30 ~ 50 の場合におけるディスカウント数を“2”、温度の設定条件が 20 ~ 70 の場合におけるディスカウント数を“4”とする。

【0238】

これは、ディスカウント信号discount[3:0]が表すディスカウント数が、それぞれ、“2”、“4”である場合に相当する。

【0239】

このような条件下では、温度の変動範囲が 30 ~ 50 の場合は、ディスカウント数が“2”であるため、番号3で示す位相を検出したときに、エラー検出部140内の判定部143はエラーが生じたと判定し、エラー信号(error)を出力する。

10

【0240】

また、温度の変動範囲が 20 ~ 70 の場合は、ディスカウント数が“4”であるため、番号1から4で示す位相を検出する間は、エラー検出部140内の判定部143はエラーが生じたと判定しない。判定部143は、図16には図示しない5番目に許容範囲から外れた位相を検出したときに、エラー検出部140内の判定部143はエラーが生じたと判定し、エラー信号(error)を出力する。

【0241】

以上、実施の形態3の半導体装置に含まれる信号遅延回路300によれば、動作条件の一例である温度の変動範囲によってクロックの位相が変動して許容範囲から外れる位相を検出した場合は、温度の変動範囲に応じて、カウント数をディスカウントする。

20

【0242】

このため、誤検出を抑制することができ、実施の形態3の信号遅延回路300を含む半導体装置全体の円滑かつ安定的な動作を確保することができる。

【0243】

また、温度の変動範囲に応じてディスカウント数を設定するため、信号遅延回路300の応答性を確保しつつ、動作条件に応じてカウント数をディスカウントすることにより、動作条件に応じて、信号遅延回路300及び信号遅延回路300を含む半導体装置の円滑かつ安定的な動作を確保することができる。

30

【0244】

また、実施の形態3の信号遅延回路300は、従来の半導体回路装置等のように複数の可変遅延回路、多数決回路、及び多数決回数設定レジスタ等を含まないため、回路が大規模になることがなく、回路の小規模化を図ることができる。

【0245】

<実施の形態4>

実施の形態4の信号遅延回路400は、外的要因の一例としての温度の変動に応じて、ディスカウント数が変動するディスカウント信号discount[3:0]が入力される点が実施の形態3の信号遅延回路300と異なる。

【0246】

また、温度の変動と電源電圧の変動の違いはあるが、半導体装置の外的要因に応じてディスカウント数を変更する点においては実施の形態2の信号遅延回路200と同様である。

40

【0247】

このため、実施の形態2の信号遅延回路200又は実施の形態3の信号遅延回路300と同一又は同等の構成要素には同一符号を付し、その説明を省略する。

【0248】

図17は、実施の形態4の半導体装置に含まれる信号遅延回路400を示す図である。

【0249】

信号遅延回路400のエラー検出部240には、ディスカウント制御部450からディ

50

スカウント信号discount[3:0]に加えて、セット信号(set)及びクリア信号(clear)が入力される。

【0250】

エラー検出部240は、信号遅延回路400又は信号遅延回路400を含む半導体装置の外的要因に応じて、許容範囲から位相が外れた回数(カウント数)をディスカウントする点の実施の形態3の信号遅延回路300のエラー検出部140(図15参照)と異なる。

【0251】

エラー検出部240には、ディスカウント制御部450が接続されており、ディスカウント制御部450からディスカウント信号discount[3:0]が入力される。

10

【0252】

エラー検出部240は、半導体装置の外的要因に応じて生成されるディスカウント信号discount[3:0]に基づいて、許容範囲から位相が外れた回数(カウント数)をディスカウントする。

【0253】

エラー検出部240がカウント数をディスカウントするのは、動作条件によるクロックの位相の変動が比較的少ない場合については、エラー検出部240がエラー判定を行わずに、信号遅延回路400を含むシステムの動作を継続する方がシステム全体を円滑かつ安定的に動作させることができるからである。

【0254】

ここで、ディスカウント制御部450(図17参照)について説明する前に、温度検出部260について説明する。

20

【0255】

温度検出部460は、遅延部10に取り付けられており、遅延部10の温度を検出し、デジタル変換して遅延部10の温度を表すtemperature[3:0]を出力する。説明の便宜上、図17では温度検出部460と遅延部10は離して示すが、実際には温度検出部460は遅延部10の温度を検出できるように、遅延部10の近傍に設けられている。

【0256】

次に、信号遅延回路300のエラー検出部240に接続されるディスカウント制御部450(図17参照)について説明する。

30

【0257】

実施の形態4の信号遅延回路300のエラー検出部240に接続されるディスカウント制御部450(図17参照)には、半導体装置の外的要因としての温度の変動分を表す信号が入力される。

【0258】

ここで、温度の変動分とクロック(clock_out)の位相の変動分には相関がある。例えば、温度の変動分が30~50になり、さらに20~60まで大きくなると、クロック(clock_out)の位相の変動分は大きくなる。

【0259】

このような温度の変動分は、ディスカウント制御部450に接続される電源検出部260によって検出される。

40

【0260】

ディスカウント制御部450は、温度検出部260から入力される温度信号temperature_range[2:0]に基づいて、ディスカウント信号discount[3:0]を生成する。温度検出部260から入力される温度信号temperature_range[2:0]は、温度の変動分を表す。

【0261】

ディスカウント制御部450は、温度検出部260によって検出される温度の変動分が絶対値で大きくなると、ディスカウント信号discount[3:0]が表すディスカウント数を増大させる。

【0262】

50

また、ディスカウント制御部 4 5 0 は、温度検出部 2 6 0 によって検出される温度の変動分が絶対値で小さくなると、ディスカウント信号discount[3:0]が表すディスカウント数を減少させる。

【 0 2 6 3 】

次に、図 1 8 を用いて、ディスカウント制御部 4 5 0 の内部構成について説明する。

【 0 2 6 4 】

図 1 8 は、実施の形態 4 の半導体装置に含まれる信号遅延回路 4 0 0 に接続されるディスカウント制御部 4 5 0 を示す図である。

【 0 2 6 5 】

ディスカウント制御部 4 5 0 は、格納部 4 5 1、比較部 4 5 2、及び制御部 4 5 3 を含む。ディスカウント制御部 4 5 0 は、温度信号temperature_range[2:0]に基づいて、ディスカウント信号discount[3:0]を生成する。

10

【 0 2 6 6 】

格納部 4 5 1 は、比較部 4 5 2 が温度信号temperature_range[2:0]の比較に用いる値を格納データとして格納する。格納データは、制御部 4 5 3 から更新信号 (update) が入力されたときに、温度信号temperature_range[2:0]の値を取り込むことによって設定される。なお、格納部 4 5 1 としては、例えば、レジスタ又はメモリを用いればよい。

【 0 2 6 7 】

比較部 4 5 2 は、温度検出部 2 6 0 から入力される温度信号temperature_range[2:0]を格納部 4 5 1 が格納する格納データと比較し、比較結果を表す比較結果信号を制御部 4 5 3 に出力する。

20

【 0 2 6 8 】

制御部 4 5 3 は、比較部 2 5 3 から入力される比較結果信号に基づき、ディスカウント信号discount[3:0]を更新する処理を行う。制御部 4 5 3 は、ディスカウント信号discount[3:0]を更新する処理に伴い、セット信号 (set)、クリア信号 (clear)、及び更新信号 (update) を出力する。ディスカウント信号discount[3:0]の更新処理と、セット信号 (set) 及びクリア信号 (clear) を出力するタイミングについては後述する。

【 0 2 6 9 】

次に、図 1 9 を用いて、3 ビットの温度信号temperature_range[2:0]と 4 ビットのディスカウント信号discount[3:0]との対応関係について説明する。

30

【 0 2 7 0 】

図 1 9 は、実施の形態 4 の信号遅延回路 4 0 0 のディスカウント制御部 4 5 0 の入力信号 (温度信号temperature_range[2:0]) の値と出力信号 (ディスカウント信号discount[3:0]) の値との対応関係を示す図である。

【 0 2 7 1 】

図 1 9 は、図 1 9 (A) に示す対応関係と図 1 9 (B) に示す対応関係の 2 種類の対応関係を含んでいる。

【 0 2 7 2 】

ディスカウント制御部 4 5 0 は、図 1 9 (A) 又は図 1 9 (B) に示す対応関係の通りに、3 ビットの温度信号temperature_range[2:0]に基づいて 4 ビットのディスカウント信号discount[3:0]を生成する。まず、図 1 9 (A) に示す対応関係について説明する。

40

【 0 2 7 3 】

図 1 9 (A) には、温度の変動範囲を境界 a から境界 f の 6 つの境界によって分けられる 7 つの領域に分類した変換テーブルを示す。ここで、温度の範囲を上限と下限で示し、[下限, 上限] と表す。

【 0 2 7 4 】

境界 a は、温度の範囲が [3 5 , 4 5] (下限 3 5 から上限 4 5 までの範囲) を表し、境界 a より左側は、温度の変動範囲の下限が 3 5 以上で、上限が 4 5 未満である領域を表す。

【 0 2 7 5 】

50

境界 b は、温度の範囲が [25 , 60] (下限 25 から上限 60 までの範囲) を表し、境界 b より左側で境界 a より右側の領域は、温度の変動範囲の下限が 25 以上で、上限が 60 未満である領域を表す。

【 0 2 7 6 】

境界 c は、温度の範囲が [15 , 75] (下限 15 から上限 75 までの範囲) を表し、境界 c より左側で境界 b より右側の領域は、温度の変動範囲の下限が 15 以上で、上限が 75 未満である領域を表す。

【 0 2 7 7 】

境界 d は、温度の範囲が [0 , 85] (下限 0 から上限 85 までの範囲) を表し、境界 d より左側で境界 c より右側の領域は、温度の変動範囲の下限が 0 以上で、上限が 85 未満である領域を表す。

10

【 0 2 7 8 】

境界 e は、温度の範囲が [- 20 , 105] (下限 - 20 から上限 105 までの範囲) を表し、境界 e より左側で境界 d より右側の領域は、温度の変動範囲の下限が - 20 以上で、上限が 105 未満である領域を表す。

【 0 2 7 9 】

境界 f は、温度の範囲が [- 40 , 125] (下限 - 40 から上限 125 までの範囲) を表し、境界 f より左側で境界 e より右側の領域は、温度の変動範囲の下限が - 40 以上で、上限が 125 未満である領域を表す。

【 0 2 8 0 】

20

また、境界 f より右側の領域は、温度の変動範囲の下限が - 40 より低く、上限が 125 以上である領域を表す。

【 0 2 8 1 】

このように、横軸方向において右側に行くほど (境界 a から境界 f にかけて) 温度の変動範囲は拡大する傾向にあり、境界 f から境界 a にかけて温度の変動範囲は縮小する傾向にある。

【 0 2 8 2 】

いずれの範囲に属するかは、温度の変動範囲の上限及び下限の両方がいずれかの境界 (a ~ f) を超えることによって決定してもよいが、ここでは、一例として、温度の変動範囲の上限又は下限のどちらか一方がいずれかの境界 (a ~ f) を超えた場合に、属する範囲が決まることとする。

30

【 0 2 8 3 】

3 ビットの温度信号 temperature_range[2:0] は、図 19 (A) に示すように、境界 a より左の領域が “ 0 ”、・・・、境界 e よりも右で境界 f よりも左の領域 (境界 e 上を含む) が “ 5 ”、境界 f よりも右の領域 (境界 f 上を含む) が “ 6 ” と割り振られている。

【 0 2 8 4 】

これに対して、4 ビットのディスカウント信号 discount[3:0] は、境界 a より左の領域が “ 0 ”、・・・、境界 e よりも右で境界 f よりも左の領域 (境界 e 上を含む) が “ 1 0 ”、境界 f よりも右の領域 (境界 f 上を含む) が “ 1 2 ” と割り振られている。

【 0 2 8 5 】

40

例えば、温度の変動範囲が 30 ~ 50 の場合は、境界 a と境界 b の間の領域に属するため、3 ビットの温度信号 temperature_range[2:0] は “ 1 ” を表し、“ 2 ” を表す 4 ビットのディスカウント信号 discount[3:0] が生成される。

【 0 2 8 6 】

図 19 (B) には、温度の変動範囲を境界 a から境界 f の 3 つの境界によって分けられる 4 つの領域に分類した変換テーブルを示す。ここで、温度の範囲を上限と下限で示し、[下限 , 上限] と表す。

【 0 2 8 7 】

境界 a は、温度の範囲が [25 , 60] (下限 25 から上限 60 までの範囲) を表し、境界 a より左側は、温度の変動範囲の下限が 25 以上で、上限が 60 未満である

50

領域を表す。

【0288】

境界 b は、温度の範囲が [0 , 85] (下限 0 から上限 85 までの範囲) を表し、境界 b より左側で境界 a より右側の領域は、温度の変動範囲の下限が 0 以上で、上限が 85 未満である領域を表す。

【0289】

境界 c は、温度の範囲が [- 40 , 125] (下限 - 40 から上限 125 までの範囲) を表し、境界 c より左側で境界 b より右側の領域は、温度の変動範囲の下限が - 40 以上で、上限が 125 未満である領域を表す。

【0290】

また、境界 c より右側の領域は、温度の変動範囲の下限が - 40 より低く、上限が 125 以上である領域を表す。

【0291】

このように、境界 a から境界 f にかけて温度の変動範囲は拡大する傾向にあり、境界 f から境界 a にかけて温度の変動範囲は縮小する傾向にある。

【0292】

いずれの範囲に属するかは、温度の変動範囲の上限及び下限の両方がいずれかの境界 (a ~ f) を超えることによって決定してもよいが、ここでは、一例として、温度の変動範囲の上限又は下限のどちらか一方がいずれかの境界 (a ~ f) を超えた場合に、属する範囲が決まることとする。

【0293】

3 ビットの温度信号 `temperature_range[2:0]` は、図 19 (B) に示すように、境界 a より左の領域が “ 0 ”、・・・、境界 b よりも右で境界 c よりも左の領域 (境界 b 上を含む) が “ 2 ”、境界 c よりも右の領域 (境界 c 上を含む) が “ 3 ” と割り振られている。

【0294】

これに対して、4 ビットのディスカウント信号 `discount[3:0]` は、境界 a より左の領域が “ 0 ”、・・・、境界 b よりも右で境界 c よりも左の領域 (境界 b 上を含む) が “ 8 ”、境界 c よりも右の領域 (境界 c 上を含む) が “ 12 ” と割り振られている。

【0295】

ディスカウント制御部 450 は、図 19 (A) 又は図 19 (B) に示す変換テーブルを用いて、3 ビットの温度信号 `temperature_range[2:0]` に基づいて 4 ビットのディスカウント信号 `discount[3:0]` を生成する。

【0296】

次に、図 20 を用いて、実施の形態 4 の信号遅延回路 400 の動作について説明する。

【0297】

図 20 は、実施の形態 4 の信号遅延回路 400 の動作を示すタイミングチャートである。図 20 (A) は図 19 (A) に示す変換テーブルを用いた場合の動作を示し、図 20 (B) は図 19 (B) に示す変換テーブルを用いた場合の動作を示す。

【0298】

図 20 (A) には、格納部 451 が格納する格納データ、温度検出部 260 が出力する温度信号 `temperature_range[2:0]`、ディスカウント信号 `discount[3:0]`、更新信号 (`update`)、クリア信号 (`clear`)、及びセット信号 (`set`) を示す。図 20 (A) では横軸を時間軸とする。

【0299】

図 20 (A) に示す動作例では、格納データと温度検出部 260 が出力する温度信号 `temperature_range[2:0]` (以下、現在の温度信号 `temperature_range[2:0]` と称す) との符号差が “ 2 ” 以上になったときに、更新データを更新することとする。

【0300】

また、時刻 $t = 0$ では、温度の変動範囲は 10 ~ 80 であり、境界 c と境界 d の間の領域に属するため、格納データとして格納されている温度信号 `temperature_range[2:0]`

10

20

30

40

50

が“ 3 ”であるものとする。また、温度検出部 2 6 0 が出力する温度信号temperature_range[2:0]が“ 3 ”であるものとする。

【 0 3 0 1 】

このとき、図 1 9 (A) の変換テーブルより、ディスカウント信号discount[3:0]は“ 3 ”である。また、更新信号 (update)、クリア信号 (clear)、及びセット信号 (set) は、すべて L (Low) レベルであることとする。

【 0 3 0 2 】

時刻が経過するに連れ、温度の範囲に変動が生じることにより、現在の温度信号temperature_range[2:0]の値は時刻 t = 0 のときの“ 3 ”から、“ 2 ”、“ 3 ”、“ 4 ”、“ 3 ”、“ 4 ”と変化し、時刻 t 1 で“ 5 ”に変化したとする。

10

【 0 3 0 3 】

このとき、格納データの値“ 3 ”と、現在の温度信号temperature_range[2:0]の値“ 5 ”との符号差が初めて“ 2 ”以上になる。

【 0 3 0 4 】

このため、時刻 t 2 で更新信号 (update) が H (High) レベルになり、これにより更新データが“ 5 ”に更新される。

【 0 3 0 5 】

また、時刻 t 3 でクリア信号 (clear) が H レベルになると、カウント部 2 4 2 (図 1 1 参照) のカウント値がクリアされる。

【 0 3 0 6 】

さらに、時刻 t 4 でセット信号 (set) が H レベルになることにより、判定部 2 4 3 (図 1 1 参照) のディスカウント信号discount[3:0]が“ 1 0 ”に設定される。

20

【 0 3 0 7 】

このような図 2 0 (A) に示す動作は、例えば、時刻 t = 0 で 1 0 ~ 8 0 だった温度の変動範囲が、時刻 t 4 で - 3 0 ~ 1 1 5 になった場合に相当する。

【 0 3 0 8 】

実施の形態 4 の信号遅延回路 4 0 0 は、このように温度の変動に合わせて、ディスカウント信号discount[3:0]を変更することにより、誤検出を抑制でき、円滑かつ安定的な動作を確保することができる。

【 0 3 0 9 】

30

次に、図 2 0 (B) の動作例について説明する。

【 0 3 1 0 】

図 2 0 (B) には、図 2 0 (A) と同様に、格納部 4 5 1 が格納する格納データ、現在の温度信号temperature_range[2:0]、ディスカウント信号discount[3:0]、更新信号 (update)、クリア信号 (clear)、及びセット信号 (set) を示す。図 2 0 (B) では横軸を時間軸とする。

【 0 3 1 1 】

図 2 0 (B) に示す動作例では、格納データと現在の温度信号temperature_range[2:0]との符号差が“ 1 ”以上になったときに、更新データを更新することとする。

【 0 3 1 2 】

40

また、時刻 t = 0 では、温度の変動分は - 2 0 ~ 1 0 0 であり、格納データとして格納されている温度信号temperature_range[2:0]が“ 2 ”であるものとする。また、温度検出部 2 6 0 が出力する温度信号temperature_range[2:0]が“ 2 ”であるものとする。

【 0 3 1 3 】

このとき、図 1 9 (B) の変換テーブルより、ディスカウント信号discount[3:0]は“ 8 ”である。また、更新信号 (update)、クリア信号 (clear)、及びセット信号 (set) は、すべて L (Low) レベルであることとする。

【 0 3 1 4 】

時刻が経過するに連れ、温度の範囲に変動が生じることにより、現在の温度信号temperature_range[2:0]の値は時刻 t = 0 のときの“ 2 ”から、“ 2 ”の状態が暫く継続し、時

50

刻 t_1 で “ 3 ” に変化したとする。

【 0 3 1 5 】

このとき、格納データの値 “ 2 ” と、現在の温度信号 `temperature_range[2:0]` の値 “ 3 ” との符号差が初めて “ 1 ” 以上になる。

【 0 3 1 6 】

このため、時刻 t_2 で更新信号 (update) が H (High) レベルになり、これにより更新データが “ 3 ” に更新される。

【 0 3 1 7 】

また、時刻 t_3 でクリア信号 (clear) が H レベルになると、カウント部 2 4 2 (図 1 1 参照) のカウント値がクリアされる。

【 0 3 1 8 】

さらに、時刻 t_4 でセット信号 (set) が H レベルになることにより、判定部 2 4 3 (図 1 1 参照) のディスカウント信号 `discount[3:0]` が “ 1 2 ” に設定される。

【 0 3 1 9 】

このような図 2 0 (B) に示す動作は、例えば、時刻 $t = 0$ で - 2 0 ~ 1 0 0 だった温度の変動分が、時刻 t_4 で - 5 0 ~ 1 3 0 になった場合に相当する。

【 0 3 2 0 】

実施の形態 4 の信号遅延回路 4 0 0 は、上述のように温度の変動に合わせて、エラー検出部 2 4 0 内の判定部 2 4 3 が保持するディスカウント信号 `discount[3:0]` を変更することにより、温度の変動に合わせて、誤検出を抑制でき、円滑かつ安定的な動作を確保することができる。

【 0 3 2 1 】

以上、実施の形態 4 の半導体装置に含まれる信号遅延回路 4 0 0 によれば、外的要因の一例である温度の変動分によってクロックの位相が変動して許容範囲から外れる位相を検出した場合は、温度の変動に応じて、カウント数をディスカウントする。

【 0 3 2 2 】

このため、誤検出を抑制することができ、実施の形態 4 の信号遅延回路 4 0 0 を含む半導体装置全体の円滑かつ安定的な動作を確保することができる。

【 0 3 2 3 】

また、温度の変動に応じてディスカウント数を変化させるため、信号遅延回路 4 0 0 の応答性を確保しつつ、外的要因に応じてカウント数をディスカウントすることにより、外的要因に応じて、信号遅延回路 4 0 0 及び信号遅延回路 4 0 0 を含む半導体装置の円滑かつ安定的な動作を確保することができる。

【 0 3 2 4 】

また、実施の形態 4 の信号遅延回路 4 0 0 は、従来 of 半導体回路装置等のように複数の可変遅延回路、多数決回路、及び多数決回数設定レジスタ等を含まないため、回路が大規模になることがなく、回路の小規模化を図ることができる。

【 0 3 2 5 】

以上、本発明の例示的な実施の形態の半導体装置、及び情報処理装置について説明したが、本発明は、具体的に開示された実施の形態に限定されるものではなく、特許請求の範囲から逸脱することなく、種々の変形や変更が可能である。

以上の実施の形態 1 乃至 4 に関し、さらに以下の付記を開示する。

(付記 1)

入力信号に遅延を与える遅延部と、

前記遅延部から出力される出力信号の位相を検出する位相検出部と、

前記位相検出部から出力される位相情報に基づき、前記出力信号の位相の安定動作範囲を設定する設定部と、

前記安定動作範囲から位相が外れた前記出力信号の検出回数をカウントするカウンタと

、前記遅延部の動作条件又は外的要因に応じて、前記カウンタのカウント数のディスカウ

10

20

30

40

50

ント数を表すディスカウント信号を生成するディスカウント制御部と、

前記カウンタのカウンタ数と前記ディスカウント信号が表すディスカウント数とに基づき、前記出力信号の位相のエラーの有無を判定するエラー判定部とを含む半導体装置。

(付記 2)

前記ディスカウント制御部は、前記動作条件又は前記外的要因の変動度合が大きいほど、前記ディスカウント数を増大する、付記 1 記載の半導体装置。

(付記 3)

前記動作条件は、前記遅延部の電源電圧の変動範囲であり、

前記ディスカウント制御部は、前記電源電圧の変動範囲が大きいほど、前記ディスカウント数を増大する、付記 1 又は 2 記載の半導体装置。

(付記 4)

前記外的要因は、前記半導体装置の電源電圧の変動であり、

前記電源電圧の変動分を検出する電源電圧検出部をさらに含み、

前記ディスカウント制御部は、前記電源電圧検出部によって検出される電源電圧の変動分が大きくなると前記ディスカウント数を増大し、前記電源電圧検出部によって検出される電源電圧の変動分が小さくなると前記ディスカウント数を減少する、付記 1 又は 2 記載の半導体装置。

(付記 5)

前記動作条件は、前記半導体装置の温度の変動範囲であり、

前記ディスカウント制御部は、前記温度の変動範囲が大きいほど、前記ディスカウント数を増大する、付記 1 又は 2 記載の半導体装置。

(付記 6)

前記外的要因は前記半導体装置の温度の変動範囲の変動であり、

前記温度の変動範囲の変動を検出する温度検出部をさらに含み、

前記ディスカウント制御部は、前記温度検出部によって検出される温度の変動範囲が拡大すると前記ディスカウント数を増大し、前記温度検出部によって検出される温度の変動範囲が縮小すると前記ディスカウント数を減少する、付記 1 又は 2 記載の半導体装置。

(付記 7)

演算処理装置と、

主記憶装置と、

付記 1 乃至 6 のいずれか一項記載の半導体装置を有し、前記演算処理装置と前記主記憶装置との間でデータの転送を行うメモリコントローラと

を含む情報処理装置。

【符号の説明】

【 0 3 2 6 】

1、1 0 0、2 0 0、3 0 0、4 0 0 信号遅延回路

1 0 遅延部

1 1 A、1 2 A、1 3 A、1 1 C、1 2 C、1 3 C インバータ

1 1 B、1 2 B、1 3 B セレクタ

2 0 位相検出部

3 0 フィルタ部

4 0 エラー検出部

5 0 サーバ

5 1 C P U

5 2 A、5 2 B 主記憶装置

5 3 A、5 3 B バス

5 4 A メモリ I / F

1 4 0、2 4 0 エラー検出部

1 4 1 許容範囲抽出部

10

20

30

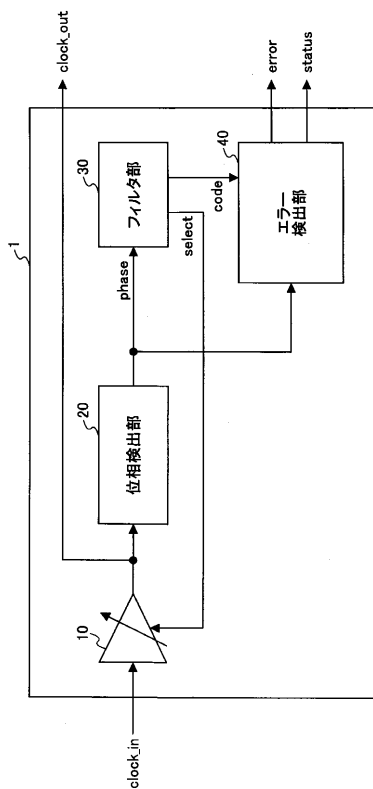
40

50

- 1 4 2、2 4 2 カウント部
- 1 4 3、2 4 3 判定部
- 1 5 0、2 5 0、3 5 0、4 5 0 ディスカウント制御部
- 2 5 1、4 5 1 格納部
- 2 5 2、4 5 2 比較部
- 2 5 3、4 5 3 制御部
- 2 6 0 電源電圧検出部
- 4 6 0 温度検出部

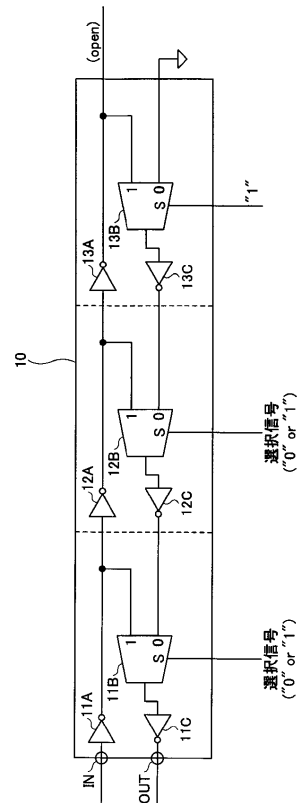
【 図 1 】

比較例の信号遅延回路1を示すブロック図



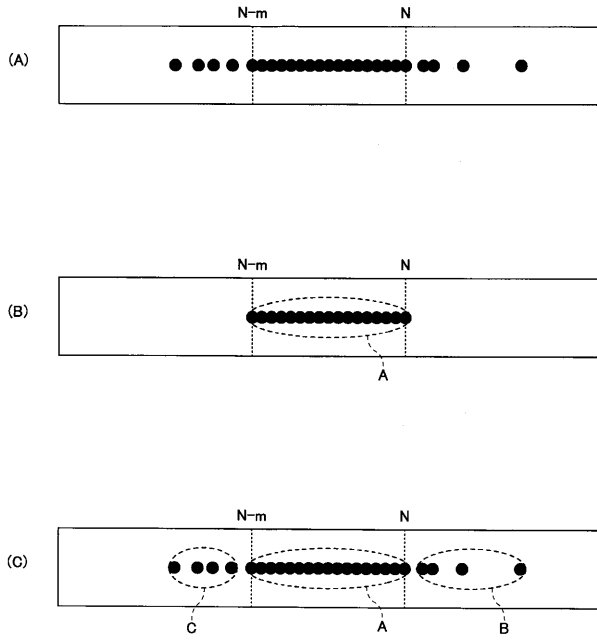
【 図 2 】

比較例の信号遅延回路1に含まれる遅延部10を示す図



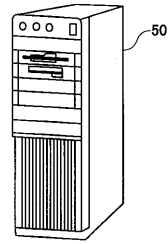
【 図 3 】

(A)は比較例の信号遅延回路1のフィルタ部30に入力される位相信号(phase)が表すクロックの位相と安定動作範囲との関係を模式的に示す図、
 (B)はフィルタ部30によってフィルタ処理が行われた後のクロックの位相と安定動作範囲との関係を模式的に示す図、
 (C)はエラー検出部40における許容範囲とクロックの位相との関係を模式的に示す図



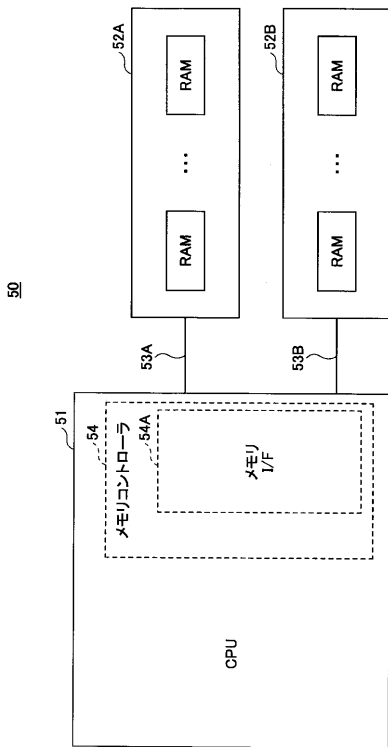
【 図 4 】

実施の形態1の半導体装置を含むサーバ50を示す図



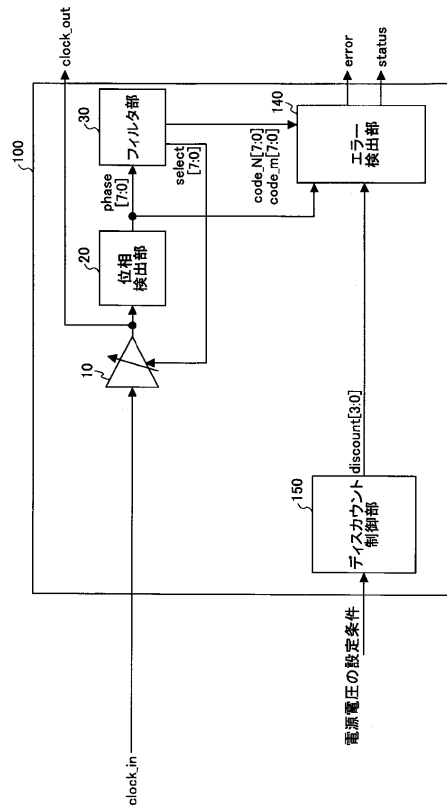
【 図 5 】

実施の形態1の半導体装置を含むサーバ50を示すブロック図



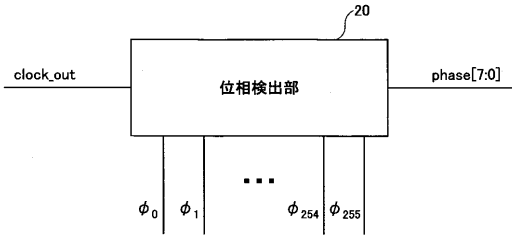
【 図 6 】

実施の形態1の半導体装置に含まれる信号遅延回路100を示す図



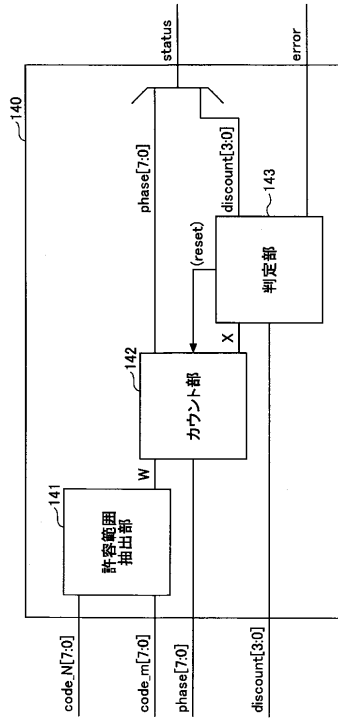
【 図 7 】

実施の形態1の半導体装置に含まれる
信号遅延回路100の位相検出部20を示す図



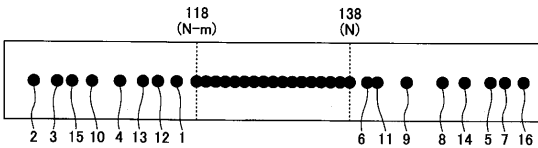
【 図 8 】

実施の形態1の信号遅延回路100のエラー検出部140の内部構成を示す図



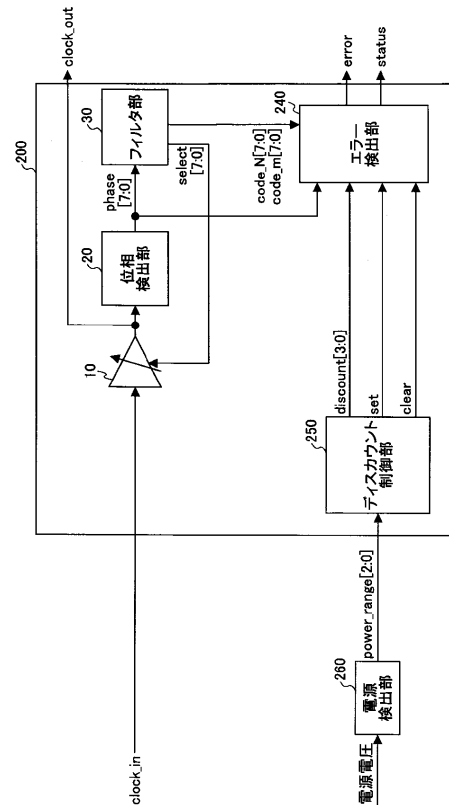
【 図 9 】

エラー検出部140におけるカウント数のディスカウントの概念を示す図



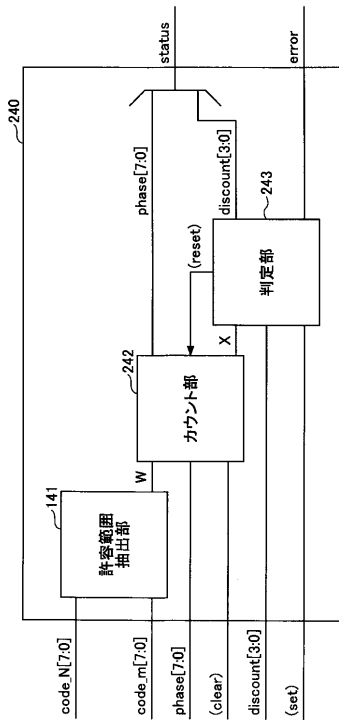
【 図 10 】

実施の形態2の半導体装置に含まれる信号遅延回路200を示す図



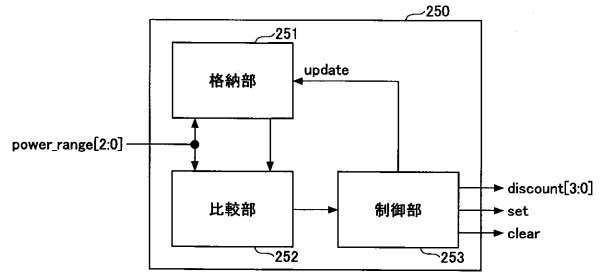
【 図 1 1 】

実施の形態2の信号遅延回路100のエラー検出部240の内部構成を示す図



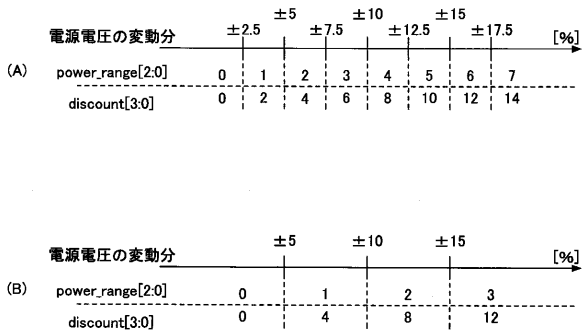
【 図 1 2 】

実施の形態2の半導体装置に含まれる信号遅延回路200に接続されるディスカウント制御部250を示す図



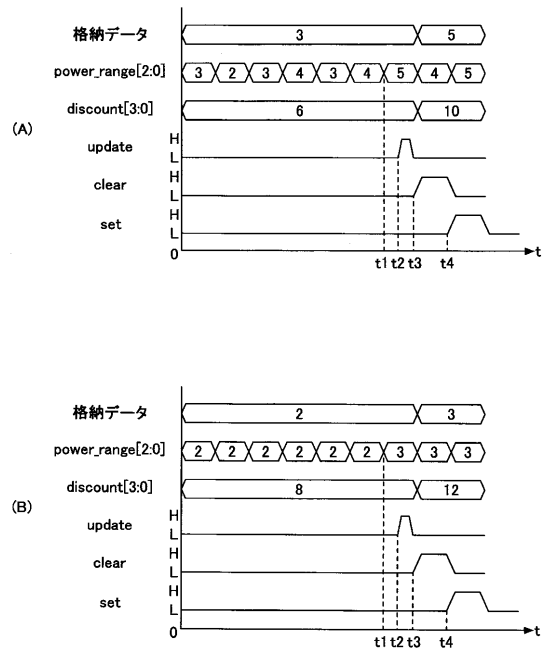
【 図 1 3 】

実施の形態2の信号遅延回路200のディスカウント制御部250の入力信号の値と出力信号の値との対応関係を示す図



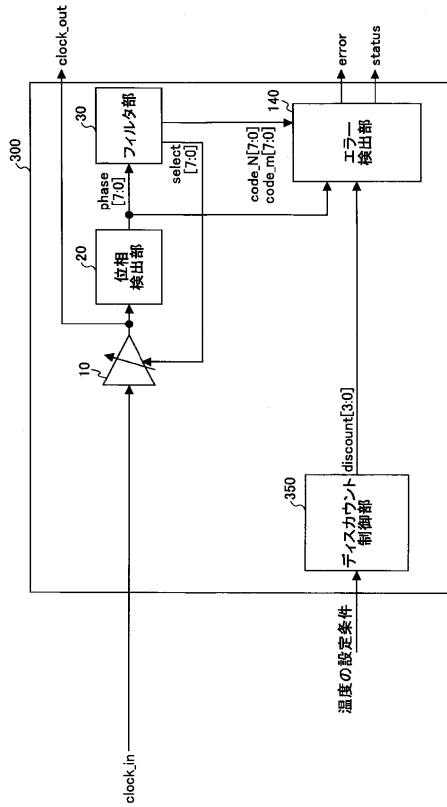
【 図 1 4 】

実施の形態2の信号遅延回路200の動作を示すタイミングチャート



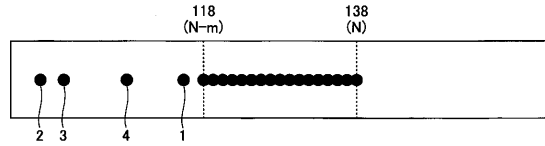
【 図 1 5 】

実施の形態3の半導体装置に含まれる信号遅延回路300を示す図



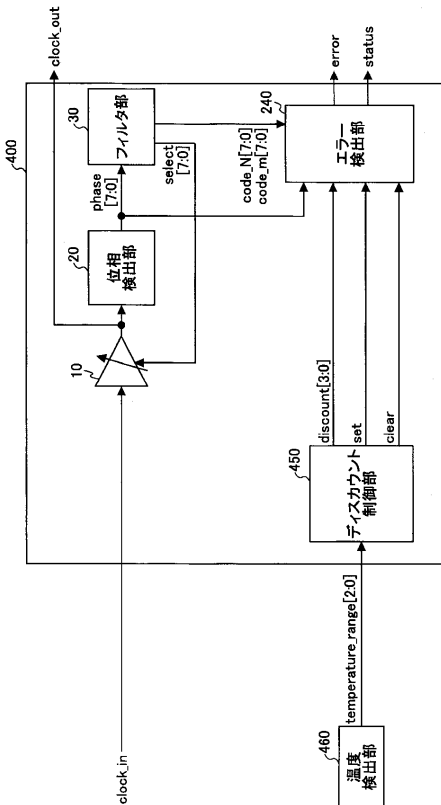
【 図 1 6 】

エラー検出部140におけるカウント数のディスカウントの概念を示す図



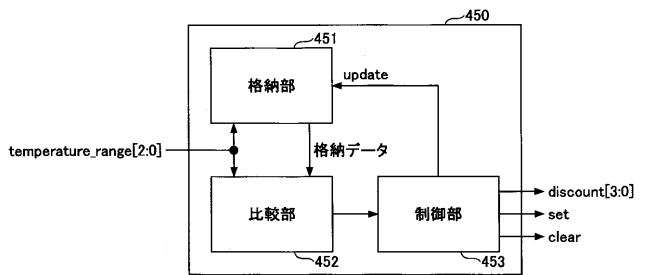
【 図 1 7 】

実施の形態4の半導体装置に含まれる信号遅延回路400を示す図



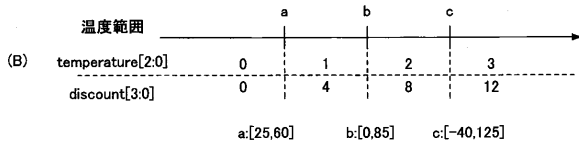
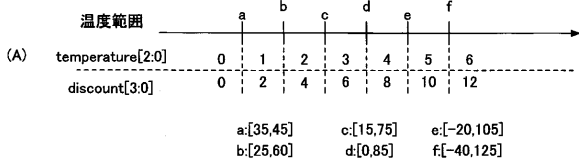
【 図 1 8 】

実施の形態4の半導体装置に含まれる信号遅延回路400に接続されるデイスカウント制御部450を示す図



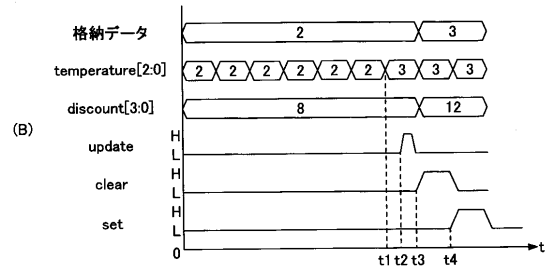
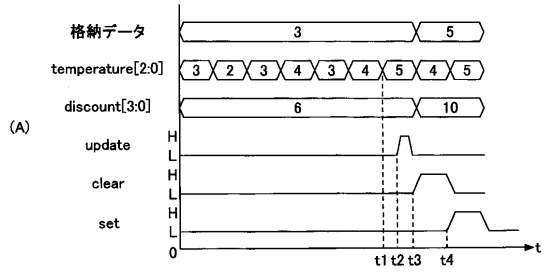
【 図 1 9 】

実施の形態4の信号遅延回路400のディスカウント制御部450の入力信号の値と出力信号の値との対応関係を示す図



【 図 2 0 】

実施の形態4の信号遅延回路400の動作を示すタイミングチャート



フロントページの続き

(72)発明者 久保寺 和昌

神奈川県川崎市中原区上小田中4丁目1番1号 富士通アドバンステクノロジー株式会社内

Fターム(参考) 5J001 BB00 BB12 BB21 DD02 DD09

5J106 BB03 CC21 CC46 CC59 DD17 DD46 EE10 HH02 JJ09 KK12

5K047 AA05 GG09 MM36 MM56 MM60 MM62