

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-104165

(P2012-104165A)

(43) 公開日 平成24年5月31日(2012.5.31)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 13/00 (2006.01)	G 1 1 C 13/00 A	5 B 1 2 5
G 1 1 C 11/4091 (2006.01)	G 1 1 C 11/34 3 5 3 A	5 M 0 2 4
G 1 1 C 11/404 (2006.01)	G 1 1 C 11/34 3 5 2 C	
G 1 1 C 11/4097 (2006.01)	G 1 1 C 11/34 3 6 2 B	
G 1 1 C 11/22 (2006.01)	G 1 1 C 11/22 5 0 1 G	
審査請求 未請求 請求項の数 21 O L (全 21 頁) 最終頁に続く		

(21) 出願番号 特願2010-249206 (P2010-249206)
 (22) 出願日 平成22年11月5日 (2010.11.5)

(71) 出願人 500174247
 エルピーダメモリ株式会社
 東京都中央区八重洲2-2-1
 (74) 代理人 100110881
 弁理士 首藤 宏平
 (72) 発明者 梶谷 一彦
 東京都中央区八重洲二丁目2番1号 エル
 ピーダメモリ株式会社内
 Fターム(参考) 5B125 BA02 BA17 CA03 CA21 EE00
 EE12 FA02 FA05
 5M024 AA02 AA37 BB13 BB14 BB15
 BB35 CC20 CC62 CC72 PP01
 PP02 PP03 PP07 PP10

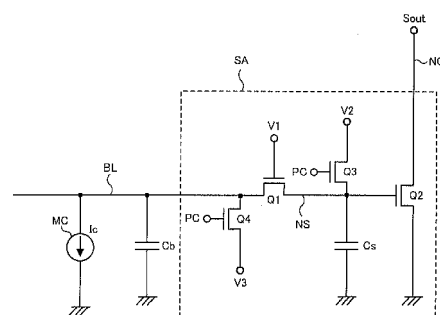
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】電流値変化型メモリセルの読み出し動作時に、ビット線電位を低電圧化しても十分な動作マージンを確保可能な半導体装置を提供する。

【解決手段】本発明の半導体装置は、電流値変化型メモリセルMCと、ビット線BLと、トランジスタQ1～Q4からなるセンスアンプSAを備えている。電荷転送ゲートであるトランジスタQ1は転送制御電圧である電位V1に応じてビット線BLとセンスノードNSとの間の接続を制御し、トランジスタQ2はセンスノードNSの信号を増幅する。トランジスタQ3は電位V2をセンスノードに供給し、トランジスタQ4は電位V3をビット線に供給し、ともにプリチャージ制御信号PCに応じて制御される。電位V2を電位V3より高く設定し、電位V1からトランジスタQ1の閾値電圧V_{t1}を引いた所定電位が電位V3より低く、かつ低電位より高くなるように設定することで、読み出し動作の動作マージンが向上する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

電流値の大小に応じて情報を記憶するメモリセルと、
前記メモリセルに電氣的に接続し、前記メモリセルの情報を伝送するビット線と、
ゲート端子に転送制御電圧である少なくとも第 1 の電位を有する第 1 の信号線に接続し、一方のソース・ドレイン端子が前記ビット線に接続し、他方のソース・ドレイン端子がセンスノードに接続する第 1 のトランジスタと、
ゲート端子が前記センスノードに接続し、ドレイン端子が出力ノードに接続し、ソース端子が低電位を有する信号線に接続し、前記ビット線から前記第 1 のトランジスタを介して前記センスノードに伝送される信号を増幅する第 2 のトランジスタと、
プリチャージ制御信号に応じて、第 2 の電位を前記センスノードに供給するセンスノード電位供給回路と、
前記プリチャージ制御信号に応じて、第 3 の電位を前記ビット線に供給するビット線電位供給回路と、
少なくとも、前記第 1 乃至第 3 の電位を、それぞれ制御する電位制御回路と、
を備え、
前記電位制御回路は、
前記第 1 の電位を、前記第 2 と第 3 の電位の間に制御し、
前記第 2 の電位が前記第 3 の電位よりも絶対値が高くなるように制御し、
前記第 1 の電位から前記第 1 のトランジスタの閾値電圧を引いた所定電位が、前記第 3 の電位よりも絶対値が低く、かつ前記低電位よりも絶対値が高くなるように制御し、
前記ビット線は、前記メモリセルが有する少なくとも第 1 の前記情報及び第 2 の前記情報に応じて、ともに前記第 3 の電位から前記低電位の方向に遷移する、
ことを特徴とする半導体装置。

10

20

【請求項 2】

前記所定電位は、前記第 1 のトランジスタの閾値電圧のばらつきに対応する電位分布を有し、前記電位分布の範囲内の上限値が前記第 3 の電位よりも絶対値で低く、前記電位分布の範囲内の下限値が前記低電位よりも絶対値で高い、ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記電位制御回路は、前記上限値が前記第 3 の電位よりも絶対値で低く、前記下限値が前記低電位よりも絶対値で高くなるように、少なくとも前記第 1 の電位及び前記第 3 の電位のいずれか一方を制御する、ことを特徴とする請求項 2 に記載の半導体装置。

30

【請求項 4】

更に、前記第 1 の信号線と、前記メモリセルを前記ビット線に電氣的に接続するワード線と、を制御する制御回路を備え、

前記制御回路は、少なくとも前記ワード線の活性時に、前記転送制御電圧として前記第 1 の電位を前記第 1 のトランジスタに供給するように前記第 1 の信号線の論理を制御する、ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】

前記制御回路は、少なくとも、前記ワード線の活性から、前記メモリセルの情報に対応して前記センスノードが前記第 2 の電位から第 4 の電位に下がるまでの期間、前記第 1 の電位を前記第 1 のトランジスタに供給する、ことを特徴とする請求項 4 に記載の半導体装置。

40

【請求項 6】

前記制御回路は、更に、前記第 2 のトランジスタの活性を制御するトランジスタを制御し、

前記制御回路は、前記第 4 の電位に到達した後の前記第 2 のトランジスタがセンシングする時、前記第 1 のトランジスタを電氣的に非導通とするように、前記第 1 の信号線の論理を制御することにより前記第 1 の信号線を前記第 1 の電位から低電位に遷移させる、こ

50

とを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】

前記センスノード電位供給回路は、ゲート端子に前記プリチャージ制御信号が印加され、ソース端子が前記センスノードに接続し、ドレイン端子が前記第 2 の電位に接続する第 3 のトランジスタであり、

前記ビット線電位供給回路は、ゲート端子に前記プリチャージ制御信号が印加され、ソース端子が前記ビット線に接続し、ドレイン端子が前記第 3 の電位に接続する第 4 のトランジスタである、

ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 8】

前記ビット線の上位階層に対応するグローバルビット線と、

ゲート端子に印加される読み出し制御信号に応じて、前記出力ノードと前記グローバルビット線との間の電氣的な接続を制御する第 5 のトランジスタと、

を更に備える、ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 9】

前記グローバルビット線に接続し、前記グローバルビット線の信号をセンシングするグローバルセンスアンプを更に備える、ことを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】

ゲート端子に前記プリチャージ制御信号が印加され、ソース端子が前記グローバルビット線に接続し、ドレイン端子が第 4 の電位に接続する第 6 のトランジスタを更に備える、ことを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】

ゲート端子に印加される書き込み制御信号に応じて、前記ビット線と前記グローバルビット線との間の電氣的接続を制御する第 7 のトランジスタと、

前記グローバルビット線に接続し、前記グローバルビット線から前記第 7 のトランジスタ及び前記ビット線を経由して前記メモリセルに情報を書き込む書き込み回路と、

を更に備える、ことを特徴とする請求項 10 に記載の半導体装置。

【請求項 12】

前記第 1 乃至第 7 のトランジスタの各々は、N型の電界効果トランジスタである、ことを特徴とする請求項 11 に記載の半導体装置。

【請求項 13】

前記電位制御回路は、前記第 1 のトランジスタの閾値電圧の変動及び温度依存性をモニタし、前記閾値電圧のプロセス変動及び温度依存性が補償された前記第 1 の電位を発生する第 1 の電位発生回路を含む、ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 14】

電流値の大小に応じて情報を記憶するメモリセルと、

前記メモリセルに電氣的に接続し、前記メモリセルの情報を伝送するビット線と、

ゲート端子に第 1 の電位が印加され、一方のソース・ドレイン端子が前記ビット線に接続し、他方のソース・ドレイン端子がセンスノードに接続する第 1 のトランジスタと、

ゲート端子が前記センスノードに接続し、ドレイン端子が出力ノードに接続し、ソース端子が低電位に接続し、前記ビット線から前記第 1 のトランジスタを介して前記センスノードに伝送される信号を増幅する第 2 のトランジスタと、

プリチャージ制御信号に応じて、第 2 の電位を前記センスノードに供給するセンスノード電位供給回路と、

前記プリチャージ制御信号に応じて、第 3 の電位を前記ビット線に供給するビット線電位供給回路と、

少なくとも、前記第 1 乃至第 3 の電位をそれぞれ制御する電位制御回路と、

を備え、

前記電位制御回路は、

前記第 1 の電位を、前記第 2 と第 3 の電位の間に制御し、

10

20

30

40

50

前記第 2 の電位が前記第 3 の電位よりも絶対値が高くなるように制御し、

前記第 1 の電位から前記第 1 のトランジスタの閾値電圧を引いた所定電位が、前記第 3 の電位よりも絶対値が低く、かつ前記低電位よりも絶対値が高くなるように制御する、
ことを特徴とする半導体装置。

【請求項 1 5】

前記所定電位は、前記第 1 のトランジスタの閾値電圧のばらつきに対応する電位分布を有し、前記電位分布の範囲内の上限値が前記第 3 の電位よりも絶対値で低く、前記電位分布の範囲内の下限値が前記低電位よりも絶対値で高い、ことを特徴とする請求項 1 4 に記載の半導体装置。

【請求項 1 6】

前記電位制御回路は、前記上限値が前記第 3 の電位よりも絶対値で低く、前記下限値が前記低電位よりも絶対値で高くなるように、少なくとも前記第 1 の電位及び前記第 3 の電位のいずれか一方を制御する、ことを特徴とする請求項 1 5 に記載の半導体装置。

【請求項 1 7】

前記センスノード電位供給回路は、ゲート端子に前記プリチャージ制御信号が印加され、ソース端子が前記センスノードに接続し、ドレイン端子が前記第 2 の電位に接続する第 3 のトランジスタであり、

前記ビット線電位供給回路は、ゲート端子に前記プリチャージ制御信号が印加され、ソース端子が前記ビット線に接続し、ドレイン端子が前記第 3 の電位に接続される第 4 のトランジスタである、

ことを特徴とする請求項 1 4 に記載の半導体装置。

【請求項 1 8】

前記ビット線の上位階層に対応するグローバルビット線と、

ゲート端子に印加される読み出し制御信号に応じて、前記出力ノードと前記グローバルビット線との間の電氣的な接続を制御する第 5 のトランジスタと、

前記グローバルビット線に接続し、前記グローバルビット線の信号をセンシングするグローバルセンスアンプと、

を更に備える、ことを特徴とする請求項 1 4 に記載の半導体装置。

【請求項 1 9】

ゲート端子に前記プリチャージ制御信号が印加され、ソース端子が前記グローバルビット線に接続し、ドレイン端子が第 4 の電位に接続する第 6 のトランジスタを更に備える、ことを特徴とする請求項 1 8 に記載の半導体装置。

【請求項 2 0】

ゲート端子に印加される書き込み制御信号に応じて、前記ビット線と前記グローバルビット線との間の電氣的接続を制御する第 7 のトランジスタと、

前記グローバルビット線に接続し、前記グローバルビット線から前記第 7 のトランジスタ及び前記ビット線を経由して前記メモリセルに情報を書き込む書き込み回路と、

を更に備える、ことを特徴とする請求項 1 9 に記載の半導体装置。

【請求項 2 1】

前記電位制御回路は、前記第 1 のトランジスタの閾値電圧の変動及び温度依存性をモニタし、前記閾値電圧のプロセス変動及び温度依存性が補償された前記第 1 の電位を発生する第 1 の電位発生回路を含む、ことを特徴とする請求項 1 4 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電流値変化型メモリセルに記憶される情報をビット線に読み出して増幅するシングルエンド型のセンスアンプ回路を備えた半導体装置に関するものである。

【背景技術】

【0002】

従来から、選択されたメモリセルに流れる電流の大小に応じて情報を記憶する電流値変

10

20

30

40

50

化型メモリセルが知られている。この種のメモリセルを用いる半導体装置においては、チップ面積の縮小の観点から、差動型のセンスアンプに代えて、回路規模の小さいシングルエンド型のセンスアンプを採用することが望ましい。また、メモリセルの微細化に伴って半導体装置を低電圧で動作させる場合、メモリセルに接続されるビット線にできるだけ低い電位を供給することが望ましい。

【0003】

例えば、特許文献1には、信号の入出力端子と電源端子間の抵抗値の大きさに応じて情報を記憶するメモリセルを備えた半導体装置において、入出力端子から出力される信号を、1つのMOSトランジスタ(Q1)で増幅するシングルエンド型のセンスアンプを備える構成が開示されている。特許文献1に示されたセンスアンプを用いることで、メモリセルの読み出し動作時に、ビット線の容量値を低減させることができる。

10

【0004】

また例えば、特許文献2には、メモリセルに接続されるビット線とシングルエンド型のセンスアンプの入力側のセンスノードとの間に、電荷転送ゲートとして機能するMOSトランジスタを配置した構成が開示されている。このような構成のセンスアンプを採用することで、メモリセルの読み出し動作時に、センスアンプの増幅動作に必要な動作マージンを確保することができる。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2009-259379号公報

【特許文献2】特開2010-055730号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、上記特許文献1に開示された技術によれば、センスアンプがグローバルビット線に接続される出力ノードを駆動する際、MOSトランジスタ(Q1)のゲート電圧が、ビット線のプリチャージ電圧あるいはメモリセルに供給される電圧以下に制限されるため、これらの電圧がメモリセルの微細化に伴って低下した場合には、センスアンプがグローバルビット線を駆動する速度の低下を招くという問題がある。一方、上記特許文献2に開示された技術によれば、電荷転送ゲート(Q1)を介してビット線とセンスノードとの間で電荷を転送する際、ビット線とセンスノードの電位設定を独立に行うことができず、メモリセルの微細化に伴ってビット線の電位が低下したときに、読み出し速度の低下を招くという問題がある。このように、従来の構成によれば、電流値変化型メモリセルの読み出し動作に際し、ビット線を低電位化しつつ高速な読み出し動作が可能な半導体装置を構成することは困難であった。

30

【課題を解決するための手段】

【0007】

上記課題を解決するために、本発明の半導体装置は、電流値の大小に応じて情報を記憶するメモリセルと、前記メモリセルに電氣的に接続し、前記メモリセルの情報を伝送するビット線と、ゲート端子に転送制御電圧である少なくとも第1の電位を有する第1の信号線に接続し、一方のソース・ドレイン端子が前記ビット線に接続し、他方のソース・ドレイン端子がセンスノードに接続する第1のトランジスタと、ゲート端子が前記センスノードに接続し、ドレイン端子が出力ノードに接続し、ソース端子が低電位を有する信号線に接続し、前記ビット線から前記第1のトランジスタを介して前記センスノードに伝送される信号を増幅する第2のトランジスタと、プリチャージ制御信号に応じて、第2の電位を前記センスノードに供給するセンスノード電位供給回路と、前記プリチャージ制御信号に応じて、第3の電位を前記ビット線に供給するビット線電位供給回路と、少なくとも、前記第1乃至第3の電位をそれぞれ制御する電位制御回路と、を備え、前記電位制御回路は、前記第1の電位を、前記第2と第3の電位の間に制御し、前記第2の電位が前記第3の

40

50

電位よりも絶対値が高くなるように制御し、前記第 1 の電位から前記第 1 のトランジスタの閾値電圧を引いた所定電位が、前記第 3 の電位よりも絶対値が低く、かつ前記低電位よりも絶対値が高くなるように制御し、前記ビット線は、前記メモリセルが有する少なくとも第 1 の前記情報及び第 2 の前記情報に応じて、ともに前記第 3 の電位から前記低電位の方向に遷移する、ことを特徴としている。

【0008】

本発明の半導体装置によれば、電流値変化型メモリセルの読み出し動作の際、第 1 のトランジスタが電荷転送ゲートとして機能し、そのゲートに印加される転送制御電圧（第 1 の電位）に応じてビット線とセンスアンプの間の電荷転送が制御される。半導体装置の低電圧化のためにはビット線に供給される第 3 の電位を低く設定する必要があるのに対し、
10 センスノードに供給される第 2 の電位を第 3 の電位よりも高く設定して第 2 のトランジスタの電流駆動能力を高めて読み出し動作を高速化する必要がある。本発明の半導体装置では、第 2 の電位を第 3 の電位よりも高く設定するとともに、第 1 のトランジスタのオン（電氣的に導通）・オフ（電氣的に非導通）が切り替わる上述の所定電位（第 1 の電位から前記第 1 のトランジスタの閾値電圧を引いた電位）を、メモリセルに保持可能な 2 値の情報に対応する第 3 の電位及び低電位の範囲内に設定し、ビット線とセンスアンプの間の電荷転送を制御してセンスアンプの高速な読み出し動作を実現している。

【0009】

本発明は多様なメモリセルアレイの構成に対して適用可能であるが、特に、ビット線が階層化されたメモリセルアレイを有する半導体装置に適用する場合に有効である。すなわち、下位階層のローカルビット線と上位階層のグローバルビット線が設けられ、ローカル
20 ビット線から、ローカルビット線に接続するローカルセンスアンプを介してグローバルビット線に伝送される信号を増幅するグローバルセンスアンプを設けた構成に対し、チップ面積の増加と消費電流の増大を抑制しつつ、高速な読み出し動作を行うことが可能である。

【0010】

また電荷転送ゲートとしての第 1 のトランジスタに供給される第 1 の電位を、第 1 のトランジスタの閾値電圧のプロセス変動及び温度依存性が補償された電位としてもよい。

【発明の効果】

【0011】

以上述べたように、本発明によれば、電流値変化型メモリセルに保持される情報をビット線に読み出し、電荷転送ゲートを介してビット線の信号をセンスアンプで増幅する構成を有する半導体装置において、ビット線電圧を低電圧化したとしてもセンスノードの電位を高く保つことで高速な読み出し動作を行うことが可能となる。

【0012】

また、メモリセルアレイを階層化した半導体装置において、ローカルビット線からローカルセンスアンプを経由してグローバルビット線に伝送された信号をグローバルセンスアンプで増幅する場合、チップ面積の増加と消費電流の増大を抑制しつつ、高速な読み出し動作を行うことが可能となる。

【0013】

さらに、電荷転送ゲートとしての第 1 のトランジスタに供給される第 1 の電位に対し、第 1 のトランジスタの閾値電圧のプロセス変動及び温度依存性が補償されることにより、読み出し動作時の動作マージンを一層向上させることができる。

【図面の簡単な説明】

【0014】

【図 1】本発明の技術思想の一例として、本発明の基本的な動作原理を示す回路構成を示す図である。

【図 2】図 1 のセンスアンプの動作原理に基づく具体的な読み出し動作を説明するための動作波形図である。

【図 3】第 1 実施形態の半導体装置の全体構成を示すブロック図である。

10

20

30

40

50

【図 4】第 1 実施形態の半導体装置において、センスアンプ及びメモリセルを含む範囲の構成例を示す図である。

【図 5】第 1 実施形態の半導体装置の読み出し動作時の動作波形を示している。

【図 6】本発明に適用可能な電流値変化型メモリセルの具体例を示す図である。

【図 7】V 1 発生回路の回路構成例を示す図である。

【図 8】図 7 の V 1 発生回路により出力される電位 V 1 のプロセス・温度依存性の一例を示すグラフである。

【図 9】第 2 実施形態の半導体装置において、センスアンプ及びメモリセルを含む範囲の構成例を示す図である。

【図 10】第 2 実施形態の半導体装置の読み出し動作時の動作波形を示している。

【図 11】第 3 実施形態の半導体装置において、センスアンプ及びメモリセルを含む範囲の構成例を示す図である。

【図 12】本実施形態において開示された構成を備える半導体装置と、この半導体装置の動作を制御するコントローラとを含む情報処理システムの構成例を示す図である。

【発明を実施するための形態】

【0015】

本発明の課題を解決する技術思想の代表的な例を以下に示す。ただし、本願の請求対象は、この技術思想に限定されるものではなく、本願の特許請求の範囲に記載された内容にあることは言うまでもない。

【0016】

以下、本発明の技術思想の一例は、図 1 に示すセンスアンプ S A 及びメモリセル M C を備える半導体装置に対して適用されるものである。図 1 は、本発明の基本的な動作原理を示す回路構成として、センスアンプ S A 及びメモリセル M C を含む範囲の構成例を示している。図 1 に示すように、本発明の半導体装置は、選択時に流れる電流 I_c の大小に応じて情報を記憶する電流値変化型メモリセル M C と、このメモリセル M C に接続されるビット線 B L と、センスアンプ S A を構成するトランジスタ Q 1、Q 2、Q 3、Q 4 とを備えて構成される。例えば、図 1 に示すように、トランジスタ Q 1～Q 4 としては、N M O S 型の電界効果トランジスタが用いられる。電荷転送ゲートとして機能するトランジスタ Q 1 は、ゲート端子に印加される転送制御電圧である電位 V 1（第 1 の電位）に応じて、一方のソース・ドレイン端子に接続されたビット線 B L と他方のソース・ドレイン端子に接続されたセンスノード N S との間の電氣的接続を制御する。増幅素子であるトランジスタ Q 2（第 2 のトランジスタ）は、ゲート端子がセンスノード N S に接続され、ドレイン端子が出力ノード N O に接続され、ソース端子がグランド電位に接続され、ビット線 B L からトランジスタ Q 1（第 1 のトランジスタ）を介してセンスノード N S に伝送される信号を増幅し、出力ノード N O に出力信号 S o u t を出力する。また、センスノード電位供給回路として機能するトランジスタ Q 3（第 3 のトランジスタ）は、プリチャージ制御信号 P C に応じて電位 V 2（第 2 の電位）をセンスノード N S に供給するとともに、ビット線電位供給回路として機能するトランジスタ Q 4（第 4 のトランジスタ）は、プリチャージ制御信号 P C に応じて電位 V 3（第 3 の電位）をビット線 B L に供給する。上述の転送制御電圧（電位 V 1）、電位 V 2、電位 V 3 は、図示されない電位制御回路によって制御される。なお、グランド電位は一例であって、電位 V 1 からトランジスタ Q 1 の閾値電圧 V_{t1} を引いた所定電位 $V_1 - V_{t1}$ よりも絶対値で更に低い電位であればよいことは、本発明の技術思想から明白に理解できる。更に、所定電位 $V_1 - V_{t1}$ は、第 1 のトランジスタ Q 1 の閾値電圧 V_{t1} のばらつきに対応する電位分布を有する。電位制御回路は、その電位分布の範囲内の上限値が前記第 3 の電位よりも絶対値で低く、前記電位分布の範囲内の下限値が前記低電位よりも絶対値で高くなるように、第 1 の電位 V 1 を制御する。第 1 の電位 V 1 の制御に代えて、第 3 の電位 V 3 を制御してもよい。更に、第 1 の電位 V 1 と第 3 の電位 V 3 の両者を制御してもよい。

【0017】

なお、図 1 では、1 つのメモリセル M C のみを示しているが、実際には 1 本のビット線

10

20

30

40

50

B Lに複数のメモリセルM Cが接続される。そのため、ビット線B Lには寄生容量C bが存在する。寄生容量C bの値は、ビット線B Lに接続されるメモリセルM Cの個数に依存するが、例えば、ビット線B Lに1 2 8個のメモリセルM Cが接続される場合は、寄生容量C bは1 0 f F程度の値となる。また、センスノードN Sには寄生容量C sが存在する。図1に示すように、センスノードN Sには3個のトランジスタQ 1、Q 2、Q 3が接続されるのみであるため、寄生容量C sも、例えば1 f F程度の小さい値になる。

【0018】

図1において、本発明のセンスアンプS Aの読み出し動作時における電位関係は、転送制御電圧が少なくとも電位V 1(第1の電位)に制御されるとともに、電位V 2(第2の電位)が電位V 3(第3の電位)よりも絶対値が高くなるように制御される。また、電位V 1からトランジスタQ 1の閾値電圧を引いた所定電位が、電位V 3よりも絶対値が低く、かつグランド電位よりも絶対値が高くなるように制御される。この際の具体的な動作については後述する(図2参照)。本発明の半導体装置では、従来の構成とは異なり、電位V 2と電位V 3を独立に設定することができるので、ビット線B Lの低電圧化によって電位V 3が小さくなる場合であっても、センスノードN Sには十分高い電位V 3を供給でき、シングルエンド型のトランジスタQ 2の電流駆動能力を高めて読み出し動作を高速化することができる。

【0019】

図2は、図1のセンスアンプS Aの動作原理に基づく具体的な読み出し動作を説明するための動作波形を例示している。図2の左側は、メモリセルM Cのハイ情報(例えば、情報「1」)に対応する大きい電流I cが流れる場合の動作波形が示されるとともに、図2の右側には、メモリセルM Cのロー情報(例えば、情報「0」)に対応する小さい電流I cが流れる場合の動作波形が示されている。なお、図2の左側と右側のそれぞれの動作におけるメモリセルM Cの電流I cの電流値については、ハイ情報に対応する分布の最小値であるI c(H)min(左側)と、ロー情報に対応する分布の最大値であるI c(L)max(右側)をそれぞれ想定する。また、メモリセルM Cのハイ情報及びメモリセルM Cのロー情報においても、電流値変化型メモリセルM Cの特徴により、ビット線B Lは高電位(V 3)から低電位(V S S)に向かって低下するように遷移することが理解できる。

【0020】

まず、ハイ情報の読み出し動作においては、時刻T 1に先立つプリチャージ期間には制御信号P Cがハイ(電位V P P)であり、センスノードN Sが電位V 2にプリチャージされた状態にあり、ビット線B Lが電位V 3にプリチャージされた状態にある。ここで、電位V 1からトランジスタQ 1の閾値電圧V t 1を引いた所定電位V 1-V t 1は、図2に示す電位分布D 1の範囲内の電圧値を取り、電位V 2、V 3のいずれよりも電位分布D 1が低くなっている。そのため、トランジスタQ 1のソース・ドレインの各電位が高く保たれ、トランジスタQ 1がオフ状態にある。なお、上述の所定電位V 1-V t 1の電位分布D 1が、その上限と下限の間で幅を持つ理由は、多数のセンスアンプS Aの各トランジスタQ 1に関し、閾値電圧V t 1のランダムなばらつきや、プロセス変動による閾値電圧V t 1の基準値からの変動や、閾値電圧V t 1の動作時の温度依存性等の要因に起因するものである。

【0021】

時刻T 1には、プリチャージ制御信号P Cがローになり、トランジスタQ 4がオフしてビット線B Lが電位V 3にプリチャージされた状態でフローティングとなるとともに、トランジスタQ 3がオフしてセンスノードN Sが電位V 2にプリチャージされた状態でフローティングとなる。続いて、時刻T 2において選択されたメモリセルM Cには大きな電流I c(H)minが流れ、これによりビット線B Lの寄生容量C bに蓄積された電荷が急速に引き抜かれるので、ビット線B Lの電位が電位V 3から低下していく。そして、遅くとも時刻T 3には、ビット線B Lの電位が所定電位V 1-V t 1の電位分布D 1の下限を下回って、トランジスタQ 1がオンする。トランジスタQ 1がオンすると、センスノード

NSの寄生容量Csに蓄積されていた電荷が急速に引き抜かれるので、センスノードNSの電位は電位V2から低下していく。そして、遅くとも時刻T4には、ビット線BLの電位とセンスノードNSの電位はそれぞれグラウンド電位(0V)に達する。その後、時刻T4から時刻T5までの期間には、トランジスタQ2のゲート電位がグラウンド電位に保たれ、トランジスタQ2がオフの状態にあるので、出力ノードNOにハイ情報を読み出すことができる。

【0022】

一方、ロー情報の読み出し動作においては、時刻T11に先立つプリチャージ期間の状態は、ハイ情報の読み出し動作の場合と同様である。また、上記所定電位V1-Vt1の電位分布D1についても、ハイ情報の読み出し動作の場合と同様である。なお、ロー情報の読み出し動作に表記される時刻T11~T15の各々の時間間隔は、上述の時刻T1~T5の各々と同じ時間間隔であるものとする。

【0023】

時刻T11には、ハイ情報の読み出し動作の場合と同様、ビット線BLが電位V3にプリチャージされた状態でフローティングとなるとともに、センスノードNSが電位V2にプリチャージされた状態でフローティングとなる。続いて、時刻T12において選択されたメモリセルMCには小さな電流Ic(L)maxが流れ、これによりビット線BLの寄生容量Cbに蓄積された電荷が緩やかに引き抜かれるので、ビット線BLの電位が電位V3から緩やかに低下していく。この場合、ビット線BLの所定電位V1-Vt1の電位分布D1の上限に到達するのは、早くとも時刻T15までの時間を要する。従って、時刻T15までの期間は、トランジスタQ1がオフの状態を保ち続けるので、センスノードNSの寄生容量Csに蓄積されていた電荷が引き抜かれることはない。その結果、時刻T13から時刻T14を経て、早くとも時刻T15までの期間は、センスノードNSが電位V2を保ち続けることになる。このとき、トランジスタQ2のゲート電位が電位V2に保たれることにより、トランジスタQ2はオンの状態にあるので、出力ノードNOにロー情報を読み出すことができる。

【0024】

本発明の構成によれば、上記の読み出し動作において、センスノードNSに供給すべき電位V2と、ビット線BLに供給すべき電位V3とを独立に設定することができる。図2の例では、電位V3に比べて電位V2が高い電圧値に設定されている。一般に、メモリセルMCの微細化や消費電流低減を図るには、ビット線BLに供給すべき電位V3を低く設定せざるを得ない。しかし、本発明によれば、電位V2を低く設定したとしても、電位V3を相対的に高く設定することが可能であることから、読み出し動作時にトランジスタQ2の電流駆動能力を高く保つことができる。その結果、トランジスタQ2を高速に動作させることができ、センスアンプSAの読み出し時間を短縮する効果がある。

【0025】

以下、本発明の好ましい実施形態について添付図面を参照しながら詳しく説明する。以下では、上述の電流値変化型メモリセルMCを用いてメモリセルアレイを構成し、図1及び図2の基本的な動作原理に従って動作するセンスアンプSAを備えた半導体装置に対し、本発明を適用した3つの実施形態について順次説明する。

【0026】

[第1実施形態]

第1実施形態は、ビット線構成が階層化されたメモリセルアレイを有する半導体装置に対して本発明を適用したものである。図3は、第1実施形態の半導体装置の全体構成を示すブロック図である。図3に示す半導体装置は、複数のワード線WLと複数のビット線BLの各交点に配置された多数の電流値変化型メモリセルMCを含むメモリセルアレイ10と、このメモリセルアレイ10に付随するロウ系回路11及びカラム系回路12とを備えている。ロウ系回路11には、複数のワード線WLに対応して設けられる多数の回路群が含まれ、カラム系回路12には、図1のセンスアンプSAなど、複数のビット線BLに対応して設けられる多数の回路群が含まれる。なお、上述したように、メモリセルアレイ1

10

20

30

40

50

0には階層化ビット線構成が採用されるので、下位階層の上記ビット線BLと上位階層のグローバルビット線GBLとに階層化されるが、詳細については後述する。

【0027】

外部から入力されるアドレスにはロウアドレスとカラムアドレスが含まれ、ロウアドレスはロウアドレスバッファ13に保持されてロウ系回路11に送られ、カラムアドレスはカラムアドレスバッファ14に保持されてカラム系回路12に送られる。カラム系回路12は、入出力制御回路15によりデータバッファ16とのデータ転送が制御され、外部との間でデータ入出力(DQ)が行われる。

【0028】

コマンドデコーダ17は、外部から入力される制御信号に基づきDRAMに対するコマンドを判別して制御回路18に送出する。制御回路18は、コマンドデコーダ17により判別されるコマンドの種別に応じて半導体装置の各部の動作を制御する。制御回路18による動作制御は、クロック発生回路(不図示)が発生する内部クロックに連動して行われる。また、モードレジスタ19は、上記アドレスに基づき半導体装置の動作モードを選択的に設定し、その設定情報を制御回路18に送出する。また、制御回路18には、少なくとも図1に示す電位V1、V2、V3をそれぞれ制御し、それらをカラム系回路12の各センスアンプSAに対してそれぞれ異なる信号線で供給する電位制御回路18aが含まれる。電位V1は、第1の信号線で供給する。また、第1の信号線は、後述するようにDC動作(半導体装置のアクセス動作に対して複数の論理値を取らない)の電位であってもよいし、AC動作(半導体装置のアクセス動作に対して複数の論理値を取る)の電位であってもよい。AC動作の場合、所謂、論理「1」は前記第1の電位であり、論理「0」は例えばグラウンド電位である。

【0029】

次に図4は、第1実施形態の半導体装置のうち、図1と同様の範囲であって、センスアンプSA及びメモリセルMCを含む範囲の構成例を示す図である。図4に示す回路構成のうち、電流値変化型メモリセルMCと、ビット線BLと、センスアンプSAのうちのトランジスタQ1、Q2、Q3、Q4の部分の構成については、図1と同様である。一方、図4においては、センスアンプSA内にNMOS型のトランジスタQ5が設けられるとともに、センスアンプSAの外部にグローバルビット線GBL、グローバルビット線センス回路20、NMOS型のトランジスタQ6がそれぞれ設けられている。なお、メモリセルMCに対応して、1本のビット線BLに加え、1本のワード線WLを示している。

【0030】

センスアンプSAにおいて、読み出し制御用のトランジスタQ5は、ゲート端子に読み出し制御信号REが印加され、ソース端子が出力ノードNOに接続され、ドレイン端子がグローバルビット線GBLに接続されている。読み出し制御信号REがハイに制御されると、トランジスタQ2のドレイン電流はグローバルビット線GBLからトランジスタQ5、Q2を経由してグラウンドに流れる。グローバルビット線GBLに対する電位供給回路として機能するトランジスタQ6は、プリチャージ制御信号PCに応じて電位V4(第4の電位)をグローバルビット線GBLに供給する。また、グローバルビット線センス回路20(グローバルセンスアンプ)は、ビット線BL及びセンスアンプSAを経由してグローバルビット線GBLに伝送される信号をセンスラッチする回路である。

【0031】

なお、図4では、下位階層の1本のビット線BLと上位階層の1本のグローバルビット線GBLのみを示しているが、実際には1本のグローバルビット線GBLに対し、その延在方向にセグメント化された複数のビット線BLが配置されている。よって、複数のビット線BLと同数の複数のセンスアンプSAが配置されることになる。そして、複数のビット線BLのうちの1本のビット線BLは、センスアンプSAを介して上述のグローバルビット線GBLと選択的に接続される。また、図4に示すように、グローバルビット線GBLには寄生容量Cgが存在する。

【0032】

10

20

30

40

50

図5は、第1実施形態の半導体装置の読み出し動作時の動作波形を示している。図5の左側には、ハイ情報を保持するメモリセルMCを読み出す場合の動作波形を示し、図5の右側には、ロー情報を保持するメモリセルMCを読み出す場合の動作波形を示す。なお、メモリセルMCの電流値 I_c に対応する $I_c(H)min$ （左側）及び $I_c(L)max$ （右側）の意味と、所定電位 V_1-V_{t1} の電位分布D1の意味と、それぞれの時刻 $T_1 \sim T_5$ 、 $T_{11} \sim T_{15}$ の表記については、図2の場合と同様である。図5に示される動作波形の多くは図2の動作波形と共通するので、以下では主に異なる点について説明する。

【0033】

ハイ情報の読み出し動作において、時刻 T_1 に先立つプリチャージ期間には、上述のセンスノードNS及びビット線BLに加えて、グローバルビット線GBLが電位 V_4 にプリチャージされた状態にある。また、ワード線WLは非選択状態のグラウンド電位に保たれている。時刻 T_1 にプリチャージ制御信号PCがローになると、グローバルビット線GBLが電位 V_4 にプリチャージされた状態でフローティングになる。続いて、時刻 T_1 から時刻 T_2 までの間に、ワード線WLが選択状態の電位 V_2 に駆動され、メモリセルMCが選択される。時刻 T_2 から時刻 T_4 にかけて図2と同様の動作を経て、ビット線BLの電位とセンスノードNSの電位がそれぞれグラウンド電位に達する。時刻 T_4 から時刻 T_5 にかけて読み出し制御信号REがハイ（電位 V_2 ）に制御されるが、このときのトランジスタQ2はオフの状態にあるので、グローバルビット線GBLが電位 V_4 を保ち続ける。この状態でグローバルビット線センス回路20によるセンスラッチが行われ、これによりハイ情報の読み出しが完了する。

【0034】

一方、ロー情報の読み出し動作においては、メモリセルMCが選択されるまでの動作については、ハイ情報の読み出し動作の場合と同様に行われる。次いで、時刻 T_{14} から時刻 T_{15} までの期間には、第1実施形態の図2を参照して説明したようにセンスノードNSが電位 V_2 を保ち続けているので、読み出し制御信号REがハイに制御されたとき、トランジスタQ2、Q5がともにオンの状態になる。その結果、グローバルビット線GBLからトランジスタQ5、Q2を経由してグラウンドに電荷が引き抜かれるので、グローバルビット線GBLの電位が電位 V_4 からグラウンド電位まで低下していく。この状態でグローバルビット線センス回路20によるセンスラッチが行われ、これによりロー情報の読み出しが完了する。

【0035】

次に、図4に示す電流値変化型メモリセルMCについて具体的に説明する。図6には、本発明に適用可能な電流値変化型メモリセルMCのバリエーションを列挙している。図6(a)に示すメモリセルMCaは、ゲート端子がワード線WLに接続されドレイン端子がビット線BLに接続されたMOS型の選択トランジスタと、一方の端子がグラウンドに接続され他方の端子が選択トランジスタのソース端子に接続された抵抗素子とからなる。このメモリセルMCaは、抵抗素子の抵抗値に依存するオン電流 I_c の大小に応じて情報を記憶する。

【0036】

図6(b)に示すメモリセルMCbは、ゲート端子がワード線WLに接続され、アノードがビット線BLに接続され、カソードがグラウンドに接続されたゲートッドサイリスタからなる。メモリセルMCbのゲートッドサイリスタは、フローティングボディ構造を有しており、そのフローティングボディに蓄積された電荷の量に対応して閾値が変化し、閾値の変化に依存するオン電流 I_c の大小に応じて情報を記憶する。

【0037】

図6(c)に示すメモリセルMCcは、ゲート端子がワード線WLに接続され、ソース端子がグラウンドに接続され、ドレイン端子がビット線BLに接続されたMOSトランジスタからなる。メモリセルMCcのMOSトランジスタは、フローティングボディ構造を有しており、そのフローティングボディに蓄積された電荷の量により閾値が変化し、閾値の

変化に依存するオン電流 I_c の大小に応じて情報を記憶する。

【0038】

図6(d)に示すメモリセルMCdは、ゲート端子がワード線WLに接続され、ソース端子がグランドに接続され、ドレイン端子がビット線BLに接続されたMOSトランジスタからなる。メモリセルMCdのMOSトランジスタは、ゲート酸化膜中に電荷蓄積領域を有しており、その電荷蓄積領域に蓄積された電荷の量により閾値が変化し、閾値の変化に依存するオン電流 I_c の大小に応じて情報を記憶する。

【0039】

図6(e)に示すメモリセルMCEは、ゲート端子がワード線WLに接続され、ソース端子がグランドに接続され、ドレイン端子がビット線BLに接続されたMOSトランジスタからなる。メモリセルMCEのMOSトランジスタは、ゲート酸化膜が強誘電体膜となり、その強誘電体膜の分極の方向により閾値が変化し、閾値の変化に依存するオン電流 I_c の大小に応じて情報を記憶する。

【0040】

次に、図4のトランジスタQ1に対して供給すべき電位V1を発生するV1発生回路（第1の電位発生回路）について説明する。図7は、V1発生回路30の回路構成例を示す図である。例えば、このV1発生回路30は、図3の電位制御回路18aに付随して設けられ（または、図3の電位制御回路18aに含まれ）、トランジスタQ1の閾値電圧 V_{t1} の変動が補償された電位V1を発生するフィードバック型電圧発生回路である。図7に示すように、V1発生回路30は、レプリカトランジスタQ1rと、定電流源31と、2つのオペアンプ32、33とを含んで構成されている。また、一对の定電圧電源として正電圧VDL及び負電圧VELが用いられ、正電圧VDLがレプリカトランジスタQ1rとオペアンプ32、33に供給され、負電圧VELが定電流源31の一端とオペアンプ32、33に供給される。

【0041】

図7において、レプリカトランジスタQ1rは、センスアンプSAに含まれるトランジスタQ1のレプリカとなるMOSトランジスタであり、トランジスタQ1とほぼ同形状かつ同サイズとなるように形成され、トランジスタQ1の閾値電圧 V_{t1} の変動や温度依存性をモニタする役割がある。レプリカトランジスタQ1rのソース端子と負電圧VELとの間には、閾値電圧 V_{t1} に対応する一定の電流 I_{b1} を流す定電流源31が接続されている。オペアンプ32には、マイナス側入力端子にレプリカトランジスタQ1rのソース電圧が抵抗を介して入力され、プラス側入力端子に電位Vxが入力される。オペアンプ32の出力電圧は抵抗を介してレプリカトランジスタQ1rのゲート端子に入力される。これにより、オペアンプ32の出力電圧は、レプリカトランジスタQ1rに電流 I_{b1} が流れる状態で、その閾値電圧 V_{t1} に電位Vxを加えた値に一致するようにフィードバック制御される。一方、オペアンプ32の出力電圧を受ける後段のオペアンプ33は、電流駆動能力を強化するためのボルテージフォロアを構成し、 $V_x + V_{t1}$ に一致する電位V1を出力する。

【0042】

オペアンプ32のプラス側入力端子に入力される電位Vxは、図5に示す所定電位 $V_1 - V_{t1}$ の電位分布D1における中央近辺の電圧値に設定することが望ましい。例えば、 $V_x = V_3 / 2$ に設定することができる。このように設定することで、トランジスタQ1の閾値電圧 V_{t1} がプロセス変動や温度に依存して変動したときに電位Vxが一定に保持されると、所定電位 $V_1 - V_{t1}$ は常に一定となる。ここで、所定電位 $V_1 - V_{t1}$ の電位分布D1はトランジスタQ1の閾値電圧 V_t のチップ内のランダムなばらつき範囲で決まるため、このばらつき範囲を上述の設定によって狭くすることができ、これによりセンスアンプSAの動作マージンが向上する効果を得ることができる。

【0043】

なお、図7では、1個のレプリカトランジスタQ1rが接続される構成を示したが、これに限られず、複数のレプリカトランジスタQ1rを並列接続して、図7のV1発生回路

10

20

30

40

50

30を構成してもよい。複数のレプリカトランジスタ $Q1r$ を用いてMOSトランジスタ $Q1$ の閾値電圧 V_{t1} をモニタすることにより、センスアンプ SA 内で用いられているトランジスタ $Q1$ の閾値電圧 V_t の平均値との差を極力小さくすることができる。

【0044】

図8は、図7の $V1$ 発生回路30により出力される電位 $V1$ のプロセス・温度依存性の一例を示すグラフである。図8では、製造プロセスのばらつきに対応して、標準的な動作特性 $Sa(typ)$ と、高速な動作特性 $Sa(fast)$ と、低速な動作特性 $Sa(slow)$ の3通りを比較し、それぞれについて温度と電位 $V1$ の変動量の関係をグラフにして示している。図8においては、図7の定電流源31の電流 I_{b1} が、 $10nA$ に設定される場合の例を示している。すなわち、センスアンプ SA のセンス動作時に、トランジスタ $Q1$ を流れる電流は比較的小さい値になることから、これに合わせて電流 I_{b1} を比較的小さな値に設定することが好ましいためである。以上のように、図7の構成の $V1$ 発生回路30を採用することにより、トランジスタ $Q1$ の閾値電圧のプロセス変動及び温度依存性が補償された電位 $V1$ を発生し、トランジスタ $Q1$ の動作の安定化が可能となる。

【0045】

[第2実施形態]

第2実施形態は、第1実施形態と同様、ビット線構成が階層化されたメモリセルアレイを有する半導体装置に対して本発明を適用したものであるが、第1実施形態とはセンスアンプ SA の電位制御が変更されている。なお、第1実施形態の半導体装置の全体構成(図3)については、第2実施形態においても同様であるので説明を省略する。図9は、第2実施形態の半導体装置のうち、センスアンプ SA 及びメモリセル MC を含む範囲の構成例を示す図である。図9の半導体装置において、第1実施形態の図4と異なる点は、トランジスタ $Q1$ のゲート端子に、電位 $V1$ に代えて転送制御電圧 CT が印加されていることである。この転送制御電圧 CT は、後述するように、電位制御回路18aによって電位 $V1$ とグラウンド電位のいずれかに制御される。それ以外の構成については、図4と同様であるため、その説明を省略する。

【0046】

図10は、第2実施形態の半導体装置の読み出し動作時の動作波形を示している。図10の左側には、ハイ情報を保持するメモリセル MC を読み出す場合の動作波形を示し、図10の右側には、ロー情報を保持するメモリセル MC を読み出す場合の動作波形を示す。なお、メモリセル MC の電流値 I_c に対応する $I_c(H)min$ (左側)及び $I_c(L)max$ (右側)の意味と、所定電位 $V1-V_{t1}$ の電位分布 $D1$ の意味と、それぞれの時刻 $T1\sim T5$ 、 $T11\sim T15$ の表記については、図2の場合と同様である。図10に示される動作波形の多くは第1実施形態の図5の動作波形と共通するので、以下では主に異なる点について説明する。

【0047】

ハイ情報の読み出し動作において、時刻 $T1$ に先立つプリチャージ期間には、転送制御電圧 CT が電位 $V1$ に制御される。従って、この時点では図5と同じ状態であり、これ以降は時刻 $T4$ に至るまで転送制御電圧 CT は電位 $V1$ に保たれる。そして、時刻 $T4$ には、転送制御電圧 CT が電位 $V1$ からグラウンド電位に制御されるので、これによりトランジスタ $Q1$ がオフする。従って、これ以降はセンスノード NS の電位が変化しなくなり、メモリセル MC のハイ情報に対応するセンス動作が行われ、これによりハイ情報の読み出しが完了する。また、ロー情報の読み出し動作においては、転送制御電圧 CT に対する制御はハイ情報の読み出し動作と共通であり、それ以外の制御は第1実施形態の図5と同様に行われる。すなわち、転送制御電圧 CT が電位 $V1$ からグラウンド電位に制御される時刻 $T14$ 以降は、メモリセル MC のロー情報に対応するセンス動作が行われ、これによりロー情報の読み出しが完了する。

【0048】

以上のように、第1実施形態の読み出し動作の場合は、読み出し制御信号 RE をハイに保つ期間を時刻 $T5$ までに制限しているのに対し(図5)、第2実施形態の読み出し動作

の場合は、読み出し制御信号 R E をハイに保つ期間を時刻 T 5 までに制限する必要がなくなる。そのため、読み出し制御時のマージンの向上が可能である。

【0049】

なお、第2実施形態において、図6に示す電流値変化型メモリセルMCのバリエーションと、図7及び図8に示すV1発生回路30の回路構成及び電位V1のプロセス・温度依存性については、第1実施形態の場合と同様に適用可能である。

【0050】

更に、第2実施形態において、センスノードNSの寄生容量Csを、固有の容量素子としてもよい。これによって、転送制御電圧CTの電位V1からグランド電位方向への遷移に関連するトランジスタQ1のゲートとソース間のカップリングノイズによるセンスノードNSの電位低下を抑制することができる。更に、異なる対策として、または固有の容量素子に加えて、転送制御電圧CTのスルーレートを制御してもよい。

【0051】

[第3実施形態]

第3実施形態は、第1実施形態と同様、ビット線構成が階層化されたメモリセルアレイを有する半導体装置に対して本発明を適用したものであるが、第1実施形態とは一部の構成が変更されている。なお、第1実施形態の半導体装置の全体構成(図3)については、第3実施形態においても同様であるので説明を省略する。図11は、第3実施形態の半導体装置のうち、センスアンプSA及びメモリセルMCを含む範囲の構成例を示す図である。図11の半導体装置において、第1実施形態の図4と異なる点は、センスアンプSAにNMOS型のトランジスタQ7を追加した点と、グローバルビット線センス回路20をグローバルビット線センス・書き込み回路21で置き換えた点である。

【0052】

書き込み制御用のトランジスタQ7は、ゲート端子に書き込み制御信号WEが印加され、ソース端子がビット線BLに接続され、ドレイン端子がグローバルビット線GBLに接続されている。書き込み制御信号REがハイに制御されると、トランジスタQ7を介してグローバルビット線GBLとビット線BLが直結される。また、グローバルビット線センス・書き込み回路21は、読み出し動作時にビット線BLからグローバルビット線GBLに伝送される信号をセンスラッチするとともに、書き込み動作時にグローバルビット線GBLからトランジスタQ7及びビット線BLを経由してメモリセルMCに情報を書き込むための回路である。なお、それ以外の構成については図4と同様であり、読み出し動作時の動作波形については図5と同様であるので、それらの説明を省略する。

【0053】

なお、第3実施形態において、図6に示す電流値変化型メモリセルMCのバリエーションと、図7及び図8に示すV1発生回路30の回路構成及び電位V1のプロセス・温度依存性については、第1及び第2実施形態の場合と同様に適用可能である。

【0054】

[情報処理システム]

次に、半導体装置を含む情報処理システムに対して本発明を適用する場合を説明する。図12は、上記各実施形態において開示された構成を備える半導体装置100と、この半導体装置100の動作を制御するコントローラ200とを含む情報処理システムの構成例を示している。

【0055】

半導体装置100は、メモリセルアレイ部101と、バックエンド・インターフェース部102と、フロントエンド・インターフェース部103とを備えている。メモリセルアレイ部101には、本実施形態の電流値変化型メモリセルアレイMCからなるメモリセルアレイ10が配置されている。バックエンド・インターフェース部102には、メモリセルアレイ10の周辺の回路群が含まれる。フロントエンド・インターフェース部103は、コマンドバス及びI/Oバスを経由して、コントローラ200との間で通信を行うための機能を有する。なお、図12では、1個の半導体装置100のみを示しているが、複数

の半導体装置 100 を設けてもよい。

【0056】

コントローラ 200 は、コマンド発行回路 201 と、データ処理回路 202 とを備え、システム全体の動作及び半導体装置 100 の動作を制御する。コントローラ 200 は、システム内のコマンドバス及び I/O バスに接続されることに加え、システム外部とのインターフェースをも備えている。コマンド発行回路 201 は、コマンドバスを經由して半導体装置 100 に対してコマンドを送信する。データ処理回路 202 は、I/O バスを經由して半導体装置 100 との間でデータを送受信し、制御に必要な処理を実行する。なお、本実施形態の半導体装置 100 が、図 12 のコントローラ 200 自体に含まれる構成であってもよい。

10

【0057】

図 12 の情報処理システムは、例えば、電子機器に搭載されるシステムであり、パーソナルコンピュータ、通信電子機器、自動車等の移動体の電子機器、その他産業で使用される電子機器、民生で使用される電子機器に搭載することができる。

【0058】

以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能である。本実施形態におけるセンスアンプ SA やその他の各種回路については、本実施形態に開示された回路形式に限られることなく、多様な回路形式を採用することができる。

【0059】

20

本発明は、上記各実施形態で開示した半導体装置に限られることなく、多様な半導体装置に適用することができる。本発明は、例えば、CPU (Central Processing Unit)、MCU (Micro Control Unit)、DSP (Digital Signal Processor)、ASIC (Application Specific Integrated Circuit)、ASSP (Application Specific Standard Product) 等の半導体装置全般に対して適用可能である。また、本発明を適用可能な半導体装置の製品形態としては、例えば、SOC (System on Chip)、MCP (Multi Chip Package)、POP (Package on Package) など、多様なパッケージ形態を有する半導体装置を挙げることができる。

【0060】

30

本発明のトランジスタとしては、電界効果トランジスタ (Field Effect Transistor: FET) であればよく、MOS (Metal Oxide Semiconductor) 以外にも MIS (Metal-Insulator Semiconductor)、TFT (Thin Film Transistor) 等の様々な FET に適用できる。また、装置内に一部のバイポーラ型トランジスタを有してもよい。さらに、トランジスタ (Pチャネル型 MOS トランジスタ) は、第 2 導電型のトランジスタ、トランジスタ (Nチャネル型 MOS トランジスタ) は、第 1 導電型のトランジスタの代表例である。なお、本発明の技術思想及び各実施形態で開示された第 1 導電型のトランジスタ (NMOS トランジスタ) を第 2 導電型のトランジスタ (PMOS トランジスタ) で置き換える場合は、電位関係の上下が逆になることに留意する必要がある。

【0061】

40

本発明の適用対象には、種々の開示要素の多様な組み合わせ又は選択が可能である。すなわち、本発明は、請求の範囲を含む全開示、技術的思想に従って当業者であればなし得るであろう各種変形、修正を含むことは言うまでもない。

【0062】

以下、本発明に関して開示した内容の一部を付記として記載する。

【0063】

[付記 1]

半導体装置と、

前記半導体装置とバスを介して接続され、前記半導体装置に記憶される情報を処理しつつ、システム全体の動作及び前記半導体装置の動作を制御するコントローラと、

を含んで構成される情報処理システムであって、

50

前記半導体装置は、

電流値の大小に応じて情報を記憶するメモリセルと、

前記メモリセルに接続され、前記メモリセルの情報を伝送するビット線と、

ゲート端子に転送制御電圧が印加され、一方のソース・ドレイン端子が前記ビット線に接続され、他方のソース・ドレイン端子がセンスノードに接続される第1のトランジスタと、

ゲート端子が前記センスノードに接続され、ドレイン端子が出力ノードに接続され、ソース端子がグランド電位に接続され、前記ビット線から前記第1のトランジスタを介して前記センスノードに伝送される信号を増幅する第2のトランジスタと、

プリチャージ制御信号に応じて、第2の電位を前記センスノードに供給するセンスノード電位供給回路と、

前記プリチャージ制御信号に応じて、第3の電位を前記ビット線に供給するビット線電位供給回路と、

少なくとも、第1の電位、前記第2の電位、前記第3の電位のそれぞれの電圧値を制御する電位制御回路と、

を備え、

前記電位制御回路は、

前記転送制御電圧を、少なくとも前記第1の電位に制御し、

前記第2の電位が前記第3の電位よりも絶対値が高くなるように制御し、

前記第1の電位から前記第1のトランジスタの閾値電圧を引いた所定電位が、前記第3の電位よりも絶対値が低く、かつ前記グランド電位よりも絶対値が高くなるように制御する、

ことを特徴とする情報処理システム。

【0064】

[付記2]

前記メモリセルは、電界効果トランジスタ型の選択トランジスタと抵抗素子とからなり、前記抵抗素子の抵抗値に依存する前記電流値の大小に応じて前記情報を記憶する、ことを特徴とする付記1に記載の情報処理システム。

【0065】

[付記3]

前記メモリセルは、フローティングボディ構造を有するゲートッドサイリスタからなり、前記ゲートッドサイリスタのフローティングボディに蓄積された電荷の量により閾値が変化し、当該閾値に変化に依存する前記電流値の大小に応じて前記情報を記憶する、ことを特徴とする付記1に記載の情報処理システム。

【0066】

[付記4]

前記メモリセルは、フローティングボディ構造を有する電界効果トランジスタからなり、前記電界効果トランジスタのフローティングボディに蓄積された電荷の量により閾値が変化し、当該閾値に変化に依存する前記電流値の大小に応じて前記情報を記憶する、ことを特徴とする付記1に記載の情報処理システム。

【0067】

[付記5]

前記メモリセルは、ゲート酸化膜中に電荷蓄積領域を有する電界効果トランジスタからなり、前記電界効果トランジスタの前記電荷蓄積領域に蓄積された電荷の量により閾値が変化し、当該閾値に変化に依存する前記電流値の大小に応じて前記情報を記憶する、ことを特徴とする付記1に記載の情報処理システム。

【0068】

[付記6]

前記メモリセルは、ゲート酸化膜が強誘電体膜からなる電界効果トランジスタからなり、前記電界効果トランジスタの前記強誘電体膜の分極の方向により閾値が変化し、当該閾

10

20

30

40

50

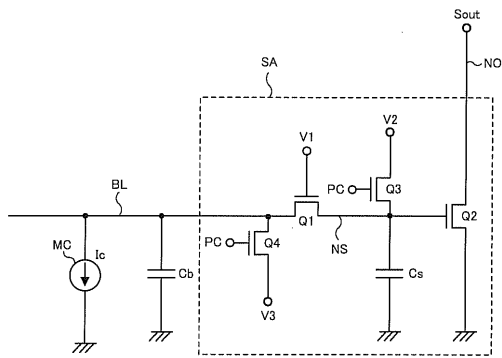
値に変化に依存する前記電流値の大小に応じて前記情報を記憶する、ことを特徴とする付記 1 に記載の情報処理システム。

【符号の説明】

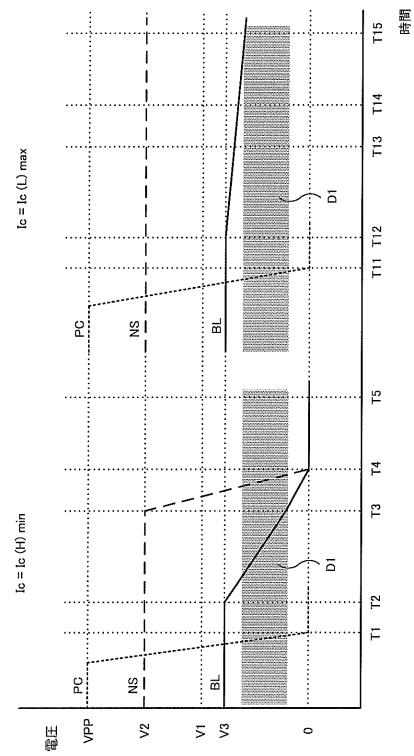
【 0 0 6 9 】

1 0 …メモリセルアレイ	
1 1 …ロウ系回路	
1 2 …カラム系回路	
1 3 …ロウアドレスバッファ	
1 4 …カラムアドレスバッファ	
1 5 …入出力制御回路	10
1 6 …データバッファ	
1 7 …コマンドデコーダ	
1 8 …制御回路	
1 8 a …電位制御回路	
1 9 …モードレジスタ	
2 0 …グローバルビット線センス回路	
2 1 …グローバルビット線センス・書き込み回路	
3 0 …V 1 発生回路	
3 1 …定電流源	
3 2、3 3 …オペアンプ	20
B L …ビット線	
G B L …グローバルビット線	
M C …メモリセル	
N S …センスノード	
N O …出力ノード	
Q 1、Q 2、Q 3、Q 4、Q 5、Q 6、Q 7 …トランジスタ	
S A …センスアンプ	
W L …ワード線	

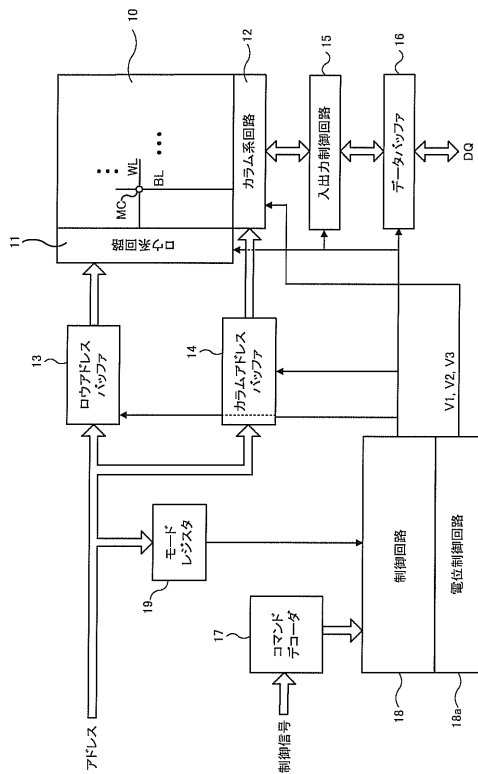
【図 1】



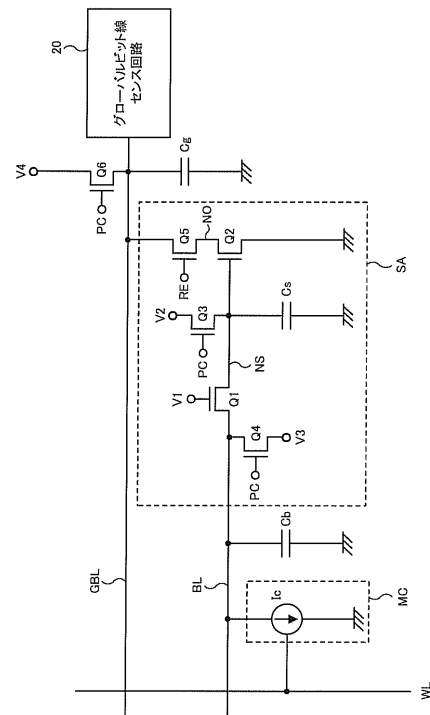
【図 2】



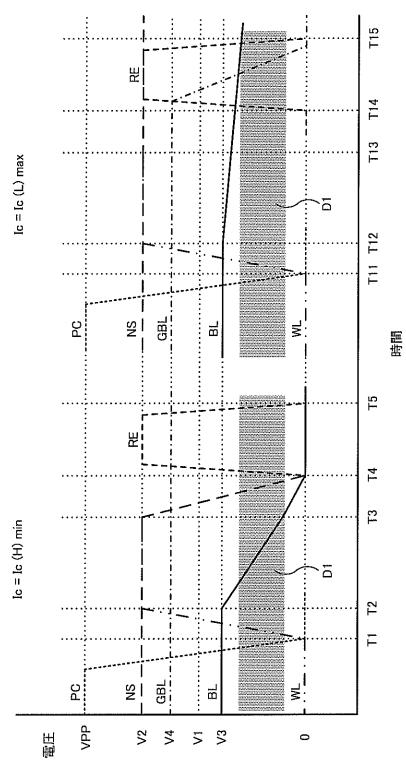
【図 3】



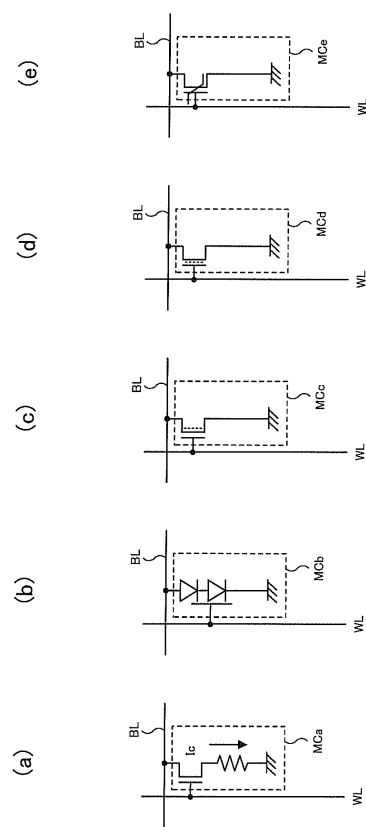
【図 4】



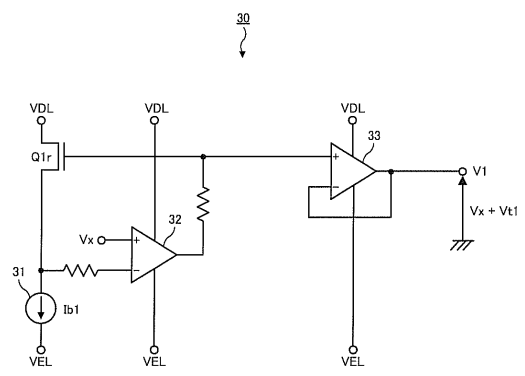
【図 5】



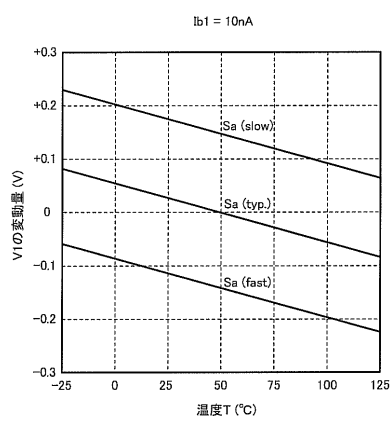
【図 6】



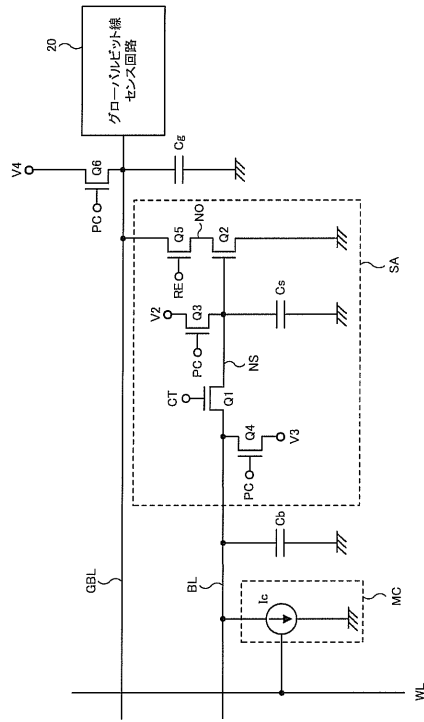
【図 7】



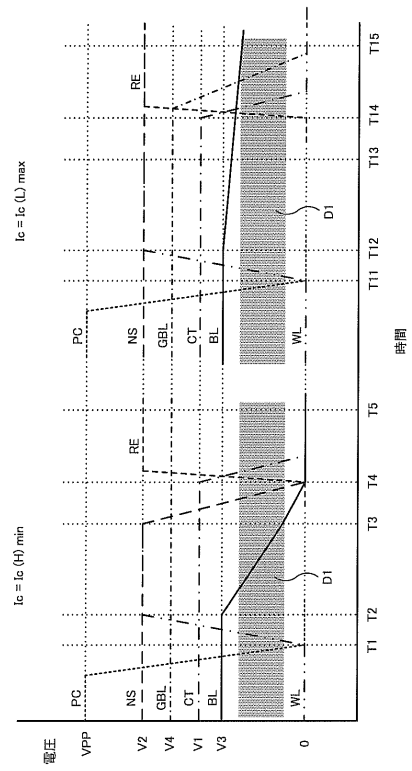
【図 8】



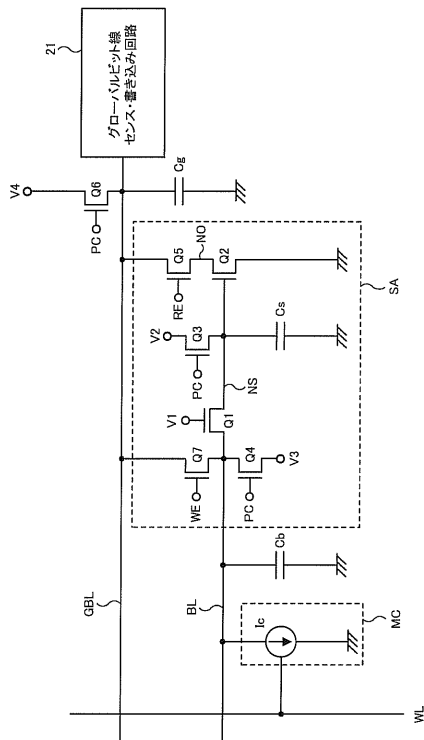
【図 9】



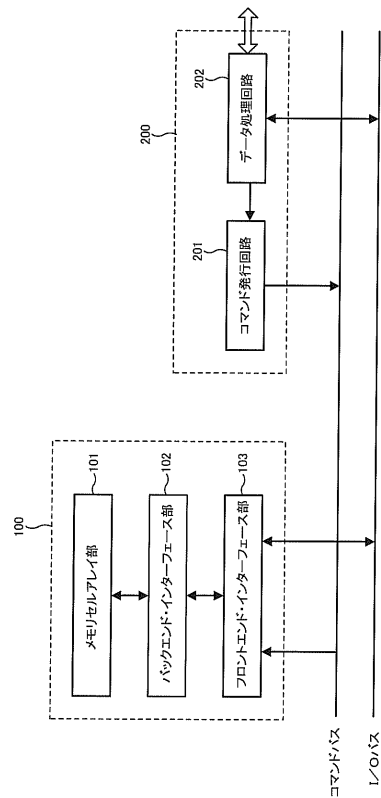
【図 10】



【図 11】



【図 12】



フロントページの続き

(51)Int.Cl.		F I		テーマコード (参考)
G 1 1 C	16/06			
	(2006.01)	G 1 1 C	11/22	5 0 1 H
		G 1 1 C	11/22	5 0 1 J
		G 1 1 C	17/00	6 3 4 C