

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2016年6月30日(30.06.2016)



(10) 国際公開番号

WO 2016/104071 A1

- (51) 国際特許分類:  
H05B 37/02 (2006.01)
- (21) 国際出願番号: PCT/JP2015/083760
- (22) 国際出願日: 2015年12月1日(01.12.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2014-265408 2014年12月26日(26.12.2014) JP
- (71) 出願人: 矢崎総業株式会社(YAZAKI CORPORATION) [JP/JP]; 〒1088333 東京都港区三田1丁目4番28号 Tokyo (JP). トヨタ自動車株式会社(TOYOTA JIDOSHA KABUSHIKI KAISHA) [JP/JP]; 〒4718571 愛知県豊田市トヨタ町1番地 Aichi (JP).
- (72) 発明者: 重實 泰行(SHIGEZANE, Yasuyuki); 〒4101194 静岡県裾野市御宿1500 矢崎総業株式会社内 Shizuoka (JP). 佐竹 周二(SATAKE, Shuuiji); 〒4101194 静岡県裾野市御宿1500 矢崎総業株式会社内 Shizuoka (JP). 山下 剛(YAMASHITA, Takeshi); 〒4210407 静岡県牧之原市布引原206-1 矢崎部品株式会社内 Shizuoka (JP). 前田 光章(MAEDA, Mitsuaki); 〒

4210407 静岡県牧之原市布引原206-1 矢崎部品株式会社内 Shizuoka (JP). 杉本 晃三(SUGIMOTO, Terumitsu); 〒4210407 静岡県牧之原市布引原206-1 矢崎部品株式会社内 Shizuoka (JP). 大庭 康嗣(OHBA, Yasushi); 〒4210407 静岡県牧之原市布引原206-1 矢崎部品株式会社内 Shizuoka (JP). 今枝 伸良(IMAEDA, Nobuyoshi); 〒4488666 愛知県刈谷市一里山町金山100番地 トヨタ車体株式会社内 Aichi (JP). 須野原 誠(SUNOHARA, Makoto); 〒4488666 愛知県刈谷市一里山町金山100番地 トヨタ車体株式会社内 Aichi (JP). 加藤 寿則(KATO, Hisanori); 〒4488666 愛知県刈谷市一里山町金山100番地 トヨタ車体株式会社内 Aichi (JP). 笠井 正広(KASAI, Masahiro); 〒4718571 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内 Aichi (JP).

(74) 代理人: 瀧野 秀雄, 外(TAKINO, Hideo et al.); 〒1500013 東京都渋谷区恵比寿2丁目36番13号 広尾SKビル4F Tokyo (JP).

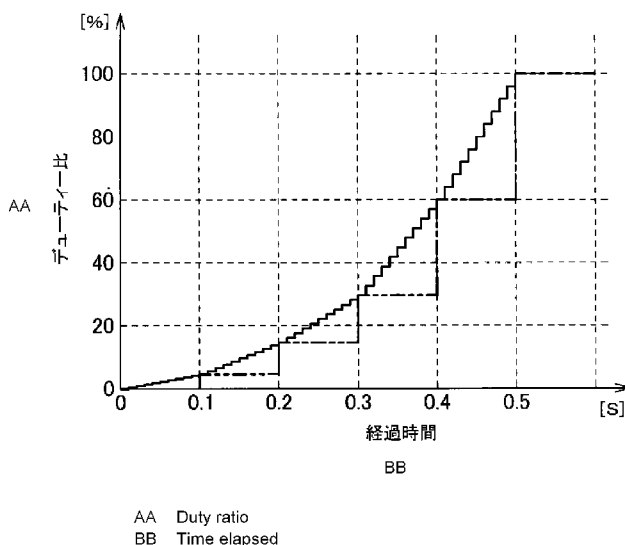
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,

[続葉有]

(54) Title: BRIGHTNESS CONTROL DEVICE AND BRIGHTNESS CONTROL METHOD

(54) 発明の名称: 輝度制御装置及び輝度制御方法

[図4]



(57) Abstract: Provided are a brightness control device and a brightness control method allowing the brightness of a light-emitting element to be controlled in such a manner that a user does not feel discomfort readily, while restricting the amount of information to be stored. A CPU (21) subtracts reference duty ratio ( $D_n$ ) from reference duty ratio ( $D_n + 1$ ), divides the resulting value by an interpolation division number ( $N_d$ ) to calculate an interpolation variation width ( $D_n'$ ), and continues to accumulate the interpolation variation width ( $D_n'$ ) on a reference duty ratio each time an interpolation interval ( $\Delta T$ ) elapses, thereby reducing the brightness variation width of LED (4). This allows a user to not feel discomfort readily, and can restrict the amount of information to be memorized.

(57) 要約: 記憶する情報量を抑制しつつ、利用者に違和感を与えにくいように発光素子の輝度を制御することができる輝度制御装置及び輝度制御方法を提供する。CPU (21) が、基準デューティ比 ( $D_n + 1$ ) から基準デューティ比 ( $D_n$ ) を減じた値を補間分割数 ( $N_d$ ) で除して補間変化幅 ( $D_n'$ ) を算出し、補間期間 ( $\Delta T$ ) が経過する毎に基準デューティ比に補間変化幅 ( $D_n'$ ) を積算していくことにより、LED (4) の輝度の変化幅を小さくして

利用者に違和感を与えにくくするとともに、記憶する情報量を抑制することができる。



IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

ロシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

## 明 細 書

発明の名称：輝度制御装置及び輝度制御方法

### 技術分野

[0001] 本発明は、発光部材の輝度を制御する輝度制御装置及び輝度制御方法に関する。

### 背景技術

[0002] 一般に、ＬＥＤ素子や有機ＥＬ素子等の発光素子は、フェードイン処理又はフェードアウト処理によって徐々に輝度が増減するように制御されることがある。パルス幅変調制御によって発光素子の輝度を制御する場合、発光素子を駆動するパルス電流又はパルス電圧のデューティ比を輝度遷移期間内における複数の単位期間のそれぞれで変化させる。このとき、隣り合う単位期間における基準デューティ比の差分（変化幅）が大きいと、輝度の不連続な変化が利用者に視認されやすくなり、違和感を与えてしまう可能性がある。一方、基準デューティ比の変化幅を小さくしようとすると、輝度遷移期間を多くの単位期間に分割する必要があるとともに、単位期間毎に基準デューティ比を記憶しなければならず、記憶する情報量が大きくなってしまふ。

[0003] そこで、隣り合う単位期間における基準デューティ比の差分である所定輝度変化幅よりも微細な単位輝度変化幅を、単位期間よりも短い期間が経過する毎に基準デューティ比に積算していく輝度制御装置が開示されている（例えば、特許文献１参照）。このような輝度制御装置では、発光素子の輝度の変化幅を小さくすることにより、利用者に与える違和感の軽減を図っている。また、それぞれの単位期間における基準デューティ比と単位輝度変化幅とを記憶すればよく、情報量の増大を抑制している。

### 先行技術文献

#### 特許文献

[0004] 特許文献１：特開２００３－２５７６９４号公報

### 発明の概要

## 発明が解決しようとする課題

[0005]   ところで、発光素子の輝度が段階的に変化する際、輝度の変化率が大きいほど利用者に違和感を与えやすくなる。従って、輝度の変化率を一定にする、即ち、低輝度の単位期間同士の間において、高輝度の単位期間同士の間よりも基準デューティ比の差分を小さく設定することが好ましい。しかしながら、特許文献 1 に記載の輝度制御装置では、所定輝度変化幅および単位輝度変化幅が一定であり、低輝度の単位期間において高輝度の単位期間よりも輝度の変化率が大きくなってしまい、違和感を十分に抑制できないことがある。そこで、低輝度の単位期間における輝度の変化幅を小さくするために、低輝度の単位期間ほど単位輝度変化幅を小さくしようとすると、それぞれの単位期間において単位輝度変化幅を個別に設定して記憶しなければならず、情報量が大きくなってしまう。

[0006]   本発明の目的は、記憶する情報量を抑制しつつ、利用者に違和感を与えにくいように発光素子の輝度を制御することができる輝度制御装置及び輝度制御方法を提供することにある。

## 課題を解決するための手段

[0007]   前記課題を解決し目的を達成するために、請求項 1 に記載された発明は、発光部材を駆動するパルス電流又はパルス電圧のデューティ比を、輝度遷移期間を等分割した複数の単位期間のそれぞれで変化させることで該発光部材の輝度を制御する輝度制御装置であって、前記複数の単位期間のそれぞれにおける基準デューティ比を記憶するデューティ比記憶手段と、補間分割数を記憶する分割数記憶手段と、前記複数の単位期間のうち一の単位期間における前記基準デューティ比をその次の単位期間における前記基準デューティ比から減じた値を前記補間分割数で除して当該一の単位期間における補間変化幅を算出する算出手段と、前記複数の単位期間のそれぞれにおいて、前記単位期間を前記補間分割数でさらに等分割した補間期間が経過する毎に当該単位期間の前記基準デューティ比に前記補間変化幅を積算していく積算手段と、前記積算手段によって求めたデューティ比で前記発光部材を発光させる制

御手段と、を備えることを特徴とする輝度制御装置である。

[0008] 請求項 2 に記載された発明は、請求項 1 に記載の発明において、前記複数の単位期間のそれぞれにおける前記基準デューティ比が、段階的に増加又は減少していくように設定されていることを特徴とするものである。

[0009] 請求項 3 に記載された発明は、請求項 2 に記載の発明において、前記複数の単位期間のうち一の単位期間における前記基準デューティ比とその次の単位期間における前記基準デューティ比との差分が、当該一の単位期間の前記基準デューティ比が小さいほど小さくなるように設定されていることを特徴とするものである。

[0010] 請求項 4 に記載された発明は、請求項 1 ～ 3 のいずれか 1 項に記載の発明において、前記発光部材が、互いに異なる発光色を有する複数の発光素子を備え、前記デューティ比記憶手段が、前記発光色毎に前記基準デューティ比を記憶し、前記算出手段が、前記発光色毎に前記補間変化幅を算出し、前記積算手段が、前記発光色毎に前記基準デューティ比に前記補間変化幅を積算し、前記制御手段が、前記積算手段によって求めた前記発光色毎のデューティ比で前記発光素子を発光させることを特徴とするものである。

[0011] 請求項 5 に記載された発明は、発光部材を駆動するパルス電流又はパルス電圧のデューティ比を、輝度遷移期間を等分割した複数の単位期間のそれぞれで変化させることで該発光部材の輝度を制御する輝度制御方法であって、前記複数の単位期間のそれぞれにおける基準デューティ比と、補間分割数と、を記憶し、前記複数の単位期間のうち一の単位期間における基準デューティ比をその次の単位期間における基準デューティ比から減じた値を前記補間分割数で除して当該一の単位期間における補間変化幅を算出し、前記複数の単位期間のそれぞれにおいて、前記単位期間を前記補間分割数でさらに分割した補間期間が経過する毎に当該単位期間の前記基準デューティ比に前記補間変化幅を積算していくとともに、このデューティ比で前記発光部材を発光させることを特徴とする輝度制御方法である。

**発明の効果**

- [0012] 請求項 1 に記載された発明によれば、複数の単位期間のそれぞれにおいて補間期間が経過する毎に基準デューティ比に補間変化幅を積算していくことから、発光部材の輝度の変化幅を小さくして利用者に違和感を与えにくくすることができる。また、補間変化幅が、一の単位期間における基準デューティ比を次の単位期間における基準デューティ比から減じた値を補間分割数で除して算出されることから、補間変化幅を算出するために補間段階数と各単位期間における基準デューティ比とを記憶すればよく、記憶する情報量を抑制することができる。このとき、隣り合う単位期間における基準デューティ比の差分が一定でなくても補間変化幅を算出することができ、各単位期間の基準デューティ比を適宜に設定することにより、各単位期間における補間変化幅を適宜な値にすることができる。例えば、低輝度の単位期間においてその次の単位期間とのデューティ比の差分を小さくすれば、低輝度の単位期間における補間変化幅を小さくすることができ、利用者に違和感をさらに与えにくくすることができる。尚、ここでいう「差分」とは、絶対値を意味する。
- [0013] 請求項 2 に記載された発明によれば、複数の単位期間のそれぞれにおける基準デューティ比が段階的に増加又は減少していくことから、発光部材の輝度を段階的に増加又は減少させ、例えばフェードイン処理やフェードアウト処理を実行することができる。
- [0014] 請求項 3 に記載された発明によれば、一の単位期間における基準デューティ比とその次の単位期間における基準デューティ比との差分が、一の単位期間の基準デューティ比が小さいほど小さくなることから、低輝度の単位期間ほど補間変化幅を小さくして発光部材の輝度の変化幅を小さくすることができ、利用者に違和感をさらに与えにくくすることができる。
- [0015] 請求項 4 に記載された発明によれば、発光部材が互いに異なる発光色を有する複数の発光素子で構成されるとともに、各発光素子が積算手段によって求めた発光色毎のデューティ比で発光させられることから、各発光色の発光素子の輝度のバランスを適宜に調節して発光部材を適宜な発光色で発光させ

るとともに、利用者に違和感を与えにくいよう輝度を変化させることができる。

[0016] 請求項 5 に記載された発明によれば、一の単位期間における基準デューティ比を次の単位期間における基準デューティ比から減じた値を補間段階数で除して補間変化幅を算出するとともに、各単位期間において基準デューティ比に補間変化幅を積算していき発光部材の輝度を変化させることから、前述のように記憶する情報量を抑制しつつ、利用者に違和感を与えにくいように発光素子の輝度を変化させることができる。

### 図面の簡単な説明

[0017] [図1]本発明の実施形態に係る輝度制御装置を示す構成図である。

[図2]図 1 の輝度制御装置が備えるマイクロコンピュータのCPUによって実行されるフェードイン処理の一例を示すフローチャートである。

[図3]図 2 のフェードイン処理中にCPUによって実行される補間処理の一例を示すフローチャートである。

[図4]図 2 のフェードイン処理におけるデューティ比の経時変化を示すグラフである。

[図5]図 4 のグラフの要部を拡大して示すグラフである。

### 発明を実施するための形態

[0018] 以下、本発明の各実施形態を図面に基づいて説明する。本実施形態の輝度制御装置 1 は、図 1 に示すように、マイクロコンピュータ 2（以下、 $\mu$ COM 2 とする）と、 $\mu$ COM 2 から信号を受信して発光部材としてのLED 4 を点灯させる制御手段としてのLEDドライバ 3 と、を備え、例えば図示しない車両に搭載され、LED 4 の点灯や消灯、点灯時の輝度を制御する。

[0019]  $\mu$ COM 2 は、プログラムに従って各種の処理を行う中央処理ユニット 2 1（以下、CPU 2 1 とする）と、CPU 2 1 が実行する処理のプログラムなどを格納した読み出し専用のメモリであるROM 2 2 と、CPU 2 1 での各種の処理過程で利用するワークエリア及び各種データを格納するデータ格納エリアなどを有する読み出し書き込み自在のメモリであるRAM 2 3 と、

を備える。また、CPU 21には、入力手段5が接続されている。

[0020] ROM 22は、表1に示すフェードイン処理用のフェードテーブル、及び、フェードアウト処理用のフェードテーブルを記憶することでデューティ比記憶手段として機能するとともに、補間分割数Ndを記憶することで分割数記憶手段として機能する。フェードイン処理において、複数の単位期間のそれぞれにおける基準デューティ比が段階的に増加していくように設定され、フェードアウト処理において、複数の単位期間のそれぞれにおける基準デューティ比が段階的に減少していくように設定されている。

[0021] [表1]

|        | 基準デューティ比Dn |
|--------|------------|
| 第0単位期間 | 0          |
| 第1単位期間 | 5          |
| 第2単位期間 | 15         |
| 第3単位期間 | 30         |
| 第4単位期間 | 60         |
| 第5単位期間 | 100        |

[0022] 本実施形態において、フェードイン処理が行われる輝度遷移期間の長さTWを0.5秒とし、各単位期間の長さTを0.1秒としてLED4の輝度を変化させるものとする。また、補間分割数Ndを10とし、単位期間Tを補間分割数Ndで分割した補間期間ΔTを0.01秒とする。また、表2に示すように、基準デューティ比Dnが小さいほど、次の単位期間の基準デューティ比Dn+1との差分ΔDnが小さくなるように設定されている。さらに、基準デューティ比Dnが小さいほど、基準デューティ比Dn+1から基準デューティ比Dnを減じた値を補間分割数Ndで除した補間変化幅Dn'が小さくなるように設定されている。

[0023]

[表2]

|        | 次の単位期間との<br>基準デューティ比の差分 $\Delta D_n$ | 補間変化幅 $D_n'$ |
|--------|--------------------------------------|--------------|
| 第0単位期間 | 5                                    | 0.5          |
| 第1単位期間 | 10                                   | 1.0          |
| 第2単位期間 | 15                                   | 1.5          |
| 第3単位期間 | 30                                   | 3.0          |
| 第4単位期間 | 40                                   | 4.0          |
| 第5単位期間 | —                                    | —            |

[0024] LEDドライバ3は、図示しない電源に接続されてパルス幅変調制御によってLED4を点灯させるように構成され、LED4を駆動するパルス電流又はパルス電圧のデューティ比を調節することでLED4の輝度を制御可能に構成されている。LEDドライバ3は、 $\mu\text{COM}2$ から受信した信号に応じたデューティ比でLED4を駆動する。

[0025] LED4は、発光素子としての複数のLED素子を有し、所定の発光色で発光可能に構成され、例えば車両の室内照明として用いられる。

[0026] 入力手段5は、例えば車両ドアの開閉を検知する手段に接続され、車両ドアが開けられた際にオン信号を $\mu\text{COM}2$ に送信し、車両ドアが閉じられた際にオフ信号を $\mu\text{COM}2$ に送信する。尚、入力手段5は、車両ドアが開いている状態でオン信号を送信し続けるとともに、車両ドアが閉じられている状態において信号を送信しないように構成されていてもよく、車両における他の部位に接続されて適宜なタイミングでオン信号を送信するように構成されていればよい。

[0027] 以下、LED4の輝度を制御する輝度制御方法として、 $\mu\text{COM}2$ におけるフェードイン処理の一例について、図2のフローチャートを参照して説明する。尚、フェードアウト処理では、フェードアウト処理用のフェードテーブルを読み込めばよく、以下のフェードイン処理と同様の手順で実施される。

[0028]  $\mu\text{COM}2$ のCPU21は、車両ドアが開動作されて入力手段5からオン信号を受信すると、図2に示すフェードイン処理を開始する。尚、フェードアウト処理の場合、CPU21は、オフ信号を受信したり、オン信号を受信

しなくなったりすることにより、処理を開始すればよい。

[0029] CPU 21は、フェードイン処理を開始すると、その時点で第 $n$ 単位期間であることを示す $n$ の値を記憶するテーブル用カウンタ、及び、後述する補間変化幅の積算回数 $k$ を記憶する演算用カウンタの値をリセットする（S110）。即ち、テーブル用カウンタを $n=0$ とするとともに、演算用カウンタを $k=0$ とする。

[0030] 次に、CPU 21は、ROM 22に記憶されたフェードイン処理用のフェードテーブルから、第 $n$ 単位期間の基準デューティ比 $D_n$ 、及び、その次の第 $n+1$ 単位期間の基準デューティ比 $D_{n+1}$ を読み込む（S120）。

[0031] 次に、CPU 21は、図3に示す補間処理を実行する（S130）。CPU 21は、補間処理を開始すると、まず当該補間処理への移行直前においてテーブル用カウンタの値 $n$ が変化したか否か（即ち、後述するステップS160を経由したか否か）を判定する（S210）。CPU 21は、 $n$ が変化した場合（S210でY）、演算用カウンタの値をリセットして $k=1$ とし（S220）、 $n$ が変化していない場合（S210でN）、演算用カウンタの値 $k$ を1増加させる（S230）。

[0032] 次に、CPU 21は、第 $n+1$ 単位期間における基準デューティ比 $D_{n+1}$ から第 $n$ 単位期間における基準デューティ比 $D_n$ を減じた値を補間分割数 $N_d$ で除して補間変化幅 $D_n'$ を算出する（S240）。

[0033] 次に、CPU 21は、第 $n$ 単位期間の基準デューティ比 $D_n$ に対し、補間変化幅 $D_n'$ に演算用カウンタの値 $k$ を乗じた値を加算し、その時点でのデューティ比 $D$ を求め（S250）、補間処理を終了する。第 $n$ 単位期間において、1回の補間処理が実行される毎に $k$ が1ずつ増加していくことから、デューティ比 $D$ は1回の補間処理毎に補間変化幅 $D_n'$ だけ増加していき、即ち、基準デューティ比 $D_n$ に補間変化幅 $D_n'$ が積算されていく。

[0034] 補間処理を終了すると、CPU 21は、再びフェードイン処理に戻り、S250で求めたデューティ比 $D$ でLED 4を点灯させるようにLEDドライバ3に信号を送信する（S140）。尚、LEDドライバ3は、再びCPU

21から信号を受信するまでは、一定のデューティ比でLED4の点灯を継続させる。また、CPU21は、タイマー機能を有し、ステップS140に到達する毎に補間期間 $\Delta T$ だけ間隔を開けてLEDドライバ3に信号を送信するように、フェードイン処理における適宜なタイミングで待機する。

[0035] 次に、CPU21は、演算用カウンタの値 $k$ が補間分割数 $N_d$ に等しいか否かを判定する(S150)。演算用カウンタの値 $k$ が補間分割数 $N_d$ に等しくない場合(S150でN)、CPU21は、第 $n$ 単位期間が継続していると判定し、再びステップS130に戻る。一方、演算用カウンタの値 $k$ が補間分割数 $N_d$ に等しい場合(S150でY)、CPU21は、第 $n$ 単位期間が終了したと判定し、テーブル用カウンタの値 $n$ を1増加させる(S160)。

[0036] ステップS160に次いで、CPU21は、テーブル用カウンタの値 $n$ が最後の単位期間を示す $N_l$ (本実施形態では5)に等しいか否かを判定する(S170)。

[0037] テーブル用カウンタの値 $n$ が $N_l$ に等しくない場合(S170でN)、CPU21は、再びステップS120に戻る。テーブル用カウンタの値 $n$ が $N_l$ に等しい場合(S170でY)、CPU21は、フェードイン処理を終了する。

[0038] 図3のフローチャートにおけるステップS240の処理を実行するCPU21が算出手段に相当し、S250の処理を実行するCPU21が積算手段に相当する。

[0039] 以上のようにフェードイン処理を行うことにより、LED4を駆動するためのデューティ比 $D$ は、補間期間 $\Delta T$ が経過する毎に基準デューティ比 $D_n$ に補間変化幅 $D_n'$ が積算された値となり、図4、5に実線で示すように経時変化する。即ち、各単位期間におけるデューティ比 $D$ が補間変化幅 $D_n'$ ずつ大きくなっていくとともに、 $n$ が大きくなるほど補間変化幅 $D_n'$ も大きくなっていく。

[0040] このような本実施形態によれば、以下のような効果がある。即ち、フェー

ドイン処理及びフェードアウト処理においてLED4の輝度を変化させる際、デューティ比Dが補間変化幅 $D_n'$ ずつ変化することから、LED4の輝度の変化幅を小さくして利用者に違和感を与えにくくすることができる。このとき、補間変化幅 $D_n'$ を算出するために補間段階数 $N_d$ と各单位期間における基準デューティ比 $D_n$ とを記憶すればよく、情報量を抑制することができ、隣り合う単位期間における基準デューティ比 $D_n$ の差分 $\Delta D_n$ が一定でなくても補間変化幅 $D_n'$ を算出することができる。また、CPU21は、減算、除算、及び、加算の簡単な計算によって補間変化幅 $D_n'$ を算出することができる。

[0041] さらに、基準デューティ比 $D_n$ が小さいほど、補間変化幅 $D_n'$ も小さくなることから、LED4の輝度が低い単位期間においてLED4の輝度の変化率が大きくなってしまいうことを抑制し、さらに利用者に違和感を与えにくくすることができる。

[0042] なお、本発明は、前記実施形態に限定されるものではなく、本発明の目的が達成できる他の構成等を含み、以下に示すような変形等も本発明に含まれる。

[0043] 例えば、前記実施形態では、輝度制御装置1が所定の発光色で発光可能な発光部材としてのLED4を制御するものとしたが、発光部材は、互いに異なる発光色を有する複数の発光素子を有することにより、全体の発光色が調節可能に構成されていてもよく、例えば、RGB3原色のLED素子を有するLEDであってもよい。このとき、ROMが3原色の発光色毎にフェードテーブルを記憶するとともに、CPUが発光色毎に補間変化幅を算出して各発光色の基準デューティ比にそれぞれ積算していき、発光色毎に独立にデューティ比を求め、発光色毎のデューティ比で各LED素子を発光させればよい。このような構成によれば、各発光色のLED素子の輝度のバランスを調節してLED全体を適宜な発光色で発光させるとともに、利用者に違和感を与えにくいよう輝度を変化させることができる。

[0044] また、前記実施形態では、輝度制御方法として輝度がフェードイン処理及

びフェードアウト処理を例示したが、輝度制御方法における基準デューティ比の変化は適宜に設定されていればよく、例えば、発光部材が発光している状態から輝度を高くするようにデューティ比を変化させてもよいし、消灯させない程度に低くするようにデューティ比を変化させてもよい。また、例えば輝度を一旦高くした後に低くするように、輝度が単調増加又は単調減少しないようにデューティ比が変化してもよい。

[0045] また、前記実施形態では、輝度制御装置 1 が車両に設けられるものとしたが、輝度制御装置は、適宜な発光部材の輝度を制御するように設けられればよく、例えば、車両のメータパネル等の表示部に設けられた発光部材の輝度を制御してもよいし、家屋の室内照明として用いられる発光部材の輝度を制御してもよい。また、発光部材は、LED 素子に限らず例えば有機 EL 素子を有していてもよく、デューティ比を制御することによって輝度が制御されるものであればよい。

[0046] その他、本発明を実施するための最良の構成、方法などは、以上の記載で開示されているが、本発明は、これに限定されるものではない。すなわち、本発明は、主に特定の実施形態に関して特に図示され、且つ、説明されているが、本発明の技術的思想および目的の範囲から逸脱することなく、以上述べた実施形態に対し、形状、材質、数量、その他の詳細な構成において、当業者が様々な変形を加えることができるものである。従って、上記に開示した形状、材質などを限定した記載は、本発明の理解を容易にするために例示的に記載したものであり、本発明を限定するものではないから、それらの形状、材質などの限定の一部、もしくは全部の限定を外した部材の名称での記載は、本発明に含まれるものである。

## 符号の説明

- |        |    |                 |
|--------|----|-----------------|
| [0047] | 1  | 輝度制御装置          |
|        | 3  | LED ドライバ (制御手段) |
|        | 4  | LED (発光部材)      |
|        | 21 | CPU (算出手段、積算手段) |

2 2          R O M （デューティ比記憶手段、分割数記憶手段）

## 請求の範囲

- [請求項1] 発光部材を駆動するパルス電流又はパルス電圧のデューティ比を、輝度遷移期間を等分割した複数の単位期間のそれぞれで変化させることで該発光部材の輝度を制御する輝度制御装置であって、
- 前記複数の単位期間のそれぞれにおける基準デューティ比を記憶するデューティ比記憶手段と、
- 補間分割数を記憶する分割数記憶手段と、
- 前記複数の単位期間のうちの単位期間における前記基準デューティ比をその次の単位期間における前記基準デューティ比から減じた値を前記補間分割数で除して当該一の単位期間における補間変化幅を算出する算出手段と、
- 前記複数の単位期間のそれぞれにおいて、前記単位期間を前記補間分割数でさらに等分割した補間期間が経過する毎に当該単位期間の前記基準デューティ比に前記補間変化幅を積算していく積算手段と、
- 前記積算手段によって求めたデューティ比で前記発光部材を発光させる制御手段と、を備えることを特徴とする輝度制御装置。
- [請求項2] 前記複数の単位期間のそれぞれにおける前記基準デューティ比が、段階的に増加又は減少していくように設定されていることを特徴とする請求項1に記載の輝度制御装置。
- [請求項3] 前記複数の単位期間のうちの単位期間における前記基準デューティ比とその次の単位期間における前記基準デューティ比との差分が、当該一の単位期間の前記基準デューティ比が小さいほど小さくなるように設定されていることを特徴とする請求項2に記載の輝度制御装置。
- [請求項4] 前記発光部材が、互いに異なる発光色を有する複数の発光素子を備え、
- 前記デューティ比記憶手段が、前記発光色毎に前記基準デューティ比を記憶し、

前記算出手段が、前記発光色毎に前記補間変化幅を算出し、

前記積算手段が、前記発光色毎に前記基準デューティ比に前記補間変化幅を積算し、

前記制御手段が、前記積算手段によって求めた前記発光色毎のデューティ比で前記発光素子を発光させることを特徴とする請求項 1 ～ 3 のいずれか 1 項に記載の輝度制御装置。

[請求項5]

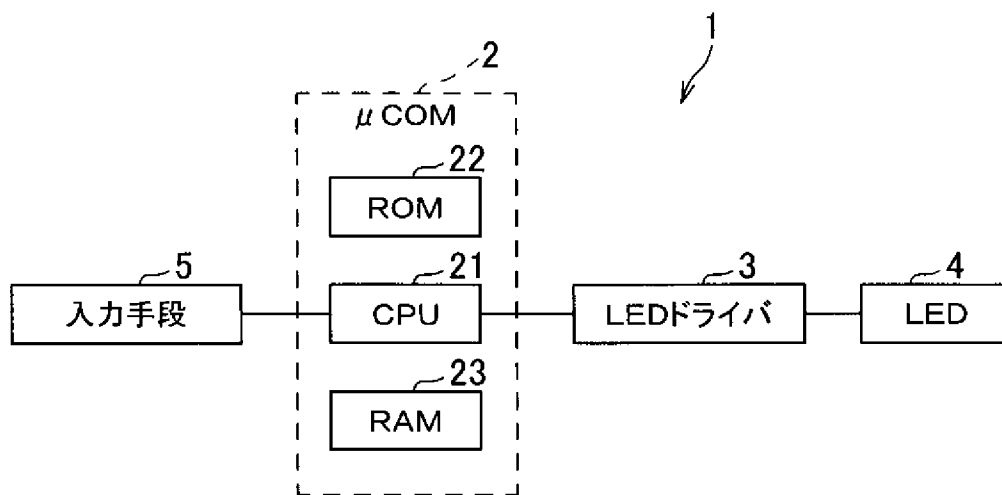
発光部材を駆動するパルス電流又はパルス電圧のデューティ比を、輝度遷移期間を等分割した複数の単位期間のそれぞれで変化させることで該発光部材の輝度を制御する輝度制御方法であって、

前記複数の単位期間のそれぞれにおける基準デューティ比と、補間分割数と、を記憶し、

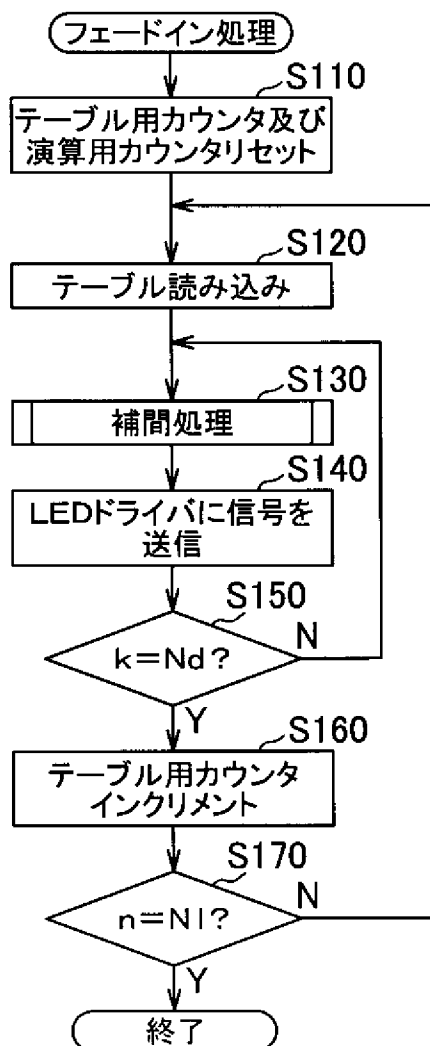
前記複数の単位期間のうち一の単位期間における基準デューティ比をその次の単位期間における基準デューティ比から減じた値を前記補間分割数で除して当該一の単位期間における補間変化幅を算出し、

前記複数の単位期間のそれぞれにおいて、前記単位期間を前記補間分割数でさらに分割した補間期間が経過する毎に当該単位期間の前記基準デューティ比に前記補間変化幅を積算していくとともに、このデューティ比で前記発光部材を発光させることを特徴とする輝度制御方法。

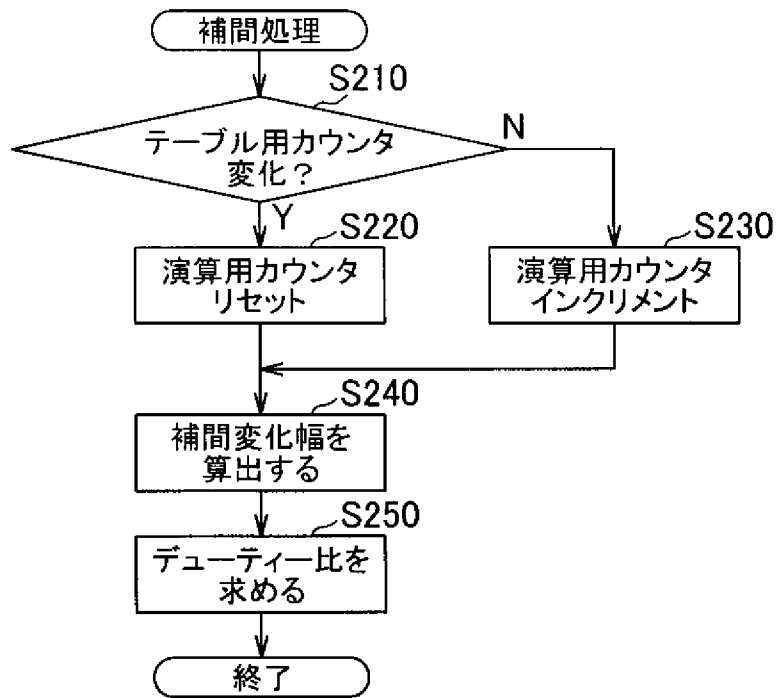
[図1]



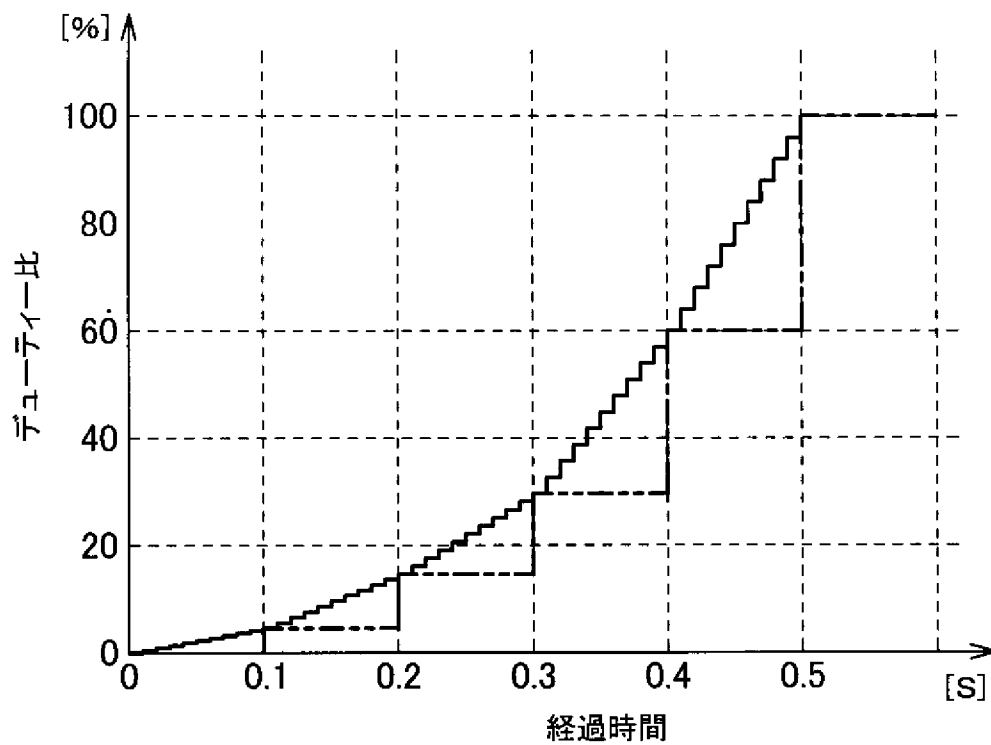
[図2]



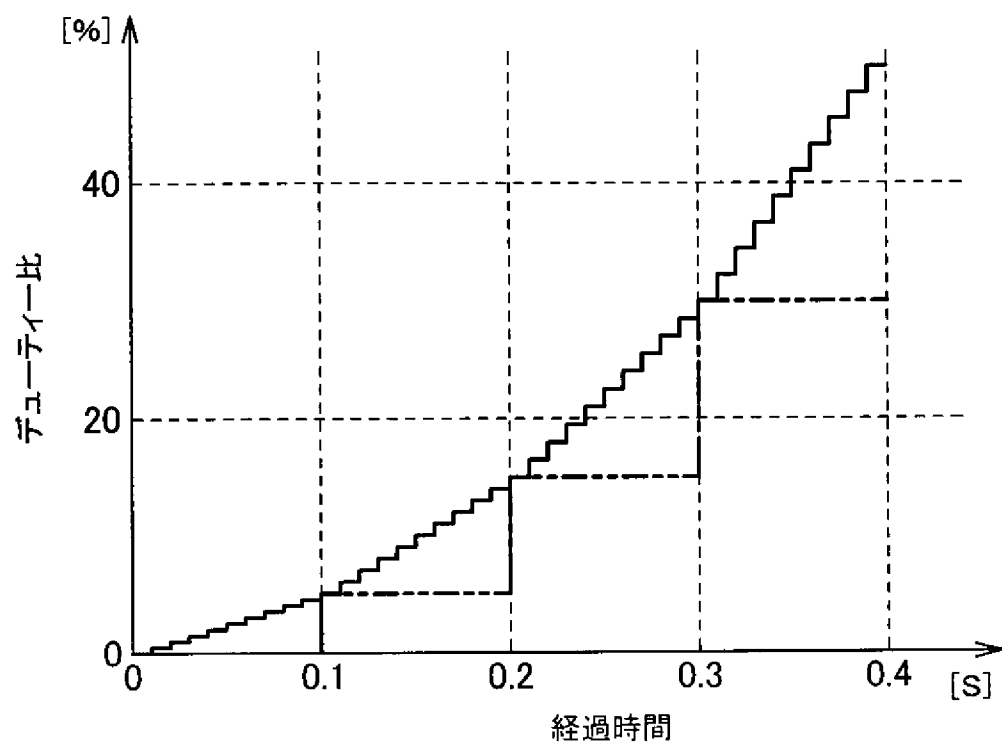
[図3]



[図4]



[図5]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/083760

## A. CLASSIFICATION OF SUBJECT MATTER

H05B37/02(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05B37/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2016 |
| Kokai Jitsuyo Shinan Koho | 1971-2016 | Toroku Jitsuyo Shinan Koho | 1994-2016 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                     | Relevant to claim No. |
|-----------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y         | JP 2011-180455 A (Fujitsu Ten Ltd.),<br>15 September 2011 (15.09.2011),<br>paragraphs [0019] to [0026], [0065], [0075] to<br>[0081], [0086]; fig. 1A, 1B, 2, 6B<br>& WO 2011/108143 A1 | 1-5                   |
| Y         | JP 2004-311134 A (New Japan Radio Co., Ltd.),<br>04 November 2004 (04.11.2004),<br>paragraphs [0015] to [0025]; fig. 1, 10<br>(Family: none)                                           | 1-5                   |
| Y         | JP 2013-084519 A (Nakano Engineering Co.,<br>Ltd.),<br>09 May 2013 (09.05.2013),<br>paragraphs [0027] to [0029], [0044]<br>(Family: none)                                              | 4                     |

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
18 February 2016 (18.02.16)

Date of mailing of the international search report  
01 March 2016 (01.03.16)

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2015/083760

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                             | Relevant to claim No. |
|-----------|----------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 2011-154841 A (Panasonic Electric Works Co., Ltd.),<br>11 August 2011 (11.08.2011),<br>entire text; all drawings<br>(Family: none)                          | 1-5                   |
| A         | JP 2010-200427 A (Seiko Epson Corp.),<br>09 September 2010 (09.09.2010),<br>paragraph [0046]; fig. 1, 9<br>& US 2010/0213856 A1<br>paragraph [0058]; fig. 1, 9 | 4                     |

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H05B37/02(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H05B37/02

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |            |
|-------------|------------|
| 日本国実用新案公報   | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2016年 |
| 日本国実用新案登録公報 | 1996-2016年 |
| 日本国登録実用新案公報 | 1994-2016年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                 | 関連する<br>請求項の番号 |
|-----------------|-----------------------------------------------------------------------------------------------------------------------------------|----------------|
| Y               | JP 2011-180455 A（富士通テン株式会社）2011.09.15, 段落<br>[0019]-[0026], [0065], [0075]-[0081], [0086], 図 1A, 1B, 2, 6B & WO<br>2011/108143 A1 | 1-5            |
| Y               | JP 2004-311134 A（新日本無線株式会社）2004.11.04, 段落<br>[0015]-[0025], 図 1, 10（ファミリーなし）                                                      | 1-5            |
| Y               | JP 2013-084519 A（株式会社中野エンジニアリング）2013.05.09, 段<br>落[0027]-[0029], [0044]（ファミリーなし）                                                  | 4              |

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

|                                                               |                                                                     |
|---------------------------------------------------------------|---------------------------------------------------------------------|
| 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの                                | 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの     |
| 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの                        | 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの                     |
| 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） | 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの |
| 「O」 口頭による開示、使用、展示等に言及する文献                                     | 「&」 同一パテントファミリー文献                                                   |
| 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願                                  |                                                                     |

国際調査を完了した日

18.02.2016

国際調査報告の発送日

01.03.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

田中 友章

3 X

9 3 7 6

電話番号 03-3581-1101 内線 3371

| C (続き) . 関連すると認められる文献 |                                                                                                             |                |
|-----------------------|-------------------------------------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                           | 関連する<br>請求項の番号 |
| A                     | JP 2011-154841 A (パナソニック電工株式会社) 2011.08.11, 全文、<br>全図 (ファミリーなし)                                             | 1-5            |
| A                     | JP 2010-200427 A (セイコーエプソン株式会社) 2010.09.09, 段落<br>[0046], 図 1, 9 & US 2010/0213856 A1, par[0058], fig. 1, 9 | 4              |