

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4451189号  
(P4451189)

(45) 発行日 平成22年4月14日 (2010. 4. 14)

(24) 登録日 平成22年2月5日 (2010. 2. 5)

(51) Int. Cl.

F I

G 1 1 C 29/56 (2006.01)

G 1 1 C 29/00 6 5 1 T

請求項の数 14 (全 21 頁)

(21) 出願番号 特願2004-111494 (P2004-111494)  
 (22) 出願日 平成16年4月5日 (2004. 4. 5)  
 (65) 公開番号 特開2005-293808 (P2005-293808A)  
 (43) 公開日 平成17年10月20日 (2005. 10. 20)  
 審査請求日 平成19年1月5日 (2007. 1. 5)

(73) 特許権者 390005175  
 株式会社アドバンテスト  
 東京都練馬区旭町 1 丁目 3 2 番 1 号  
 (74) 代理人 100104156  
 弁理士 龍華 明裕  
 (72) 発明者 佐藤 新哉  
 東京都練馬区旭町 1 丁目 3 2 番 1 号 株式  
 会社アドバンテスト内  
 審査官 堀江 義隆

最終頁に続く

(54) 【発明の名称】 試験装置、位相調整方法、及びメモリコントローラ

(57) 【特許請求の範囲】

【請求項 1】

被試験メモリを試験する試験装置であって、

前記被試験メモリの試験実行前に、前記被試験メモリを実装した状態で、前記被試験メモリの複数の端子のそれぞれについて、前記被試験メモリから出力された、予め書き込まれた試験パターンに対応した出力信号の出力値を、ストローク信号のタイミングで取得するタイミングコンパレータと、

前記タイミングコンパレータが取得した前記出力値を予め生成された期待値と比較して、比較結果を出力する論理比較器と、

前記論理比較器が出力した前記比較結果に基づいて、前記被試験メモリの複数の端子のそれぞれについて、前記ストローク信号のタイミングを調整する位相調整制御回路とを備える試験装置。

【請求項 2】

前記ストローク信号を遅延させて前記タイミングコンパレータに供給する第 1 可変遅延回路をさらに備え、

前記位相調整制御回路は、前記論理比較器が出力した前記比較結果に基づいて、前記第 1 可変遅延回路による遅延量を設定する請求項 1 に記載の試験装置。

【請求項 3】

前記論理比較器が前記比較結果として出力した、前記出力値と前記期待値とが一致しないことを示すフェイルデータの数を計数するフェイルカウンタと、

10

20

前記フェイルカウンタが計数した前記フェイルデータの数、を、予め定められた判定値と比較して、判定結果を出力する判定回路とをさらに備え、

前記位相調整制御回路は、前記判定回路が出力した前記判定結果に基づいて、前記第 1 可変遅延回路による遅延量を設定する請求項 2 に記載の試験装置。

【請求項 4】

前記位相調整制御回路は、2 進数データで示される前記第 1 可変遅延回路による前記遅延量を、前記判定回路が出力した前記判定結果に基づいてバイナリサーチにより上位ビットから順に決定していく請求項 3 に記載の試験装置。

【請求項 5】

セット信号のタイミングで試験パターン信号を立ち上げ、リセット信号のタイミングで前記試験パターン信号を立ち下げて、前記試験パターン信号を前記被試験メモリに供給する S R ラッチと、

前記セット信号を遅延させて前記 S R ラッチに供給する第 2 可変遅延回路と、

前記リセット信号を遅延させて前記 S R ラッチに供給する第 3 可変遅延回路とをさらに備え、

前記タイミングコンパレータは、前記試験パターン信号に対応して前記被試験メモリから出力された出力信号の出力値を、前記被試験メモリの内部クロックと同期した前記ストロープ信号のタイミングで取得し、

前記論理比較器は、前記タイミングコンパレータが取得した前記出力値を前記期待値と比較して、比較結果を出力し、

前記位相調整制御回路は、前記論理比較器が出力した前記比較結果に基づいて、前記被試験メモリの複数の端子のそれぞれについて、前記第 2 可変遅延回路及び前記第 3 可変遅延回路による遅延量を設定する請求項 1 に記載の試験装置。

【請求項 6】

前記被試験メモリの温度又は前記被試験メモリの周囲の温度の変化を検出する温度検出部と、

前記温度検出部が検出した温度変化が予め定められた温度変化以上である場合に、前記被試験メモリの複数の端子のそれぞれについて、前記ストロープ信号のタイミングを再度調整させるリキャリブレーション制御部とをさらに備える請求項 1 に記載の試験装置。

【請求項 7】

前記被試験メモリに対するデータの書き込み又は読み出しを連続して行った場合に、前記論理比較器が経過時間毎に出力した前記比較結果に基づいて、前記被試験メモリの複数の端子のそれぞれについて、前記ストロープ信号のタイミングを再調整すべき時間間隔を測定するリキャリブレーション間隔制御部をさらに備える請求項 1 に記載の試験装置。

【請求項 8】

被試験メモリの試験実行前に、前記被試験メモリを実装した状態で、前記被試験メモリの複数の端子のそれぞれについて、前記被試験メモリから出力された、予め書き込まれた試験パターンに対応した出力信号とストロープ信号とのタイミングを調整する位相調整方法であって、

前記被試験メモリから出力された前記出力信号の出力値を、前記ストロープ信号のタイミングで取得する出力値取得段階と、

取得された前記出力値を予め生成された期待値と比較して、比較結果を出力する段階と、

、

前記比較結果に基づいて、前記被試験メモリの複数の端子のそれぞれについて、前記ストロープ信号のタイミングを調整する段階とを備える位相調整方法。

【請求項 9】

前記被試験メモリに試験パターン信号を低速で書き込む低速書込段階と、

前記試験パターン信号に対応した前記出力信号を前記被試験メモリから高速で読み出す第 1 高速読出段階とをさらに備え、

前記出力値取得段階は、前記第 1 高速読出段階において読み出された前記出力信号の前

10

20

30

40

50

記出力値を、前記ストローブ信号のタイミングで取得する段階を有する請求項 8 に記載の位相調整方法。

【請求項 1 0】

前記低速書込段階は、前記被試験メモリのスキャン入出力端子から前記試験パターン信号を書き込む段階を有し、

前記第 1 高速読出段階は、前記被試験メモリのデータ入出力端子から前記試験パターン信号を読み出す段階を有する請求項 9 に記載の位相調整方法。

【請求項 1 1】

セット信号のタイミングで試験パターン信号を立ち上げ、リセット信号のタイミングで前記試験パターン信号を立ち下げて、前記試験パターン信号を前記被試験メモリに高速で書き込む高速書込段階と、

前記試験パターン信号に対応した前記出力信号を前記被試験メモリから高速で読み出す第 2 高速読出段階と、

前記第 2 高速読出段階において読み出された前記出力信号の出力値を、前記ストローブ信号のタイミングで取得する段階と、

取得された前記出力値を予め生成された前記期待値と比較して、比較結果を出力する段階と、

前記比較結果に基づいて、前記被試験メモリの複数の端子のそれぞれについて、前記セット信号及び前記リセット信号のタイミングを調整する段階とをさらに備える請求項 8 に記載の位相調整方法。

【請求項 1 2】

前記高速書込段階は、前記被試験メモリのデータ入出力端子から前記試験パターン信号を書き込む段階を有し、

前記第 2 高速読出段階は、前記被試験メモリのデータ入出力端子から前記試験パターン信号を読み出す段階を有する請求項 1 1 に記載の位相調整方法。

【請求項 1 3】

メモリのデータの書き込み及び読み出しを制御するメモリコントローラであって、

前記メモリの使用前に、前記メモリを実装した状態で、前記メモリの複数の端子のそれぞれについて、前記メモリから読み出された、予め書き込まれたデータパターンに対応した出力信号の出力値を、ストローブ信号のタイミングで取得するタイミングコンパレータと、

前記タイミングコンパレータが取得した前記出力値を予め生成された期待値と比較して、比較結果を出力する論理比較器と、

前記論理比較器が出力した前記比較結果に基づいて、前記ストローブ信号のタイミングを前記メモリの複数の端子に対して調整する位相調整制御回路と、

前記メモリの温度又は前記メモリの周囲の温度の変化を検出する温度検出部と、

前記温度検出部が検出した温度変化が予め定められた温度変化以上である場合に、前記メモリの複数の端子のそれぞれについて、前記ストローブ信号のタイミングを再度調整させるリキャリブレーション制御部とを備えるメモリコントローラ。

【請求項 1 4】

メモリのデータの書き込み及び読み出しを制御するメモリコントローラであって、

前記メモリの使用前に、前記メモリを実装した状態で、前記メモリの複数の端子のそれぞれについて、前記メモリから読み出された、予め書き込まれたデータパターンに対応した出力信号の出力値を、ストローブ信号のタイミングで取得するタイミングコンパレータと、

前記タイミングコンパレータが取得した前記出力値を予め生成された期待値と比較して、比較結果を出力する論理比較器と、

前記論理比較器が出力した前記比較結果に基づいて、前記メモリの複数の端子のそれぞれについて、前記ストローブ信号のタイミングを調整する位相調整制御回路と、

前記メモリに対するデータの書き込み又は読み出しを連続して行った場合に、前記論理

10

20

30

40

50

比較器が経過時間毎に出力した前記比較結果に基づいて、前記メモリの複数の端子のそれぞれについて、前記ストロブ信号のタイミングを再調整すべき時間間隔を測定するリキャリブレーション間隔制御部とを備えるメモリコントローラ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、試験装置、位相調整方法、及びメモリコントローラに関する。特に本発明は、被試験メモリを試験する試験装置、被試験メモリから出力された出力信号とストロブ信号とのタイミングを調整する位相調整方法、及びメモリのデータの書き込み及び読み出しを制御するメモリコントローラに関する。

10

【背景技術】

【0002】

図12は、従来技術に係る試験装置10の構成を示す。試験装置10は、可変遅延回路12、14、22、24、32、及び42、SRラッチ16及び26、ドライバ18及び28、レベルコンパレータ30及び40、並びにタイミングコンパレータ34及び44を備える。

【0003】

SRラッチ16は、可変遅延回路12によって遅延されたセット信号及び可変遅延回路14によって遅延されたりセット信号に基づいて試験パターン信号を発生出力し、ドライバ18を介して被試験メモリ50に供給する。SRラッチ26は、可変遅延回路22によって遅延されたセット信号及び可変遅延回路24によって遅延されたりセット信号に基づいて試験パターン信号を発生出力し、ドライバ28を介して被試験メモリ50に供給する。また、タイミングコンパレータ34は、レベルコンパレータ30を介して被試験メモリ50から出力された出力信号を受け取り、可変遅延回路32により遅延されたストロブ信号に基づいて出力値をサンプリングする。タイミングコンパレータ44は、レベルコンパレータ40を介して被試験メモリ50から出力された出力信号を受け取り、可変遅延回路42により遅延されたストロブ信号に基づいて出力値をサンプリングする。

20

【0004】

そして、タイミングコンパレータ34又は44によってサンプリングされた出力値は、論理比較器によって、予め生成された期待値と比較される。そして、試験装置10は、論理比較器による比較結果に基づいて、被試験メモリ50の良否を判定する。

30

【0005】

試験装置10では、被試験メモリ50の試験を実行する前に次のような位相調整を行う。まず、ドライバ18及び28から出力される試験パターン信号の位相が、被試験メモリ50の端子において同位相になるように、可変遅延回路12及び14の遅延量を設定する。また、被試験メモリ50から同位相で出力される出力信号が、タイミングコンパレータ34及び44において正確にサンプリングされるように、可変遅延回路32及び42の遅延量を設定する。

【0006】

本出願に対応する外国の特許出願においては下記の文献が発見または提出されている。

40

【特許文献1】特開2002-181899号公報

【特許文献2】特開2001-222897号公報

【特許文献3】特開2001-4712号公報

【特許文献4】特開2003-98235号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

従来の試験装置10における位相調整では、ドライバ18及び28から出力された試験パターン信号の位相が、被試験メモリ50の端子において同位相になるように可変遅延回路12及び14の遅延量を設定する。そのため、非常に高い周波数で動作する被試験メモ

50

リ５０を試験する場合においては、被試験メモリ５０の出力信号の出力タイミングのばらつき、タイミングコンパレータ３４及び４４によるストローク信号の受け取りタイミングのばらつきにより、被試験メモリ５０から出力された出力信号を正しくサンプリングすることが困難である。また、タイミングコンパレータ３４及び４４によるストローク信号の受け取りタイミングのばらつきを抑えるため、被試験メモリ５０を実装するたびにストローク信号の位相調整を行うと、膨大な時間がかかり試験のスループットを低下させてしまう。

【０００８】

そこで本発明は、上記の課題を解決することができる試験装置、位相調整方法、及びメモリコントローラを提供することを目的とする。この目的は特許請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

10

【課題を解決するための手段】

【０００９】

本発明の第１の形態によると、被試験メモリを試験する試験装置であって、被試験メモリから出力された出力信号の出力値を、ストローク信号のタイミングで取得するタイミングコンパレータと、タイミングコンパレータが取得した出力値を予め生成された期待値と比較して、比較結果を出力する論理比較器と、論理比較器が出力した比較結果に基づいて、ストローク信号のタイミングを調整する位相調整制御回路とを備える。

20

【００１０】

ストローク信号を遅延させてタイミングコンパレータに供給する第１可変遅延回路をさらに備え、位相調整制御回路は、論理比較器が出力した比較結果に基づいて、第１可変遅延回路による遅延量を設定してもよい。

【００１１】

論理比較器が比較結果として出力した、出力値と期待値とが一致しないことを示すフェイルデータの数を計数するフェイルカウンタと、フェイルカウンタが計数したフェイルデータの数を、予め定められた判定値と比較して、判定結果を出力する判定回路とをさらに備え、位相調整制御回路は、判定回路が出力した判定結果に基づいて、第１可変遅延回路による遅延量を設定してもよい。

30

【００１２】

位相調整制御回路は、２進数データで示される第１可変遅延回路による遅延量を、判定回路が出力した判定結果に基づいてバイナリサーチにより上位ビットから順に決定していてもよい。

【００１３】

セット信号のタイミングで試験パターン信号を立ち上げ、リセット信号のタイミングで試験パターン信号を立ち下げて、試験パターン信号を被試験メモリに供給するＳＲラッチと、セット信号を遅延させてＳＲラッチに供給する第２可変遅延回路と、リセット信号を遅延させてＳＲラッチに供給する第３可変遅延回路とをさらに備え、タイミングコンパレータは、試験パターン信号に対応して被試験メモリから出力された出力信号の出力値を、被試験メモリの内部クロックと同期したストローク信号のタイミングで取得し、論理比較器は、タイミングコンパレータが取得した出力値を期待値と比較して、比較結果を出力し、位相調整制御回路は、論理比較器が出力した比較結果に基づいて、第２可変遅延回路及び第３可変遅延回路による遅延量を設定してもよい。

40

【００１４】

被試験メモリの温度又は被試験メモリの周囲の温度の変化を検出する温度検出部と、温度検出部が検出した温度変化が予め定められた温度変化以上である場合に、ストローク信号のタイミングを再度調整させるリキャリブレーション制御部とをさらに備えてもよい。

【００１５】

被試験メモリに対するデータの書き込み又は読み出しを連続して行った場合に、論理比較器が経過時間毎に出力した比較結果に基づいて、ストローク信号のタイミングを再調整

50

すべき時間間隔を測定するリキャリブレーション間隔制御部をさらに備えてもよい。

【0016】

本発明の第2の形態によると、被試験メモリから出力された出力信号とストローク信号とのタイミングを調整する位相調整方法であって、被試験メモリから出力された出力信号の出力値を、ストローク信号のタイミングで取得する出力値取得段階と、取得された出力値を予め生成された期待値と比較して、比較結果を出力する段階と、比較結果に基づいて、ストローク信号のタイミングを調整する段階とを備える。

【0017】

被試験メモリに試験パターン信号を低速で書き込む低速書込段階と、試験パターン信号に対応した出力信号を被試験メモリから高速で読み出す第1高速読出段階とをさらに備え、出力値取得段階は、第1高速読出段階において読み出された出力信号の出力値を、ストローク信号のタイミングで取得する段階を有してもよい。

10

【0018】

低速書込段階は、被試験メモリのスキャン入出力端子から試験パターン信号を書き込む段階を有し、第1高速読出段階は、被試験メモリのデータ入出力端子から試験パターン信号を読み出す段階を有してもよい。

【0019】

セット信号のタイミングで試験パターン信号を立ち上げ、リセット信号のタイミングで試験パターン信号を立ち下げて、試験パターン信号を被試験メモリに高速で書き込む高速書込段階と、試験パターン信号に対応した出力信号を被試験メモリから高速で読み出す第2高速読出段階と、第2高速読出段階において読み出された出力信号の出力値を、ストローク信号のタイミングで取得する段階と、取得された出力値を予め生成された期待値と比較して、比較結果を出力する段階と、比較結果に基づいて、セット信号及びリセット信号のタイミングを調整する段階とをさらに備えてもよい。

20

【0020】

高速書込段階は、被試験メモリのデータ入出力端子から試験パターン信号を書き込む段階を有し、第2高速読出段階は、被試験メモリのデータ入出力端子から試験パターン信号を読み出す段階を有してもよい。

【0021】

本発明の第3の形態によると、メモリのデータの書き込み及び読み出しを制御するメモリコントローラであって、メモリから読み出された出力信号の出力値を、ストローク信号のタイミングで取得するタイミングコンパレータと、タイミングコンパレータが取得した出力値を予め生成された期待値と比較して、比較結果を出力する論理比較器と、論理比較器が出力した比較結果に基づいて、ストローク信号のタイミングを調整する位相調整制御回路と、メモリの温度又はメモリの周囲の温度の変化を検出する温度検出部と、温度検出部が検出した温度変化が予め定められた温度変化以上である場合に、ストローク信号のタイミングを再度調整させるリキャリブレーション制御部とを備える。

30

【0022】

本発明の第4の形態によると、メモリのデータの書き込み及び読み出しを制御するメモリコントローラであって、メモリから読み出された出力信号の出力値を、ストローク信号のタイミングで取得するタイミングコンパレータと、タイミングコンパレータが取得した出力値を予め生成された期待値と比較して、比較結果を出力する論理比較器と、論理比較器が出力した比較結果に基づいて、ストローク信号のタイミングを調整する位相調整制御回路と、メモリに対するデータの書き込み又は読み出しを連続して行った場合に、論理比較器が経過時間毎に出力した比較結果に基づいて、ストローク信号のタイミングを再調整すべき時間間隔を測定するリキャリブレーション間隔制御部とを備える。

40

【0023】

なお上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションもまた発明となりうる。

【発明の効果】

50

## 【 0 0 2 4 】

本発明に係る試験装置によれば、高速なデータの送受信を行う被試験メモリを正確に試験することができる。

## 【発明を実施するための最良の形態】

## 【 0 0 2 5 】

以下、発明の実施形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲に係る発明を限定するものではなく、また実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

## 【 0 0 2 6 】

図 1 は、本発明の第 1 実施形態に係る試験装置 1 0 0 の構成の一例を示す。試験装置 1 0 0 は、タイミング発生器 1 0 2、パターン発生器 1 0 4、波形整形器 1 0 6、可変遅延回路 1 0 8、可変遅延回路 1 1 0、S R ラッチ 1 1 2、ドライバ 1 1 4、レベルコンパレータ 1 1 6、可変遅延回路 1 1 8、タイミングコンパレータ 1 2 0、論理比較器 1 2 2、フェイルカウンタ 1 2 4、判定回路 1 2 6、及び位相調整制御回路 1 2 8 を備える。

## 【 0 0 2 7 】

本実施形態に係る試験装置 1 0 0 では、被試験メモリ 1 5 0 に印加する試験データ信号の位相、及び被試験メモリ 1 5 0 から出力される出力信号の出力値を取得するためのストローク信号の位相を、被試験メモリ 1 5 0 の端子毎に調整することにより、試験装置 1 0 0 と被試験メモリ 1 5 0 との高速なデータの送受信を実現することを目的とする。

## 【 0 0 2 8 】

まず、試験装置 1 0 0 による被試験メモリ 1 5 0 の試験動作について説明する。パターン発生器 1 0 4 は、タイミングセット信号（以下、「T S 信号」という。）を出力して、タイミング発生器 1 0 2 に供給する。タイミング発生器 1 0 2 は、T S 信号により指定されたタイミングデータに基づいて周期クロック及び遅延クロックを発生して、遅延クロックをパターン発生器 1 0 4 に供給し、遅延クロックを波形整形器 1 0 6 に供給する。そして、パターン発生器 1 0 4 は、タイミング発生器 1 0 2 から供給された周期クロックに基づいて被試験メモリ 1 5 0 に供給すべきパターンデータを発生して、波形整形器 1 0 6 に供給する。

## 【 0 0 2 9 】

波形整形器 1 0 6 は、タイミング発生器 1 0 2 から供給された遅延クロックに基づいて、パターン発生器 1 0 4 が発生したパターンデータが示す試験パターン信号を必要なタイミングの波形にすべく、セット信号及びリセット信号を出力する。可変遅延回路 1 0 8 は、位相調整制御回路 1 2 8 により予め設定された遅延量により、波形整形器 1 0 6 が出力したセット信号を遅延させて S R ラッチ 1 1 2 に供給する。また、可変遅延回路 1 1 0 は、位相調整制御回路 1 2 8 により予め設定された遅延量により、波形整形器 1 0 6 が出力したリセット信号を遅延させて S R ラッチ 1 1 2 に供給する。そして、S R ラッチ 1 1 2 は、可変遅延回路 1 0 8 から供給されたセット信号のタイミングで試験パターン信号を立ち上げ、可変遅延回路 1 1 0 から供給されたりセット信号のタイミングで試験パターン信号を立ち下げ、ドライバ 1 1 4 を介して被試験メモリ 1 5 0 に供給する。

## 【 0 0 3 0 】

また、パターン発生器 1 0 4 は、被試験メモリ 1 5 0 から出力された出力信号をタイミングコンパレータ 1 2 0 がサンプリングするタイミングを指定するストローク信号を発生する。可変遅延回路 1 1 8 は、位相調整制御回路 1 2 8 により予め設定された遅延量により、パターン発生器 1 0 4 が発生したストローク信号を遅延させてタイミングコンパレータ 1 2 0 に供給する。タイミングコンパレータ 1 2 0 は、被試験メモリ 1 5 0 から出力されレベルコンパレータ 1 1 6 によって 2 値データに変換された被試験メモリ 1 5 0 の出力信号の出力値を、可変遅延回路 1 1 8 から供給されたストローク信号のタイミングで取得する。

## 【 0 0 3 1 】

また、パターン発生器 1 0 4 は、被試験メモリ 1 5 0 が試験パターン信号に対応して出

10

20

30

40

50

力すべき出力信号の出力値である期待値を生成して、論理比較器 122 に供給する。そして、論理比較器 122 は、タイミングコンパレータ 120 が取得した出力値を、パターン発生器 104 によって予め生成された期待値と比較して、比較結果を出力する。そして、論理比較器 122 が出力する比較結果に基づいて、被試験メモリ 150 の良否判定を行う。

#### 【0032】

次に、試験装置 100 による試験データ信号及びストローク信号の位相調整動作について説明する。上述の試験動作と同様に、タイミングコンパレータ 120 は、被試験メモリ 150 から出力された出力信号の出力値を、可変遅延回路 118 から供給されたストローク信号のタイミングで取得する。そして、論理比較器 122 は、タイミングコンパレータ 120 が取得した出力値を期待値と比較して、比較結果を出力する。具体的には、論理比較器 122 は、出力値と期待値とは一致する場合にフェイルデータを出力し、フェイルカウンタ 124 に供給する。そして、フェイルカウンタ 124 は、論理比較器 122 が比較結果として出力した、出力値と期待値とが一致しないことを示すフェイルデータの数を計数する。そして、判定回路 126 は、フェイルカウンタ 124 が計数したフェイルデータの数を、予め定められた判定値と比較して、判定結果を出力する。位相調整制御回路 128 は、判定回路 126 が出力した判定結果に基づいて、可変遅延回路 118 による遅延量を設定する。即ち、位相調整制御回路 128 は、論理比較器 122 が出力した比較結果に基づいて、可変遅延回路 118 による遅延量を設定することにより、タイミングコンパレータ 120 に供給されるストローク信号のタイミングを調整する。具体的には、位相調整制御回路 128 は、可変遅延回路 118 の位相調整レジスタの設定値を設定する。

#### 【0033】

また、タイミングコンパレータ 120 は、試験パターン信号に対応して被試験メモリ 150 から出力された出力信号の出力値を、被試験メモリ 150 の内部クロックと同期したストローク信号のタイミングで取得する。そして、論理比較器 122 は、タイミングコンパレータ 120 が取得した出力値を期待値と比較して、比較結果を出力する。具体的には、論理比較器 122 は、出力値と期待値とは一致する場合にフェイルデータを出力し、フェイルカウンタ 124 に供給する。そして、フェイルカウンタ 124 は、論理比較器 122 が比較結果として出力した、出力値と期待値とが一致しないことを示すフェイルデータの数を計数する。そして、判定回路 126 は、フェイルカウンタ 124 が計数したフェイルデータの数を、予め定められた判定値と比較して、判定結果を出力する。位相調整制御回路 128 は、判定回路 126 が出力した判定結果に基づいて、可変遅延回路 108 及び可変遅延回路 110 による遅延量を設定する。即ち、位相調整制御回路 128 は、論理比較器 122 が出力した比較結果に基づいて、可変遅延回路 108 及び 110 による遅延量を設定することにより、SRラッチ 112 に供給されるセット信号及びリセット信号のタイミングを調整する。具体的には、位相調整制御回路 128 は、可変遅延回路 108 の位相調整レジスタの設定値、及び可変遅延回路 110 の位相調整レジスタの設定値を設定する。

#### 【0034】

以上のように、位相調整段階において、被試験メモリ 150 から実際に出力される出力信号を利用してストローク信号、並びにセット信号及びリセット信号の位相を調整することで、試験段階において、被試験メモリ 150 から出力される出力信号の出力値を精度よくサンプリングすることができる。したがって、高速なデータの送受信を行う被試験メモリ 150 を正確に試験することができる。

#### 【0035】

図 2 は、第 1 実施形態に係る判定回路 126 の構成の一例を示す。判定回路 126 は、判定値レジスタ 200 及び計数値比較器 202 を有する。判定値レジスタ 200 は、予め定められた判定値を格納し、計数値比較器 202 に供給する。例えば、判定値は、位相調整段階において論理比較器 122 により行われる比較回数の半値である。計数値比較器 202 は、フェイルカウンタ 124 が計数したフェイルデータの数である計数値をフェイル

カウンタ 1 2 4 から取得し、判定値レジスタ 2 0 0 から供給された判定値と大小比較する。そして、計数値比較器 2 0 2 は、判定結果としてパスフェイル信号を出力し、位相調整制御回路 1 2 8 に供給する。例えば、計数値比較器 2 0 2 は、計数値が判定値より小さい場合にバスデータとして " 1 " を出力し、計数値が判定値以上の場合にフェイルデータとして " 0 " を出力する。なお、計数値比較器 2 0 2 は、計数値が判定値より小さい場合にフェイルデータとして " 0 " を出力し、計数値が判定値以上の場合にバスデータとして " 1 " を出力してしもよい。

#### 【 0 0 3 6 】

図 3 は、第 1 実施形態に係る位相調整制御回路 1 2 8 の構成の一例を示す。なお、図 3 では、可変遅延回路 1 0 8、1 1 0、1 1 8 の位相調整レジスタが 4 ビットの場合の例を説明する。なお、位相調整制御回路 1 2 8 は、可変遅延回路 1 0 8、1 1 0、及び 1 1 8 のそれぞれに対応して、図 3 に示す構成要素をそれぞれ有する。また、本例においては、位相調整制御回路 1 2 8 をハードウェア回路により実現する例を説明するが、ソフトウェアにより同様の機能を実現してもよい。

#### 【 0 0 3 7 】

位相調整制御回路 1 2 8 は、ビット選択レジスタ 3 0 0、3 0 2、3 0 4、3 0 6、及び 3 0 8、論理積回路 3 1 0、3 1 2、3 1 4、3 1 6、3 1 8、3 2 0、3 2 2、3 2 4、3 2 6、3 2 8、3 3 0、3 3 2、3 3 4、3 3 6、3 3 8、3 4 0、3 4 2、及び 3 4 4、論理和回路 3 5 0、3 5 2、3 5 4、3 5 6、3 5 8、及び 3 6 0、並びに位相調整レジスタ 3 7 0、3 7 2、3 7 4、及び 3 7 6 を有する。

#### 【 0 0 3 8 】

ビット選択レジスタ 3 0 0、3 0 2、3 0 4、3 0 6、及び 3 0 8、並びに位相調整レジスタ 3 7 0、3 7 2、3 7 4、及び 3 7 6 は、初期設定値を保持する。具体的には、ビット選択レジスタ 3 0 0 及び 3 0 2 は、" 1 " を保持する。また、ビット選択レジスタ 3 0 4、3 0 6、及び 3 0 8 は、" 0 " を保持する。また、位相調整レジスタ 3 7 0 は、" 1 " を保持する。また、位相調整レジスタ 3 7 2、3 7 4、及び 3 0 6 は、" 0 " を保持する。

#### 【 0 0 3 9 】

ビット選択レジスタ 3 0 0 は、キャリブレーションセット信号に基づいて、保持しているビットデータを論理積回路 3 1 0 及び 3 1 2、並びにビット選択レジスタ 3 0 2 に供給する。ビット選択レジスタ 3 0 2 は、キャリブレーションセット信号に基づいて、保持しているビットデータを論理積回路 3 1 0、3 1 2、3 1 4、及び 3 1 6、並びにビット選択レジスタ 3 0 4 に供給する。ビット選択レジスタ 3 0 4 は、キャリブレーションセット信号に基づいて、保持しているビットデータを論理積回路 3 1 4、3 1 6、3 1 8、及び 3 2 0、並びにビット選択レジスタ 3 0 6 に供給する。ビット選択レジスタ 3 0 6 は、キャリブレーションセット信号に基づいて、保持しているビットデータを論理積回路 3 1 8、3 2 0、及び 3 2 2、並びにビット選択レジスタ 3 0 8 に供給する。ビット選択レジスタ 3 0 8 は、キャリブレーションセット信号に基づいて、保持しているビットデータを論理積回路 3 2 2、並びにビット選択レジスタ 3 0 8 に供給する。

#### 【 0 0 4 0 】

ビット選択レジスタ 3 0 0、3 0 2、3 0 4、3 0 6、及び 3 0 8 は、キャリブレーションセット信号が供給される毎に、保持しているビットデータを順にシフトさせて保持する。即ち、ビット選択レジスタ 3 0 0、3 0 2、3 0 4、3 0 6、及び 3 0 8 は、初期設定において " 1 "、" 1 "、" 0 "、" 0 "、及び " 0 " をそれぞれ保持し、キャリブレーションセット信号が供給されると " 0 "、" 1 "、" 1 "、" 0 "、及び " 0 " をそれぞれ保持し、さらにキャリブレーションセット信号が供給されると " 0 "、" 0 "、" 1 "、" 1 "、及び " 0 " をそれぞれ保持し、さらにキャリブレーションセット信号が供給されると " 0 "、" 0 "、" 0 "、" 1 "、及び " 1 " をそれぞれ保持する。ビット選択レジスタ 3 0 0、3 0 2、3 0 4、3 0 6、及び 3 0 8 が保持するビットデータをシフトさせることによって、位相調整レジスタ 3 7 0、3 7 2、3 7 4、及び 3 7 6 を順に選択

10

20

30

40

50

して設定値を決定する。

【0041】

論理積回路310は、ビット選択レジスタ300から供給されたビットデータと、ビット選択レジスタ302から出力されたビットデータとの論理積演算を行い、演算結果を論理積回路332及び論理積回路324に出力する。論理積回路312は、ビット選択レジスタ300から供給されたビットデータと、ビット選択レジスタ302から出力されたビットデータとの論理積演算を行い、演算結果を論理積回路334及び論理和回路350に出力する。論理積回路314は、ビット選択レジスタ302から供給されたビットデータと、ビット選択レジスタ304から出力されたビットデータとの論理積演算を行い、演算結果を論理積回路336及び論理和回路350に出力する。論理積回路316は、ビット選択レジスタ302から供給されたビットデータと、ビット選択レジスタ304から出力されたビットデータとの論理積演算を行い、演算結果を論理積回路338及び論理和回路352に出力する。

10

【0042】

論理積回路318は、ビット選択レジスタ304から供給されたビットデータと、ビット選択レジスタ306から出力されたビットデータとの論理積演算を行い、演算結果を論理積回路340及び論理和回路352に出力する。論理積回路320は、ビット選択レジスタ304から供給されたビットデータと、ビット選択レジスタ306から出力されたビットデータとの論理積演算を行い、演算結果を論理積回路342及び論理和回路354に出力する。論理積回路322は、ビット選択レジスタ306から供給されたビットデータと、ビット選択レジスタ308から出力されたビットデータとの論理積演算を行い、演算結果を論理積回路344及び論理和回路354に出力する。

20

【0043】

論理和回路350は、論理積回路312の出力と論理積回路314の出力との論理和演算を行い、演算結果を論理積回路326に出力する。論理和回路352は、論理積回路316の出力と論理積回路318の出力との論理和演算を行い、演算結果を論理積回路328に出力する。論理和回路354は、論理積回路320の出力と論理積回路322の出力との論理和演算を行い、演算結果を論理積回路330に出力する。

【0044】

論理積回路324は、論理積回路310の出力とキャリブレーションセット信号との論理積演算を行い、演算結果を位相調整レジスタ370に出力する。論理積回路326は、論理和回路350の出力とキャリブレーションセット信号との論理積演算を行い、演算結果を位相調整レジスタ372に出力する。論理積回路328は、論理和回路352の出力とキャリブレーションセット信号との論理積演算を行い、演算結果を位相調整レジスタ374に出力する。論理積回路330は、論理和回路354の出力とキャリブレーションセット信号との論理積演算を行い、演算結果を位相調整レジスタ376に出力する。即ち、論理積回路324、326、328、及び330は、キャリブレーションセット信号が“1”にセットされている場合に、ビット選択レジスタ300、302、304、306、及び308によって選択されている位相調整レジスタ370、372、374、又は376にクロック信号を供給する。

30

40

【0045】

論理積回路332は、判定回路126から供給されたパスフェイル信号と論理積回路310の出力との論理積演算を行い、演算結果を位相調整レジスタ370に出力する。そして、位相調整レジスタ370は、論理積回路324の出力に基づいて、保持しているビットデータを出力し、また論理積回路332の出力を保持する。

【0046】

論理積回路334は、判定回路126から供給されたパスフェイル信号と位相調整レジスタ370が保持していたビットデータとの論理積演算を行い、演算結果を論理和回路356に出力する。論理積回路336は、判定回路126から供給されたパスフェイル信号と論理積回路314の出力との論理積演算を行い、演算結果を論理和回路356に出力す

50

る。論理和回路 3 5 6 は、論理積回路 3 3 4 の出力と論理積回路 3 3 6 の出力との論理和演算を行い、演算結果を位相調整レジスタ 3 7 2 に出力する。そして、位相調整レジスタ 3 7 2 は、論理積回路 3 2 6 の出力に基づいて、保持しているビットデータを出力し、また論理和回路 3 5 6 の出力を保持する。

【 0 0 4 7 】

論理積回路 3 3 8 は、判定回路 1 2 6 から供給されたパスフェイル信号と位相調整レジスタ 3 7 2 が保持していたビットデータとの論理積演算を行い、演算結果を論理和回路 3 5 8 に出力する。論理積回路 3 4 0 は、判定回路 1 2 6 から供給されたパスフェイル信号と論理積回路 3 1 8 の出力との論理積演算を行い、演算結果を論理和回路 3 5 8 に出力する。論理和回路 3 5 8 は、論理積回路 3 3 8 の出力と論理積回路 3 4 0 の出力との論理和演算を行い、演算結果を位相調整レジスタ 3 7 4 に出力する。そして、位相調整レジスタ 3 7 4 は、論理積回路 3 2 8 の出力に基づいて、保持しているビットデータを出力し、また論理和回路 3 5 8 の出力を保持する。

10

【 0 0 4 8 】

論理積回路 3 4 2 は、判定回路 1 2 6 から供給されたパスフェイル信号と位相調整レジスタ 3 7 4 が保持していたビットデータとの論理積演算を行い、演算結果を論理和回路 3 6 0 に出力する。論理積回路 3 4 4 は、判定回路 1 2 6 から供給されたパスフェイル信号と論理積回路 3 2 2 の出力との論理積演算を行い、演算結果を論理和回路 3 6 0 に出力する。論理和回路 3 6 0 は、論理積回路 3 4 2 の出力と論理積回路 3 4 4 の出力との論理和演算を行い、演算結果を位相調整レジスタ 3 7 6 に出力する。そして、位相調整レジスタ 3 7 6 は、論理積回路 3 3 0 の出力に基づいて、保持しているビットデータを出力し、また論理和回路 3 5 8 の出力を保持する。

20

【 0 0 4 9 】

以上のように位相調整段階において、位相調整レジスタ 3 7 0、3 7 2、3 7 4、及び 3 7 6 は、判定回路 1 2 6 から供給されたパスフェイル信号及びキャリブレーションセット信号に基づいて、それぞれ 1 ビットの設定値を保持する。そして、被試験メモリ 1 5 0 の試験段階において、可変遅延回路 1 0 8、1 1 0、又は 1 1 8 に設定値を供給することにより、可変遅延回路 1 0 8、1 1 0、又は 1 1 8 によるストローク信号の遅延量を調整する。

【 0 0 5 0 】

30

図 4 は、第 1 実施形態に係る位相調整制御回路 1 2 8 の動作の一例を示す。図 4 では、図 2 に示した判定回路 1 2 6、及び図 3 に示した位相調整制御回路 1 2 8 により可変遅延回路 1 0 8 及び 1 1 0 の遅延量を設定して、試験パターン信号の位相を調整する方法の一例を説明する。

【 0 0 5 1 】

まず、1 回目の試験パターン信号を被試験メモリ 1 5 0 に印加しながら、論理比較器 1 2 2 が複数回に渡って出力値と期待値との比較を行い、フェイルカウンタ 1 2 4 がフェイルデータの数を計数する。そして、フェイルカウンタ 1 2 4 による計数値が判定値より小さい場合、即ちパスフェイル信号がパスデータとして " 1 " を出力する場合、位相調整制御回路 1 2 8 は、可変遅延回路 1 0 8 及び 1 1 0 の遅延量を増加させることにより試験パターン信号の位相を遅らせる。

40

【 0 0 5 2 】

次に、2 回目の試験パターン信号を被試験メモリ 1 5 0 に印加しながら、論理比較器 1 2 2 が複数回に渡って出力値と期待値との比較を行い、フェイルカウンタ 1 2 4 がフェイルデータの数を計数する。そして、フェイルカウンタ 1 2 4 による計数値が判定値より大きい場合、即ちパスフェイル信号がフェイルデータとして " 0 " を出力する場合、位相調整制御回路 1 2 8 は、可変遅延回路 1 0 8 及び 1 1 0 の遅延量を減少させることにより試験パターン信号の位相を進める。

【 0 0 5 3 】

次に、3 回目の試験パターン信号を被試験メモリ 1 5 0 に印加しながら、論理比較器 1

50

22が複数回に渡って出力値と期待値との比較を行い、フェイルカウンタ124がフェイルデータの数を計数する。そして、フェイルカウンタ124による計数値が判定値より小さい場合、即ちパスフェイル信号がパスデータとして"1"を出力する場合、位相調整制御回路128は、可変遅延回路108及び110の遅延量を増加させることにより試験パターン信号の位相を遅らせる。

【0054】

次に、4回目の試験パターン信号を被試験メモリ150に印加しながら、論理比較器122が複数回に渡って出力値と期待値との比較を行い、フェイルカウンタ124がフェイルデータの数を計数する。そして、フェイルカウンタ124による計数値と、判定値レジスタ200が保持する判定値とがほぼ同じになり、位相調整制御回路128による位相調整が終了する。

10

【0055】

即ち、本例においては、位相調整制御回路128は、2進数データで示される可変遅延回路108、110、又は118による遅延量を、判定回路126が出力した判定結果に基づいてバイナリサーチにより上位ビットから順に探索して決定していく。また、他の例においては、位相調整制御回路128は、シーケンシャルサーチによって可変遅延回路108、110、及び118の適切な遅延量を探索してもよいし、バイナリサーチとシーケンシャルサーチとの組み合わせによって可変遅延回路108、110、及び118の適切な遅延量を探索してもよい。

【0056】

20

図5は、第1実施形態に係る試験方法のフローの一例を示す。本実施形態に係る位相調整は、被試験メモリ150を試験装置100のソケットに実装した状態で行い、被試験メモリ150のすべての端子について第1キャリブレーション(S502)による位相調整を行い、高速データ通信を行う端子については、第2キャリブレーション(S506)による位相調整を行う。

【0057】

まず、タイミング発生器102、電圧電流発生器、電圧電流測定器等を所定の状態に初期化するイニシャライズが実行されたか否かを判断する(S500)。イニシャライズが実行された場合には(S500 - y)、試験条件毎に第1キャリブレーションを行う(S502)。第1キャリブレーション(S502)では、イニシャライズに発生した各端子に対する信号の位相のずれを可変遅延回路108及び110により調整するため、可変遅延回路108及び110の設定値をファイル化してキャリブレーションファイルとして保存する。イニシャライズが実行されなかった場合には(S500 - n)、第1キャリブレーションを行わない。

30

【0058】

次に、試験条件に対応したキャリブレーションファイルを可変遅延回路108及び110の位相調整レジスタに転送して(S504)、第2キャリブレーションを行う(S506)。第2キャリブレーション(S506)では、被試験メモリ150の端子のうち、高速に動作する端子であるデータ入出力端子等に対してのみ位相調整が行われる。例えば、被試験メモリ150がXDR-DRAMである場合、RQ0-11、CFM/CFMN、RST、CMD、CLK、SDI、SDO等の端子に対しては第1キャリブレーション(S502)のみを行い、DQ/DQN0-15の端子に対して第1キャリブレーション(S502)に加え第2キャリブレーション(S506)を行う。

40

【0059】

第2キャリブレーション(S506)が完了すると被試験メモリ150の試験を実行する(S508)。そして、同一の被試験メモリ150に対してさらに他の試験を実行するか否かを判断する(S510)。

【0060】

同一の被試験メモリ150に対してさらに他の試験を実行する場合には(S510 - y)、試験条件を変更するか否かを判断する(S512)。試験条件を変更しない場合には

50

( S 5 1 2 - n )、続けて被試験メモリ 1 5 0 の試験を実行する ( S 5 0 8 )。試験条件を変更する場合には ( S 5 1 2 - y )、試験条件に対応したキャリブレーションファイルを可変遅延回路 1 0 8 及び 1 1 0 の位相調整レジスタに転送して ( S 5 0 4 )、第 2 キャリブレーションを行う ( S 5 0 6 )。

【 0 0 6 1 】

同一の被試験メモリ 1 5 0 に対してさらに他の試験を実行しない場合には ( S 5 1 0 - n )、次の被試験メモリ 1 5 0 の試験を実行するか否かを判断する ( S 5 1 4 )。次の被試験メモリ 1 5 0 の試験を実行する場合には ( S 5 1 4 - y )、第 2 キャリブレーションを行う ( S 5 0 6 )。そして、第 2 キャリブレーション ( S 5 0 6 ) が完了すると次の被試験メモリ 1 5 0 の試験を実行する ( S 5 0 8 )。次の被試験メモリ 1 5 0 の試験を実行しない場合には ( S 5 1 4 - n )、本試験フローを終了する。

10

【 0 0 6 2 】

図 6 は、第 1 実施形態に係る位相調整方法のフローの一例を示す。図 6 では、第 2 キャリブレーション ( S 5 0 6 ) における位相調整方法のフローを説明する。まず、低速書込段階 ( S 6 0 0 ) において、被試験メモリ 1 5 0 に試験パターン信号を低速で書き込む。低速書込段階 ( S 6 0 0 ) では、シリアルバスを介して被試験メモリ 1 5 0 のスキャン入出力端子から試験パターン信号を書き込む。

【 0 0 6 3 】

次に、高速読出段階 ( S 6 0 2 ) において、試験パターン信号に対応した出力信号を被試験メモリ 1 5 0 から高速で読み出す。高速読出段階 ( S 6 0 2 ) では、被試験メモリ 1 5 0 のデータ入出力端子から試験パターン信号を読み出す。

20

【 0 0 6 4 】

次に、ストロープ信号位相調整段階 ( S 6 0 4 ) において、タイミングコンパレータ 1 2 0 は、高速読出段階 ( S 6 0 2 ) において被試験メモリ 1 5 0 から読み出された出力信号の出力値を、ストロープ信号のタイミングで取得する。そして、論理比較器 1 2 2 は、出力値を予め生成された期待値と比較して、比較結果を出力する。そして、図 1 から図 4 において説明したように、位相調整制御回路 1 2 8 は、論理比較器 1 2 2 の比較結果に基づいて、可変遅延回路 1 1 8 の位相調整用レジスタを設定し、タイミングコンパレータ 1 2 0 に供給されるストロープ信号のタイミングを調整することにより、タイミングコンパレータ 1 2 0 による出力信号のサンプリングのタイミングを調整する。

30

【 0 0 6 5 】

次に、高速書込段階 ( S 6 0 6 ) において、S R ラッチ 1 1 2 は、可変遅延回路 1 0 8 から供給されるセット信号のタイミングで試験パターン信号を立ち上げ、可変遅延回路 1 1 0 から供給されるリセット信号のタイミングで試験パターン信号を立ち下げて、試験パターン信号を被試験メモリ 1 5 0 に高速で書き込む。高速書込段階 ( S 6 0 6 ) では、被試験メモリ 1 5 0 のデータ入出力端子から試験パターン信号を書き込む。

【 0 0 6 6 】

次に、高速読出段階 ( S 6 0 8 ) において、試験パターン信号に対応した出力信号を被試験メモリ 1 5 0 から高速で読み出す。高速読出段階 ( S 6 0 8 ) では、被試験メモリ 1 5 0 のデータ入出力端子から試験パターン信号を読み出す。

40

【 0 0 6 7 】

次に、試験パターン信号位相調整段階 ( S 6 1 0 ) において、タイミングコンパレータ 1 2 0 は、高速読出段階 ( S 6 0 8 ) において被試験メモリ 1 5 0 から読み出された出力信号の出力値を、ストロープ信号のタイミングで取得する。そして、論理比較器 1 2 2 は、出力値を予め生成された期待値と比較して、比較結果を出力する。そして、図 1 から図 4 において説明したように、位相調整制御回路 1 2 8 は、論理比較器 1 2 2 の比較結果に基づいて、可変遅延回路 1 0 8 及び 1 1 0 の位相調整用レジスタを設定し、S R ラッチ 1 1 2 に供給されるセット信号及びリセット信号のタイミングを調整することにより、被試験メモリ 1 5 0 に供給される試験パターン信号のタイミングを調整する。

【 0 0 6 8 】

50

以上のように、低速書込段階（Ｓ６００）において試験パターン信号を被試験メモリ１５０に低速で書き込み、試験パターン信号を被試験メモリ１５０に正確に保持させることによって、ストロブ信号位相調整段階（Ｓ６０４）においてタイミングコンパレータ１２０に供給されるストロブ信号の遅延量を精度よく設定することができる。また、ストロブ信号位相調整段階（Ｓ６０４）の後に試験パターン信号位相調整段階（Ｓ６１０）を実行することによって、試験パターン信号位相調整段階（Ｓ６１０）においてセット信号及びリセット信号の遅延量を精度よく設定することができる。

#### 【００６９】

図７及び図８は、第１実施形態に係るドライバ１１４の一例を示す。また、図９は、第１実施形態に位相調整レジスタの構成の変形例を示す。ドライバ１１４は、差動ドライバであり、図７に示すように、被試験メモリ１５０の差動端子において差動信号が正しくクロスすること、また、差動信号の線路が等長であることが前提とされている。しかしながら、実際にはこのような前提に基づいて構成されることはなく、図８に示すように、シングルドライバ１１４ａ及び１１４ｂを用いて差動信号の位相を調整している。

#### 【００７０】

即ち、試験装置１００は、図８に示すように、可変遅延回路１０８及び１１０に換えて可変遅延回路１０８ａ、１０８ｂ、１１０ａ、及び１１０ｂを備え、ＳＲラッチ１１２に換えてＳＲラッチ１１２ａ及び１１２ｂを備え、ドライバ１１４に換えてドライバ１１４ａ及び１１４ｂを備える。また、試験装置１００は、図９に示すように、位相調整レジスタ３７０、３７２、３７４、及び３７６に加え、クロスポイント調整レジスタ９００、及び加算器９０４をさらに備える。

#### 【００７１】

ＳＲラッチ１１２ａは、可変遅延回路１０８ａによって遅延されたセット信号により試験パターン信号を立ち上げ、可変遅延回路１１０ａによって遅延されたりセット信号により試験パターン信号を立ち下げ、ドライバ１１４ａを介して被試験メモリ１５０に供給する。また、ＳＲラッチ１１２ｂは、可変遅延回路１０８ｂによって遅延されたセット信号により試験パターン信号を立ち上げ、可変遅延回路１１０ｂによって遅延されたりセット信号により試験パターン信号を立ち下げ、ドライバ１１４ｂを介して被試験メモリ１５０に供給する。

#### 【００７２】

第１キャリブレーション（Ｓ５０２）において、被試験メモリ１５０の差動端子において差動信号のクロスポイントがハイレベルとロウレベルとの中心になるように調整する。そして、クロスポイント調整レジスタ９００に調整した設定値を保持する。次に、第２キャリブレーション（Ｓ５０６）において、クロスポイントが中心からずれないように、可変遅延回路１０８ａ及び１１０ｂの位相を同時に調整し、また可変遅延回路１０８ｂ及び１１０ａの位相を同時に調整する。そして、位相調整レジスタ３７０、３７２、３７４、及び３７６に調整した設定値を保持する。次に、加算器９０４は、クロスポイント調整レジスタ９００に設定された設定値と、位相調整レジスタ３７０、３７２、３７４、及び３７６に設定された設定値とを加算して、可変遅延回路１０８ａ、１１０ａ、１０８ｂ、又は１１０ｂに供給する。これにより、差動信号のクロスポイント調整と、試験パターン信号の位相調整とを同時に行うことができる。

#### 【００７３】

図１０は、本発明の第２実施形態に係るメモリ制御システム１０００の構成の一例を示す。メモリ制御システム１０００は、メモリコントローラ１００２、及び複数のメモリ１００４を備える。メモリ制御システム１０００は、データ転送を行う信号ラインに小振幅信号（２００ｍＶ振幅）及び双方向差動インターフェースを最小し、複数のメモリ１００４とメモリコントローラ１００２との間を一对一接続する。また、メモリコントローラ１００２のデータ入出力端子毎に、入力信号及び出力信号の位相調整機能が組み込まれている。

#### 【００７４】

10

20

30

40

50

図 11 は、第 2 実施形態に係るメモリコントローラ 1002 の構成の一例を示す。メモリコントローラ 1002 は、送受信制御部 1100、温度検出部 1130、リキャリブレーション制御部 1132、及びリキャリブレーション間隔制御部 1134 を備える。送受信制御部 1100 は、ストローブ信号発生器 1104、レベルコンパレータ 1116、可変遅延回路 1118、タイミングコンパレータ 1120、論理比較器 1122、フェイルカウンタ 1124、判定回路 1126、及び位相調整制御回路 1128 を有する。

【0075】

ストローブ信号発生器 1104 は、被試験メモリ 150 から出力された出力信号をタイミングコンパレータ 1120 がサンプリングするタイミングを指定するストローブ信号を発生する。可変遅延回路 1118 は、位相調整制御回路 1128 により予め設定された遅延量により、ストローブ信号発生器 1104 が発生したストローブ信号を遅延させてタイミングコンパレータ 1120 に供給する。また、レベルコンパレータ 1116、可変遅延回路 1118、タイミングコンパレータ 1120、論理比較器 1122、フェイルカウンタ 1124、判定回路 1126、及び位相調整制御回路 1128 のそれぞれは、図 1 に示した試験装置 100 が備えるレベルコンパレータ 116、可変遅延回路 118、タイミングコンパレータ 120、論理比較器 122、フェイルカウンタ 124、判定回路 126、及び位相調整制御回路 128 のそれぞれと同一の機能を有するので説明を省略する。また、メモリコントローラ 1002 は、図 1 に示した試験装置 100 が備えるその他の構成部材を備えてもよい。

【0076】

温度検出部 1130 は、メモリ 1004 の温度又はメモリ 1004 の周囲の温度の変化を検出する。そして、リキャリブレーション制御部 1132 は、温度検出部 1130 が検出した温度変化が予め定められた温度変化以上である場合に、送受信制御部 1100 に対して、可変遅延回路 1118 による遅延量を再度設定することにより、タイミングコンパレータ 1120 に供給されるストローブ信号のタイミングを再度調整させる。即ち、メモリ 1004 の温度変化に起因して生じる出力信号の位相の変化に対して、ストローブ信号の位相を追従させることができる。そのため、メモリ 1004 が動作することによって温度が上昇する場合であっても、メモリ 1004 とメモリコントローラ 1002 との間のデータ通信を正確に行うことができる。

【0077】

また、リキャリブレーション間隔制御部 1134 は、メモリ 1004 に対するデータの書き込み又は読み出しを連続して行った場合に、論理比較器 1122 が経過時間毎に出力した比較結果に基づいて、タイミングコンパレータ 1120 に供給されるストローブ信号のタイミングを再調整すべき時間間隔を測定する。具体的には、フェイルカウンタ 1124 は、論理比較器 1122 が出力したフェイルデータの数を単位時間毎に計数する。そして、判定回路 1126 は、予め定められた判定値と、フェイルカウンタ 1124 が計数した計数値とを大小比較する。これにより、リキャリブレーション間隔制御部 1134 は、計数値が判定値より大きくなる時間を測定する。即ち、メモリ 1004 に対するデータの書き込み又は読み出しを連続して行うことによって、メモリ 1004 の温度変化に起因して出力信号の位相の変化により、メモリコントローラ 1002 とメモリ 1004 との間のデータ通信が正確に行われなくなる時間を測定する。そして、リキャリブレーション間隔制御部 1134 は、測定した時間間隔毎に、送受信制御部 1100 に対して、タイミングコンパレータ 1120 に供給されるストローブ信号のタイミングを再調整させる。これにより、メモリ 1004 が動作することによって温度が上昇する場合であっても、常にメモリ 1004 とメモリコントローラ 1002 との間のデータ通信を正確に行うことができる。

【0078】

なお、試験装置 100 は、図 11 に示したメモリコントローラ 1002 が備える温度検出部 1130、リキャリブレーション制御部 1132、及びリキャリブレーション間隔測定部 1134 をさらに備えてもよい。そして、被試験メモリ 150 の温度上昇に追従させ

10

20

30

40

50

てタイミングコンパレータ 120 に供給するストローブ信号のタイミングを調整してもよい。また、タイミングコンパレータ 120 に供給するストローブ信号のタイミングを再調整すべき時間間隔を測定して、メモリ 1004 に書き込んでもよい。メモリコントローラ 1002 は、試験装置 100 によって書き込まれた時間間隔にしたがってストローブ信号のタイミングを再調整することにより、常にメモリ 1004 とメモリコントローラ 1002 との間のデータ通信を正確に行うことができる。

#### 【0079】

以上、実施形態を用いて本発明を説明したが、本発明の技術的範囲は上記実施形態に記載の範囲には限定されない。上記実施形態に、多様な変更又は改良を加えることができる。そのような変更又は改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

#### 【図面の簡単な説明】

#### 【0080】

【図 1】試験装置 100 の構成の一例を示す図である。

【図 2】判定回路 126 の構成の一例を示す図である。

【図 3】位相調整制御回路 128 の構成の一例を示す図である。

【図 4】位相調整制御回路 128 の動作の一例を示す図である。

【図 5】試験方法のフローの一例を示す図である。

【図 6】位相調整方法のフローの一例を示す図である。

【図 7】ドライバ 114 の一例を示す図である。

【図 8】ドライバ 114 の一例を示す図である。

【図 9】位相調整レジスタの構成の変形例を示す図である。

【図 10】メモリ制御システム 1000 の構成の一例を示す図である。

【図 11】メモリコントローラ 1002 の構成の一例を示す図である。

【図 12】従来技術に係る試験装置 10 の構成を示す図である。

#### 【符号の説明】

#### 【0081】

100	試験装置	
102	タイミング発生器	
104	パターン発生器	30
106	波形整形器	
108	可変遅延回路	
110	可変遅延回路	
112	S R ラッチ	
114	ドライバ	
116	レベルコンパレータ	
118	可変遅延回路	
120	タイミングコンパレータ	
122	論理比較器	
124	フェイルカウンタ	40
126	判定回路	
128	位相調整制御回路	
200	判定値レジスタ	
202	計数値比較器	
900	クロスポイント調整レジスタ	
904	加算器	
1000	メモリ制御システム	
1002	メモリコントローラ	
1004	メモリ	
1100	送受信制御部	50

10

20

30

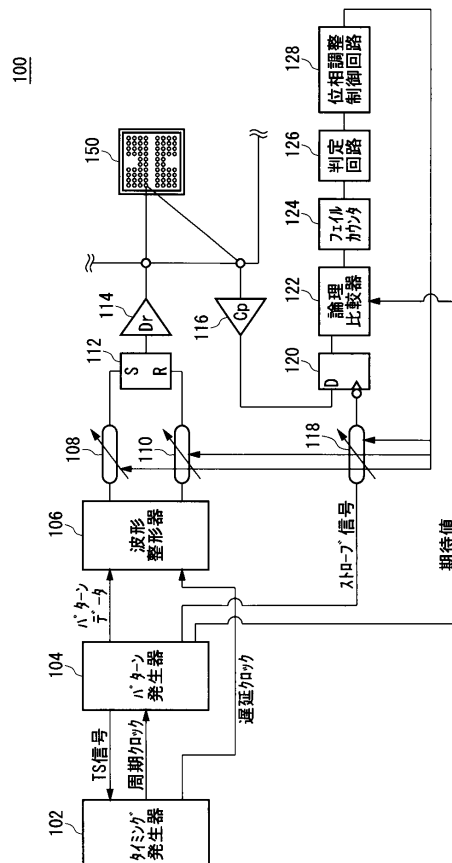
40

50

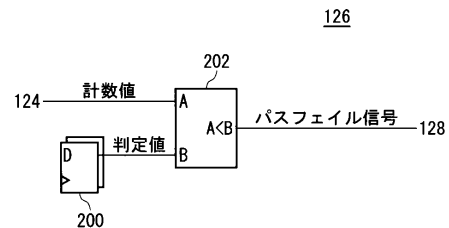
- |         |                 |
|---------|-----------------|
| 1 1 0 4 | ストローブ信号発生器      |
| 1 1 1 6 | レベルコンパレータ       |
| 1 1 1 8 | 可変遅延回路          |
| 1 1 2 0 | タイミングコンパレータ     |
| 1 1 2 2 | 論理比較器           |
| 1 1 2 4 | フェイルカウンタ        |
| 1 1 2 6 | 判定回路            |
| 1 1 2 8 | 位相調整制御回路        |
| 1 1 3 0 | 温度検出部           |
| 1 1 3 2 | リキャリブレーション制御部   |
| 1 1 3 4 | リキャリブレーション間隔制御部 |

10

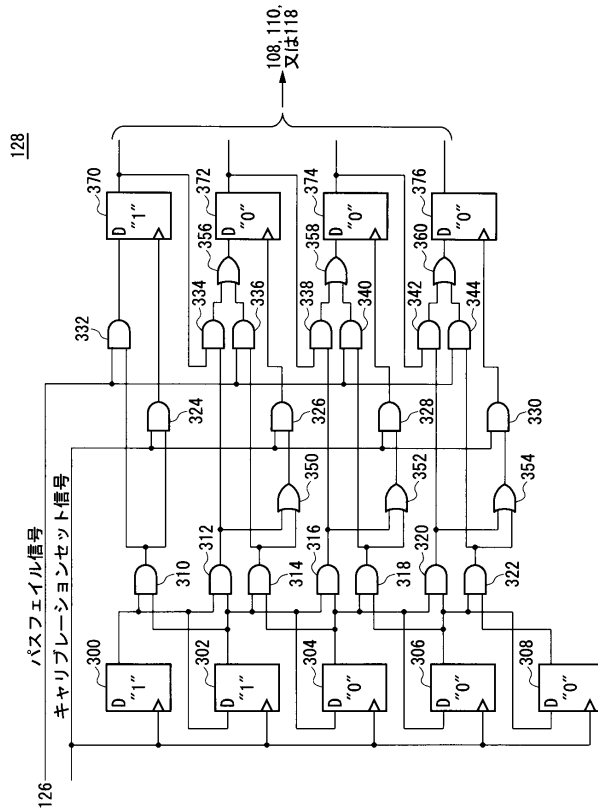
【 図 1 】



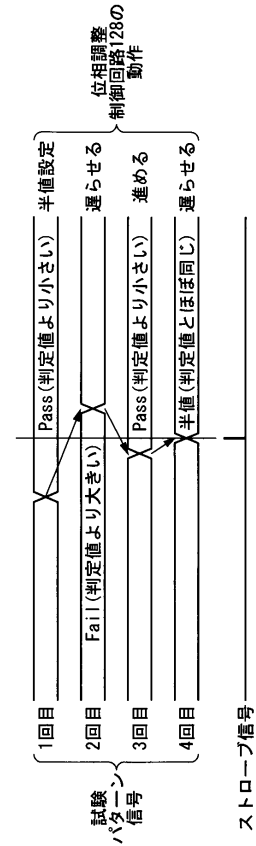
【圖 2】



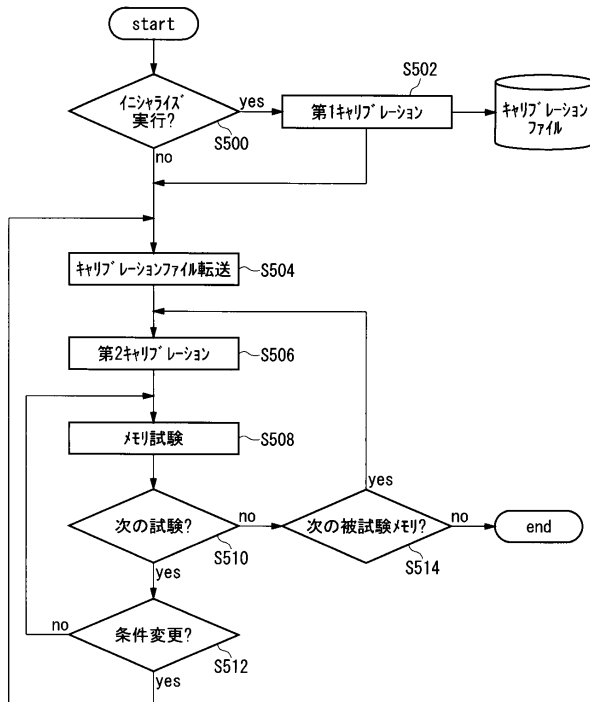
【 図 3 】



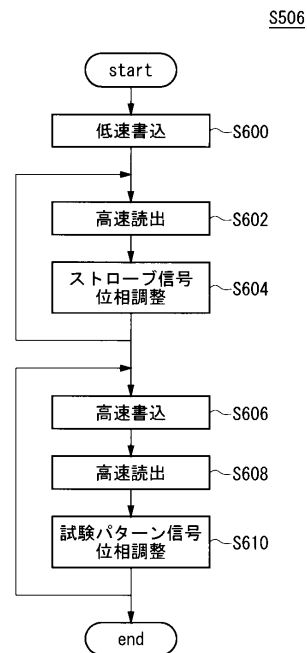
【 図 4 】



【 図 5 】

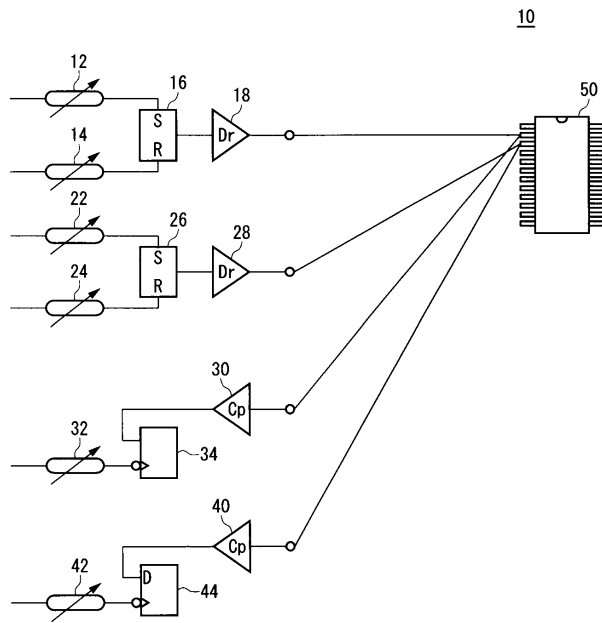


【 図 6 】





【図 12】



---

フロントページの続き

(56)参考文献 特開2002-181899(JP,A)  
特開2001-013217(JP,A)  
特開2003-344507(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 29/00 - 29/56  
G01R 31/28