



Patent dodatkowy
do patentu nr _____

Zgłoszono: 20.12.76 (P. 194600)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 03.07.78

Opis patentowy opublikowano: 27.02.1982

Int. Cl.²

H03K 13/24

G06F 5/04

Twórcy wynalazku: Romuald Borek, Benedykt Rząsa, Jacek Rząsa

Uprawniony z patentu: Politechnika Rzeszowska im. Ignacego Łukasiewicza, Rzeszów (Polska)

Układ połączeń konwertera kodu

1

Przedmiotem wynalazku jest układ połączeń konwertera do zamiany kodu z postaci szeregowej na postać równoległą.

W praktyce są znane i używane układy asynchronicznego konwertera do zamiany kodu z postaci szeregowej na postać równoległą. Układy takie, zbudowane z rejestrów przesuwających, pozwalają na kwersję zadanej liczby słów stanowiących przetwarzaną informację. Wprowadzenie na wejście dodatkowego słowa nie mieszczącego się w zadanym formacie powoduje wymazanie z rejestru słowa pierwszego i przesunięcie zawartości rejestru o jedno miejsce do przodu, a tym samym zmianę informacji na wyjściu konwertera.

Zadaniem wynalazku jest opracowanie układu połączeń konwertera kodu w taki sposób, aby wprowadzenie na jego wejście kolejnego słowa, nie mieszczącego się w zadanym formacie informacji wejściowej, nie powodowało przekłamań na jego wyjściu.

Zadanie to zostało rozwiązane według wynalazku w taki sposób, że do wejść informacji szeregowej rejestru dołączono funktor wykazujący każdą zmianę informacji wejściowej, którego wyjście jest połączone z układem logicznym programującym wywoływanie elementów rejestru, a wyjścia układu logicznego programującego są połączone z wszystkimi przerzutnikami odpowiednich kolumn rejestru.

Układ logiczny programujący zawiera funktor

2

zanegowanej koniunkcji, licznik, dekodery, człon różniczkujący, inwerter i przerzutnik statyczny, przy czym dwa wejścia funkтора zaniegowanej koniunkcji są połączone odpowiednio z wyjściem funkтора wykazującego zmianę informacji wejściowej i z wyjściem przerzutnika statycznego, a do wyjścia funkтора zaniegowanej koniunkcji jest podłączone wejście zliczające licznika, który jest sprzężony z dekodery. Ostatnie wyjście dekodera jest połączone poprzez człon różniczkujący i inwerter z wejściem gaszącym przerzutnika statycznego, zaś do wejścia ustalającego przerzutnika statycznego i do wejścia zerującego licznika jest dołączone źródło sygnału kasującego.

Przy takim układzie połączeń konwertera do rejestru można wpisać tylko określoną liczbę słów. Po zapisaniu informacji rejestr nie przyjmuje następnych słów aż do momentu odblokowania go sygnałem kasującym wprowadzonym do układu programującego.

Na rysunku jest uwidoczniony schematycznie przykład wykonania układu połączeń konwertera według wynalazku.

W układzie połączeń według wynalazku do wejść informacji szeregowej $A_1, A_2, \dots, A_m$ rejestru 1 dołączono funktor 2 wykazujący zmianę informacji wejściowej, którego wyjście jest połączone z układem logicznym 3 programującym wywoływanie elementów rejestru, zaś wyjścia $B_1, B_2, \dots, B_n$ układu 3 są połączone ze wszystkimi przerzutni-

kami odpowiednich kolumn $K_1, K_2, \dots, K_n$. Układ logiczny programujący 3 zawiera funktor 4 zanegowanej koniunkcji, licznik 5, dekodery 6, człon różniczkujący 7, inwerter 8 i przerzutnik statyczny 9, przy czym dwa wejścia funkтора 4 są połączone odpowiednio z wyjściem funkтора 2 i z wyjściem przerzutnika 9. Wyjście funkтора 4 jest połączone z wejściem zliczającym licznika 5, który jest sprzężony z dekodery 6. Ostatnie wyjście B_n dekodera 6 jest połączone poprzez człon różniczkujący 7 i inwerter 8 z wejściem gaszącym przerzutnika 9, przy czym do wejścia ustalającego tego przerzutnika i wejścia zerującego licznika 5 jest dołączone źródło sygnału kasującego 10. Rejestr 1 traktowany jest jako matryca złożona z synchronicznych przerzutników pamięciowych, w której ilość kolumn określa zadaną ilość słów wprowadzanej informacji, zaś ilość wierszy jest równa ilości bitów słowa.

Działanie układu jest następujące: Na wejścia $A_1, A_2, \dots, A_m$ są podane napięciowe sygnały elektryczne o poziomie odpowiadającym jedynie logicznej, w dodatniej konwencji logicznej. Sygnał na wyjściu funkтора 2 ma poziom zera logicznego. Sygnał ten jest przekazywany na wejście układu logicznego programującego 3.

Licznik 5 zbudowany z przerzutników dwustabilnych jest ustawiony w pozycji zerowej za pomocą sygnału kasującego 10. Jednocześnie sygnał 10 ustawia funkтор 9 w pozycji umożliwiającej przedostanie się sygnału z wyjścia funkтора 2 na wejście zliczające licznika 5.

Pojawienie się na wejściach $A_1, A_2, \dots, A_m$ pierwszego słowa, stanowiącego część informacji przetwarzanej, które jest kombinacją zer i jedynek logicznych, powoduje zmianę poziomu sygnału na wyjściu funkтора 2 do stanu jedynki logicznej. Sygnał ten, przekazany na wejście zliczające licznika 5, wywołuje odpowiednią zmianę stanów logicznych na wyjściach dekodera 6, przy czym na wyjściu B_1 uzyskuje się stan jedynki logicznej.

Dodatknie zbocze sygnału na wyjściu B_1 powoduje wpisanie bitów pierwszego słowa do odpowiednich synchronicznych przerzutników pamięciowych w kolumnie K_1 rejestru 1 i przekazanie go na wyjścia $W_{11}, W_{12}, \dots, W_{1m}$. Podanie następnego słowa na wejścia $A_1, A_2, \dots, A_m$ rejestru 1 prowadzi w taki sam sposób do pojawienia się jedynki logicznej na wyjściu B_2 dekodera 6, zapamiętanie słowa w przerzutnikach kolumny K_2 rejestru 1 i przekazanie go na wyjścia $W_{21}, W_{22}, \dots, W_{2m}$.

Ostatnie słowo przetwarzanej informacji jest zapisane w przerzutnikach kolumny K_n rejestru 1 i pojawia się na wyjściach $W_{n1}, W_{n2}, \dots, W_{nm}$.

Jednocześnie wywołany przez ostatnie słowo sygnał jedynki logicznej na wyjściu B_n dekodera 6 jest podany przez człon różniczkujący 7 i inwerter 8 do wejścia gaszącego przerzutnika 9 powodując jego przełączenie i odcięcie wejścia zliczającego licznika 5 od wyjścia funkтора 2.

Ewentualne następne słowa pojawiające się na wejściach $A_1, A_2, \dots, A_m$ nie przedostają się na wyjścia konwertera. Zawartość rejestru może ulec zmianie dopiero po wystąpieniu impulsu kasującego 10, w wyniku czego układ konwertera jest gotowy do przyjęcia następnej informacji.

W omawianym przykładzie wykonania licznik 5 z dekodery 6 i rejestr 1 mogą być rozbudowane do pojemności umożliwiającej wprowadzenie dowolnego, zadanego z góry formatu informacji.

Przedstawiony układ konwertera do zamiany kodu z postaci szeregowej na postać równoległą może być stosowany w urządzeniach wprowadzania danych, systemach kontrolno-pomiarowych i układach sterowania automatycznego.

Zastrzeżenia patentowe

1. Układ połączeń konwertera do zamiany kodu z postaci szeregowej na postać równoległą, którego rejestr jest matrycą złożoną z synchronicznych przerzutników pamięciowych o ilości kolumn równej zadanej ilości słów wprowadzanej informacji i o ilości wierszy równej ilości bitów słowa, **znamienny tym**, że do wejść informacji szeregowej ($A_1, A_2, \dots, A_m$) rejestru (1) dołączono funkтор (2) wykazujący zmianę informacji wejściowej, którego wyjście jest połączone z układem logicznym programującym (3), programującym wywoływanie elementów rejestru, zaś wyjścia ($B_1, B_2, \dots, B_n$) układu (3) są połączone z wszystkimi przerzutnikami odpowiednich kolumn ($K_1, K_2, \dots, K_n$) rejestru (1).

2. Układ połączeń według zastrz. 1, **znamienny tym**, że układ logiczny programujący (3) zawiera funkтор zanegowanej koniunkcji (4), licznik (5), dekodery (6), człon różniczkujący (7), inwerter (8) i przerzutnik statyczny (9), przy czym dwa wejścia funkтора (4) są połączone odpowiednio z wyjściem funkтора (2) i wyjściem przerzutnika (9), a wyjście funkтора (4) jest połączone z wejściem zliczającym licznika (5), który jest sprzężony z dekodery (6), zaś ostatnie wyjście (B_n) dekodera (6) jest połączone poprzez człon różniczkujący (7) i inwerter (8) z wejściem gaszącym przerzutnika (9), przy czym do wejścia ustalającego przerzutnika (9) i wejścia zerującego licznika (5) jest dołączone źródło sygnału kasującego (10).

