

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成27年8月6日 (2015.8.6)

【公開番号】特開2015-38738(P2015-38738A)
 【公開日】平成27年2月26日 (2015.2.26)
 【年通号数】公開・登録公報2015-013
 【出願番号】特願2014-180233(P2014-180233)
 【国際特許分類】

G 0 6 F 12/00 (2006.01)
 H 0 1 L 21/8246 (2006.01)
 H 0 1 L 27/105 (2006.01)
 G 1 1 C 11/15 (2006.01)

【 F I 】

G 0 6 F 12/00 5 5 0 E
 H 0 1 L 27/10 4 4 7
 G 1 1 C 11/15 1 0 0
 G 0 6 F 12/00 5 9 7 U

【手続補正書】
 【提出日】平成27年6月18日 (2015.6.18)
 【手続補正 1】

【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】

【請求項 1】

複数の機能的ブロックと、ここで、各機能的ブロックは 1 つの機能的ユニットを有し、前記機能的ユニットに接続された磁気抵抗ランダムアクセスメモリ (MRAM) ブロックと、ここで、前記 MRAM ブロックは、前記機能的ユニットを含む前記機能的ブロックのスタンバイ状態の間に前記機能的ユニットの動作状態を格納するように構成されている、を具備し、

前記機能的ブロックの他がパワーオン状態であるとき、前記機能的ブロックの一つをスタンバイ状態に設定するように適合する、コンピューティングシステム。

【請求項 2】

第 1 の機能的ユニット及び前記 MRAM ブロックに接続されたランダムアクセスメモリ (RAM) ブロックをさらに具備し、

前記 RAM ブロックは、前記第 1 の機能的ユニットのパワーオン状態の間に前記第 1 の機能的ユニットの動作状態の一部を格納するように構成され、

前記 MRAM ブロックは、前記スタンバイ状態の間に前記一部を格納するようにさらに構成される、

請求項 1 記載のコンピューティングシステム。

【請求項 3】

前記スタンバイ状態の間に、前記 RAM に置かれた前記動作状態の前記一部を前記 MRAM ブロックに転送するように構成されたデータムーバブロックをさらに具備する請求項 2 記載のコンピューティングシステム。

【請求項 4】

前記 MRAM ブロックは、スピントルクトランスファ (STT) MRAM ブロックである請求項 1 記載のコンピューティングシステム。

【請求項 5】

前記動作状態は、前記機能的ユニットの前記動作状態を表している多数のデータを具備する請求項 1 記載のコンピューティングシステム。

【請求項 6】

前記MRAMブロックはSTT MRAMチップを具備し、前記機能的ユニットは機能的ユニットチップを具備し、

前記STT MRAMチップ及び前記機能的ユニットチップは、お互いの上部にスタックされ、1つ以上の導電性のボンディングパッドとともに接合される、請求項 1 記載のコンピューティングシステム。

【請求項 7】

前記MRAMブロックは、前記機能的ユニットの製造の間に、前記機能的ユニットのシリコン基板に前記MRAMブロックを埋め込むことによって、前記機能的ユニットに接続される請求項 1 記載のコンピューティングシステム。

【請求項 8】

前記MRAMブロックは、前記コンピューティングシステムの送信バスを通して、前記機能的ユニットに接続される請求項 1 記載のコンピューティングシステム。

【請求項 9】

複数の機能的ブロックを含むコンピューティングシステムを動作させる方法であって、前記コンピューティングシステムの1つの機能的ユニットを含む1つの機能的ブロックが、スタンバイ状態に入することを要求しているスタンバイ信号を受信することと、

前記スタンバイ信号の受信に応答して、前記1つの機能的ブロック内において、磁気ランダムアクセスメモリ(MRAM)に前記機能的ユニットの現在の動作状態の一部を格納することと、ここで、前記MRAMは前記機能的ユニットに接続されている、

他の機能的ブロックがパワーオン状態に設定されるとき、前記現在の動作状態が格納された後に、前記機能的ユニットを含む前記一つの機能的ブロックから電力を取り除くことと、

を具備する方法。

【請求項 10】

前記スタンバイモードの前記機能的ユニットが動作モードに入することを要求しているウェイクアップ信号を受信することと、

前記ウェイクアップ信号の受信に応答して、前記スタンバイモードの前記機能的ユニットに前記電力を復元することと、

前記MRAMから前記機能的ユニットに前記現在の動作状態の一部をロードすることと、をさらに具備する請求項 9 記載の方法。

【請求項 11】

前記格納することは、

前記現在の動作状態の一部を定義している複数のデータのいくつかに関して前記機能的ユニットをスキャンすることと、

前記機能的ユニットから前記MRAMに前記複数のデータの前記いくつかを送信することと、

前記機能的ユニット内に接続されたランダムアクセスメモリ(RAM)から前記MRAMに前記現在の動作状態の他の部分を定義している前記複数のデータの追加のいくつかを転送することと、

を具備する請求項 9 記載の方法。

【請求項 12】

前記スタンバイモードの前記機能的ユニットが動作モードに入することを要求しているウェイクアップ信号を受信することと、

前記ウェイクアップ信号に応答して、前記スタンバイモードの前記機能的ユニットに前記電力を復元することと、

前記MRAMから前記機能的ユニットに前記複数のデータの前記いくつかをロードすること

と、

前記MRAMから前記RAMに前記複数のデータの前の追加のいくつかを回復することと、
をさらに具備する請求項 1 記載の方法。

【請求項 1 3】

前記格納することは、

1 つ以上のラッチと関連付けされた 1 つ以上の磁気メモリに、前記機能的ユニットの前の現在の動作状態の一部を定義している複数のデータのいくつかを格納することと、

前記機能的ユニット内に接続されたランダムアクセスメモリ (RAM) から前記MRAMに、
前記現在の動作状態の他の一部を定義している前記複数のデータの追加のいくつかを転送
することと、

を具備する請求項 9 記載の方法。

【請求項 1 4】

前記スタンバイモードの前記機能的ユニットが動作モードに入ることを要求しているウ
ェイクアップ信号を受信することと、

前記ウェイクアップ信号に応答して、前記スタンバイモードの前記機能的ユニットに電
源から前記電力を復元することと、

前記 1 つ以上の磁気メモリから前記機能的ユニットに、前記複数のデータの前のいくつか
をロードすることと、

前記MRAMから前記RAMに、前記複数のデータの前の追加のいくつかを回復することと、
をさらに必要とする請求項 1 3 記載の方法。

【請求項 1 5】

前記電力を取り除くことは、

前記機能的ブロックに接続された電源を切ることと、

前記電源と前記機能的プロセッサ間で開回路を作ることと

の 1 つまたは両方を具備する請求項 9 記載の方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 8

【補正方法】変更

【補正の内容】

【0 0 0 8】

本開示の代表的実施形態は少なくとも 1 つの機能的ユニット、及び少なくとも一つの機能的ユニットに接続された磁気抵抗ランダムアクセスメモリ (MRAM) ブロックを具備しているコンピューティングシステムに関連する。MRAM ブロックは機能的ユニットの電力を減少させる状態の間、機能的ユニットの機能的状態を格納するように構成される。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 2

【補正方法】変更

【補正の内容】

【0 0 3 2】

本発明及びその有利なことは詳細に記述されるけれども、様々な変形、代用及び変更が、添付された請求項によって定義されるような発明の精神及び範囲から逸脱することなくこの中に作成されることができるということを理解されるだろう。例えば、前述の記述は DRAM または不揮発性 RAM のようなあるタイプのメモリに置き換えることを記述したけれども、開示はこのような実施形態に限定されない。さらに、各々のタイプのメモリの一部は、MRAM が各々のタイプのメモリのある一部にだけ置き換えることで、必要に応じて残すことができる。さらに、本出願の範囲は明細書内に記述された事項、手段、方法及びステップの合成、プロセス、装置、製造の特定の実施形態に限定されることを意図しない。当業者の一人は本発明の開示からすでに理解するだろう時、この中に記述された対応する実

施形態と同様の結果を実質的に達成または同様の機能を実質的に実行するように開発された現時存在しているまたは後に存在する事項、手段、方法、またはステップの合成、プロセス、装置、製造が本発明に従って利用されるかもしれない。したがって、添付された請求項は、それらの範囲内に、これらの、事項、手段、方法、またはステップの合成、プロセス、装置、製造を含むように意図される。

以下に、本願出願の当初の特許請求の範囲に記載された発明を付記する。

[1] 少なくとも1つの機能的ユニットと、前記少なくとも1つの機能的ユニットに接続された磁気ランダムアクセスメモリ(MRAM)ブロック、前記MRAMブロックが前記少なくとも1つの機能的ユニットのパワーダウン状態の間前記少なくとも1つの機能的ユニットの機能的状態を格納するように構成されている、とを具備するコンピューティングシステム。

[2] 前記少なくとも1つの機能的ユニット及び前記MRAMブロックに接続されたランダムアクセスメモリ(RAM)ブロック、前記RAMブロックが前記少なくとも1つの機能的ユニットのパワーオン状態の間前記少なくとも1つの機能的ユニットの前記機能的状態の一部を格納するように構成され、前記MRAMブロックが前記パワーダウン状態の間前記一部を格納するようにさらに構成される、とをさらに具備する[1]記載のコンピューティングシステム。

[3] 前記パワーダウン状態の間、前記RAMに置かれた前記機能的状態の前記一部を前記MRAMブロックに転送するように構成されたデータムーバブロックをさらに具備する[2]記載のコンピューティングシステム。

[4] 前記MRAMブロックがスピントルクトランスファ(STT)MRAMブロックである[1]記載のコンピューティングシステム。

[5] 前記機能的状態が、前記少なくとも一つの機能的ユニットの前記機能的状態を表している多数のデータを具備する[1]記載のコンピューティングシステム。

[6] 前記MRAMブロックがSTT MRAMチップを具備し、前記少なくとも1つの機能的ユニットが少なくとも一つの機能的ユニットチップを具備し、前記STT MRAMチップ及び前記少なくとも1つの機能的ユニットチップがお互いの上部にスタックされ、1つ以上の導電性のボンディングパッドとともに接合される、[1]記載のコンピューティングシステム。

[7] 前記MRAMブロックが、前記少なくとも1つの機能的ユニットの製造の間、前記少なくとも1つの機能的ユニットのシリコン基板に前記MRAMブロックを埋め込むことによって、前記少なくとも1つの機能的ユニットに接続される[1]記載のコンピューティングシステム。

[8] 前記MRAMブロックが、前記コンピューティングシステムの送信バスを通して、前記少なくとも1つの機能的ユニットに接続される[1]記載のコンピューティングシステム。

[9] コンピューティングシステムの1つ以上の機能的ユニットにスタンバイ状態に入することを要求しているスタンバイ信号を受信することと、前記スタンバイ信号の受信に 응답して、前記1つ以上の機能的ユニットに接続された磁気ランダムアクセスメモリ(MRAM)に前記1つ以上の機能的ユニットの現在の動作状態の少なくとも一部を格納することと、前記現在の動作状態が格納された後、前記1つ以上の機能的ユニットから電力を取り除くことを具備する方法。

[10] 前記スタンバイモードの前記1つ以上の機能的ユニットが動作モードに入することを要求しているウェイクアップ信号を受信することと、前記ウェイクアップ信号の受信に 응답して、前記スタンバイモードの前記1つ以上の機能的ユニットに前記電力を復元することと、前記1つ以上の機能的ユニットに前記現在の動作状態を回復することとをさらに具備する[9]記載の方法。

[11] 前記格納することが、前記現在の動作状態の少なくとも一部を定義している多数のデータのいくつかに関して前記1つ以上の機能的ユニットの処理バスをスキャンすることと、前記1つ以上の機能的ユニットから前記MRAMに前記多数のデータの前記いくつかを送信することと、前記1つ以上の機能的ユニット内に接続されたランダムアクセスメモ

リ（RAM）から前記MRAMに前記現在の動作状態の他の部分を定義している前記多数のデータの追加のいくつかを転送することとを具備する〔 9 〕記載の方法。

〔 1 2 〕 前記スタンバイモードの前記 1 つ以上の機能的ユニットに動作モードに入るとを要求しているウェイクアップ信号を受信することと、前記ウェイクアップ信号に 응답して、前記スタンバイモードの前記 1 つ以上の機能的ユニットに前記電力を復元することと、前記 1 つ以上の機能的ユニットの前記処理パスに前記MRAMから前記多数のデータのの前記いくつかをロードすることと、前記RAMに前記MRAMから前記多数のデータのの前記追加のいくつかを回復することとをさらに具備する〔 1 1 〕記載の方法。

〔 1 3 〕 前記格納することが、処理パスで 1 つ以上のラッチと関連付けされた 1 つ以上の磁気メモリに、前記 1 つ以上の機能的ユニットの前記処理パスに置かれた前記現在の動作状態の少なくとも一部を定義している多数のデータのいくつかを格納することと、前記 1 つ以上の機能的ユニット内に接続されたランダムアクセスメモリ（RAM）から前記MRAMに前記現在の動作状態の他の一部を定義している前記多数のデータの追加のいくつかを転送することとを具備する〔 9 〕記載の方法。

〔 1 4 〕 前記スタンバイモードの前記 1 つ以上の機能的ユニットに動作モードに入るとを要求しているウェイクアップ信号を受信することと、前記ウェイクアップ信号に 응답して、前記スタンバイモードの前記 1 つ以上の機能的ユニットに前記電源から前記電力を復元することと、前記 1 つ以上の磁気メモリから前記多数のデータのの前記いくつかを前記 1 つ以上の機能的ユニットの前記処理パスにロードすることと、前記MRAMから前記多数のデータのの前記追加のいくつかを前記RAMに回復することとをさらに要求する〔 1 3 〕記載の方法。

〔 1 5 〕 前記電力を取り除くことは、前記 1 つ以上の機能的ユニットに接続された電源を切ることと、前記電源と前記 1 つ以上の機能的ユニット間で開回路を作ることとの 1 つまたは両方を具備する〔 9 〕記載の方法。

〔 1 6 〕 コンピューティングシステムの 1 つ以上の機能的ユニットがスタンバイ状態に入るとを要求しているスタンバイ信号を受信するための手段と、前記スタンバイ信号に 응답して、前記 1 つ以上の機能的ユニットに接続された磁気ランダムアクセスメモリ（MRAM）に前記 1 つ以上の機能的ユニットの現在の動作状態の少なくとも一部を格納するための手段と、前記現在の動作状態が格納された後、前記 1 つ以上の機能的ユニットから電力を取り除くための手段と、前記スタンバイモードで前記 1 つ以上の機能的ユニットが動作モードに入るとを要求しているウェイクアップ信号を受信するための手段と、前記ウェイクアップ信号に 응답して、前記スタンバイモードの前記 1 つ以上の機能的ユニットに前記電力を復元するための手段と、前記 1 つ以上の機能的ユニットに前記現在の動作状態を回復するための手段とを具備するシステム。

〔 1 7 〕 前記格納するための手段が、前記現在の動作状態の少なくとも一部を定義している多数のデータのいくつかに関して前記 1 つ以上の機能的ユニットの処理パスをスキャンするための手段と、前記 1 つ以上の機能的ユニットから前記MRAMに前記多数のデータのの前記いくつかを送信するための手段と、前記 1 つ以上の機能的ユニット内に接続されたランダムアクセスメモリ（RAM）から前記MRAMに前記現在の動作状態の他の一部を定義している前記多数のデータの追加のいくつかを転送するための手段とを具備する〔 1 6 〕記載のシステム。

〔 1 8 〕 前記MRAMから前記多数のデータのの前記いくつかを前記 1 つ以上の機能的ユニットの前記処理パスにロードするための手段と、前記MRAMから前記多数のデータのの前記追加のいくつかを前記RAMに回復するための手段とをさらに具備する〔 1 7 〕記載のシステム。

〔 1 9 〕 前記格納するための手段が、前記処理パスで 1 つ以上のラッチと関連付けされた 1 つ以上の磁気メモリに前記 1 つ以上の機能的ユニットの処理パスに置かれた前記現在の動作状態の少なくとも一部を定義している多数のデータのいくつかを格納するための手段と、前記 1 つ以上の機能的ユニット内に接続されたランダムアクセスメモリ（RAM）から前記MRAMに前記現在の動作状態の他の部分を定義している前記多数のデータの追加のい

くつかを転送するための手段とを具備する [1 6] 記載のシステム。

[2 0] 前記 1 つ以上の磁気メモリからの前記多数のデータの前記いくつかを前記 1 つ以上の機能的ユニットの前記処理パスにロードするための手段と、前記MRAMから前記多数のデータの前記追加のいくつかを前記RAMに回復するための手段とをさらに具備する [1 9] 記載のシステム。

[2 1] 前記電力を前記取り除くための手段が、前記 1 つ以上の機能的ユニットに接続された電源を切るための手段と、前記電源と前記 1 つ以上の機能的ユニットの間の開回路を作るための手段との 1 つまたは両方を具備する [1 6] 記載のシステム。