



(12) 发明专利

(10) 授权公告号 CN 109429559 B

(45) 授权公告日 2022.06.03

(21) 申请号 201880002381.3

(72) 发明人 佐藤嘉晃 山田翔太 村上雅史

(22) 申请日 2018.06.12

广瀬裕

(65) 同一申请的已公布的文献号

申请公布号 CN 109429559 A

(74) 专利代理机构 永新专利商标代理有限公司

(43) 申请公布日 2019.03.05

72002

(30) 优先权数据

专利代理人 蒋巍

2017-131878 2017.07.05 JP

(51) Int.CI.

2017-131879 2017.07.05 JP

H04N 5/374 (2006.01)

2018-104972 2018.05.31 JP

H01L 27/146 (2006.01)

(85) PCT国际申请进入国家阶段日

H04N 5/359 (2006.01)

2018.12.10

(56) 对比文件

(86) PCT国际申请的申请数据

US 2012200752 A1, 2012.08.09

PCT/JP2018/022308 2018.06.12

US 2012200752 A1, 2012.08.09

(87) PCT国际申请的公布数据

US 6512544 B1, 2003.01.28

W02019/009023 JA 2019.01.10

US 6512544 B1, 2003.01.28

审查员 张鑫垚

(73) 专利权人 松下知识产权经营株式会社

权利要求书2页 说明书35页 附图33页

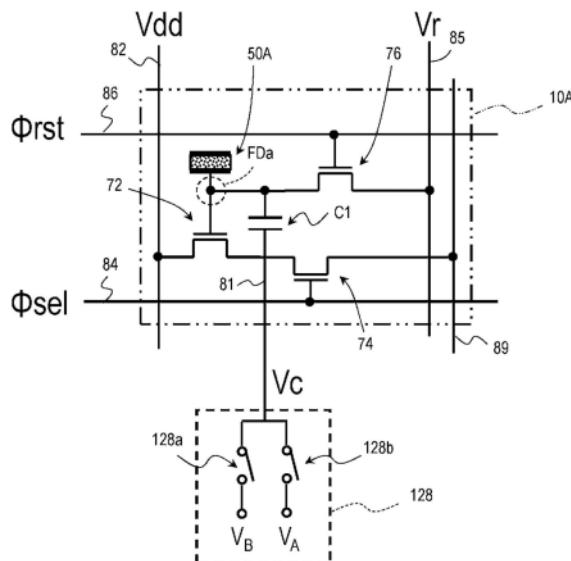
地址 日本大阪府

(54) 发明名称

摄像装置

(57) 摘要

一种摄像装置，具备：半导体基板，具有n型的导电型的第一杂质区域；光电变换部，与所述第一杂质区域电连接，将光转换成电荷；电容元件，具有第一端子及第二端子，所述第一端子与所述第一杂质区域电连接；电压供给电路，与所述第二端子电连接，所述电压供给电路向所述第二端子供给相互不同的第一电压和第二电压，所述第一杂质区域蓄积由所述光电变换部产生的电荷中的正电荷。



1.一种摄像装置,具备:

半导体基板,具有n型的导电型的第一杂质区域;

光电变换部,与所述第一杂质区域电连接,将光转换成电荷;

电容元件,具有第一端子及第二端子,所述第一端子与所述第一杂质区域电连接;

电压供给电路,与所述第二端子电连接;以及

第一晶体管,包括所述第一杂质区域作为源极及漏极中的一方,

所述电压供给电路向所述第二端子供给相互不同的第一电压及第二电压,

所述第一杂质区域蓄积由所述光电变换部产生的电荷中的正电荷,

所述电压供给电路在所述第一晶体管导通的第一期间将所述第一电压供给到所述第二端子,在接续于所述第一期间、且所述第一晶体管截止的第二期间将所述第二电压供给到所述第二端子。

2.根据权利要求1所述的摄像装置,其中,

所述半导体基板具有第二杂质区域,

所述第一晶体管包含所述第二杂质区域作为源极及漏极中的另一方,

所述第一端子与所述第二杂质区域连接。

3.一种摄像装置,具备:

半导体基板,具有n型的导电型的第一杂质区域;

光电变换部,与所述第一杂质区域电连接,将光转换成电荷;

电容元件,具有第一端子及第二端子,所述第一端子与所述第一杂质区域电连接;

电压供给电路,与所述第二端子电连接;以及

第一晶体管,包括所述第一杂质区域作为源极及漏极中的一方,

所述电压供给电路向所述第二端子供给相互不同的第一电压及第二电压,

所述第一杂质区域蓄积由所述光电变换部产生的电荷中的正电荷,

所述电压供给电路在将所述正电荷蓄积于所述第一杂质区域的第一期间向所述第二端子供给所述第一电压,在所述第一期间之后、并且所述第一晶体管导通的第二期间将所述第二电压供给到所述第二端子。

4.根据权利要求1至3中任一项所述的摄像装置,其中,

所述第二电压高于所述第一电压。

5.一种摄像装置,其中,

具备:

半导体基板,具有p型的导电型的第一杂质区域;

光电变换部,与所述第一杂质区域电连接,将光转换成电荷;

电容元件,具有第一端子及第二端子,所述第一端子与所述第一杂质区域电连接;

电压供给电路,与所述第二端子电连接;以及

第一晶体管,包括所述第一杂质区域作为源极及漏极中的一方,

所述电压供给电路向所述第二端子供给相互不同的第一电压及第二电压,

所述第一杂质区域蓄积由所述光电变换部产生的电荷中的负电荷,

所述电压供给电路在所述第一晶体管导通的第一期间将所述第一电压供给到所述第二端子,在接续于所述第一期间、且所述第一晶体管截止的第二期间将所述第二电压供给

到所述第二端子。

6. 根据权利要求5所述的摄像装置,其中,
所述半导体基板具有第二杂质区域,
所述第一晶体管包含所述第二杂质区域作为源极及漏极中的另一方,
所述第一端子与所述第二杂质区域连接。

7. 一种摄像装置,具备:
半导体基板,具有p型的导电型的第一杂质区域;
光电变换部,与所述第一杂质区域电连接,将光转换成电荷;
电容元件,具有第一端子及第二端子,所述第一端子与所述第一杂质区域电连接;
电压供给电路,与所述第二端子电连接;以及
第一晶体管,包括所述第一杂质区域作为源极及漏极中的一方,
所述电压供给电路向所述第二端子供给相互不同的第一电压及第二电压,
所述第一杂质区域蓄积由所述光电变换部产生的电荷中的负电荷,

所述电压供给电路在将所述负电荷蓄积在所述第一杂质区域的第一期间向所述第二端子供给所述第一电压,在所述第一期间后、并且所述第一晶体管导通的第二期间将所述第二电压供给到所述第二端子。

8. 根据权利要求5至7中任一项所述的摄像装置,其中,
所述第二电压低于所述第一电压。

9. 根据权利要求1至3以及权利要求5至7中任一项所述的摄像装置,其中,
所述电容元件及所述第一杂质区域是蓄积由所述光电变换部产生的电荷中的一个极性的电荷的电荷蓄积节点的至少一部分,

所述电容元件的电容值小于所述电荷蓄积节点中的除所述电容元件以外的部分的电容值。

10. 根据权利要求1至3以及权利要求5至7中任一项所述的摄像装置,其中,
所述光电变换部具有第一电极、与所述第一电极相对的第二电极、以及光电变换层,所述光电变换层位于所述第一电极和所述第二电极之间,

所述第一电极与所述第一杂质区域电连接。

11. 根据权利要求1至3以及权利要求5至7中任一项所述的摄像装置,其中,
所述光电变换部是埋入式光电二极管。

摄像装置

技术领域

[0001] 本发明涉及摄像装置。

背景技术

[0002] CCD(电荷耦合元件)图像传感器及CMOS(互补金属氧化物半导体)图像传感器被广泛用于数码静物相机、数码相机等。众所周知,这些图像传感器具有形成在半导体基板上的光电二极管。

[0003] 另一方面,提出了将具有光电变换层的光电变换部配置在半导体基板的上方的结构(例如专利文献1)。具有这样的结构的摄像装置有时被称为层叠型的摄像装置。层叠型的摄像装置具有与光电变换部电连接的节点,该节点是将通过光电变换生成的正电荷以及负电荷中的一方作为信号电荷暂时蓄积的浮置节点。该浮置节点通常具有形成在支承光电变换部的半导体基板上的扩散区域、以及将光电变换部和扩散区域相互电连接的导电结构。在半导体基板上设置有CCD电路或CMOS电路,经由CCD电路或CMOS电路读出与蓄积于浮置节点的电荷量对应的信号。

[0004] 专利文献1:国际公开第2012/147302号

发明内容

[0005] 在摄像装置的领域中,存在降低噪声的要求。在摄像装置中,由于来自蓄积由光电变换而产生的电荷的杂质区域的、或者向杂质区域的漏电流,有时所得到的图像产生劣化。因此,能够降低这样的漏电流是有益的。以下,有时将来自蓄积由光电变换而产生的电荷的杂质区域的、或者向杂质区域的漏电流简称为“暗电流”。

[0006] 根据本发明的非限定性的示例性的实施方式,提供以下方案。

[0007] 一种摄像装置,具备如下结构:半导体基板,具有n型的导电型的第一杂质区域;光电变换部,与所述第一杂质区域电连接,将光转换成电荷;电容元件,具有第一端子和第二端子,所述第一端子电连接于所述第一杂质区域;以及电压供给电路,与所述第二端子电连接,所述电压供给电路向所述第二端子供给相互不同的第一电压及第二电压,所述第一杂质区域蓄积由所述光电变换部产生的电荷中的正电荷。

[0008] 总括性的或具体的形式可以通过元件、设备、模块、系统或方法来实现。另外,总括性的或具体的形式也可以通过元件、设备、装置、模块、系统以及方法的任意组合来实现。

[0009] 根据说明书及附图可知所公开的实施方式的追加的效果以及优点。效果和/或优点通过说明书及附图中公开的各种实施方式或特征而分别被提供,为了得到这些的一个以上的这些效果和/或优点,不需要全部上述特征。

[0010] 根据本发明的实施方式,提供了抑制暗电流的摄像装置。

附图说明

[0011] 图1是示意性地表示根据本发明的第一实施方式的摄像装置的示例性结构的图。

- [0012] 图2是示意性地表示像素10的例示的设备结构的剖视图。
- [0013] 图3是示意性地表示图2所示的像素10A的电路结构的典型例的图。
- [0014] 图4A是用于说明具有图3所示的电路结构的像素10A的示例性的动作的时序图。
- [0015] 图4B是用于说明将p型晶体管应用于像素10A的复位晶体管76时的示例性的动作的时序图。
- [0016] 图4C是用于说明像素10A、10Ap以及10Aq的动作的其他例子的时序图。
- [0017] 图5是示意性地表示像素10的其他电路结构的例子的图。
- [0018] 图6是示意性地表示像素10的另一其他电路结构的例子的图。
- [0019] 图7A是示意性地表示像素10的另一其他电路结构的例子的图。
- [0020] 图7B是示意性地表示像素10的另一其他电路结构的例子的图。
- [0021] 图8是用于说明图7A所示的像素10Ar或图7B所示的像素10As的示例性的动作的时序图。
- [0022] 图9A是示意性地表示像素10的另一其他电路结构的例子的图。
- [0023] 图9B是示意性地表示像素10的另一其他电路结构的例子的图。
- [0024] 图10是用于说明图9A所示的像素10At或者图9B所示的像素10Au的示例性的动作的时序图。
- [0025] 图11A是示意性地表示像素10的另一其他电路结构的例子的图。
- [0026] 图11B是示意性地表示像素10的另一其他电路结构的例子的图。
- [0027] 图11C是示意性地表示像素10的另一其他电路结构的例子的图。
- [0028] 图12是示意性地表示根据本发明的第二实施方式的摄像装置所具有的像素10B的电路结构的一个例子的图。
- [0029] 图13是表示应用了图12所示的电路结构的更具体的例子的图。
- [0030] 图14A是用于说明具有图13所示的电路结构的像素10Bf的示例性的动作的时序图。
- [0031] 图14B是用于说明将p型晶体管应用于像素10Bf的复位晶体管76及晶体管78时的示例性动作的时序图。
- [0032] 图15是表示根据本发明的第二实施方式的摄像装置的变形例的图。
- [0033] 图16是表示根据本发明的第二实施方式的摄像装置的另一变形例的图。
- [0034] 图17A是用于说明具有图16所示的电路结构的像素10Br的示例性的动作的时序图。
- [0035] 图17B是用于说明将p型晶体管应用于像素10Br的复位晶体管76及晶体管78并且使用电子作为信号电荷时的示例性动作的时序图。
- [0036] 图18是表示根据本发明的第二实施方式的摄像装置的另一变形例的图。
- [0037] 图19A是示意性地表示根据本发明的第三实施方式的摄像装置所具有的像素的电路结构的一个例子的图。
- [0038] 图19B是示意性地表示根据本发明的第三实施方式的摄像装置所具有的像素的电路结构的另一例子的图。
- [0039] 图20是用于说明具有图19A所示的电路结构的像素10D的示例性的动作的时序图。
- [0040] 图21是示意性地表示根据本发明的第四实施方式的摄像装置所具有的像素的电

路结构的一个例子的图。

- [0041] 图22A是用于说明具有图21所示的电路结构的像素10C的示例性的动作的时序图。
- [0042] 图22B是用于说明在像素10C的复位晶体管76中应用p型晶体管并且使用电子作为信号电荷时的示例性动作的时序图。
- [0043] 图23是表示根据本发明的第四实施方式的摄像装置的变形例的图。
- [0044] 图24是示意性地表示根据本发明的第五实施方式的示例性相机系统的功能框图。

具体实施方式

- [0045] 本说明书公开了以下项目中记载的摄像装置。
- [0046] [项目1]
 - [0047] 一种摄像装置,其中,
 - [0048] 具备:
 - [0049] 半导体基板,具有n型的导电型的第一杂质区域;
 - [0050] 光电变换部,与所述第一杂质区域电连接,将光转换成电荷;
 - [0051] 电容元件,具有第一端子及第二端子,所述第一端子与所述第一杂质区域电连接;以及
 - [0052] 电压供给电路,与所述第二端子电连接,
 - [0053] 所述电压供给电路向所述第二端子供给相互不同的第一电压及第二电压,
 - [0054] 所述第一杂质区域蓄积由所述光电变换部产生的电荷中的正电荷。
 - [0055] [项目2]
 - [0056] 根据项目1所述的摄像装置,其中,
 - [0057] 还具备第一晶体管,所述第一晶体管包括所述第一杂质区域作为源极及漏极中的一方,
 - [0058] 所述电压供给电路在所述第一晶体管导通的第一期间将所述第一电压供给到所述第二端子,在所述第一期间后、并且在所述第一晶体管截止的第二期间将所述第二电压供给到所述第二端子。
 - [0059] [项目3]
 - [0060] 根据项目1所述的摄像装置,其中,
 - [0061] 还具备第一晶体管,所述第一晶体管包括所述第一杂质区域作为源极及漏极中的一方,
 - [0062] 所述电压供给电路在将所述正电荷蓄积于所述第一杂质区域的第一期间向所述第二端子供给所述第一电压,在所述第一期间之后、并且所述第一晶体管导通的第二期间将所述第二电压供给到所述第二端子。
 - [0063] [项目4]
 - [0064] 根据项目2或3所述的摄像装置,其中,
 - [0065] 所述半导体基板具有第二杂质区域,
 - [0066] 所述第一晶体管包含所述第二杂质区域作为源极及漏极中的另一方,
 - [0067] 所述第一端子与所述第二杂质区域连接。
 - [0068] [项目5]

- [0069] 根据项目2至4中任一项所述的摄像装置,其中,
[0070] 所述第二电压高于所述第一电压。
- [0071] [项目6]
[0072] 一种摄像装置,其中,
[0073] 具备:
[0074] 半导体基板,具有p型的导电型的第一杂质区域;
[0075] 光电变换部,与所述第一杂质区域电连接,将光转换成电荷;
[0076] 电容元件,具有第一端子及第二端子,所述第一端子与所述第一杂质区域电连接,以及
[0077] 电压供给电路,与所述第二端子电连接,
[0078] 所述电压供给电路向所述第二端子供给相互不同的第一电压及第二电压,
[0079] 所述第一杂质区域蓄积由所述光电变换部产生的电荷中的负电荷。
- [0080] [项目7]
[0081] 根据项目6所述的摄像装置,其中,
[0082] 还具备第一晶体管,所述第一晶体管包括所述第一杂质区域作为源极及漏极中的一方,
[0083] 所述电压供给电路在所述第一晶体管导通的第一期间将所述第一电压供给到所述第二端子,在所述第一期间后、并且所述第一晶体管截止的第二期间将所述第二电压供给到所述第二端子。
- [0084] [项目8]
[0085] 根据项目6所述的摄像装置,其中,
[0086] 还具备第一晶体管,所述第一晶体管包括所述第一杂质区域作为源极及漏极中的一方,
[0087] 所述电压供给电路在将所述负电荷蓄积在所述第一杂质区域的第一期间向所述第二端子供给所述第一电压,在所述第一期间后、并且所述第一晶体管导通的第二期间将所述第二电压供给到所述第二端子。
- [0088] [项目9]
[0089] 根据项目7或8所述的摄像装置,其中,
[0090] 所述半导体基板具有第二杂质区域,
[0091] 所述第一晶体管包含所述第二杂质区域作为源极及漏极中的另一方,
[0092] 所述第一端子与所述第二杂质区域连接。
- [0093] [项目10]
[0094] 根据项目7至9中任一项所述的摄像装置,其中,
[0095] 所述第二电压低于所述第一电压。
- [0096] [项目11]
[0097] 根据项目1至10中任一项所述的摄像装置,其中,
[0098] 所述电容元件及所述第一杂质区域是蓄积由所述光电变换部产生的电荷中的一个极性的电荷的电荷蓄积节点的至少一部分,
[0099] 所述电容元件的电容值小于所述电荷蓄积节点中的除所述电容元件以外的部分

的电容值。

[0100] [项目12]

[0101] 根据项目1至11中任一项所述的摄像装置,其中,

[0102] 所述光电变换部具有第一电极、与所述第一电极相对的第二电极、以及光电变换层,所述光电变换层位于所述第一电极和所述第二电极之间,

[0103] 所述第一电极与所述第一杂质区域电连接。

[0104] [项目13]

[0105] 根据项目1至4以及项目6至9中任一项所述的摄像装置,其中,

[0106] 所述光电变换部是埋入式光电二极管。

[0107] 另外,本说明书公开了以下项目中记载的摄像装置。

[0108] [项目1]

[0109] 一种摄像装置,

[0110] 具备:

[0111] 半导体基板,具有第一杂质区域以及第二杂质区域;

[0112] 光电变换部,与第一杂质区域电连接;

[0113] 第一晶体管,包含第一杂质区域作为源极区域以及漏极区域中的一方,包含第二杂质区域作为源极区域以及漏极区域中的另一方;以及

[0114] 电压供给电路,电连接于第二杂质区域,

[0115] 电压供给电路在第一晶体管导通的第一期间对第二杂质区域施加第一电压,在第一期间后且第一晶体管截止的第二期间对第二杂质区域施加与第一电压不同的第二电压。

[0116] 根据项目1的结构,能够防止由于随着第一晶体管的截止而在第一杂质区域与其周围之间的pn结上施加正向偏压而产生暗电流。

[0117] [项目2]

[0118] 根据项目1所述的摄像装置,其中,还具备连接在第二杂质区域与电压供给电路之间的电容元件。

[0119] 根据项目2的结构,能够应用电压差更小的电压作为第一电压以及第二电压。

[0120] [项目3]

[0121] 根据项目2所述的摄像装置,其中,还具备源极区域及漏极区域中的一方电连接到第二杂质区域的第二晶体管。

[0122] [项目4]

[0123] 根据项目1所述的摄像装置,其中,还具备源极区域及漏极区域中的一方与第二杂质区域电连接的第二晶体管,电压供给电路与第二晶体管的源极区域及漏极区域中的另一方连接。

[0124] 根据项目4的构成,能够防止由于随着第二晶体管的截止而在第二杂质区域与其周围之间的pn结上施加正向偏压而产生暗电流。

[0125] [项目5]

[0126] 根据项目3或4所述的摄像装置,其中,第二期间是第二晶体管导通的期间中除第一期间以外的期间。

[0127] 根据项目5的结构,能够抑制起因于经由第一晶体管的耦合引起的第一杂质区域

的电位的变动的暗电流的产生。

[0128] [项目6]

[0129] 根据项目3或4所述的摄像装置,其中,第二期间自第二晶体管从导通切换为截止的定时开始。

[0130] 根据项目6的结构,能够抑制起因于经由第二晶体管的耦合引起的第二杂质区域的电位的变动的暗电流的产生。

[0131] [项目7]

[0132] 一种摄像装置,其中,

[0133] 具备:

[0134] 半导体基板,具有第一杂质区域;

[0135] 光电变换部,与第一杂质区域电连接;

[0136] 第一晶体管,包含第一杂质区域作为源极区域以及漏极区域中的一方,切换向第一杂质区域的复位电压的供给以及切断;以及

[0137] 电压供给电路,与第一杂质区域电连接,

[0138] 电压供给电路在第一晶体管导通的第一期间对第一杂质区域施加第一电压,在第一期间之后第一晶体管截止的第二期间对第一杂质区域施加与第一电压不同的第二电压。

[0139] 根据项目7的构成,能够防止由于随着第一晶体管的截止而在第一杂质区域与其周围之间的pn结上施加正向偏压而产生暗电流。

[0140] [项目8]

[0141] 根据项目7所述的摄像装置,其中,还具备连接在第一杂质区域与电压供给电路之间的电容元件。

[0142] 根据项目8的结构,能够应用电压差更小的电压作为第一电压以及第二电压。

[0143] [项目9]

[0144] 根据项目7或8所述的摄像装置,其中,还具备源极区域及漏极区域中的一方与第一晶体管的源极区域及漏极区域中的另一方电连接的第二晶体管,

[0145] 电压供给电路经由第一晶体管与第一杂质区域连接。

[0146] [项目10]

[0147] 根据项目3、4、5、6或9所述的摄像装置,其中,还具备反馈电路,该反馈电路包含第二晶体管,使由光电变换部产生的电信号负反馈。

[0148] 根据项目10的结构,能够利用负反馈来缩小kTC噪声。

[0149] [项目11]

[0150] 根据项目1至10中任一项所述的摄像装置,其中,第一晶体管是n型,第二电压比第一电压高。

[0151] 根据项目11的结构,能够避免第一杂质区域的电位和/或第一晶体管与第二晶体管之间的节点的电位低于半导体基板的基板电位。

[0152] [项目12]

[0153] 根据项目1至10中任一项所述的摄像装置,其中,第一晶体管是p型,第二电压比第一电压低。

[0154] 根据项目12的结构,能够避免第一杂质区域的电位和/或第一晶体管与第二晶体

管之间的节点的电位高于半导体基板的基板电位。

[0155] [项目13]

[0156] 一种摄像装置,其中,具备:

[0157] 半导体基板,具有第一杂质区域;

[0158] 光电变换部,与第一杂质区域电连接;

[0159] 复位晶体管,包含第一杂质区域作为源极区域以及漏极区域中的一方,切换向第一杂质区域的复位电压的供给以及切断;以及

[0160] 驱动电路,与复位晶体管的栅极连接,

[0161] 驱动电路通过向栅极依次施加复位晶体管导通的第一电压、复位晶体管截止的第二电压、以及第一电压与第二电压之间的第三电压来执行第一杂质区域的电位的复位。

[0162] 根据项目13的结构,能够避免电路变得过于复杂,并且能够防止由暗电流引起的画质的劣化。

[0163] [项目14]

[0164] 根据项目13所述的摄像装置,其中,

[0165] 复位晶体管是n型,

[0166] 第三电压比第一电压低且比第二电压高。

[0167] 根据项目14的结构,能够避免第一杂质区域的电位和/或第一晶体管与第二晶体管之间的节点的电位低于半导体基板的基板电位。

[0168] [项目15]

[0169] 根据项目13或14所述的摄像装置,其中,第三电压是在从驱动电路向栅极施加第三电压的状态下,第一杂质区域的电位高于半导体基板的基板电位的电压。

[0170] 根据项目15的结构,能够抑制暗电流对与复位后的电荷蓄积节点的电压电平对应的影响。

[0171] [项目16]

[0172] 根据项目13所述的摄像装置,其中,

[0173] 复位晶体管是p型,

[0174] 第三电压比第一电压高且比第二电压低。

[0175] 根据项目16的结构,能够避免第一杂质区域的电位和/或第一晶体管与第二晶体管之间的节点的电位高于半导体基板的基板电位。

[0176] [项目17]

[0177] 根据项目13或16所述的摄像装置,其中,第三电压是在从驱动电路向栅极施加第三电压的状态下第一杂质区域的电位比半导体基板的基板电位低的电压。

[0178] 根据项目17的结构,能够抑制暗电流对与复位后的电荷蓄积节点的电压电平对应的影响。

[0179] [项目18]

[0180] 一种摄像装置的驱动方法,所述摄像装置具备光电变换部、与光电变换部电连接的电荷蓄积节点、检测蓄积于电荷蓄积节点的信号电荷的检测电路、以及放出信号电荷的复位晶体管,其中,

[0181] 通过依次对复位晶体管的栅极施加复位晶体管导通的第一电压、复位晶体管截止

的第二电压、以及第一电压与第二电压之间的第三电压,来执行电荷蓄积节点的电位的复位。

[0182] 根据项目18的结构,能够避免电路变得过于复杂,并且能够防止由暗电流引起的画质的劣化。

[0183] [项目19]

[0184] 根据项目18所述的摄像装置,其中,

[0185] 电荷蓄积节点包含形成于半导体基板的n型的第一杂质区域,

[0186] 第三电压比第一电压低且比第二电压高。

[0187] [项目20]

[0188] 根据项目19所述的摄像装置的驱动方法,其中,将电荷蓄积节点的电位低于半导体基板的基板电位的电压作为第二电压施加。

[0189] [项目21]

[0190] 根据项目18所述的摄像装置,其中,

[0191] 电荷蓄积节点包含形成于半导体基板的p型的第一杂质区域,

[0192] 第三电压比第一电压高且比第二电压低。

[0193] [项目22]

[0194] 根据项目21所述的摄像装置的驱动方法,其中,将电荷蓄积节点的电位高于半导体基板的基板电位的电压作为第二电压施加。

[0195] [项目23]

[0196] 根据项目1至17中任一项或者项目19至22中任一项所述的摄像装置,其中,

[0197] 光电变换部还包含支承于半导体基板的第一电极、第二电极、以及位于第一电极以及第二电极之间的光电变换层,

[0198] 第一电极与第一杂质区域电连接。

[0199] [项目24]

[0200] 根据项目1至23中任一项所述的摄像装置,其中,光电变换部是埋入式光电二极管。

[0201] [项目25]

[0202] 一种具备多个像素的摄像装置,其中,

[0203] 多个像素的每一个像素具备:

[0204] 光电变换部,通过光电变换而生成电荷;

[0205] 电荷蓄积节点,蓄积电荷;

[0206] 复位晶体管,该复位晶体管与电荷蓄积节点电连接,将电荷蓄积节点的电位复位为基准电位;

[0207] 放大晶体管,该放大晶体管与电荷蓄积节点电连接,输出与蓄积在电荷蓄积节点中的电荷对应的信号电压;以及

[0208] 电容元件,该电容元件一端与电荷蓄积节点电连接,另一端与电压源连接,

[0209] 在将电荷蓄积于电荷蓄积节点的曝光期间,对电容元件的另一端施加第一电压,在曝光期间以外的非曝光期间中的复位期间,向另一端施加与第一电压不同的第二电压,

[0210] 复位期间是非曝光期间的一部分,是复位晶体管将电荷蓄积节点的电位复位为基

准电位的期间。

[0211] 根据项目25所记载的摄像装置,提供一种能够降低漏电流的摄像装置。

[0212] [项目26]

[0213] 根据项目25所述的摄像装置,其中,在非曝光期间的整体中,对电容元件的另一端施加第二电压。

[0214] 根据项目26所记载的摄像装置,例如在使用空穴作为信号电荷的情况下,通过在曝光期间将电荷蓄积节点的电位设定为低电位,并且在非曝光期间将电荷蓄积节点的电位设定为高电位,能够不使电路特性劣化,并降低暗电流。

[0215] [项目27]

[0216] 根据项目25或26所述的摄像装置,其中,电容元件与放大晶体管的栅极电连接。

[0217] 根据项目27所记载的摄像装置,能够将施加于电容元件的另一端的控制信号的电压变化经由电容元件提供给FD节点。

[0218] [项目28]

[0219] 如项目26或27所述的摄像装置,其中,

[0220] 还具备选择晶体管,该选择晶体管与放大晶体管电连接,并选择性地输出信号电压;

[0221] 选择晶体管的控制信号与电容元件的另一端连接。

[0222] 根据项目28所记载的摄像装置,能够将像素内的任意的控制信号还用作提供给电容元件的控制信号,因此能够减少所使用的控制信号线的数量。

[0223] [项目29]

[0224] 根据项目26或27所述的摄像装置,其中,还具备开关晶体管,该开关晶体管电连接在电容元件的一端与电荷蓄积节点之间、或者电压源与电容元件的另一端之间,切换电容元件及电荷蓄积节点的连接/非连接。

[0225] 根据项目29所记载的摄像装置,例如能够分开使用FD电位控制模式以及高增益模式,该FD电位控制模式对电荷蓄积节点的电位进行控制,该高增益模式高效地变换信号电荷。

[0226] [项目30]

[0227] 根据项目25至29中任一项所述的摄像装置,其中,

[0228] 电荷为空穴,

[0229] 第二电压高于第一电压。

[0230] 根据项目30所记载的摄像装置,能够提供一种能够降低漏电流的、使用空穴作为信号电荷的摄像装置。

[0231] [项目31]

[0232] 根据项目30所述的摄像装置,其中,复位晶体管及放大晶体管是N型晶体管。

[0233] 根据项目31所记载的摄像装置,在使用空穴作为信号电荷的情况下,能够适当地降低漏电流。

[0234] [项目32]

[0235] 根据项目25至29中任一项所述的摄像装置,其中,

[0236] 电荷为电子,

- [0237] 第二电压低于第一电压。
- [0238] 根据项目32所记载的摄像装置,能够提供一种能够降低漏电流的、使用电子作为信号电荷的摄像装置。
- [0239] [项目33]
- [0240] 根据项目32的摄像装置,其中,复位晶体管及放大晶体管是P型晶体管。
- [0241] 根据项目33所记载的摄像装置,在使用电子作为信号电荷的情况下,能够适当地降低漏电流。
- [0242] [项目34]
- [0243] 如项目30所述的摄像装置,其中,第一电压为接地电压。
- [0244] 根据项目34所记载的摄像装置,能够抑制施加于电容元件的控制信号的电源噪声混入电荷蓄积节点。
- [0245] [项目35]
- [0246] 根据项目30所述的摄像装置,其中,第二电压是接地电压。
- [0247] 根据项目35所记载的摄像装置,能够抑制施加于电容元件的控制信号的电源噪声混入电荷蓄积节点。
- [0248] [项目36]
- [0249] 根据项目25至35中任一项所述的摄像装置,其中,放大晶体管是耗尽型的晶体管。
- [0250] 根据项目36所记载的摄像装置,相对于低电平的电荷蓄积节点的电位,也能够从放大晶体管获得较高的输出,因此能够确保源极跟随电路的电流源的动作所需的电压范围。
- [0251] [项目37]
- [0252] 根据项目25至36中任一项所述的摄像装置,其中,
- [0253] 光电变换部具有:第一电极;与第一电极对置的第二电极;以及位于第一电极与第二电极之间且通过光电变换而产生电荷的光电变换膜。
- [0254] 根据项目37所记载的摄像装置,提供一种具备能够降低漏电流的、具有光电变换膜的光电变换部的摄像装置。
- [0255] 在下文中,将参考附图详细说明本发明的实施方式。另外,以下说明的实施方式均表示总括性的或具体的例子。以下的实施方式所示的数值、形状、材料、构成要素、构成要素的配置以及连接方式、步骤、步骤的顺序等是一个例子,并不是限定本发明的主旨。在本说明书中说明的各种形式只要不产生矛盾,就能够相互组合。另外,对于以下的实施方式中的构成要素中的、表示最上位概念的独立权利要求中没有记载的构成要素,作为任意的构成要素进行说明。在以下的说明中,实质上具有相同功能的构成要素用共同的参照附图标记表示,有时省略说明。
- [0256] (第一实施方式)
- [0257] 图1示意性地表示了根据本发明的第一实施方式的摄像装置的示例性结构。图1所示的摄像装置100具有包含多个像素10的像素阵列110和周边电路120。
- [0258] 像素阵列110例如包括以m行n列的矩阵状配置的多个像素10。在此,m、n是自然数。像素10例如通过二维地排列在半导体基板60上而形成摄像区域。像素阵列110中的像素10的数量及配置不限于图示的例子。例如,摄像装置100中包括的像素10的数量可以是一个。

在像素阵列110中的像素10的阵列是一维的情况下，摄像装置100可以用作线传感器。

[0259] 各像素10包括接收光的入射而生成电荷的光电变换部。各像素10的光电变换部可以是包含形成于半导体基板60的埋入式光电二极管、或者配置于半导体基板60中的与摄像区域对应的区域的上方的光电变换层的一部分的结构。另外，在本说明书中，“上方”、“下方”等用语只是为了指定部件间的相互的配置而使用的，并不意图限定摄像装置100使用时的姿势。

[0260] 在图1所示的结构中，周边电路120包括垂直扫描电路122、信号保持电路123、水平扫描电路124、输出级放大器126以及向像素阵列110中的各个像素10供给规定电压的电压供给电路128。在此，周边电路120设置在形成有上述像素阵列110的半导体基板60上。但是，周边电路120的配置并不限于该例，周边电路120的一部分或全部也可以配置在与半导体基板60不同的其他基板上。

[0261] 垂直扫描电路122也被称为行扫描电路，例如，具有与多个像素10的各行对应设置的地址信号线及复位信号线的连接。垂直扫描电路122可以通过向地址信号线和复位信号线供给规定信号来以行单位执行像素10中的信号电荷的蓄积和读出以及所蓄积的信号电荷的复位。周边电路120可以具有两个以上垂直扫描电路122。此外，在图1中，为了避免附图变得复杂，省略了地址信号线、复位信号线等各种信号线的图示。图1中的箭头示意性地表示供给到地址信号线、复位信号线等各种信号线的信号的流动。

[0262] 信号保持电路123与对应于多个像素10的各列而设置的未图示的垂直信号线连接，具有暂时保持向垂直信号线输出的信号的功能。信号可以以模拟值的形式被保持，也可以以实施了模拟-数字变换的数字值的形式被保持。信号保持电路123例如将在信号电荷蓄积后从像素10读出的信号与在信号电荷复位后从该像素10读出的信号之间的差分输出到水平扫描电路124。信号间的运算可以以模拟、数字的任意形式来执行。水平扫描电路124也被称为列扫描电路，典型地，在其一部分中包括模拟-数字变换电路。水平扫描电路124具有将由信号保持电路123以多个像素10的行为单位获得的差分信号读出到输出级放大器126的功能。

[0263] 电压供给电路128与各像素10电连接，构成为在摄像装置100动作时对各像素10切换并供给两个以上的规定的电压。电压供给电路128例如切换第一电压 V_A 以及第二电压 V_B 并供给到各像素10。在此，第二电压 V_B 是与第一电压 V_A 不同的电压。

[0264] 电压供给电路128只要构成为在摄像装置100动作时能够对各像素10施加规定的电压即可，并不限定于特定的电源电路。电压供给电路128可以是生成规定的电压的电路，也可以是将从其他电源供给的电压变换为规定的电压的电路。电压供给电路128可以是垂直扫描电路122的一部分。从电压供给电路128施加于各像素10的电压并不限于相互不同的两个电压。电压供给电路128也可以构成为能够切换相互不同的三个以上的电压并向各像素10供给。

[0265] (像素10的设备结构)

[0266] 图2示意性地表示了像素10的示例性的设备结构的截面。图2示意性地表示像素10中的各部的形状、尺寸以及配置，图2中所示的各部的形状、尺寸以及配置未必反映现实的设备中的形状、尺寸以及配置。这同样适用于本发明的其它附图。

[0267] 图2所示的像素10A是上述像素10的一例。像素10A大致包括半导体基板60的一部

分和被支承于覆盖半导体基板60的层间绝缘层40的光电变换部50A。在图2所示的例子中，光电变换部50A包括位于半导体基板60中的与摄像区域对应的区域的上方的光电变换层54。即，在此，作为摄像装置100例示了层叠型的摄像装置。

[0268] 如图2示意性地表示的，半导体基板60包括支承基板60S和形成在支承基板60S上的一个以上半导体层。在此，作为支承基板60S，示例p型硅基板。在半导体基板60上设置有杂质区域60a～60e及元件分离区域65。典型地，杂质区域60a～60e分别是n型的扩散区域。

[0269] 如图2所示，被半导体基板60支承的光电变换部50A具有层间绝缘层40上的像素电极52、位于比像素电极52更远离半导体基板60的对置电极56、以及位于像素电极52及对置电极56之间的光电变换层54。像素电极52是由铝、铜等金属、金属氮化物或通过掺杂杂质而被赋予了导电性的多晶硅等形成的电极。像素电极52通过在空间上被分离而与相邻的其他像素10A中的像素电极52电分离。对置电极56由ITO等透明的导电性材料形成。本说明书中的“透明”是指透过想要检测的波长范围的光的至少一部分，并非必须在可见光的整个波长范围内透过光。像素电极52与相邻的其他像素10A中的像素电极52之间被分离，与此相对，对置电极56能够遍及多个像素10A而形成。典型地，对置电极56以连续的单一的电极的形式配置在半导体基板60的上方。

[0270] 光电变换层54由有机材料或非晶硅等无机材料形成。光电变换层54例如通过真空蒸镀形成，可具有500nm左右的厚度。光电变换层54可以具有由有机材料构成的层和由无机材料构成的层。光电变换层54接收经由对置电极56入射的光，通过光电变换生成正电荷及负电荷。与对置电极56相同，光电变换层54也能够以遍及多个像素10A而连续的单一的层的形式配置于半导体基板60的上方。

[0271] 虽然在图2中省略了图示，但在对置电极56上连接有与未图示的电源连接的电压线，对置电极56在摄像装置100动作时接受规定的偏压的供给。通过施加规定的偏压来控制对置电极56的电位，由此，能够通过像素电极52收集由光电变换而生成的正电荷及负电荷中的一方作为信号电荷。

[0272] 向对置电极56施加的偏压也可以从上述的电压供给电路128供给。在作为信号电荷而利用正电荷的情况下，将与像素电极52相比成为高电位的偏压施加于对置电极56即可。以下，只要没有特别说明，则说明利用正电荷作为信号电荷的例子。作为信号电荷的正电荷的典型例子是空穴。作为信号电荷，当然也可以利用负电荷，例如电子。在作为信号电荷而利用负电荷的情况下，将与像素电极52相比为低电位的偏压施加于对置电极56即可。

[0273] 像素10A包括配置在层间绝缘层40中的连接部42。如图2示意性所示，连接部42的一端与光电变换部50的像素电极52连接。连接部42包括多个配线层及多个插塞，将光电变换部50A与形成于半导体基板60的电路电连接。多个配线层及多个插塞典型地由铜或钨等金属、或金属氮化物或金属氧化物等金属化合物形成。在该例子中，在半导体基板60上形成有信号检测晶体管72、地址晶体管74以及复位晶体管76。

[0274] 以下，只要没有特别说明，作为信号检测晶体管72、地址晶体管74及复位晶体管76，例示以n沟道MOS为代表的n沟道的场效应晶体管。如后所述，也可以代替n型的晶体管而应用p型的晶体管。在该情况下，作为支承基板60S使用n型硅基板即可，选择p型作为杂质区域60a～60e的导电型。

[0275] 复位晶体管76例如包含形成于半导体基板60的杂质区域60a作为漏极区域及源极

区域中的一方,包含杂质区域60b作为漏极区域及源极区域中的另一方。如图2示意性所示,连接部42具有与杂质区域60a的连接,因此,杂质区域60a经由连接部42与光电变换部50A的像素电极52电连接。

[0276] 虽然在图2中省略了图示,但在杂质区域60b上连接有供给作为复位的基准电压的复位电压的复位电压线。通过切换导通和截止,复位晶体管76切换从复位电压线供给的复位电压向杂质区域60a的供给和切断。另外,杂质区域60a及杂质区域60b中的哪一个作为复位晶体管76的漏极区域发挥功能取决于杂质区域60a及杂质区域60b的电位。以下,为方便起见,将杂质区域60a及杂质区域60b分别作为漏极区域及源极区域进行说明。然而,由于摄像装置100的使用状态,漏极区域和源极区域可能被交替。在摄像装置100具有与复位晶体管76串联连接的其他晶体管的情况下,对于与复位晶体管76串联连接的其他晶体管也是相同的。

[0277] 信号检测晶体管72包括半导体基板60上的栅极绝缘层72g、栅极绝缘层72g上的栅极电极72e、作为漏极区域的杂质区域60c、以及作为源极区域的杂质区域60d。在杂质区域60c连接有未图示的电源线,在摄像装置100动作时,从电源线向杂质区域60c施加例如3.3V的电源电压。

[0278] 如图2所示,连接部42也与信号检测晶体管72的栅极电极72e连接。即,信号检测晶体管72的栅极电极72e经由连接部42与光电变换部50A的像素电极52电连接。

[0279] 在图2所例示的结构中,地址晶体管74包含作为漏极区域的杂质区域60d以及作为源极区域的杂质区域60e。在此,地址晶体管74通过在与信号检测晶体管72之间共用杂质区域60d而与信号检测晶体管72电连接。在杂质区域60e连接有未图示的垂直信号线。另外,像素10A中的电路通过元件分离区域65而与相邻的其他像素10A中的电路电分离。如图2所示,元件分离区域65还设置在信号检测晶体管72和复位晶体管76之间。

[0280] 如上所述,连接部42具有与像素电极52的连接。另外,杂质区域60a以及信号检测晶体管72的栅极电极72e经由连接部42与像素电极52电连接。像素电极52、连接部42、杂质区域60a以及栅极电极72e作为暂时保持由像素电极52收集到的信号电荷的电荷蓄积节点而发挥功能。

[0281] 在图2所例示的结构中,像素10A还具有与连接部42电连接的控制线81。控制线81是与上述电压供给电路128连接的信号线。即,在此,杂质区域60a具有与上述的电压供给电路128之间的电连接。此外,如后所述,在杂质区域60a与电压供给电路128之间可能存在电容元件等。将电压供给电路128与构成电荷蓄积节点的一部分的连接部42电连接,在第一电压 V_A 及第二电压 V_B 之间切换电压供给电路128的输出。由此,例如,能够使复位后的电荷蓄积节点的电位暂时变化。

[0282] 在此,对半导体基板60的结构进行详细说明。如上所述,半导体基板60在支承基板60S上具有一个以上的半导体层。在该例中,支承基板60S上的半导体层包含第一p型半导体层61p、n型半导体层61n及第二p型半导体层62p。如图2示意性所示,上述的杂质区域60a~60e及元件分离区域65形成在作为p阱的第二p型半导体层62p中。

[0283] n型半导体层61n位于第一p型半导体层61p与第二p型半导体层62p之间,在摄像装置100动作时,经由设置于摄像区域的外侧的未图示的阱触点来控制其电位。n型半导体层61n抑制少数载流子从支承基板60S或周边电路120流入蓄积信号电荷的电荷蓄积节点。

[0284] 在图2所例示的结构中,半导体基板60具有p型区域63,该p型区域63以贯通第一p型半导体层61p及n型半导体层61n的方式设置于第二p型半导体层62p与支承基板60S之间。p型区域63具有较高的杂质浓度,使第二p型半导体层62p与支承基板60S相互电连接。在摄像区域的外侧设置有未图示的基板触点,在摄像装置100动作时,经由基板触点来控制支承基板60S及第二p型半导体层62p的电位。换言之,在摄像装置100动作时,半导体基板60的基板电位经由基板触点被控制。上述的电压供给电路128也可以构成为经由基板触点供给半导体基板60的基板电位。如这里说明的例子那样,在作为信号检测晶体管72、地址晶体管74以及复位晶体管76而应用n型的晶体管的情况下,典型地,基板电位为接地。

[0285] (暗电流的抑制)

[0286] 如上所述,杂质区域60a构成暂时蓄积由光电变换部50A生成的信号电荷的电荷蓄积节点的一部分。这是因为,通过杂质区域60a与第二p型半导体层62p之间的pn结形成的结电容作为蓄积信号电荷的至少一部分的电容发挥功能。

[0287] 但是,杂质区域60a与第二p型半导体层62p之间的pn结产生耗尽层。在半导体基板60中存在晶格缺陷,特别是在半导体基板60的表面存在由杂质、悬挂键等引起的多种的晶格缺陷。若在耗尽层内存在晶格缺陷,则例如容易产生与本来的信号电荷不同的电荷向杂质区域60a的混入。换言之,位于耗尽层内的晶格缺陷可能成为产生暗电流的原因。暗电流导致SN比的降低,导致所得到的图像的画质劣化。若尽量缩小半导体基板60中的耗尽层而减少晶格缺陷中的位于耗尽层内的晶格缺陷,则抑制由暗电流引起的画质的劣化,因此是有益的。

[0288] 根据本发明人的研究,在通过杂质区域60a与第二p型半导体层62p之间的pn结形成的耗尽层的缩小中,使从杂质区域60a放出信号电荷后的杂质区域60a的电位尽量接近基板电位是有效的。即,使复位后的杂质区域60a的电位尽量接近基板电位是有效的。例如,在信号电荷为空穴且基板电位为接地的情况下,若将接近0V的尽可能低的电压作为复位电压来应用,则是有益的。

[0289] 但是,若复位后的杂质区域60a的电位与基板电位之间的电位差过小,则在杂质区域60a的电位因经由与杂质区域60a连接的晶体管等电路要素的电耦合而变动的情况下,杂质区域60a的电位有可能低于基板电位。

[0290] 例如,若场效应晶体管与蓄积信号电荷的浮置节点中的n型杂质区域连接,则由于经由源极-漏极间的寄生电容的电耦合的影响,由于该晶体管的导通及截止的切换,杂质区域的电位可能降低。此时,如果该杂质区域的电位低于基板电位,则在杂质区域与其周围的p阱之间的pn结上施加正向偏压,空穴从作为支承基板的p型硅基板流入杂质区域。即,产生暗电流,得到的图像的画质有可能劣化。

[0291] 本发明人鉴于上述情况而进行了反复研究,例如发现通过第一电压 V_A 以及第二电压 V_B 的切换使复位后的电荷蓄积节点的电位变化,从而能够避免随着与蓄积信号电荷的杂质区域连接的晶体管的导通及截止的切换而在该杂质区域中混入与本来的信号电荷不同的电荷。

[0292] 图3示意性地表示图2所示的像素10A的电路结构的典型例。此外,为了避免附图过于复杂,在图2中,省略了向光电变换部50A的对置电极56供给规定的偏压的电压线的图示。在以后的附图中也同样地省略对对置电极56供给规定的偏压的电压线的图示。

[0293] 如图3所示,信号检测晶体管72的栅极与光电变换部50A连接。可以说光电变换部50A与信号检测晶体管72之间的节点FDa相当于电荷蓄积节点。与蓄积在节点FDa中的信号电荷相对应的电压被施加到信号检测晶体管72的栅极。如图所示,在信号检测晶体管72的漏极连接有供给电源电压Vdd的、作为源极跟随器电源的电源线82,在信号检测晶体管72的源极经由地址晶体管74连接有垂直信号线89。即,信号检测晶体管72及地址晶体管74形成源极跟随器。连接到垂直扫描电路122的地址信号线84连接到地址晶体管74的栅极。垂直扫描电路122通过控制施加到地址信号线84的地址信号 Φ_{sel} ,可以将来自像素10A的信号读出到垂直信号线89。

[0294] 关注节点FDa。复位晶体管76也连接到节点FDa。复位晶体管76的源极及漏极中的未连接到节点FDa的一侧连接到复位电压线85。在摄像装置100动作时,对复位电压线85施加例如规定的复位电压Vr。连接到垂直扫描电路122的复位信号线86连接到复位晶体管76的栅极。垂直扫描电路122能够通过控制对复位信号线86施加的复位信号 Φ_{rst} ,使复位晶体管76导通,向电荷蓄积节点施加复位电压Vr。如参照图2所说明的那样,复位晶体管76包含构成电荷蓄积节点的一部分的杂质区域60a作为漏极区域或者源极区域。通过复位晶体管76的导通,从电荷蓄积节点放出信号电荷,电荷蓄积节点的电位被复位。

[0295] 在此,在节点FDa上还电连接有电压供给电路128。在该例子中,电容元件C1介于节点FDa与连接于电压供给电路128的控制线81之间。换言之,在电容元件C1所具有的两个端子中的一方连接有节点FDa。即,在该例中,电容元件C1的一个端子与杂质区域60a电连接。在电容元件C1的两个端子中的另一个端子上连接有电压供给电路128。

[0296] 对电容元件C1的具体结构没有特别限定。电容元件C1例如可以是配置在层间绝缘层40中的MIS(金属-绝缘体-半导体)结构,也可以是耗尽型的MOS(DMOS)电容。或者,也可以是MIM(金属-绝缘体-金属)结构。采用MIM结构时,容易得到更大的电容值。

[0297] 在图3所例示的结构中,电压供给电路128具有由场效应晶体管等构成的开关元件128a以及128b。即,在此,电压供给电路128通过切换开关元件128a以及128b的接通以及截止,能够在第一电压 V_A 以及第二电压 V_B 之间切换施加于控制线81的电压 V_c 。

[0298] (摄像装置100的动作的第一示例)

[0299] 接着,将参考图4A说明摄像装置100的动作的一个例子。图4A是用于说明具有图3所示的电路结构的像素10A的示例性的动作的时序图。在图4A中,最上面的图表示水平同步信号HD的脉冲。从某一脉冲的上升到下一个脉冲的上升的期间与一个水平扫描期间即1H对应。在该1H期间,执行像素阵列110中包含的多个像素10A中的属于某一行的像素10A的复位以及来自像素10A的信号的读出。图4A中的双箭头SEL表示关注的像素的地址晶体管74导通的选择期间,箭头ACC表示地址晶体管74截止的非选择期间。

[0300] 在图4A中,最下面的图表示节点FDa的电位、即杂质区域60a的电位 V_{FD} 的时间变化,下数第二个图表示从电压供给电路128施加到控制线81的电压 V_c 的时间变化。在此,在时刻T1的时刻,对控制线81施加第一电压 V_A 。

[0301] 在基于曝光的信号电荷蓄积之后,在时刻T1将地址信号 Φ_{sel} 设置为高电平。通过将地址信号 Φ_{sel} 设定为高电平,将与蓄积在电荷蓄积节点中的信号电荷相对应的电压电平的第一信号经由信号检测晶体管72及地址晶体管74读出到垂直信号线89。读出的第一信号被暂时保持在图1所示的信号保持电路123中。

[0302] 接着,在时刻T2,将复位信号 Φ_{rst} 设为高电平,使复位晶体管76导通。通过复位晶体管76的导通,从电荷蓄积节点放出信号电荷,电荷蓄积节点的电位被复位。此时,通过向节点FDa施加复位电压Vr,杂质区域60a的电位 V_{FD} 降低为Vr。作为复位电压Vr,使用比基板电位Vsub高的电压。因此,这里,Vr>Vsub。在基板电位Vsub为0V的情况下,作为复位电压Vr,使用0V附近且正的电压。

[0303] 接着,在时刻T3,将复位信号 Φ_{rst} 设为低电平,将复位晶体管76设为截止。如参照图2所说明的那样,复位晶体管76包含杂质区域60a作为漏极区域或者源极区域。因此,当复位晶体管76截止时,由于复位晶体管76所具有的寄生电容引起的电耦合,杂质区域60a的电位 V_{FD} 可从Vr进一步降低。如已经说明的那样,此时,若电位 V_{FD} 低于基板电位Vsub,则多余的空穴将流入到杂质区域60a。

[0304] 但是,在此,不仅在时刻T3将复位信号 Φ_{rst} 设为低电平,而且将从电压供给电路128施加于控制线81的电压Vc切换为第二电压 V_B 。在此,作为第二电压 V_B ,使用比第一电压 V_A 高的电压。

[0305] 通过将电压Vc从第一电压 V_A 切换为比第一电压 V_A 高的第二电压 V_B ,能够经由电容元件C1使节点FDa的电位上升。在该例中,紧接在复位晶体管76截止之后的杂质区域60a的电位 V_{FD} 是满足 $Vr > V1a > Vsub$ 的关系的V1a。例如,当复位电压Vr是0.5V时,V1a可以是大约0.2V。即,通过适当地选择第二电压 V_B ,在第一电压 V_A 和第二电压 V_B 之间切换来自电压供给电路128的输出,从而防止了杂质区域60a的电位 V_{FD} 低于基板电位Vsub。在该例中,以基板电位为基准,能够在杂质区域60a的电位 V_{FD} 中确保0.2V的电位差。即,能够防止因电位 V_{FD} 低于基板电位Vsub而引起的、多余的空穴向杂质区域60a的流入。换言之,暗电流被抑制。作为第二电压 V_B 的具体值,考虑复位晶体管76的源极-漏极间的寄生电容的大小等,选择使复位晶体管76截止时电位 V_{FD} 满足 $V1a > Vsub$ 的关系的电压即可。

[0306] 在复位晶体管76截止之后直至水平同步信号HD的下一个脉冲上升的时刻T4的期间,经由地址晶体管74将与信号电荷的放出后的电荷蓄积节点的电压电平对应的第二信号读出到垂直信号线89。信号保持电路123将第一信号及第二信号之间的差分 Δ 作为表现图像的信号输出到水平扫描电路124。在取得第二信号后,使地址晶体管74截止,开始下一帧的信号电荷的蓄积。

[0307] 在以上说明的例子中,电压供给电路128构成为如下形式:在复位晶体管76截止的定时T2~T3的第一期间对杂质区域60a施加第一电压 V_A ,在第一期间之后的时刻T3~T4的第二期间,将施加于杂质区域60a的电压切换为第二电压 V_B 。如参照图4A所说明的那样,通过将从电压供给电路128施加于杂质区域60a的电压在复位晶体管76截止的定时切换为比第一电压 V_A 高的第二电压 V_B ,能够防止随着复位晶体管76的截止而杂质区域60a的电位 V_{FD} 低于基板电位Vsub。因此,能够抑制因多余的空穴流入杂质区域60a而产生的暗电流。

[0308] 另外,在图3所示的例子中,在第一电压 V_A 以及第二电压 V_B 之间切换施加于控制线81的电压Vc,经由电容元件C1使节点FDa的电位变化。这样,通过在杂质区域60a与电压供给电路128之间夹设电容元件C1,能够不对蓄积于电荷蓄积节点的信号电荷造成影响地控制电荷蓄积节点的电位。

[0309] 在此,参照图3可知,电容元件C1具有与节点FDa的电连接,因此与杂质区域60a相同地构成暂时保持信号电荷的电荷蓄积节点的至少一部分。换言之,电容元件C1与节点FDa

的连接使电荷蓄积节点整体的电容值增大。根据以下两个理由,尽可能减小电容元件C1的电容值是有利的。

[0310] 第一个理由是,若电荷蓄积节点整体的电容值增大,则导致变换增益降低的结果。当变换增益降低时,后级电路中的噪声的影响变大,有可能导致SN比降低。因此,从避免SN比降低的观点出发,尽可能减小电容元件C1的电容值是有益的。

[0311] 第二个理由是,当电容元件C1具有比较大的电容值时,经由电容元件C1的控制线81上的噪声的混入对节点FDa的影响会增大。施加到控制线81的电压中包含的噪声可通过经由电容元件C1的电耦合而混入节点FDa。特别是,在对属于同一行的像素的电荷蓄积节点共同地经由电容元件C1施加向控制线81供给的电压的结构中,换言之,在第一电压V_A与第二电压V_B之间的切换以行为单位执行的结构中,控制线81上的噪声作为横线噪声而出现在图像上。横线噪声与像素单位的随机噪声相比具有容易被图像的观察者识别的倾向,因此能够抑制横线噪声是有益的。

[0312] 若将电容元件C1的电容值设为C₁,将电荷蓄积节点中的电容元件C1以外的部分的电容值设为C_{FD},则向节点FDa传送的电压变动的大小由控制线81的电压变动与(C1/(C1+C_{FD}))之积表示。因此,从抑制横线噪声的观点出发,电容元件C1的电容值C₁尽量小是有利的。

[0313] 另外,电容元件C1的电容值C₁在电荷蓄积节点中电容元件C1以外的部分的电容值小于C_{FD}时是有益的。通过将电容元件C1的电容值C₁设为比电荷蓄积节点中的电容元件C1以外的部分的电容值C_{FD}小,能够使由于将电容元件C1与节点FDa连接而引起的SN比的降低的程度比将F值设为大一级的值时的SN比的降低的程度小。例如,如果将电容元件C1的电容值C₁设为电容值C_{FD}的1/2以下左右,则将因电容元件C1与节点FDa连接而引起的SN比的降低的程度换算成F值,能够停留在(1/2)级左右以下的变化。

[0314] 另外,在代替空穴而使用电子作为信号电荷的情况下,也能够应用与参照图4A说明的动作相同动作。但是,与使用空穴作为信号电荷的情况相比,在使用电子作为信号电荷的情况下,随着向电荷蓄积节点的信号电荷量的蓄积而杂质区域60a的电位V_{FD}降低这一点不同。因此,在使用电子作为信号电荷的情况下,从以基板电位为基准在与杂质区域60a的电位V_{FD}之间确保充分的电位差的观点出发,可以使用更大的正电压、例如3.3V左右的电压作为复位电压Vr。

[0315] 由于使用更大的正电压作为复位电压Vr,因此,随着复位晶体管76的截止,由复位晶体管76具有的寄生电容引起的电耦合所引起的杂质区域60a的电位V_{FD}的降低的影响较小。但是,在使用电子作为信号电荷的情况下,为了提高饱和电子数,需要使用更高的电压作为复位电压Vr,从确保所要求的动态范围的饱和电子数足够的观点出发,作为信号电荷使用空穴是有利的。

[0316] 也可以使用p型晶体管作为复位晶体管76。在该情况下,只要在n型与p型之间交替半导体基板60中的各区域的导电型即可。但是,在作为复位晶体管76而应用p型晶体管的情况下,如以下说明的那样,作为第二电压V_B,使用比第一电压V_A低的电压。

[0317] 图4B是表示当p型晶体管被应用于像素10A的复位晶体管76时的示例性动作的时序图。在将p型晶体管应用于复位晶体管76的情况下,使用比将n型晶体管应用于复位晶体管76的情况高的电压作为基板电位Vsub。基板电位Vsub可以是例如3.3V左右。

[0318] 在将p型晶体管应用于复位晶体管76的情况下,使用空穴作为信号电荷的情况下,由复位晶体管76所具有的寄生电容引起的电耦合所引起的杂质区域60a的电位 V_{FD} 的变化的影响较小。这是基于与使用n型晶体管作为复位晶体管76并且使用电子作为信号电荷的情况相同的原因。但是,为了确保充分的饱和电子数,需要以基板电位为基准在与杂质区域60a的电位 V_{FD} 之间确保充分的电位差。与此相对,如果信号电荷为电子,则作为复位电压 V_r ,使用作为基板电位的3.3V附近的电压即可,在复位晶体管76中应用p型晶体管的情况下,使用电子作为信号电荷,在避免电路的复杂化的同时,容易在所要求的动态范围确保充分的饱和电子数。

[0319] 因此,在此,对使用电子作为信号电荷的情况下的动作的例子进行说明。图4B表示在将p型晶体管应用于复位晶体管76并且使用电子作为信号电荷的情况下的动作的例子。在复位晶体管76是p型晶体管并且使用电子作为信号电荷的情况下,典型地,信号检测晶体管72及地址晶体管74也作为p型晶体管形成在半导体基板60上。

[0320] 在图4B所示的例子中,若关注到时刻T1为止的期间,则通过基于曝光的信号电荷的蓄积,杂质区域60a的电位 V_{FD} 逐渐降低。在信号电荷蓄积后,在时刻T1将地址信号 Φ_{sel} 设为低电平,将地址晶体管74设为导通,将第一信号读出到垂直信号线89。

[0321] 接着,在时刻T2,将复位信号 Φ_{rst} 设为低电平,将复位晶体管76设为导通。如图4B所示,通过复位晶体管76的导通,杂质区域60a的电位 V_{FD} 上升到 V_r 。作为此时的复位电压 V_r ,使用基板电位 V_{sub} 附近且低于基板电位 V_{sub} 的例如2.8V的电压。

[0322] 接着,在时刻T3,将复位信号 Φ_{rst} 设为高电平,将复位晶体管76设为截止。当复位晶体管76截止时,由于复位晶体管76具有的寄生电容引起的电耦合,杂质区域60a的电位 V_{FD} 可从 V_r 进一步上升。此时,当电位 V_{FD} 高于基板电位 V_{sub} 时,在杂质区域60a与其周围之间的pn结上施加正向偏压,将从作为支承基板的n型硅基板向杂质区域60a流入多余的电子。换言之,产生暗电流。

[0323] 在此,不仅在时刻T3将复位信号 Φ_{rst} 设为高电平,而且将从电压供给电路128施加于控制线81的电压 V_c 切换为比第一电压 V_A 低的第二电压 V_B 。通过将电压 V_c 从第一电压 V_A 切换为第二电压 V_B ,能够经由电容元件C1使光电变换部50A与信号检测晶体管72之间的节点FDa的电位降低,如图4B所示,能够避免杂质区域60a的电位 V_{FD} 高于基板电位 V_{sub} 。在该例中,紧接在复位晶体管76截止之后的杂质区域60a的电位 V_{FD} 是满足 $V_{sub} > V_{1b} > V_r$ 的关系的 V_{1b} 。 V_{1b} 可以为3.1V左右。

[0324] 在复位晶体管76截止后,将与信号电荷的放出后的电荷蓄积节点的电压电平对应的第二信号读出到垂直信号线89,将第一信号及第二信号的差分 Δ 的绝对值作为图像信号。在取得第二信号后,使地址晶体管74截止,开始下一帧的信号电荷的蓄积。

[0325] (摄像设备100的动作的第二示例)

[0326] 根据本发明的实施方式的摄像装置的动作的例子不限于参考图4A及图4B说明的示例。例如,如以下说明的那样,也可以在将信号电荷蓄积于电荷蓄积节点的曝光期间与一帧期间中的曝光期间以外的非曝光期间中的用于复位的期间之间,将供给至控制线81的电压设为互不相同的电压。

[0327] 图4C是用于说明像素10A、10Ap以及10Aq的动作的其他例子的时序图。与图4A以及图4B所示的例子相同,在图4C所示的动作例中,交替地重复用于将信号电荷蓄积到电荷蓄

积节点的曝光期间以及曝光期间以外的非曝光期间。非曝光期间将用于将电荷蓄积节点的电位复位为规定的电位的复位期间包含于其一部分。

[0328] 在此,例示图3所示的像素10A。首先,在时刻T1,将地址信号 Φ_{sel} 设为高电平。另外,此时,将施加于控制线81的电压从第一电压 V_A 切换为相对较高的第二电压 V_B 。

[0329] 通过将施加于控制线81的电压从第一电压 V_A 切换为第二电压 V_B ,节点FDa的电位通过经由电容元件C1的电容耦合而暂时上升。此时,节点FDa的电位的变动量 ΔV_{FD} 由下述的式(1)表示。

$$[0330] \Delta V_{FD} = (V_B - V_A) (C_1 / (C_1 + C_{FD})) \quad (1)$$

[0331] 此时的节点FDa的电位作为表现与蓄积于电荷蓄积节点的信号电荷对应的电压电平的第一信号,经由信号检测晶体管72以及地址晶体管74被读出到垂直信号线89。

[0332] 在时刻T2,将复位信号 Φ_{rst} 设为高电平。由此,经由复位晶体管76从电荷蓄积节点放出信号电荷,电荷蓄积节点的电位被复位为复位电压 V_r 。

[0333] 在时刻T3,将复位信号 Φ_{rst} 设为低电平,并且复位晶体管76截止。在从时刻T3到水平同步信号HD的下一个脉冲上升的时刻T4的期间,经由地址晶体管74将与信号电荷的放出后的电荷蓄积节点的电压电平对应的第二信号读出到垂直信号线89。

[0334] 在该例中,在从时刻T1到时刻T2的期间读出的第一信号和从时刻T3到时刻T4的期间读出的第二信号的差分 Δ 成为表现图像的正确的像素信号。

[0335] 在时刻T4,将施加于控制线81的电压再次恢复到第一电压 V_A 。通过经由电容元件C1的电容耦合,节点FDa的电位从 V_r 下降到 V_{1c} 。此时的节点FDa的电位的变动量即 $(V_r - V_{1c})$ 与上述的 ΔV_{FD} 相等。

[0336] 在此,若电容值 C_1 以及 C_{FD} 已知,则变动量 ΔV_{FD} 能够通过基于上述的式(1)来决定第一电压 V_A 以及第二电压 V_B 来进行控制。能够通过以下的步骤实现所希望的 ΔV_{FD} 。首先,在产品设计时,根据作为目标的电荷蓄积节点的整体的电容值,决定电容元件C1与电荷蓄积节点中的电容元件C1以外的部分之间的电容比。而且,基于上述的式(1)来决定在实际动作时施加于控制线81的电压的振幅、即第一电压 V_A 以及第二电压 V_B 的具体的电压值。

[0337] 第一电压 V_A 及第二电压 V_B 中的任一个接地(0V)是有益的。这是由于接地侧一般为低阻抗,因此能够抑制来自与控制线81连接的电压供给电路128的电源噪声向电荷蓄积节点的混入。例如,在将第二电压 V_B 设为接地的情况下,第一电压 V_A 成为负电平的电压。

[0338] 在该例中,电压供给电路128对控制线81在将信号电荷蓄积在将杂质区域60a包含于其一部分的电荷蓄积节点的曝光期间中供给第一电压 V_A 。另一方面,在行选择时,供给与第一电压 V_A 不同的第二电压 V_B 。这里,特别是在非曝光期间中复位晶体管76导通的复位期间中供给到控制线81的电压是第二电压 V_B 。这样,也可以采用在曝光期间后至少在复位期间与其他期间之间不同的控制。根据这样的控制,例如,能够使电荷蓄积节点的电位与复位电压 V_r 相比暂时降低。通过经由电容元件C1使电荷蓄积节点的电位降低,能够缩小杂质区域60a和位于其周围的例如被设为接地的第二p型半导体层62p之间的电位差。由此,通过杂质区域60a与第二p型半导体层62p之间的pn结形成的耗尽层缩小,实现暗电流的降低。即,通过使曝光期间中的电荷蓄积节点的电位为低电位,能够期待降低暗电流的效果。

[0339] 在图4C所例示的动作中,行选择时,电荷蓄积节点的电位上升第二电压 V_B 与第一电压 V_A 的电位差分。因此,通过调整该电位差,能够将信号检测晶体管72以及后级电路的晶

体管的源极-漏极电压设定在这些晶体管能够动作的电压范围内。因此,通过信号检测晶体管72以及后级电路,能够正常地进行像素信号或基准信号的读出。

[0340] (第一实施方式的变形例)

[0341] 本发明的摄像装置100不限于层叠型的摄像装置。图5示意性地表示像素10的其他电路结构的例子。与参照图3说明的像素10A相比,图5所示的像素10Ap具有光电变换部50B来代替光电变换部50A。光电变换部50B例如是形成于半导体基板60的埋入式光电二极管。

[0342] 如图5所示,在该例中,光电变换部50B与信号检测晶体管72的栅极连接。在图5所示的结构中,可以说光电变换部50B与信号检测晶体管72之间的节点FD_b相当于电荷蓄积节点。换言之,作为光电变换部50B的埋入式光电二极管中的pn结、杂质区域60a以及栅极电极72e等作为暂时保持由光电变换部50B生成的电荷的电荷蓄积节点而发挥功能。杂质区域60a也可以是埋入式光电二极管中的pn结的一部分。

[0343] 关于具有像素10Ap的摄像装置100,也能够应用与参照图4A以及图4B说明的动作相同动作。例如,在将复位信号Φ_{rst}设为低电平的定时,通过将从电压供给电路128施加于控制线81的电压V_c从第一电压V_A切换为比第一电压V_A高的第二电压V_B,能够经由电容元件C1使节点FD_b的电位上升。通过适当地选择第二电压V_B,能够避免杂质区域60a的电位V_{FD}低于基板电位V_{sub},从而能够抑制暗电流。另外,在作为光电变换部应用埋入式光电二极管的情况下,根据将复位晶体管76等设为p型晶体管并蓄积电子作为信号电荷的结构,能够得到更大的动态范围,因此更有利。

[0344] 图6示意性地表示像素10的另一其他电路结构的例子。与参照图5说明的像素10Ap的电路结构相比,图6所示的像素10Aq还具有连接在信号检测晶体管72的栅极与光电变换部50B之间的传送晶体管79。传送晶体管79在规定定时将由光电变换部50B获得的信号电荷传送到信号检测晶体管72的栅极和传送晶体管79之间的节点FD_c。传送晶体管79例如是n沟道MOS。传送晶体管79可以与复位晶体管76之间共享杂质区域60a作为源极区域和漏极区域中的一个。

[0345] 根据图6所示的电路结构,与图5所示的像素10Ap相同,通过将电压V_c从第一电压V_A切换为第二电压V_B,能够避免作为浮置节点的节点FD_c的电位经由电容元件C1而例如上升,杂质区域60a的电位V_{FD}低于基板电位V_{sub}。例如,在将传送到节点FD_c的信号电荷通过复位晶体管76的导通而放出之后,在复位晶体管76截止的定时执行将电压V_c从第一电压V_A向第二电压V_B的切换。

[0346] 图7A及图7B示意性地表示像素10的另一其他电路结构的示例。

[0347] 与参照图3说明的像素10A相比,图7A所示的像素10Ar具有耗尽型的信号检测晶体管72d来代替信号检测晶体管72。通过使用耗尽型的晶体管作为信号检测晶体管72d,即使在节点FD_a的电位处于低电平的情况下,也能够从信号检测晶体管72d得到高输出。因此,能够更容易地确保由与垂直信号线89连接的负载电路等构成的电流源的动作所需的电压范围。

[0348] 图7B所示的像素10As具有将图7A所示的像素10Ar的光电变换部50A置换为光电变换部50B的结构。如上所述,光电变换部50B例如是形成于半导体基板60的埋入式光电二极管。在使用光电二极管的结构中,也可以使用耗尽型的晶体管作为信号检测晶体管72d。

[0349] 图8是用于说明图7A所示的像素10Ar或图7B所示的像素10As的示例性的动作的时

序图。

[0350] 与参照图4C说明的例子相比,在该例中,非曝光期间的电压Vc的波形与图4C所示的动作序列中的波形不同。如图8所示,在此,在非曝光期间,将从电压供给电路128施加于控制线81的电压Vc设为相对较高的第二电压V_B的期间较短。在图8所例示的动作中,电压Vc在时刻T2的复位信号Φ_{rst}的上升的定时从第一电压V_A切换为相对较高的第二电压V_B,在时刻T3将复位信号Φ_{rst}切换为低电平之后恢复至第一电压V_A。在使复位晶体管76截止之后,通过将从电压供给电路128施加于控制线81的电压Vc切换为第一电压V_A,能够使电压Vc的变化全部有助于电荷蓄积节点的电位的变动。

[0351] 在图8所示的例子中,通过在时刻T4的电压Vc的切换,电荷蓄积节点的电位从复位电压Vr仅降低由式(1)表示的ΔV_{FD}。其结果,能够使电荷蓄积节点的电位下降到比Vr低的电位V1d。表现被摄体的像的正确的像素信号由与时刻T1的电荷蓄积节点的电位对应的第一信号和与时刻T4的电荷蓄积节点的电位对应的第二信号的差分来提供。

[0352] 第一信号在从时刻T1到时刻T2之间被读出到垂直信号线89,第二信号在从时刻T4到时刻T5之间被读出到垂直信号线89。即,在该例中,在向控制线81施加第一电压V_A时,执行像素信号及基准信号的读出。在该例中也同样通过使用0V的电压作为第一电压V_A,能够抑制从电压供给电路128输出的电压中的噪声向节点FDa或节点FD_b的混入。

[0353] 图9A及图9B示意性地表示像素10的另一电路结构的示例。图9A所示的像素10At是应用p型晶体管作为图3所示的电路结构中的信号检测晶体管72、地址晶体管74以及复位晶体管76的例子。图9B所示的像素10Au是应用p型晶体管作为图5所示的电路结构中的信号检测晶体管72、地址晶体管74以及复位晶体管76的例子。

[0354] 在图9A以及图9B所例示的结构中,典型地,使用电子作为信号电荷。如上所述,在将p型晶体管应用于复位晶体管76的情况下,使用电子作为信号电荷时,能够避免电路的复杂化,并且容易在所要求的动态范围确保足够的饱和电子数。

[0355] 图10是用于说明图9A所示的像素10At或者图9B所示的像素10Au的示例性的动作的时序图。在图10所示的例子中,首先,在时刻T1,将地址信号Φ_{sel}从高电平设为低电平,将施加于控制线81的电压Vc从第一电压V_A切换为相对较低的第二电压V_B。通过使地址信号Φ_{sel}为低电平,经由信号检测晶体管72及地址晶体管74将第一信号从所选择的行的像素读出到垂直信号线89。这里,在非曝光期间,地址信号Φ_{sel}被维持在低电平。

[0356] 根据电压V_{FD}的曲线图可知,通过将施加于控制线81的电压Vc从第一电压V_A切换为第二电压V_B,通过经由电容元件C1的电容耦合,电荷蓄积节点的电位降低。此时的电位的变动量ΔV_{FD}通过电容元件C1和电荷蓄积节点中的电容元件C1以外的部分之间的电容比,由上述的式(1)表示。在从时刻T1到时刻T2的期间,与此时的电压V_{FD}对应的信号作为第一信号被读出到垂直信号线89。

[0357] 在该例中,在时刻T2,通过将复位信号Φ_{rst}设为低电平来执行复位。即,通过将复位信号Φ_{rst}设为低电平而使复位晶体管76导通,蓄积于节点FD_a或FD_b的信号电荷经由复位晶体管76被放出,电荷蓄积节点的电位被复位为电压Vr。

[0358] 接着,在时刻T3处,复位信号Φ_{rst}被设置为高电平,并且箝位晶体管76被截止。在此,在从时刻T3到时刻T4的期间,将与复位电压Vr对应的第二信号读出到垂直信号线89。如图10中示意性所示,将从时刻T1到时刻T2的期间读出的第一信号和从时刻T3到时刻T4的期

间读出的第二信号的差分作为正确的像素信号而输出。

[0359] 之后,在时刻T4,将施加于控制线81的电压Vc从第二电压V_B恢复为第一电压V_A。由此,通过经由电容元件C1的电容耦合,电荷蓄积节点的电位从V_r上升到V_{1e}。此时的变动量|V_r-V_{1e}|与使施加于控制线81的电压Vc从第一电压V_A降低到第二电压V_B时的 ΔV_{FD} 相等。

[0360] 在像该例那样使用电子作为信号电荷的情况下,如上所述,若使用n型硅基板作为支承基板60S,并将杂质区域60a~60e的导电型设为p型是有益的。即,优选将信号检测晶体管72、地址晶体管74以及复位晶体管76设为p型晶体管。

[0361] 若是在使用p型硅基板作为支承基板60S并且将复位晶体管76设为n沟道MOS的情况下,例如采用0V作为基板电位V_{sub}。这里,将复位晶体管76设为p沟道MOS,并且采用0V作为基板电位V_{sub}。此时,如图10示意性地所示,随着作为信号电荷的电子向电荷蓄积节点的蓄积,电压V_{FD}降低,因此,为了避免施加于杂质区域60a与其周围之间的pn结的电压成为正向偏压,需要在信号电荷的蓄积之前将电荷蓄积节点的电位复位为比基板电位V_{sub}高的电位。

[0362] 如已经说明的那样,在信号电荷是电子的情况下,作为复位电压V_r,例如能够使用3.3V的电压。在这种情况下,随着信号电荷的蓄积,电荷蓄积节点的电位从曝光开始时的例如3.3V降低,与基板电位V_{sub}之间的电位差缩小。因此,耗尽层宽度缩小,能够期待降低暗电流的效果。

[0363] 另外,从降低暗电流的观点出发,在使用空穴作为信号电荷的情况下,将各晶体管设为n沟道MOS是有利的。这是基于以下的理由。

[0364] 例如,当p型晶体管被应用于复位晶体管76时,例如,大约3.3V的电压被用作基板电位V_{sub}。在使用n型硅基板作为支承基板60S且杂质区域60a~60e的导电型为p型的情况下,为了避免施加电压成为正向偏压,不能使杂质区域60a的电位V_{FD}比基板电位V_{sub}高。此外,随着空穴蓄积在电荷蓄积节点,杂质区域60a的电位V_{FD}上升。因此,在信号电荷的蓄积之前,电荷蓄积节点的电位被复位为比基板电位V_{sub}低的例如0V的电位。在这种情况下,与使用n沟道MOS作为复位晶体管76的情况相比,曝光开始时的电荷蓄积节点的电位与基板电位V_{sub}之间的差扩大。

[0365] 图11A及图11B示意性地表示像素10的另一电路结构的示例。

[0366] 与图3所示的像素10A相比,图11A所示的像素10Av还具有连接在电容元件C与控制线81之间的晶体管71。图11A所示的像素10Av和图11B所示的像素10Aw之间的不同点在于,在像素10Aw中,晶体管71连接在节点FDa与电容元件C1之间。

[0367] 图11A所示的像素10Av中的晶体管71具有作为切换电容元件C1与电压供给电路128之间的连接以及切断的开关元件的功能。图11B所示的像素10Aw中的晶体管71具有作为切换节点FDa与电容元件C1之间的连接以及切断的开关元件的功能。根据图11A所例示的电路结构,通过对施加于晶体管71的栅极的控制信号Φ_s的电位的控制,使晶体管71截止,从而能够缩小电荷蓄积节点整体的电容值。根据图11B所例示的电路结构,能够从节点FDa将电容元件C1电切断。

[0368] 如以上各例所述,通过在节点FDa或节点FD_b上连接电容元件C1,切换提供给控制线81的电压,从而能够经由电容元件C1控制电荷蓄积节点的电位。但是,由于连接电容元件C1的结果是电荷蓄积节点整体的电容值增大,所以将信号电荷变换为电压时的变换增益可

能降低。

[0369] 如图11A及图11B所示,可以在电容元件C1与电压供给电路128之间、或者,在节点FDa或节点FD_b与电容元件C1之间夹设晶体管71。由此,通过晶体管71的导通及截止的切换,能够使电荷蓄积节点整体的电容值变化。换言之,通过晶体管71的接通及截止的切换,能够分开使用经由电容元件C1控制电荷蓄积节点的电位的FD电位控制模式以及将信号电荷高效地变换为电压信号的高增益模式。FD电位控制模式是使晶体管71导通而使电压供给电路128经由电容元件C1与电荷蓄积节点电耦合的模式,高增益模式是使晶体管71截止而使电荷蓄积节点整体的电容值降低的模式。

[0370] 模式的切换可以以对暗电流的影响变大的曝光时间或动作温度作为判定基准自动地执行,也可以基于用户的指示来执行。例如,能够在超过1秒的长秒曝光或超过80度的高温环境下的摄影中选择FD电位控制模式。FD电位控制模式下的动作序列可以与参照图4A、图4B、图4C、图8或图10说明的动作序列相同,因此省略有关动作的说明。

[0371] 图11C示意性地表示像素10的另一电路结构的例子。在图11C所示的结构中,摄像装置100包括连接到垂直信号线89的负载晶体管73。负载晶体管73例如是n沟道MOS,并且作为电流源94发挥功能。

[0372] 另外,在图11C所示的例子中,摄像装置100具有反馈电路90x。反馈电路90x包括反相输入端子与垂直信号线89连接的反相放大器92。反相放大器92与垂直信号线89对应地按像素10Ax的每列设置,在此,复位电压线85与该输出端子连接。在图示的例子中,信号检测晶体管72、地址晶体管74、反相放大器92以及复位晶体管76形成使由光电变换部50A产生的电信号负反馈的反馈环路。

[0373] 在摄像装置100的动作时,对反相放大器92的非反相输入端子供给例如1V或1V附近的电压Vref。作为电压Vref,可以使用电源电压Vdd以及接地的范围内的任意大小的电压。在形成反馈环路时,垂直信号线89的电压收敛于输入到反相放大器92的非反相输入端子的电压Vref。换言之,通过反馈环路的形成,能够将节点FDa的电位复位为垂直信号线89的电压为Vref的电位。

[0374] 第一信号及第二信号通过由信号检测晶体管72和电流源94形成的源极跟随器被读出到垂直信号线89。若信号读出时的节点FDa的电位为低电位,则经由信号检测晶体管72在垂直信号线89出现的电压也变低,无法确保饱和区域的动作所需的源极-漏极电压,负载晶体管73有可能在线性区域动作。其结果,源极跟随器无法正常动作,信号的线性有可能降低。

[0375] 如果将由电流源94得到的电流值设定得较小,则能够使负载晶体管73在饱和区域动作,但在该情况下,会产生信号读出所需的速度降低等问题。另外,由于垂直信号线89的电压下降,向反相放大器92的输入信号偏离动作范围,存在反馈电路90x不能正常动作的可能。即,存在无法将节点FDa的电位复位为垂直信号线89的电压成为Vref的电位的可能性。

[0376] 具有像素10Ax的摄像装置例如能够应用参照图4C、图8或图10说明的动作序列。即,通过在第一电压V_A及第二电压V_B之间切换向控制线81供给的电压,在非曝光期间的至少一部分期间,使电荷蓄积节点的电位经由电容元件C1暂时上升或下降。例如,在使用空穴作为信号电荷的情况下,通过从电压供给电路128向控制线81施加的电压的切换,在曝光期间以外的非曝光期间使电荷蓄积节点的电位选择性地上升。

[0377] 通过在非曝光期间中选择性地将电荷蓄积节点的电位设定为高电位,能够抑制负载晶体管73在线性区域动作,能够从像素正常地读出第一信号及第二信号。此外,由于在非曝光期间执行信号的读出动作以及反馈动作,所以在曝光期间中,电荷蓄积节点的电位即使是负载晶体管73在线性区域动作那样的低电位也没有问题。通过将曝光期间中的电荷蓄积节点的电位设定为低电位,也能够得到能够在不使电路特性劣化的情况下抑制暗电流的效果。

[0378] (第二实施方式)

[0379] 图12示意性地表示了根据本发明的第二实施方式的摄像装置所具有的像素10B的电路结构的一个例子。与图3所示的像素10A相同,图12所示的像素10B是上述像素10的一个例子。图12所示的像素10B与参照图3说明的像素10A之间的主要不同点在于,像素10B还具有晶体管78,该晶体管78与复位晶体管76的源极及漏极中的未与节点FDa连接的一侧连接这一点。此外,电压供给电路128与复位晶体管76及晶体管78之间的节点RD电连接。在该例中,电压供给电路128经由复位晶体管76与杂质区域60a电连接。

[0380] 如图12所例示,摄像装置100的各像素10可以具有还包括与复位晶体管76连接的晶体管78的电路结构。晶体管78例如是n沟道MOS,可以包含作为复位晶体管76的源极区域或漏极区域的杂质区域60b作为漏极区域或者源极区域。在图12所例示的结构中,在晶体管78的源极及漏极中的未与复位晶体管76连接的一侧连接有复位电压线85,在摄像装置100动作时,例如将规定的复位电压Vr施加于晶体管78。在晶体管78的栅极连接有信号线88,该信号线88用于向晶体管78供给用于控制晶体管78的导通及截止的信号Φfb。信号线88例如具有与垂直扫描电路122的连接,垂直扫描电路122能够构成为控制信号线88的电位。

[0381] 在该例中,电压供给电路128经由电容元件C2连接到复位晶体管76及晶体管78之间的节点RD。即,在该例中,电压供给电路128经由电容元件C2不是与复位晶体管76的杂质区域60a侧连接,而是与杂质区域60b侧连接。另外,连接在控制线81与杂质区域60b之间的电容元件C2可具有与上述电容元件C1相同的结构。当然,电容元件C2以及上述电容元件C1的结构不必相同。

[0382] 图13表示应用了图12所示的电路结构的更具体的例子。图13所示的像素10Bf是图12所示的像素10B的一个例子,具有反馈电路90。在图13所例示的结构中,反馈电路90与参照图11C说明的例子相同,包括反相输入端子与垂直信号线89连接的反相放大器92。

[0383] 在图13所示的结构中,像素10Bf具有与复位晶体管76并联连接的电容元件C3。在地址晶体管74和至少晶体管78为导通状态时,反馈电路90形成使由光电变换部50A产生的电信号负反馈的反馈环路。该反馈环路将晶体管78包含于其一部分。

[0384] 众所周知,随着晶体管的导通或截止,产生被称为kTC噪声的热噪声。在节点FDa的电位复位之后,仅通过使复位晶体管76简单地截止,通过使复位晶体管76截止而产生的kTC噪声会残留在信号电荷的蓄积前的电荷蓄积节点。然而,如在国际公开第2012/147302号中说明的那样,能够通过利用负反馈来降低随着复位晶体管的截止而产生的kTC噪声。为了参考,将国际公开第2012/147302号的公开内容全部援引至本说明书中。

[0385] 在图12及图13所示的电路结构中,当关注复位晶体管76及晶体管78之间的节点RD时,节点RD是浮置节点。如上所述,晶体管78可以包含杂质区域60b作为例如漏极区域。因此,当晶体管78截止时,由于晶体管78具有的寄生电容引起的电耦合,杂质区域60b的电位

可能会低于基板电位。当杂质区域60b的电位低于基板电位时,由于来自p阱的多余的空穴的流入,在杂质区域60b产生不希望的电位的变动,SN比可能降低。然而,在此,在杂质区域60b电连接有电压供给电路128。如以下说明的那样,通过在第一电压 V_A 以及第二电压 V_B 之间切换从电压供给电路128施加于控制线81的电压 V_c ,能够防止杂质区域60b的电位低于基板电位。

[0386] 图14A是用于说明具有图13所示的电路结构的像素10Bf的示例性的动作的时序图。在图14A中,从底部起的第二图表示节点RD的电位,即,杂质区60b的电位 V_{RD} 的随时间的变化。另外,如从表示电压 V_c 的时间变化的图可知,在此,与参照图4A以及图4B说明的第一例相同,在时刻T1的时刻,对控制线81施加第一电压 V_A 。

[0387] 在基于曝光的信号电荷蓄积之后,首先,在时刻T1,将地址信号 Φ_{sel} 设置为高电平。此时,读出与蓄积在电荷蓄积节点中的信号电荷对应的第一信号。

[0388] 接着,在时刻T2,将复位信号 Φ_{rst} 及信号 Φ_{fb} 设为高电平。即,使复位晶体管76及晶体管78导通。通过复位晶体管76及晶体管78的导通,形成反馈环路。通过反馈环路的形成,节点FDa的电位被复位。这里,节点FDa的电位下降到垂直信号线89的电压成为Vref的电压 V_{2a} 。此时,作为向反相放大器92的非反相放大端子施加的电压Vref,使用满足 $V_{2a} > V_{sub}$ 的关系的电压。另外,在图14A所示的例子中,随着复位晶体管76及晶体管78的导通,节点RD的电位 V_{RD} 上升至 V_3 。如图14A所示,电压 V_3 满足 $V_3 > V_{sub}$ 的关系。

[0389] 接着,在时刻T3,将复位信号 Φ_{rst} 设为低电平,使复位晶体管76截止。这里,由于复位晶体管76所具有的寄生电容引起的电耦合,随着复位晶体管76的截止,杂质区域60a的电位 V_{FD} 从 V_{2a} 降低到 V_{4a} 。如上所述,当电位 V_{FD} 低于基板电位 V_{sub} 时,多余的空穴流入杂质区域60a。然而,通过适当地选择施加到反相放大器92的非反相放大端子的电压Vref,可以防止电位 V_{FD} 低于基板电位 V_{sub} 。在该例中,通过适当地选择电压Vref,满足 $V_{4a} > V_{sub}$ 的关系。另外,从尽量缩小耗尽层的观点出发,只要满足 $V_{4a} > V_{sub}$ 的关系, V_{4a} 是尽量接近 V_{sub} 的电压是有益的。

[0390] 如上所述,通过使复位晶体管76截止,产生kTC噪声。但是,在图13所例示的电路结构中,在节点FDa与节点RD之间夹设有电容元件C3,在晶体管78未截止的期间,继续形成在该路径中包含电容元件C3的反馈环路的状态。因此,晶体管78输出的信号在由电容元件C3和节点FDa自身具有的寄生电容形成的衰减电路中衰减。

[0391] 在复位晶体管76截止后,使信号 Φ_{fb} 为低电平,使晶体管78截止。在此,不仅在时刻T4截止复位晶体管76,还将从电压供给电路128施加于控制线81的电压 V_c 切换为第二电压 V_B 。

[0392] 如图14A中示意性地表示的,当晶体管78截止时,杂质区60b的电位 V_{RD} 通过由晶体管78所具有的寄生电容引起的电耦合而降低。在该例中,随着晶体管78的截止,电位 V_{RD} 从 V_3 降低到 V_{5a} 。此时,如果 $V_{5a} < V_{sub}$,则成为噪声的原因的多余的空穴流入杂质区域60b。

[0393] 从图14A中的电压 V_c 的图可知,在此,电压供给电路128在将晶体管78从接通切换为截止的定时,将电压 V_c 从第一电压 V_A 切换为比第一电压 V_A 高的第二电压 V_B 。通过将电压 V_c 从第一电压 V_A 切换为第二电压 V_B ,能够经由电容元件C2使节点RD的电位 V_{RD} 上升,能够防止电位 V_{RD} 低于基板电位。作为第二电压 V_B 的具体的值,考虑晶体管78的源极-漏极间的寄生电容的大小等,选择晶体管78截止时电位 V_{RD} 满足 $V_{5a} > V_{sub}$ 的关系的电压即可。

[0394] 此外,在晶体管78的截止中,也可以以跨越晶体管78的阈值电压的方式使信号线88的电位从高电平向低电平逐渐降低。当信号线88的电位从高电平向低电平逐渐降低时,晶体管78的电阻逐渐增加。当晶体管78的电阻增加时,晶体管78的工作频带变窄,反馈的信号的频率区域变窄。

[0395] 当信号线88的电压达到低电平时,晶体管78截止,反馈环路的形成被消除。此时,当晶体管78的工作频带是充分低于信号检测晶体管72的工作频带的频带时,由晶体管78产生的热噪声由反馈电路90抑制为 $1/(1+AB)^{1/2}$ 倍。在此,式中的A是反馈电路90的增益,B是由电容元件C3和节点FDa的寄生电容形成的衰减电路的衰减率。若将电容元件C3及节点FDa的寄生电容的电容值分别设为Cc及Cf,则衰减率B表示为 $B=Cc/(Cc+Cf)$ 。因此,与电容元件C2的电容值相比,电容元件C3的电容值Cc尽可能小有利于降低热噪声的影响。这样,通过在晶体管78的工作频带比信号检测晶体管72的工作频带低的状态下使晶体管78截止,能够降低残存于节点FDa的kTC噪声。此外,在本说明书中,“晶体管78为截止”是指,晶体管78为n型晶体管时,信号线88的电压为比晶体管78的阈值电压低的低电平,晶体管78为p型晶体管时,信号线88的电压为比晶体管78的阈值电压高的高电平。

[0396] 在晶体管78截止后、到水平同步信号HD的下一个脉冲上升的时刻T5为止的期间,读出与电荷蓄积节点的电压电平对应的第二信号。与参照图4A及图4B说明的第一示例相同,第一信号及第二信号之间的差分 Δ 作为图像信号被输出到水平扫描电路124。

[0397] 如以上说明的那样,在该例中,电压供给电路128在复位晶体管76导通的第一期间,对杂质区域60b施加第一电压 V_A 。进而,电压供给电路128在复位晶体管76截止之后且晶体管78被切换为截止的第二期间,将第二电压 V_B 施加于杂质区域60b。

[0398] 根据第二实施方式,能够使复位晶体管76及晶体管78导通时杂质区60a的电位V2a和进而晶体管78截止时的杂质区60a的电位V4a在被抑制为低于基板电位Vsub的同时成为接近基板电位Vsub的尽可能低的电位。另外,关于杂质区域60b,也能够使晶体管78导通时的电位V3和其后晶体管78截止时的电位V5a在被抑制为低于基板电位Vsub的同时成为接近基板电位Vsub的尽可能低的电位。因此,能够抑制由经由晶体管78的电耦合引起的电位 V_{RD} 的变动引起的暗电流的产生,得到抑制了由暗电流引起的画质劣化的图像信号。

[0399] 可以使用p型晶体管代替n型晶体管作为复位晶体管76和晶体管78。图14B是表示当p型晶体管应用于像素10Bf的复位晶体管76及晶体管78时的示例性动作的时序图。与参照图4B说明的例子相同地,在此,说明使用电子作为信号电荷的例子。在这种情况下,典型地,信号检测晶体管72及地址晶体管74是p型晶体管。

[0400] 在基于曝光的信号电荷蓄积之后,首先,在时刻T1,使地址信号 Φ_{sel} 为低电平,读出第一信号。接着,在时刻T2,使复位晶体管76及晶体管78导通,形成反馈环路。通过反馈环路的形成,节点FDa的电位被复位为垂直信号线89的电压成为Vref的电压V2b。此时,使用满足 $V2b < Vsub$ 的关系的电压作为电压Vref。此外,在该例中,随着复位晶体管76及晶体管78的导通,节点RD的电位 V_{RD} 上升到V3。电压V3满足 $V3 < Vsub$ 的关系。

[0401] 接着,在时刻T3使复位晶体管76为截止。这里,随着复位晶体管76的截止,杂质区域60a的电位 V_{FD} 从V2b上升到V4b。当电位 V_{FD} 高于基板电位Vsub时,产生暗电流,因此适当地选择施加到反相放大器92的非反相放大端子的电压Vref,以使电位 V_{FD} 不超过基板电位Vsub。从尽量缩小耗尽层的观点出发,只要满足 $V4b < Vsub$ 的关系,则V4b为尽量接近Vsub的

电压是有益的。

[0402] 在复位晶体管76截止之后,在时刻T4使晶体管78为截止。此时,也可以通过以跨越晶体管78的阈值电压的方式使信号线88的电位从低电平向高电平逐渐上升,从而使晶体管78截止。当晶体管78截止时,杂质区60b的电位 V_{RD} 可以通过由晶体管78所具有的寄生电容引起的电耦合而上升。在该例中,随着晶体管78的截止,电位 V_{RD} 从V3上升到V5b。

[0403] 此时,如果 $V5b > Vsub$,则在杂质区域60b中将混入成为噪声的原因的多余的电荷。如图14B所示,不仅使晶体管78截止,而且通过将从电压供给电路128施加到控制线81的电压 Vc 切换为比第一电压 V_A 低的第二电压 V_B ,能够防止经由电容元件C2使节点RD的电位 V_{RD} 降低,并防止电位 V_{RD} 高于基板电位。

[0404] 在晶体管78截止后、到水平同步信号HD的下一个脉冲上升的时刻T5为止的期间,读出与电荷蓄积节点的电压电平对应的第二信号。第一信号及第二信号之间的差分 Δ 作为图像信号被输出到水平扫描电路124。

[0405] 这样,通过在晶体管78截止的定时将电压 Vc 从第一电压 V_A 切换为比第一电压 V_A 低的第二电压 V_B ,即使在复位晶体管76以及晶体管78中应用了p型晶体管的情况下,也能够抑制由经由晶体管78的电耦合引起的电位 V_{RD} 的变动引起的暗电流的产生。

[0406] (第二实施形式的变形例)

[0407] 图15表示本发明的第二实施方式的摄像装置的变形例。图15所示的像素10Bp具有将图12所示的像素10B的光电变换部50A置换为光电变换部50B的电路结构。

[0408] 例如,具有像素10Bp的摄像装置100的动作可以与参考图14A或图14B说明的动作相同。即,可应用如下的动作,在复位晶体管76导通的第一期间,将第一电压 V_A 施加于杂质区域60b,在复位晶体管76截止之后且晶体管78被切换为截止的第二期间,向杂质区域60b施加第二电压 V_B 。

[0409] 根据图15所示的电路结构,与图12所示的像素10B相同地,通过将电压 Vc 从第一电压 V_A 切换为第二电压 V_B ,能够使作为浮置节点的节点RD的电位经由电容元件C2而例如上升。因此,能够避免因晶体管78的截止而导致杂质区域60b的电位 V_{RD} 低于基板电位 $Vsub$,从而能够抑制暗电流。另外,与图6所示的像素10Aq相同,也可以在信号检测晶体管72的栅极与光电变换部50B之间还连接传送晶体管79。

[0410] 图16表示了根据本发明的第二实施方式的摄像装置的其他变形例。图16所示的像素10Br也是上述像素10的一例。图16所示的像素10Br和参照图12说明的像素10B之间的主要的不同点在于,在像素10Br中,不是晶体管78及复位晶体管76之间的节点RD,而是在晶体管78的源极及漏极中的未与复位晶体管76连接的一侧电连接有电压供给电路128。即,在图16所示的例子中,与电压供给电路128连接的控制线81与晶体管78的源极和漏极中的未与复位晶体管76连接的一侧连接。

[0411] (摄像装置100的动作的第三例)

[0412] 图17A是用于说明具有图16所示的电路结构的像素10Br的示例性的动作的时序图。与参照图14A说明的动作例相比,图17A所示的动作例的在第一电压 V_A 以及第二电压 V_B 之间切换施加于控制线81的电压的定时不同。

[0413] 在基于曝光的信号电荷蓄积之后,首先,在时刻T1,将地址信号 Φ_{sel} 为高电平,并且读出与蓄积在电荷蓄积节点中的信号电荷相对应的电压电平的第一信号。

[0414] 接着,在时刻T2,使复位信号 Φ_{rst} 及信号 Φ_{fb} 为高电平,使复位晶体管76及晶体管78导通。从电压 V_c 的图可知,在此,电压供给电路128在时刻T2的时刻对控制线81施加第一电压 V_A 。因此,通过复位晶体管76及晶体管78的导通,杂质区域60a的电位 V_{FD} 及杂质区域60b的电位 V_{RD} 变化为 V_A 。作为第一电压 V_A ,通过应用比施加于基板触点而施加基板电位 V_{sub} 的电压大的电压,能够避免杂质区域60a的电位 V_{FD} 以及杂质区域60b的电位 V_{RD} 低于半导体基板60的基板电位 V_{sub} 。

[0415] 接着,在时刻T3,使复位晶体管76为截止。当复位晶体管76截止时,通过复位晶体管76具有的寄生电容引起的电耦合,杂质区域60a的电位 V_{FD} 可能从 V_A 降低。此时,当由于复位晶体管76的截止而引起的杂质区域60a的电位 V_{FD} 低于基板电位 V_{sub} 时,多余的空穴流入到杂质区域60a。

[0416] 但是,在图17A所示的例子中,电压供给电路128在复位晶体管76截止的定时将施加于控制线81的电压从第一电压 V_A 切换为第二电压 V_B 。此时,晶体管78处于导通状态,如图17A所示,杂质区域60b的电位 V_{RD} 变化为 V_B 。

[0417] 如上所述,场效应晶体管在源极-漏极间具有寄生电容,在截止的状态下作为电容发挥功能。因此,通过使施加于控制线81的电压从第一电压 V_A 上升至第二电压 V_B ,能够经由截止状态的复位晶体管76而使杂质区域60a的电位 V_{FD} 上升。通过适当地选择第一电压 V_A 以及第二电压 V_B 的具体的值,能够缩小或抵消与复位晶体管76的截止相伴的电位 V_{FD} 的降低量,其结果是,能够避免杂质区域60a的电位 V_{FD} 低于基板电位 V_{sub} 。在该例中,杂质区域60a的电位 V_{FD} 变化为满足 $V_{6a} > V_{sub}$ 的关系的 V_{6a} 。

[0418] 接着,在时刻T4使晶体管78为截止。在该例中,在晶体管78截止的定时,将施加于控制线81的电压从第二电压 V_B 恢复为第一电压 V_A 。此时,通过经由晶体管78的电耦合,杂质区域60b的电位 V_{RD} 可能由于晶体管78的截止而降低。在该例中,杂质区域60b的电位 V_{RD} 从 V_B 降低至 V_{7a} 。

[0419] 但是,在此,晶体管78即将截止之前的杂质区域60b的电位 V_{RD} 为 V_B 。由于在施加了比接近基板电位 V_{sub} 的第一电压 V_A 高的第二电压 V_B 的状态下晶体管78截止,所以能够避免电位 V_{RD} 低于基板电位 V_{sub} 。如图17A所示,在此, $V_{7a} > V_{sub}$ 的关系成立。作为第二电压 V_B ,只要使用满足 $V_{7a} > V_{sub}$ 的关系的电压即可。在满足 $V_{7a} > V_{sub}$ 的关系的范围内将尽可能低的电压用作第二电压 V_B 时,有利于耗尽层的缩小。也可以不在晶体管78的截止的定时切换施加于控制线81的电压,在时刻T4以后也继续对控制线81施加第二电压 V_B 。另外,在复位晶体管76的源极-漏极间寄生电容比较小,因此,即使杂质区域60b的电位 V_{RD} 从 V_B 降低到 V_{7a} ,也几乎不会对杂质区域60a的电位 V_{FD} 产生影响。

[0420] 在晶体管78截止后、到水平同步信号HD的下一个脉冲上升的时刻T5为止的期间,读出与电荷蓄积节点的电压电平对应的第二信号。第一信号及第二信号之间的差分 Δ 作为图像信号被输出到水平扫描电路124。

[0421] 在图17A所示的第三例中,电压供给电路128在复位晶体管76导通的第一期间对杂质区域60b施加第一电压 V_A 这一点与参照图14A说明的例子相同。但是,在该例中,电压供给电路128在晶体管78导通的期间中的除第一期间以外的期间,对杂质区域60b施加第二电压 V_B 。通过这样的控制,也能够避免杂质区域60b的电位 V_{RD} 低于基板电位 V_{sub} 。另外,能够抑制由经由截止状态的复位晶体管76的电耦合引起的、因杂质区域60a的电位 V_{FD} 的变动而引起

的暗电流的产生。

[0422] 另外,也可以在图16所例示的电路结构中应用与参照图14A说明的例子相同的控制。再次参照图14A。在图14A所示的例子中,在时刻T4,晶体管78截止。这一点与在此说明的第三例相同。当晶体管78截止时,如上所述,杂质区域60b的电位 V_{RD} 可以通过经由晶体管78的电耦合而降低。但是,如图14A所示,通过在晶体管78的截止的定时将施加于控制线81的电压切换为第二电压 V_B ,能够降低经由晶体管78的电耦合引起的电位的降低量。这是因为,在时刻T4以后,晶体管78处于截止状态,虽然源极-漏极间成为非导通状态,但是在源极-漏极间具有寄生电容,所以晶体管78作为电容发挥功能。即,利用基于晶体管78的寄生电容的电耦合,能够控制杂质区域60b的电位 V_{RD} 。通过经由晶体管78的电位 V_{RD} 的控制,能够避免电位 V_{RD} 随着晶体管78的截止而低于基板电位 V_{sub} ,从而能够防止多余的空穴向杂质区域60b的流入。

[0423] 这样,截止后的晶体管78能够发挥与图12所示的电容元件C2相同的功能。但是,源极-漏极间的寄生电容的电容值一般比较小。因此,如图12所例示的电路结构那样,经由具有更大电容值的电容元件C2而将电压供给电路128与节点RD连接时,能够一边应用更小的电压差的电压作为第一电压 V_A 以及第二电压 V_B ,一边使杂质区域60b的电位 V_{RD} 更大地变动。换言之,与图16所示的电路结构相比,图12所示的电路结构能够更有效地降低与晶体管78的截止相伴的电位 V_{RD} 的降低,因此能够将更接近基板电位 V_{sub} 的电压用作第一电压 V_A 。

[0424] 图17B表示在像素10Br的复位晶体管76、晶体管78、信号检测晶体管72以及地址晶体管74中应用p型晶体管,使用电子作为信号电荷时的示例性的动作。如以下说明的那样,在图17B所示的动作例中,在第一电压 V_A 以及第二电压 V_B 之间切换施加于控制线81的电压的定时与参照图17A说明的动作例相同。但是,在此,作为第二电压 V_B ,使用比第一电压 V_A 低的电压。

[0425] 在图17B所示的例子中,在基于曝光的信号电荷的蓄积后,首先,在时刻T1使地址晶体管74导通,读出与蓄积于电荷蓄积节点的信号电荷对应的电压电平的第一信号。接着,在时刻T2,使复位信号 Φ_{rst} 及信号 Φ_{fb} 为低电平,使复位晶体管76及晶体管78导通。在此,电压供给电路128在时刻T2的时刻对控制线81施加第一电压 V_A ,因此杂质区域60a的电位 V_{FD} 及杂质区域60b的电位 V_{RD} 变化为 V_A 。作为第一电压 V_A ,使用比给予基板电位 V_{sub} 的电压低的电压,以使得电位 V_{FD} 及电位 V_{RD} 不高于基板电位 V_{sub} 。

[0426] 接着,在时刻T3,使复位晶体管76截止。当复位晶体管76截止时,由于复位晶体管76所具有的寄生电容引起的电耦合,杂质区60a的电位 V_{FD} 可能从 V_A 上升。此时,如图17B所示,通过在复位晶体管76截止的定时将施加于控制线81的电压从第一电压 V_A 切换为比第一电压 V_A 低的第二电压 V_B ,杂质区域60b的电位 V_{RD} 变化为 V_B 。另外,通过将施加于控制线81的电压从第一电压 V_A 切换为第二电压 V_B ,能够经由截止状态的复位晶体管76使杂质区域60a的电位 V_{FD} 降低。因此,可以避免杂质区60a的电位 V_{FD} 随着复位晶体管76的截止而高于基板电位 V_{sub} 。在该例中,杂质区域60a的电位 V_{FD} 变化为满足 $V_{FD} < V_{sub}$ 的关系的 V_{FB} 。

[0427] 接着,在时刻T4使晶体管78截止,并且在晶体管78截止的定时,将施加于控制线81的电压从第二电压 V_B 恢复为第一电压 V_A 。此时,杂质区域60b的电位 V_{RD} 可以通过经由晶体管78的电耦合而上升。但是,在此,在比接近基板电位 V_{sub} 的第一电压 V_A 低的第二电压 V_B 被施加到控制线81的状态下晶体管78被截止,如果将晶体管78刚刚截止后的杂质区域60b的电

位 V_{RD} 设为V7b，则 $V7b < V_{sub}$ 的关系成立。即，避免了电位 V_{RD} 高于基板电位 V_{sub} 的情况。

[0428] 在晶体管78截止后、到水平同步信号HD的下一个脉冲上升的时刻T5为止的期间，读出与电荷蓄积节点的电压电平对应的第二信号。第一信号及第二信号之间的差分 Δ 作为图像信号被输出到水平扫描电路124。

[0429] 根据这样的控制，能够避免杂质区域60b的电位 V_{RD} 高于基板电位 V_{sub} 。另外，能够抑制由经由截止状态的复位晶体管76的电耦合引起的、由杂质区域60a的电位 V_{FD} 的变动而引起的暗电流的产生。另外，在图16所示的像素10Br的复位晶体管76、晶体管78、信号检测晶体管72以及地址晶体管74中应用p型晶体管，在使用电子作为信号电荷的情况下，也能够应用与参照图14B说明的例子相同的控制。

[0430] 图18表示了根据本发明的第二实施方式的摄像装置的另一变形例。图18所示的像素10Bq具有将图16所示的像素10Br的光电变换部50A置换为光电变换部50B的电路结构。具有像素10Bq的摄像装置100的动作可以与参照图17A或图17B说明的动作相同。即，在晶体管78导通的期间中，除了复位晶体管76导通的第一期间之外的期间，可应用将第二电压 V_B 施加于杂质区域60b的动作。根据这样的控制，例如能够避免杂质区域60b的电位 V_{RD} 低于基板电位 V_{sub} 。

[0431] 此外，也可以在图18所例示的电路结构中应用与参照图14A以及图14B而说明的动作相同动作。与图6中所示的像素10Aq相同，传送晶体管79可进一步连接在信号检测晶体管72的栅极与光电变换部50B之间。

[0432] (第三实施方式)

[0433] 图19A及图19B示意性地表示根据本发明的第三实施方式的摄像装置具有的像素的电路结构的一个例子。图19A所示的摄像装置140具有像素10D。与参照图3说明的电路结构相同，像素10D在像素10D内具有信号检测晶体管72、地址晶体管74以及复位晶体管76这三个晶体管。图19B所示的像素10Dp具有将图19A所示的像素10D的光电变换部50A置换为光电变换部50B的电路结构。

[0434] 图19A所示的像素10D与参照图3说明的像素10A之间的主要不同点在于，在像素10D中，电压供给电路128不与节点FDa连接，节点FDa与地址信号线84经由电容元件C1而电结合。像素10D除了在层间绝缘层40内未配置控制线81以外，能够具有与参照图2说明的设备结构相同的设备结构。在图19B所示的像素10Dp中，也与图19A所示的像素10D相同，电容元件C1的端子中的未与节点FDb连接的一侧的端子与地址信号线84连接。

[0435] 在电容元件C1的端子中，向与地址信号线84连接的端子输入地址信号 Φ_{sel} 。因此，这些示例性的电路具有能够通过地址信号 Φ_{sel} 的控制来控制节点FDa或节点FDb的电位的结构。但是，并非必须在电容元件C1的端子的一方连接地址信号线84。例如，在作为信号电荷而利用空穴的情况下，在电容元件C1中的与节点FDa或与节点FDb连接的一侧相反侧的端子中，只要输入在复位期间为高电平、在不是行选择时的期间为低电平的控制信号即可。例如，复位信号 Φ_{rst} 或其他控制信号可以被输入到电容元件C1中的与节点FDa或节点FDb连接的一侧的相反侧的端子。

[0436] 图20是用于说明具有图19A所示的电路结构的像素10D的示例性的动作的时序图。与参照图4C说明的动作序列相比，在图20所例示的动作序列中，地址信号 Φ_{sel} 也起到图4C所示的电压 V_c 的作用，在图20中， Φ_H 表示高电平的信号 Φ_H ， Φ_L 表示低电平的信号 Φ_L 。这

里,低电平信号 Φ_L 对应于第一电压 V_A ,高电平信号 Φ_H 对应于第二电压 V_B 。

[0437] 在像素10D中,节点FDa经由电容元件C1与地址信号线84电容耦合。因此,通过在时刻T1使地址信号 Φ_{sel} 为高电平,能够使节点FDa的电位上升。此时的电位的变动量 ΔV_{FD} 由下述的式(2)表示。

$$[0438] \Delta V_{FD} = (\Phi_H - \Phi_L) (C_1 / (C_1 + C_{FD})) \quad (2)$$

[0439] 通过在时刻T4使地址信号 Φ_{sel} 为低电平的 Φ_L ,节点FDa的电位降低由上述的式(2)表示的 ΔV_{FD} 。这样,也能够使用地址信号 Φ_{sel} 控制电荷蓄积节点的电位,如图20所示,例如,能够将地址信号 Φ_{sel} 恢复为低电平的 Φ_L 时的节点FDa的电位设定为比复位电压 V_r 低的电位 V_{1f} 。另外,行选择时并且执行复位后的杂质区域60a的电位 V_{FD} 处于被提升为复位电压 V_r 的状态,因此能够在信号检测晶体管72的后级电路中能够动作的电压范围内正常地执行第二信号的读出。

[0440] 根据第三实施方式,例如使用地址信号 Φ_{sel} 通过电容耦合来控制电荷蓄积节点的电位,因此能够减少信号线的数量。由此,能够实现像素的小型化。另外,作为电容元件C1,并不限于具有上述MIS结构、MIM结构等的元件。例如也可以通过配线间的寄生电容等实现电容元件C1。例如,也可以通过信号检测晶体管72的栅极与信号线等配线之间的寄生电容来实现电容元件C1。

[0441] (第四实施方式)

[0442] 图21示意性地表示根据本发明的第四实施方式的摄像装置具有的像素的电路结构的一个例子。图21所示的摄像装置150具有像素10C。以与参照图3说明的电路结构相同的方式,像素10C在像素10C中具有信号检测晶体管72、地址晶体管74及复位晶体管76这三个晶体管。这些信号检测晶体管72、地址晶体管74以及复位晶体管76这三个晶体管构成检测电路95,该检测电路95检测蓄积在与光电变换部50A电连接的节点FDa上的信号电荷。然而,与图3所示的像素10A相比,电压供给电路128不连接到图21所示的像素10C的节点FDa。像素10C除了在层间绝缘层40内未配置控制线81以外,可具有与参照图2说明的设备结构相同的设备结构。

[0443] (摄像装置150的动作的示例)

[0444] 图22A是表示具有图21所示的电路结构的像素10C的示例性的动作的时序图。

[0445] 在基于曝光的信号电荷的蓄积后,在时刻T1使地址晶体管74导通,读出与蓄积于电荷蓄积节点的信号电荷对应的电压电平的第一信号这一点与上述的典型例相同。之后,与第一例相同,在时刻T2使复位信号 Φ_{rst} 为高电平,使复位晶体管76导通,从电荷蓄积节点经由复位晶体管76放出信号电荷。此时,杂质区域60a的电位 V_{FD} 变化为 V_r 。另外,在此, $V_r > V_{sub}$ 。

[0446] 接着,在时刻T3,使复位信号 Φ_{rst} 为低电平,使复位晶体管76截止。当复位晶体管76截止时,由于复位晶体管76所具有的寄生电容引起的电耦合,杂质区域60a的电位 V_{FD} 从 V_r 降低。这里,例如,当 V_r 是接近基板电位 V_{sub} 的电压时,复位晶体管76截止之后的电位 V_{FD} 有时低于基板电位 V_{sub} 。在该例中,通过复位晶体管76的截止,杂质区域60a的电位 V_{FD} 从 V_r 降低到成为 $V8a < V_{sub}$ 的 $V8a$ 。

[0447] 但是,在图22A所示的例子中,在时刻T4,将施加于复位晶体管76的栅极的复位信号 Φ_{rst} 切换为比高电平的信号 Φ_H 低且比低电平的信号 Φ_L 高的、中间电压电平的信号 Φ_M 。

但是,作为中间电压电平,使用复位晶体管76维持截止状态的电压电平。

[0448] 在维持复位晶体管76的截止状态的同时,通过使复位信号 Φ_{rst} 从低电平上升到中间电压电平的信号 Φ_M ,能够利用基于复位晶体管76的栅极-漏极间的寄生电容所引起的电耦合,将杂质区域60a的电位 V_{FD} 提升到比基板电位 V_{sub} 高的电位。在该例中,通过使复位信号 Φ_{rst} 从低电平的信号 Φ_L 上升到中间电压电平的信号 Φ_M ,杂质区域60a的电位 V_{FD} 上升到满足 $V9a > V_{sub}$ 的 $V9a$ 。

[0449] 在使复位信号 Φ_{rst} 从低电平的信号 Φ_L 上升到中间电压电平的信号 Φ_M 之后、到水平同步信号HD的下一个脉冲上升的时刻T5为止的期间,读出与信号电荷的放出后、即复位后的电荷蓄积节点的电压电平对应的第二信号。即,在该例中,在杂质区域60a的电位 V_{FD} 高于基板电位 V_{sub} 的状态下执行第二信号的读出。

[0450] 这样,在从第一信号的读出到第二信号的读出之间,杂质区域60a的电位 V_{FD} 也可以暂时低于基板电位 V_{sub} 。但是,以使复位信号 Φ_{rst} 从低电平的信号 Φ_L 上升到中间电压电平的信号 Φ_M 时电位 V_{FD} 高于基板电位 V_{sub} 的方式,决定施加给复位信号线86的中间电压电平。若杂质区域60a的电位 V_{FD} 低于基板电位 V_{sub} 的期间为极短时间,复位后的杂质区域60a的电位 V_{FD} 高于基板电位 V_{sub} ,则能够抑制暗电流对与复位后的电荷蓄积节点的电压电平对应的第二信号的影响。

[0451] 图22B是用于说明在图21所示的像素10C的复位晶体管76中应用p型晶体管并且使用电子作为信号电荷时的示例性动作的时序图。在代替n型晶体管而对信号检测晶体管72、地址晶体管74以及复位晶体管76应用p型的晶体管,使用电子作为信号电荷的情况下,例如能够应用以下的动作。

[0452] 在基于曝光的信号电荷蓄积之后,首先,在时刻T1使地址晶体管74导通,并且读出与蓄积在电荷蓄积节点中的信号电荷对应的电压电平的第一信号。接着,在时刻T2,使复位信号 Φ_{rst} 为低电平,使复位晶体管76导通,从电荷蓄积节点放出信号电荷。此时,杂质区域60a的电位 V_{FD} 是 V_r ,在该例中, $V_r < V_{sub}$ 。

[0453] 接着,在时刻T3,使复位信号 Φ_{rst} 为高电平的信号 Φ_H ,使复位晶体管76截止。在该例中,通过复位晶体管76的截止,杂质区域60a的电位 V_{FD} 从 V_r 上升到 $V8b > V_{sub}$ 的 $V8b$ 。之后,在时刻T4,将施加于复位晶体管76的栅极的复位信号 Φ_{rst} 切换为低电平的信号 Φ_L 与高电平的信号 Φ_H 之间的中间电压电平的信号 Φ_M 。在该例中,中间电压电平的信号 Φ_M 比低电平的信号 Φ_L 高,比高电平的信号 Φ_H 低。在此,作为中间电压电平,使用维持复位晶体管76截止状态这样的电压电平。

[0454] 通过在维持复位晶体管76的截止状态下使复位信号 Φ_{rst} 从高电平降低到中间电压电平的信号 Φ_M ,能够利用经由复位晶体管76的电耦合,将杂质区域60a的电位 V_{FD} 降低到比基板电位 V_{sub} 低的电位。在该例中,通过使复位信号 Φ_{rst} 从高电平的信号 Φ_H 降低到中间电压电平的信号 Φ_M ,杂质区域60a的电位 V_{FD} 降低到满足 $V9b < V_{sub}$ 的 $V9b$ 。然后,在时刻T5之前的期间,读出与信号电荷放出后的电荷蓄积节点的电压电平对应的第二信号。

[0455] 在该例中,在读出第二信号的时刻,杂质区域60a的电位 V_{FD} 低于基板电位 V_{sub} 。在读出第二信号的时刻,如果杂质区域60a的电位 V_{FD} 低于基板电位 V_{sub} ,则在从第一信号的读出到第二信号的读出之间,杂质区域60a的电位 V_{FD} 也可以暂时高于基板电位 V_{sub} 。如果杂质区域60a的电位 V_{FD} 高于基板电位 V_{sub} 的期间为极短时刻,复位后的杂质区域60a的电位 V_{FD}

低于基板电位 V_{sub} ,则能够抑制暗电流对与复位后的电荷蓄积节点的电压电平对应的第二信号的影响。

[0456] 在第四实施方式中,垂直扫描电路122通过将复位晶体管76导通的第一电平的信号、复位晶体管76截止的第二电平的信号、以及中间电平的信号依次施加到复位晶体管76的栅极,来执行杂质区域60a的电位的复位。在此,与中间电平的信号 Φ_M 对应的电压是在与第一电平的信号对应的电压以及与第二电平的信号对应的电压之间,能够维持复位晶体管76截止状态的电压。在图21所例示的电路结构中,如果在向复位晶体管76的栅极施加中间电平的信号 Φ_M 时杂质区域60a的电位 V_{FD} 高于基板电位 V_{sub} ,则如参照图22A所说明的那样,能够抑制暗电流对与复位后的电荷蓄积节点的电压电平对应的第二信号的影响,避免画质的劣化。此时,在向复位晶体管76的栅极施加第二电平的信号时,杂质区域60a的电位 V_{FD} 也可以暂时低于基板电位 V_{sub} 。

[0457] 根据第四实施方式,能够避免电路变得过于复杂,并且能够防止由暗电流引起的画质的劣化。另外,在读出与复位后的电荷蓄积节点的电压电平对应的第二信号时的杂质区域60a的电位 V_{FD} 例如能够为接近基板电位 V_{sub} 的尽可能低的电位,因此能够有效地抑制暗电流的产生。

[0458] (第四实施方式的变形例)

[0459] 图23表示本发明的第四实施方式的摄像装置的变形例。图23所示的像素10Cp具有将图21所示的像素10C的光电变换部50A置换为光电变换部50B的电路结构。

[0460] 具有像素10Cp的摄像装置100的动作可以与参照图22A及图22B说明的动作相同。根据图23所示的电路结构,与图21所示的像素10C相同,能够避免电路过度复杂,并且能够防止由暗电流引起的画质的劣化。与图6中所示的像素10Aq相同,传送晶体管79还可以进一步连接在信号检测晶体管72的栅极与光电变换部50B之间。

[0461] 如上所述,根据本发明的实施方式,例如,可以经由电容控制浮置节点中包括的杂质区域的电位,并且可以缩小在杂质区域和其周边之间形成的耗尽层并且减少位于耗尽层中的晶格缺陷的数目。或者,能够抑制因在浮置节点所包含的杂质区域与其周边之间的pn结中产生正向电流而导致的噪声的混入。因此,能够提供抑制了由暗电流引起的SN比的降低的摄像装置。

[0462] 本发明的实施方式的摄像装置并不限定于上述的例子,能够进行各种改变。包括电压供给电路128等的周边电路120的动作也可以基于来自安装在半导体基板60或与半导体基板60不同的其他基板上的控制电路的指示来执行。摄像装置所包含的各电路既可以通过LSI等集成电路来实现,也可以将它们的一部分或全部作为单一的电路集成在一个芯片中。摄像装置中包含的各电路可以作为FPGA(现场可编程门阵列)来实现,也可以是可重构处理器等。摄像装置中包含的各电路可以作为面向特定处理的电路来实现,也可以通过通用的处理电路和记述了上述实施方式所例示的处理的程序的组合来实现。该程序可以存储在形成于半导体基板60或其他基板的存储器等中。

[0463] (第五实施方式)

[0464] 图24示意性地表示了根据本发明第五实施方式的相机系统的功能框图。图24所示的照相机系统200具有光学系统201、摄像装置100、信号处理电路203、系统控制器204和显示装置205。相机系统200可以是例如智能电话、数码相机及摄像机等。

[0465] 光学系统201例如具有包括光学变焦及自动调焦用的透镜的透镜组及光圈。作为摄像装置100，可以应用在第一～第四实施方式中说明的摄像装置中的任一个。

[0466] 信号处理电路203例如是DSP(数字信号处理器)。信号处理电路203从摄像装置100接收输出数据，进行例如伽马校正、颜色插补处理、空间插补处理以及自动白平衡等处理。摄像装置100及信号处理电路203可以被实现为单个半导体装置。例如，半导体装置可以是所谓的SoC(系统级芯片)。根据这样的结构，能够使包含摄像装置100作为其一部分的电子设备进一步小型化。

[0467] 系统控制器204控制整个照相机系统200。系统控制器204典型的是半导体集成电路，并且例如是CPU(中央处理单元)。

[0468] 显示装置205例如是液晶显示器或有机EL显示器。显示装置205也可以具备如触摸面板那样的输入界面。由此，用户能够使用触摸笔，经由输入界面执行信号处理电路203的处理内容的选择以及控制以及摄像条件的设定。

[0469] 上述的信号检测晶体管72、地址晶体管74、复位晶体管76、晶体管71、晶体管78、负载晶体管73以及传送晶体管79也可以分别是p沟道MOS。如上所述，在这些晶体管是p沟道MOS的情况下，作为第二电压，能够应用比第一电压低的电压。另外，不需要将信号检测晶体管72、地址晶体管74、复位晶体管76、晶体管71、晶体管78、负载晶体管73以及传送晶体管79全部统一为n沟道MOS或p沟道MOS中的某一个。作为这些晶体管，除了场效应晶体管之外，还可以使用双极晶体管。

[0470] 产业上的可利用性

[0471] 根据本发明的实施方式，提供了一种能够抑制暗电流的影响并且以高图像质量进行摄像的摄像装置。本发明的摄像装置例如对图像传感器、数码相机等有用。本发明的摄像装置能够用于移动设备用照相机、医疗用照相机、机器人用照相机、安全照相机、搭载于车辆中使用的照相机等。

[0472] 附图标记说明

[0473] 10、10A～10C、10Ap～10Ax 像素

[0474] 10Bf、10Br、10Bp、10Bq 像素

[0475] 10C、10Cp、10D、10Dp 像素

[0476] 42 连接部

[0477] 50A、50B 光电变换部

[0478] 52 像素电极

[0479] 54 光电变换层

[0480] 56 对置电极

[0481] 60 半导体基板

[0482] 60S 支承基板

[0483] 60a～60e 杂质区域

[0484] 61p 第一p型半导体层

[0485] 62p 第二p型半导体层

[0486] 71 晶体管

[0487] 72、72d 信号检测晶体管

- [0488] 72e 信号检测晶体管的栅电极
- [0489] 73 负载晶体管
- [0490] 74 地址晶体管
- [0491] 76 复位晶体管
- [0492] 78 晶体管
- [0493] 79 传送晶体管
- [0494] 81 控制线
- [0495] 84 地址信号线
- [0496] 86 复位信号线
- [0497] 88 信号线
- [0498] 89 垂直信号线
- [0499] 90、90x 反馈电路
- [0500] 94 电流源
- [0501] 95 检测电路
- [0502] 100、140、150 摄像装置
- [0503] 110 像素阵列
- [0504] 120 周边电路
- [0505] 122 垂直扫描电路
- [0506] 128 电压供给电路
- [0507] 200 相机系统
- [0508] C1~C3 电容元件

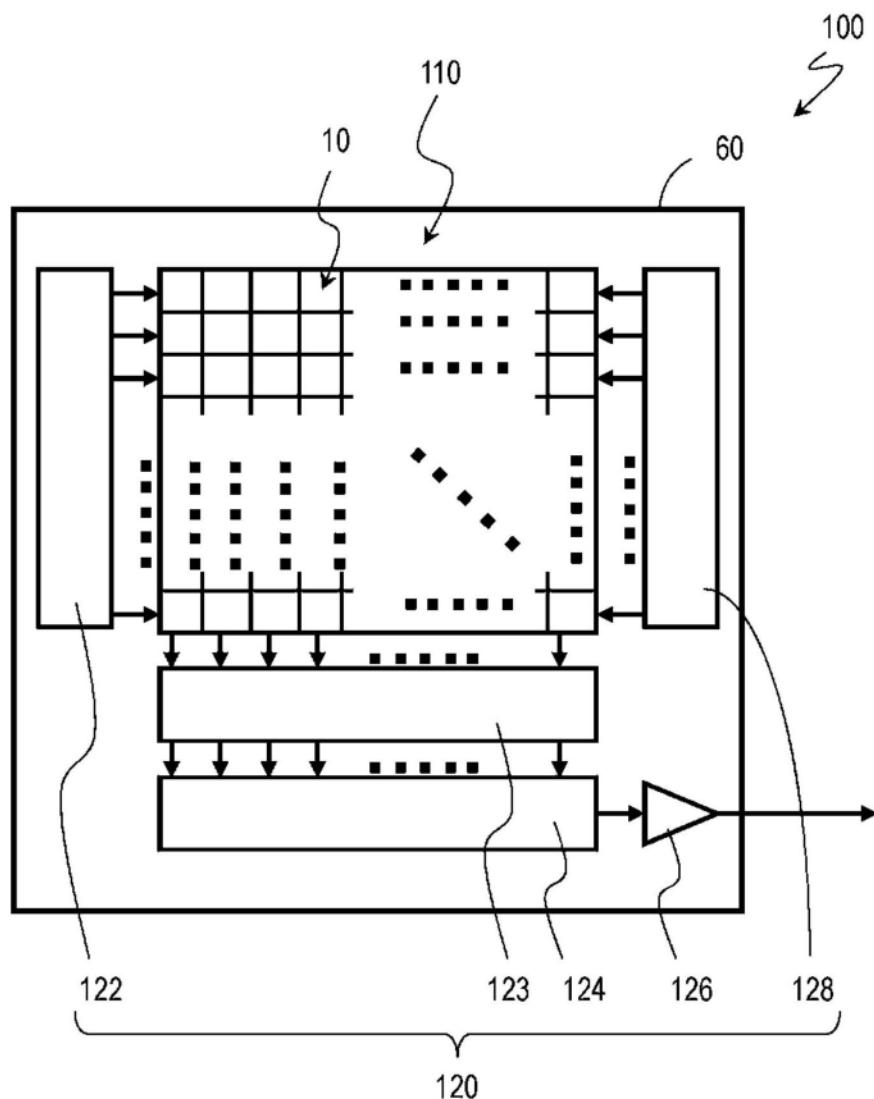


图1

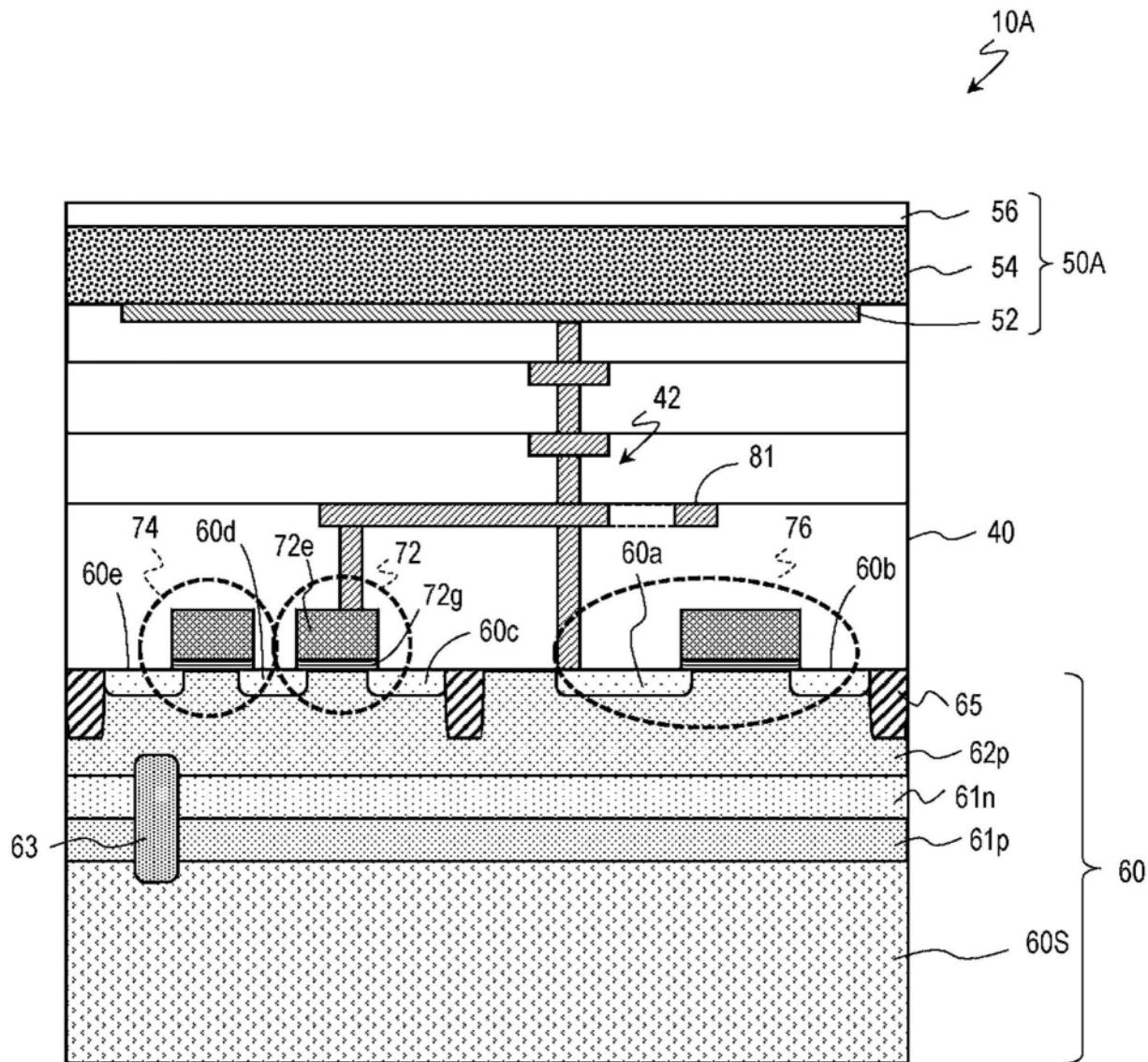


图2

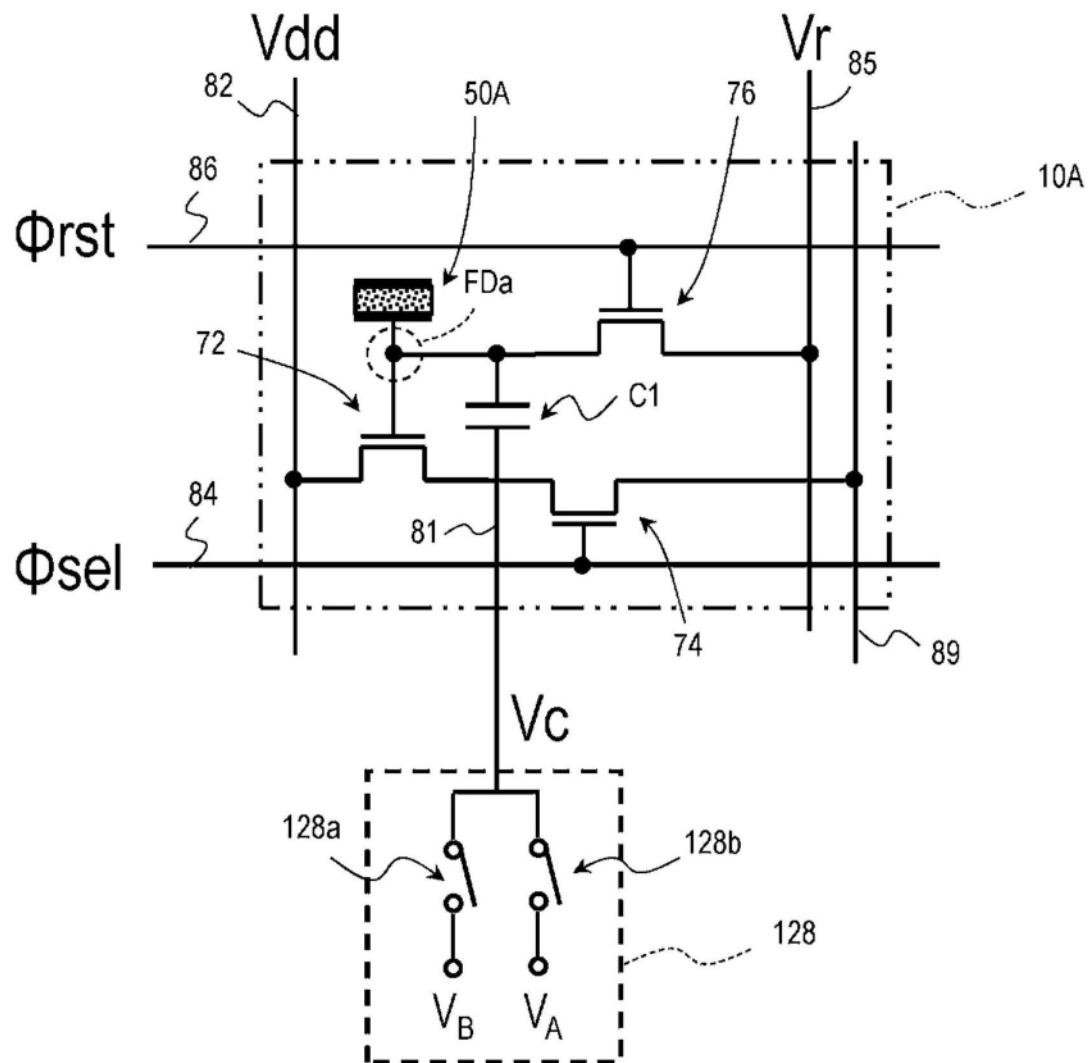


图3

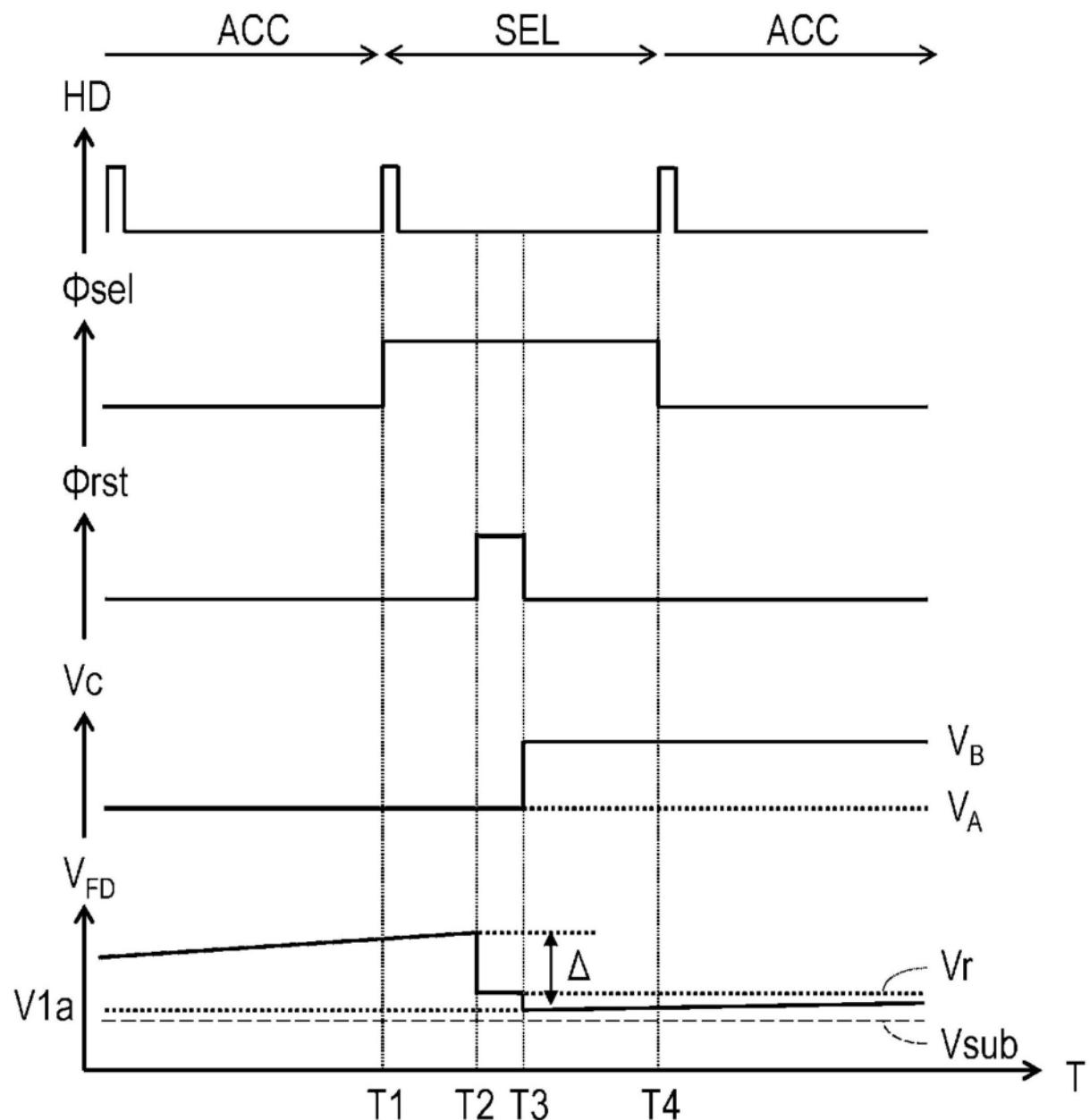


图4A

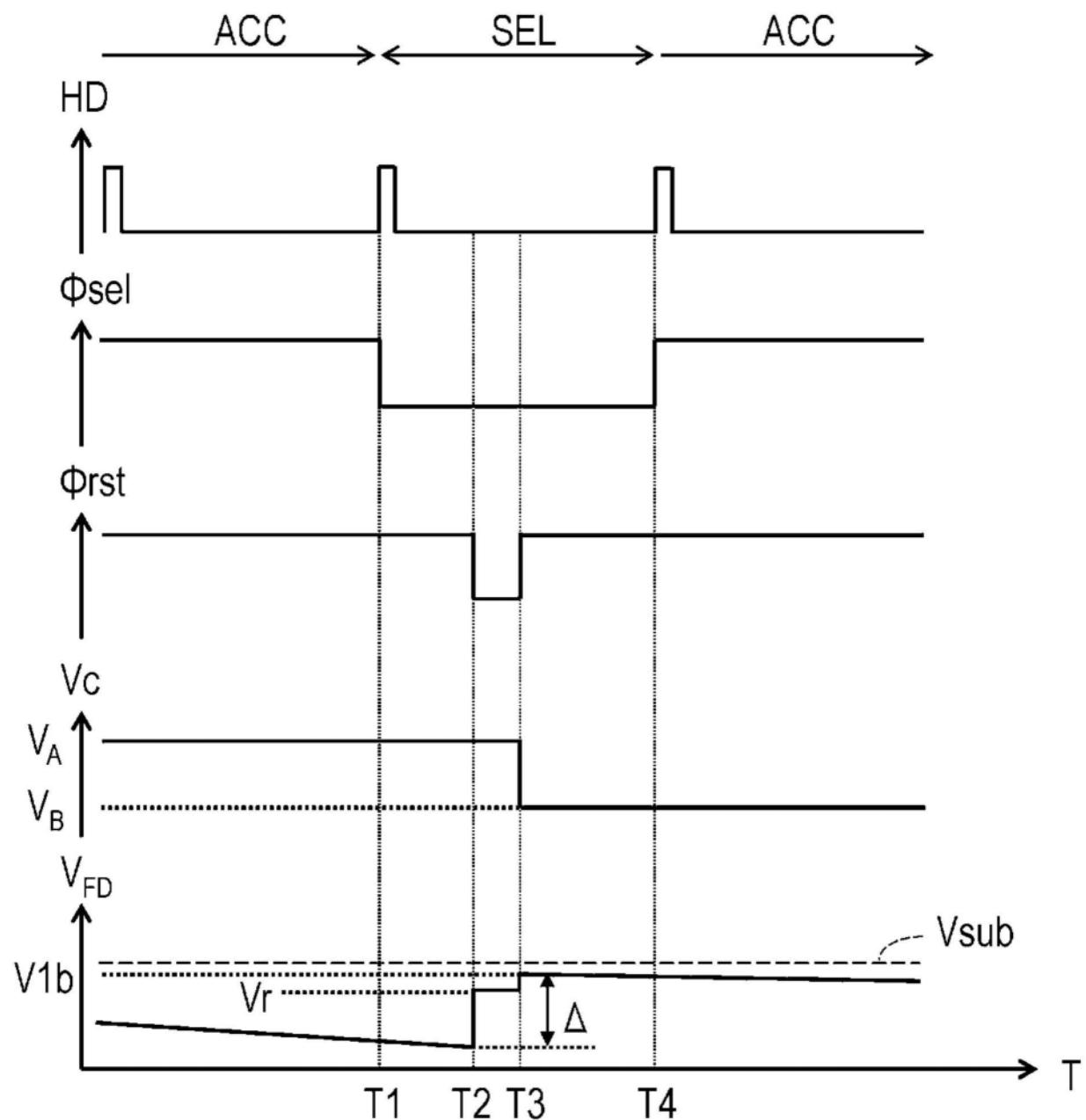


图4B

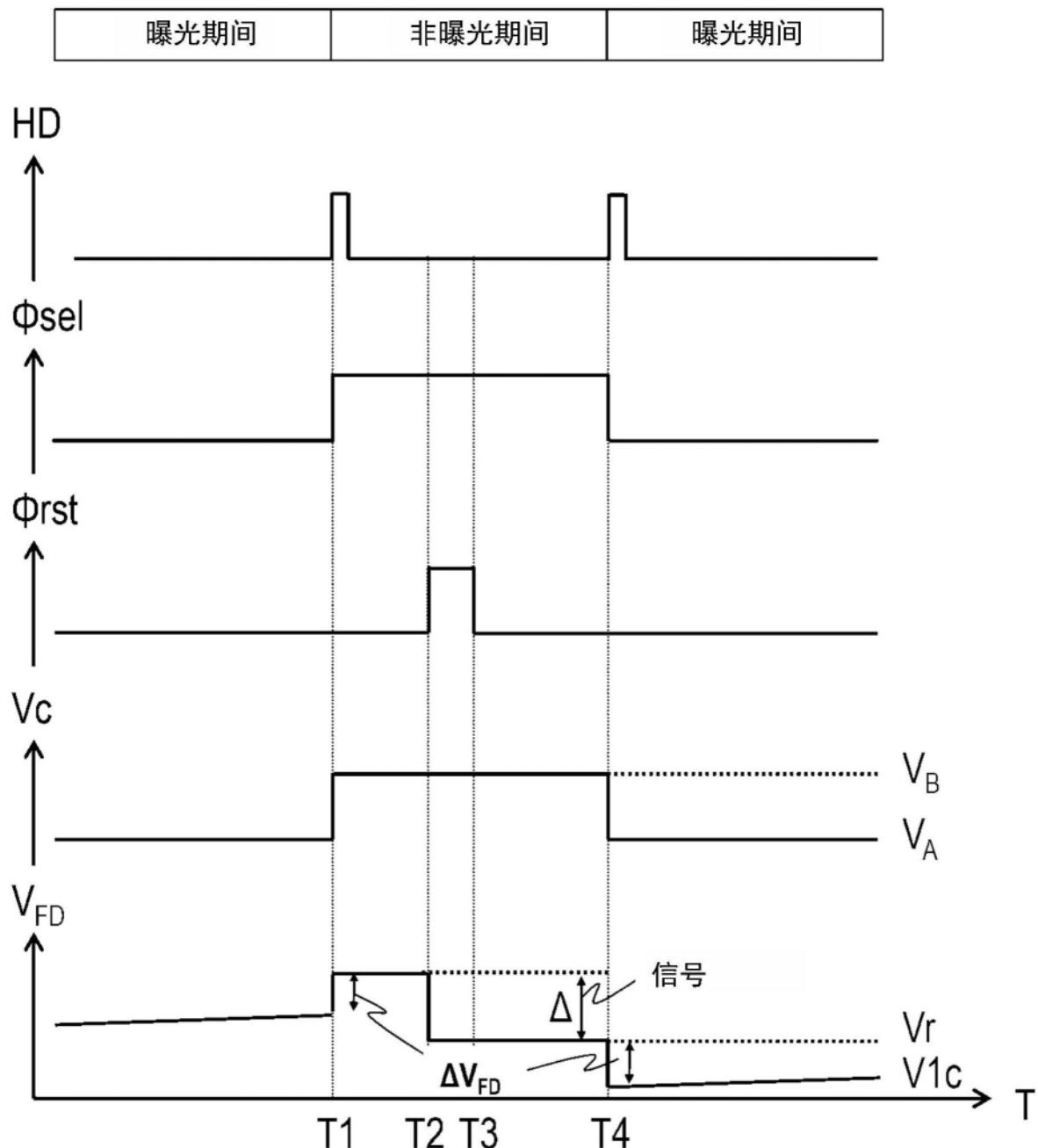


图4C

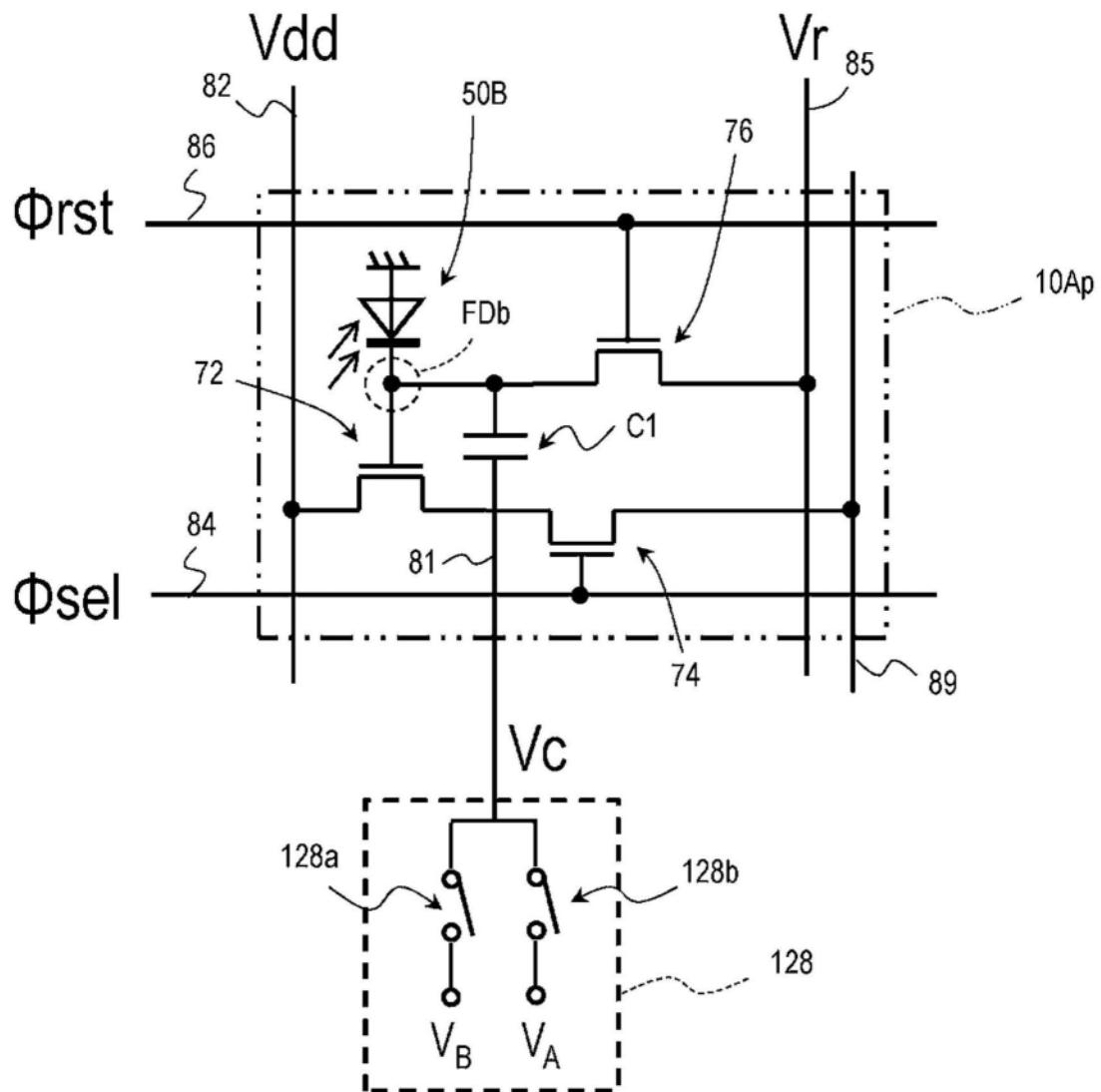


图5

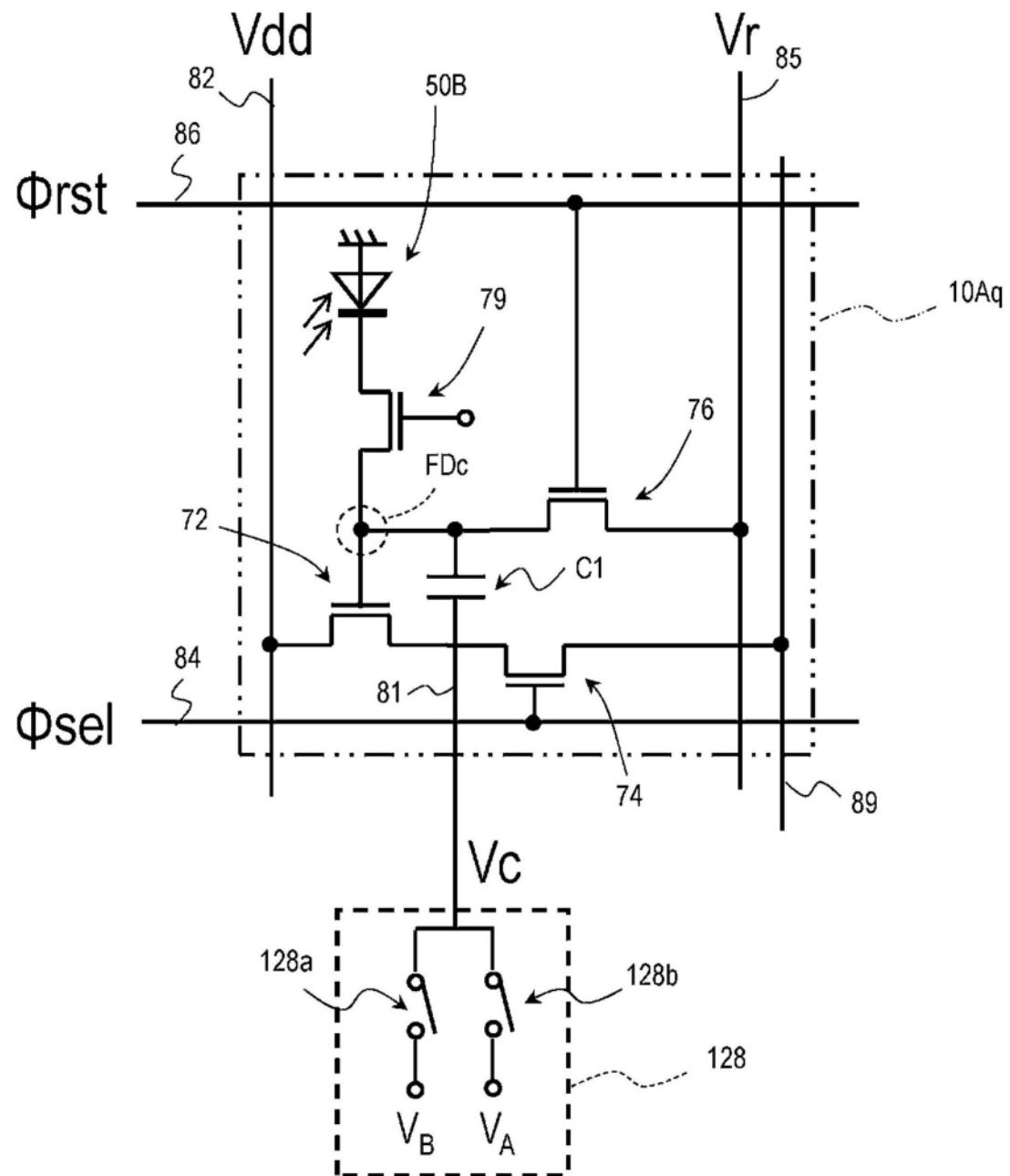


图6

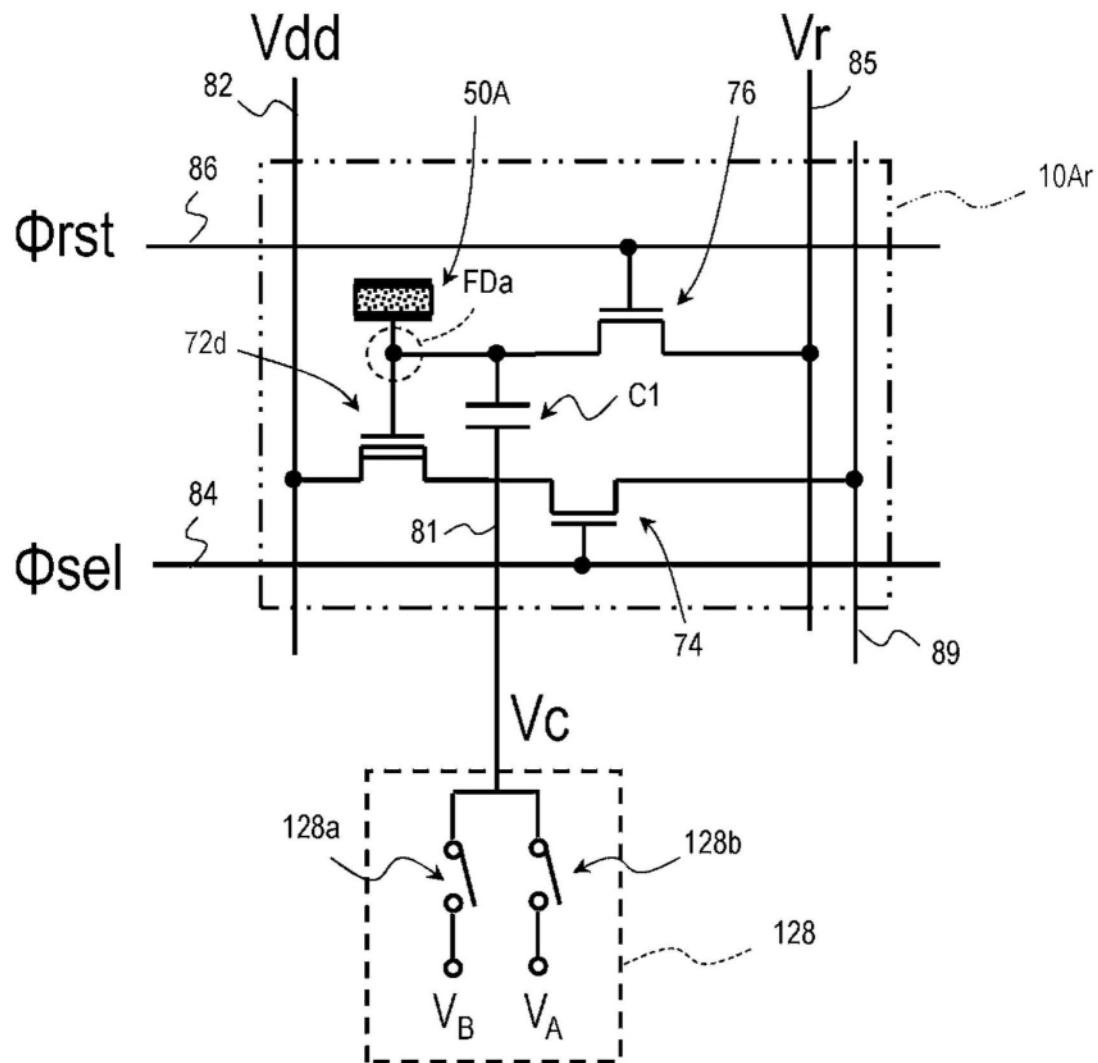


图7A

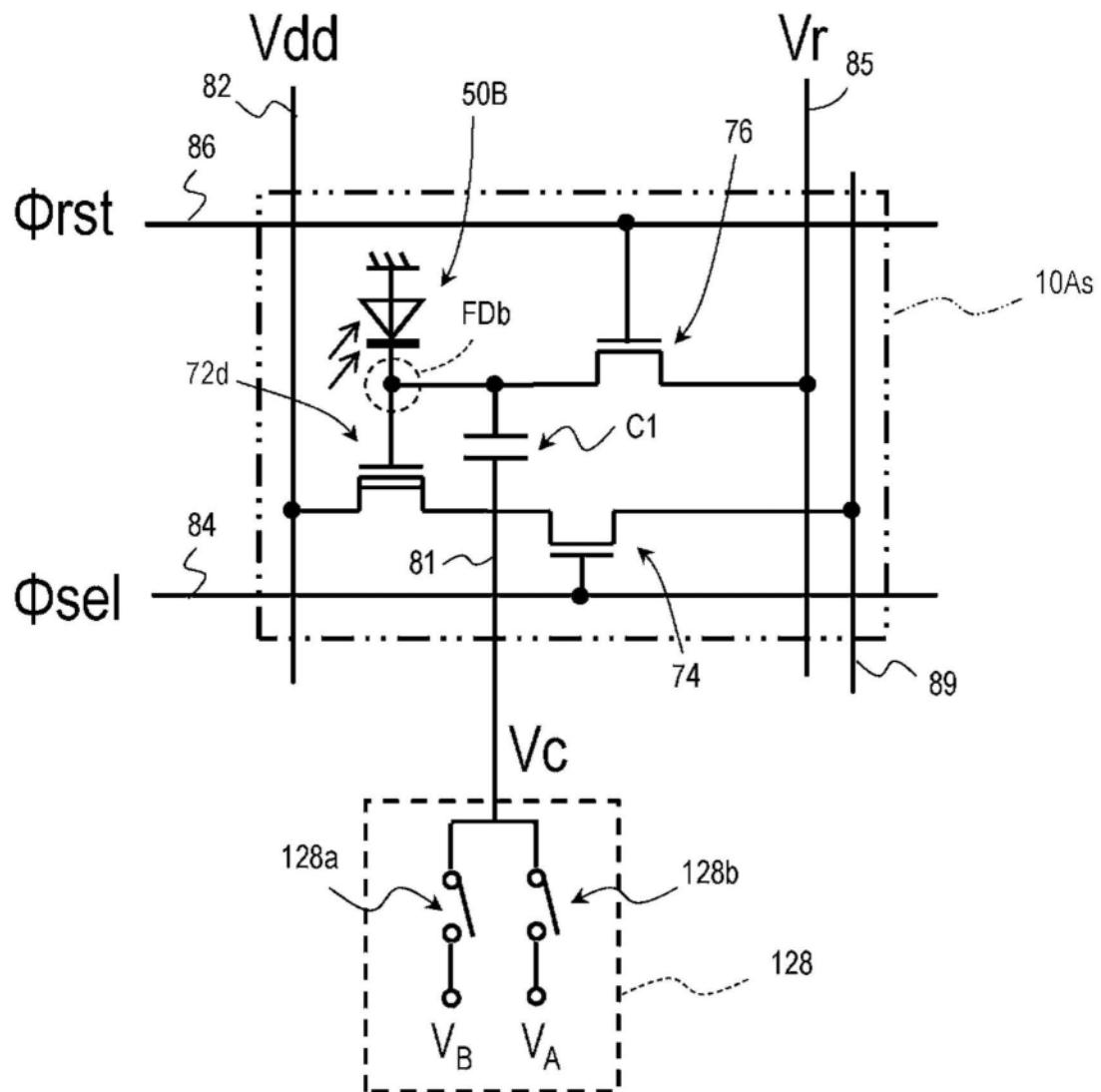


图7B

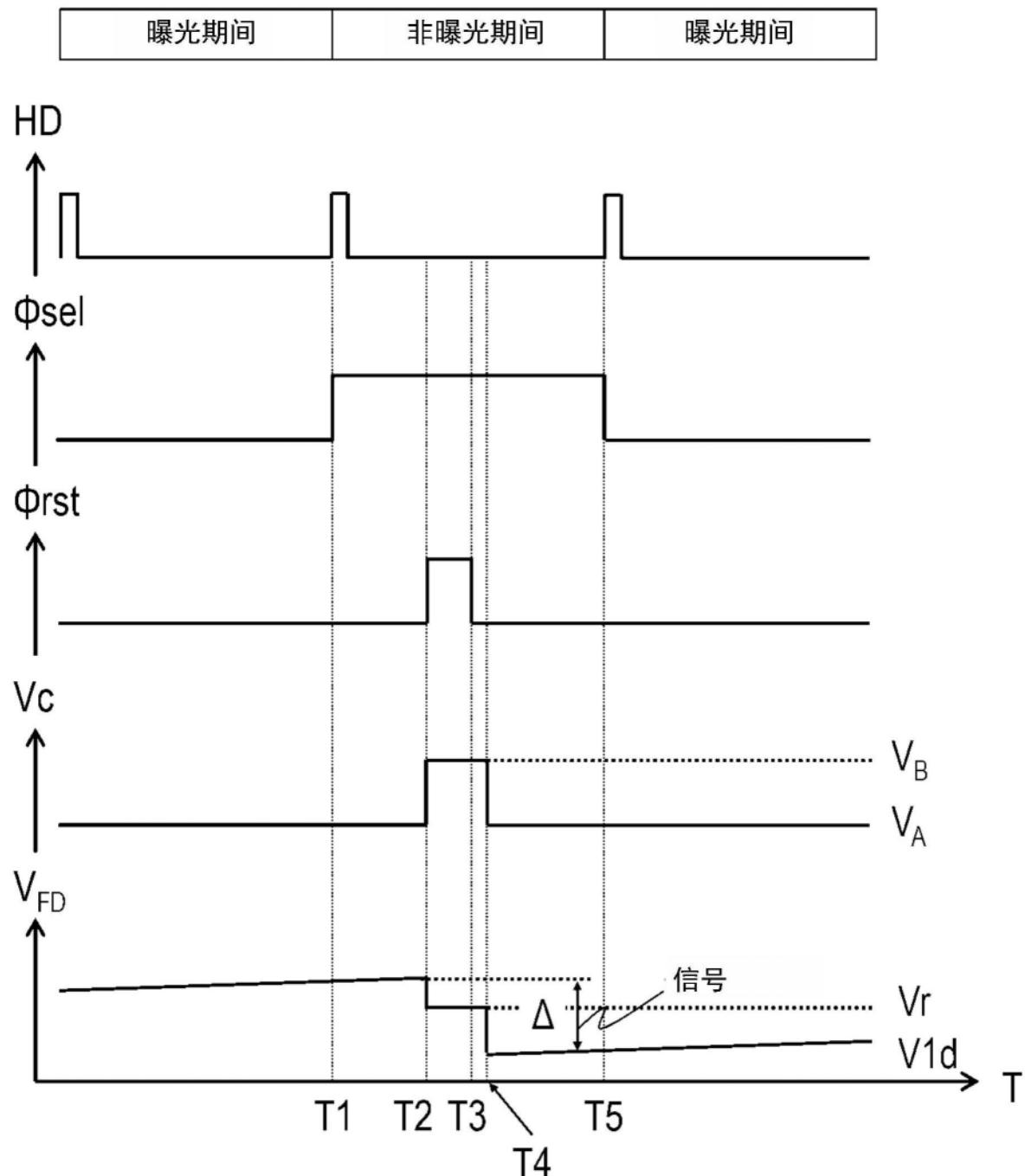


图8

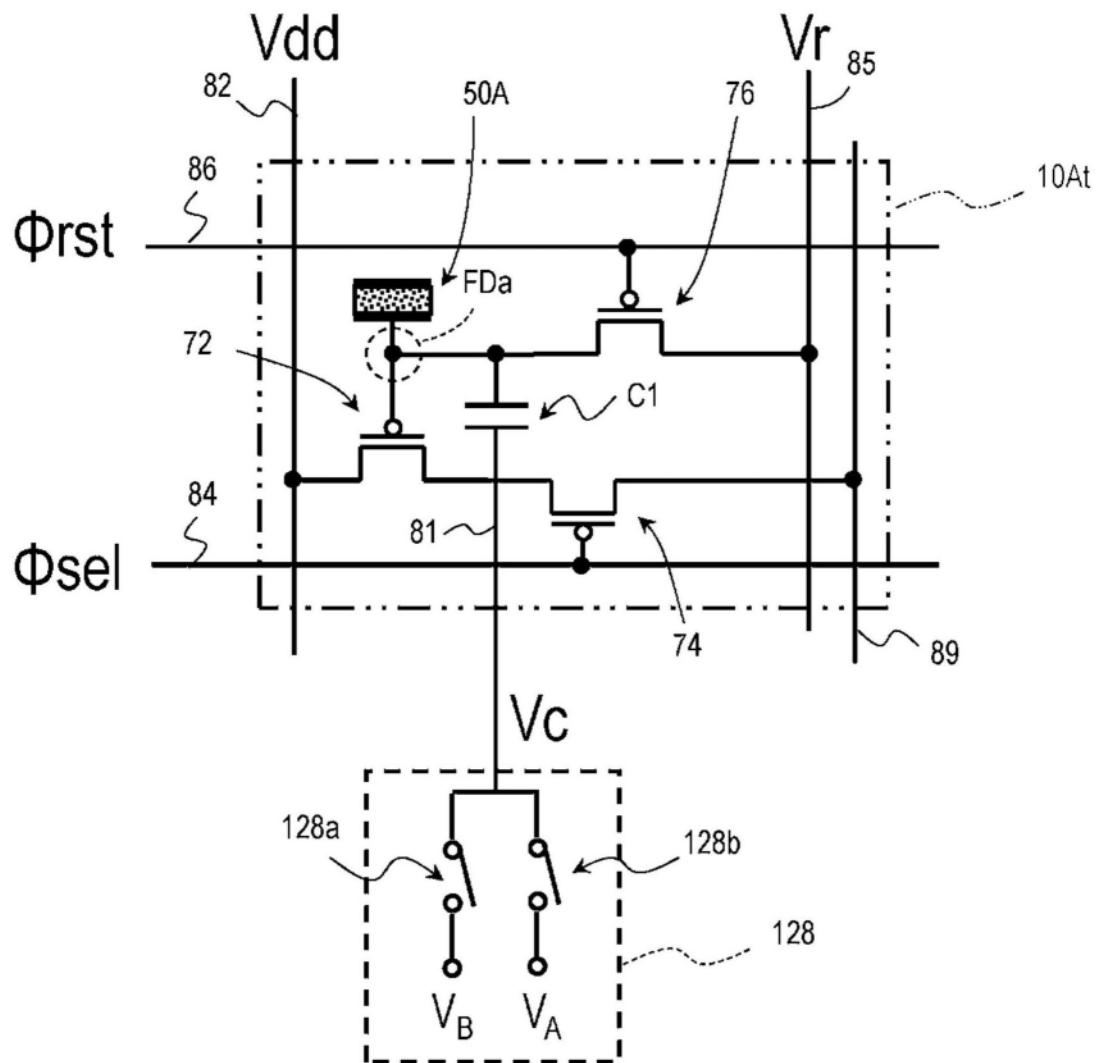


图9A

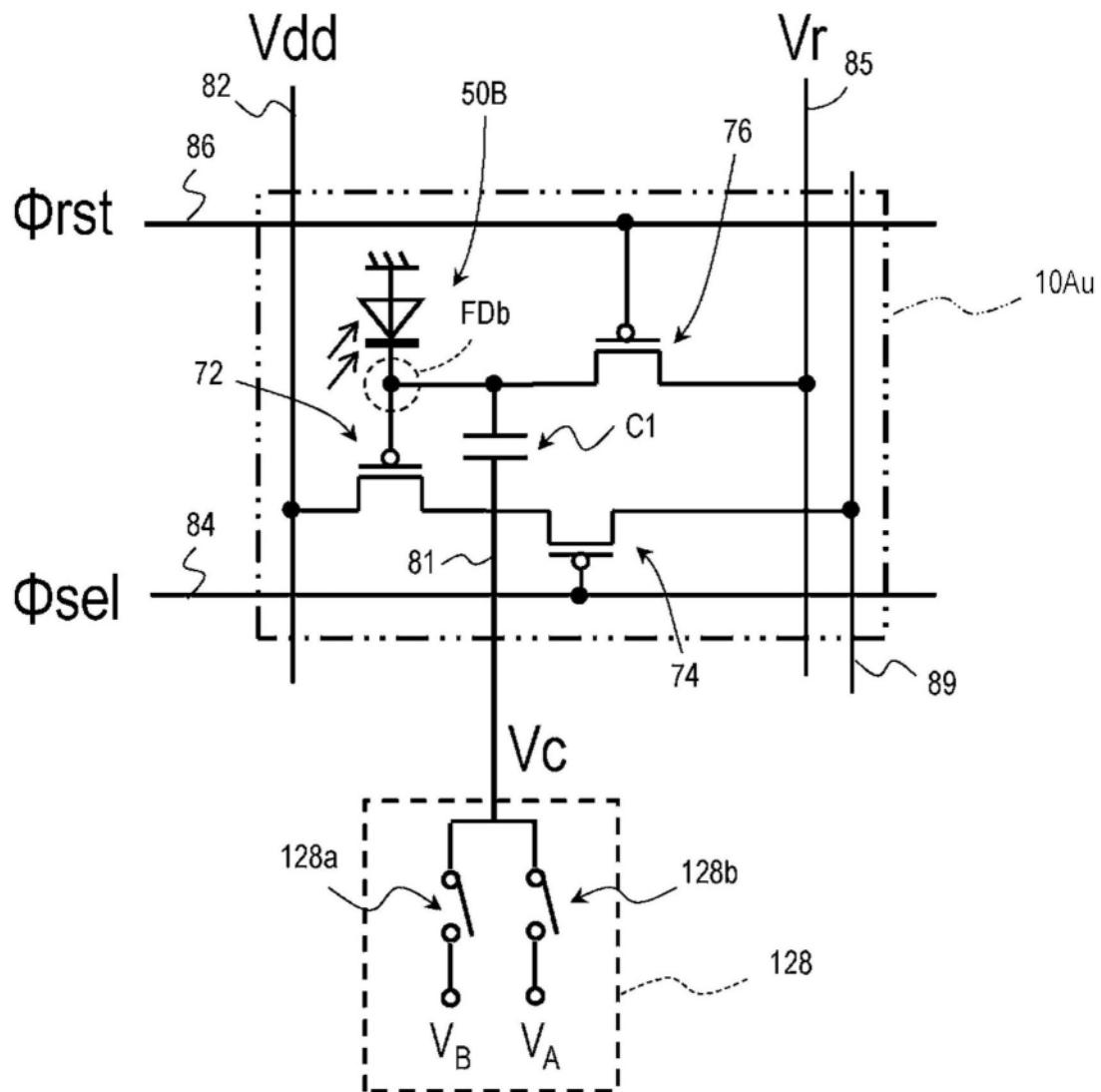


图9B

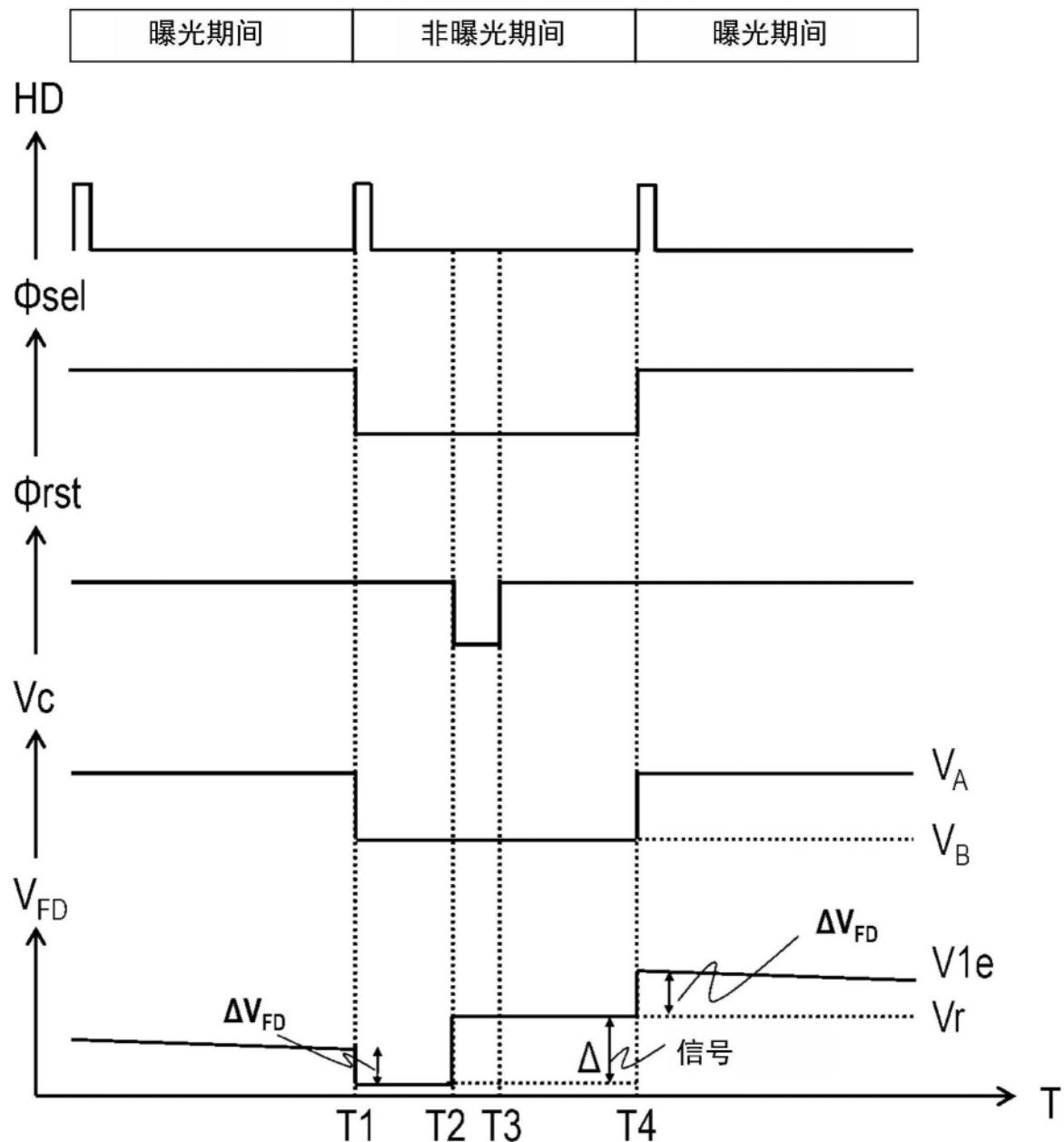


图10

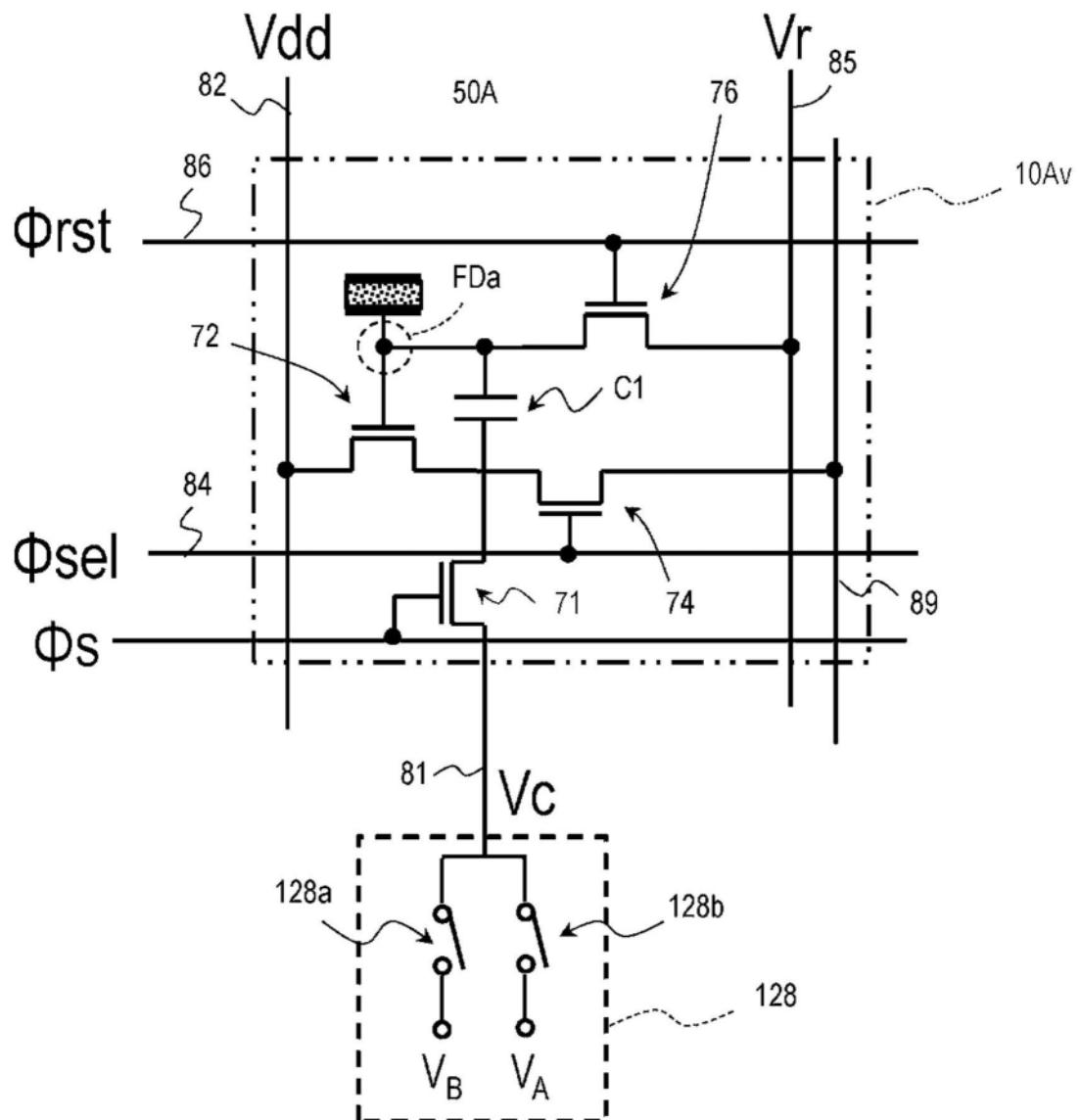


图11A

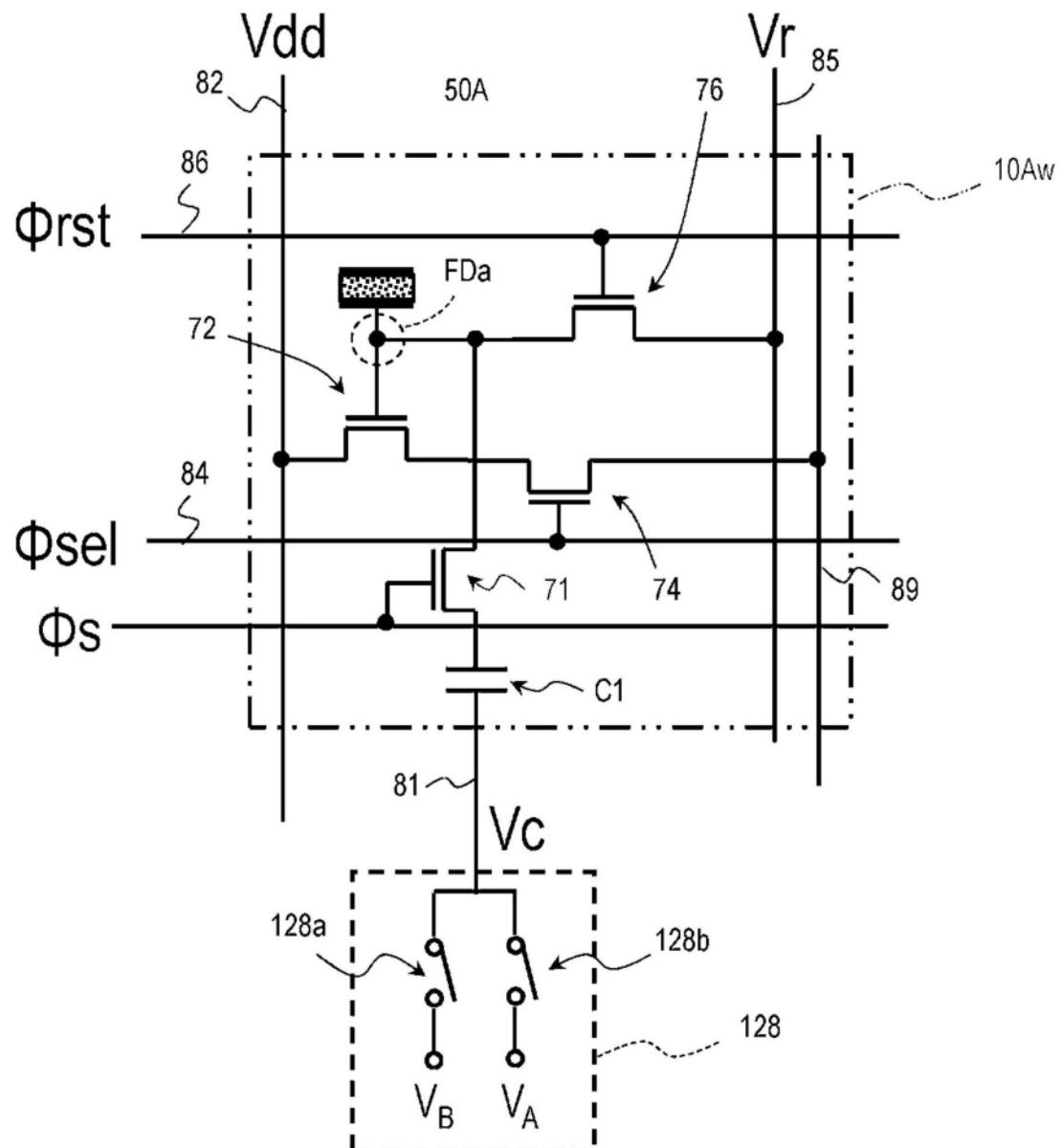


图11B

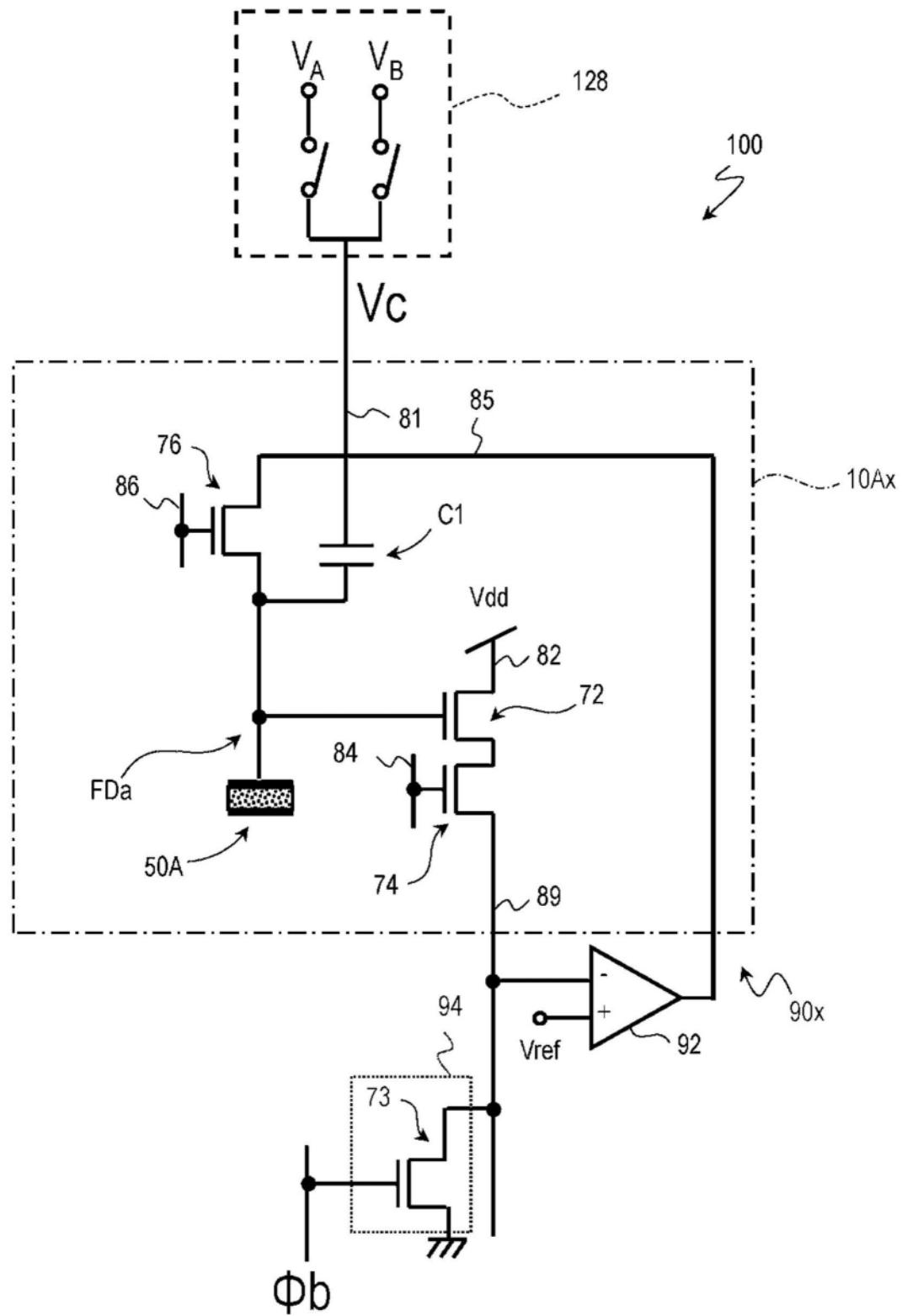


图11C

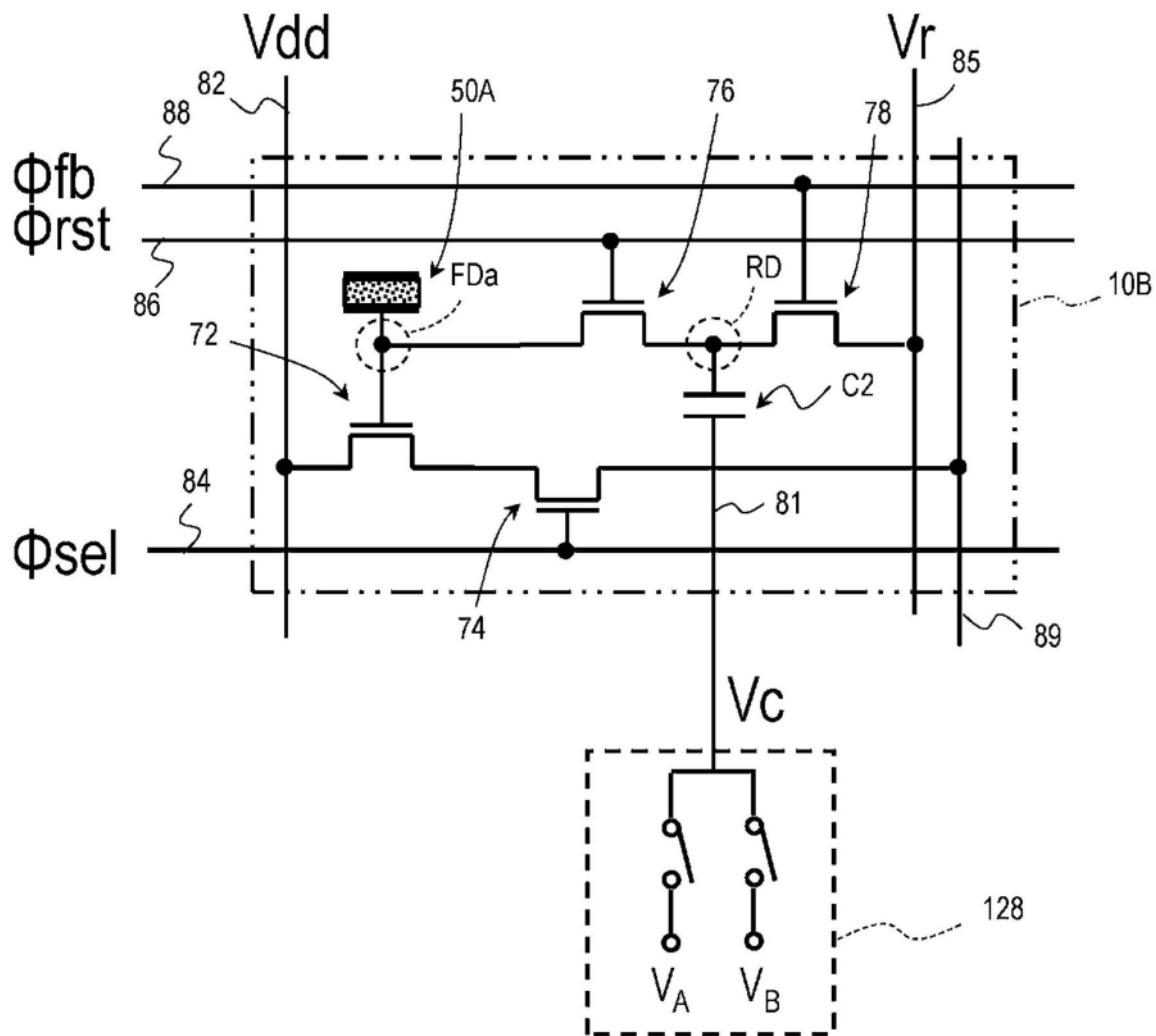


图12

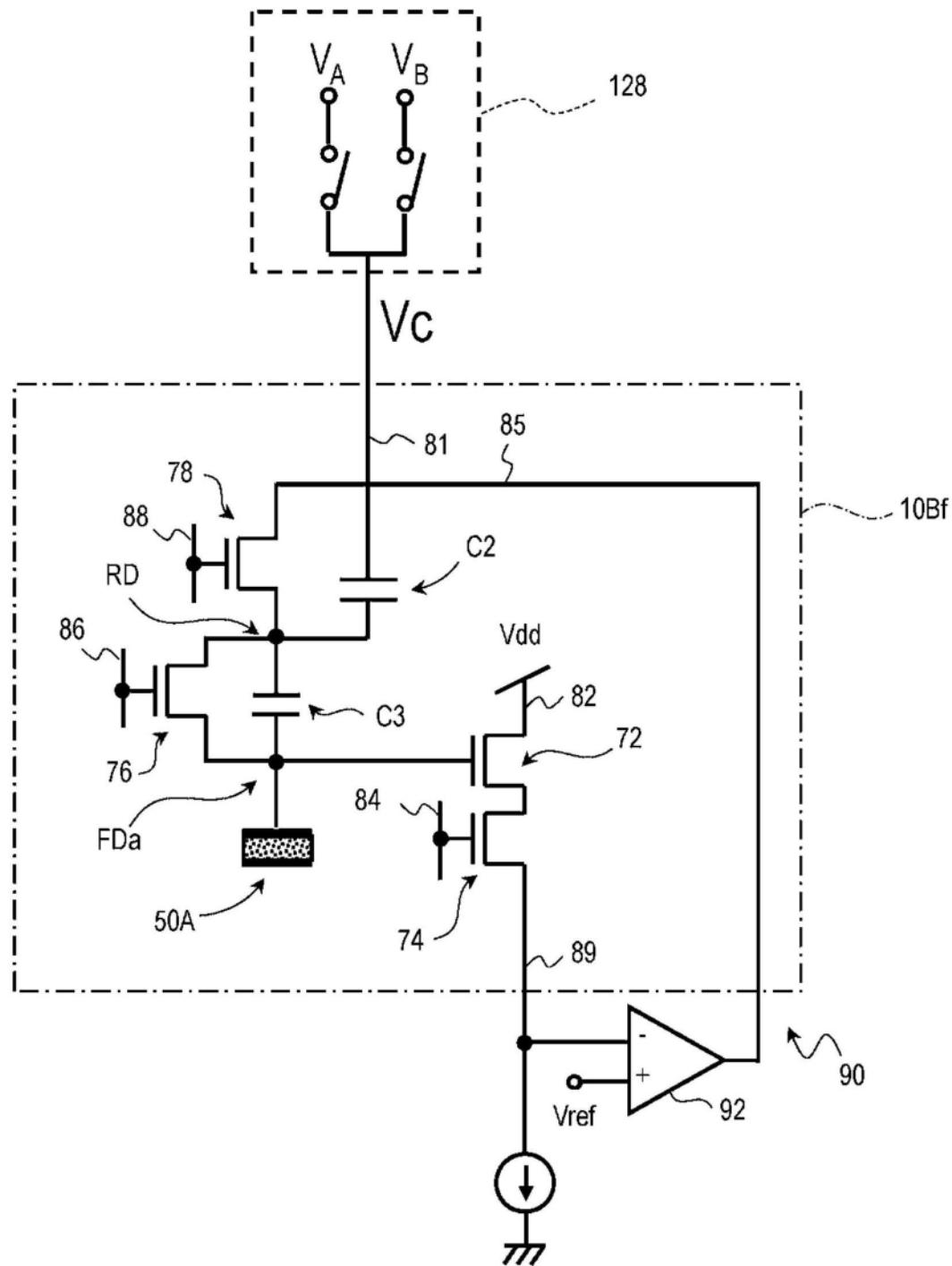


图13

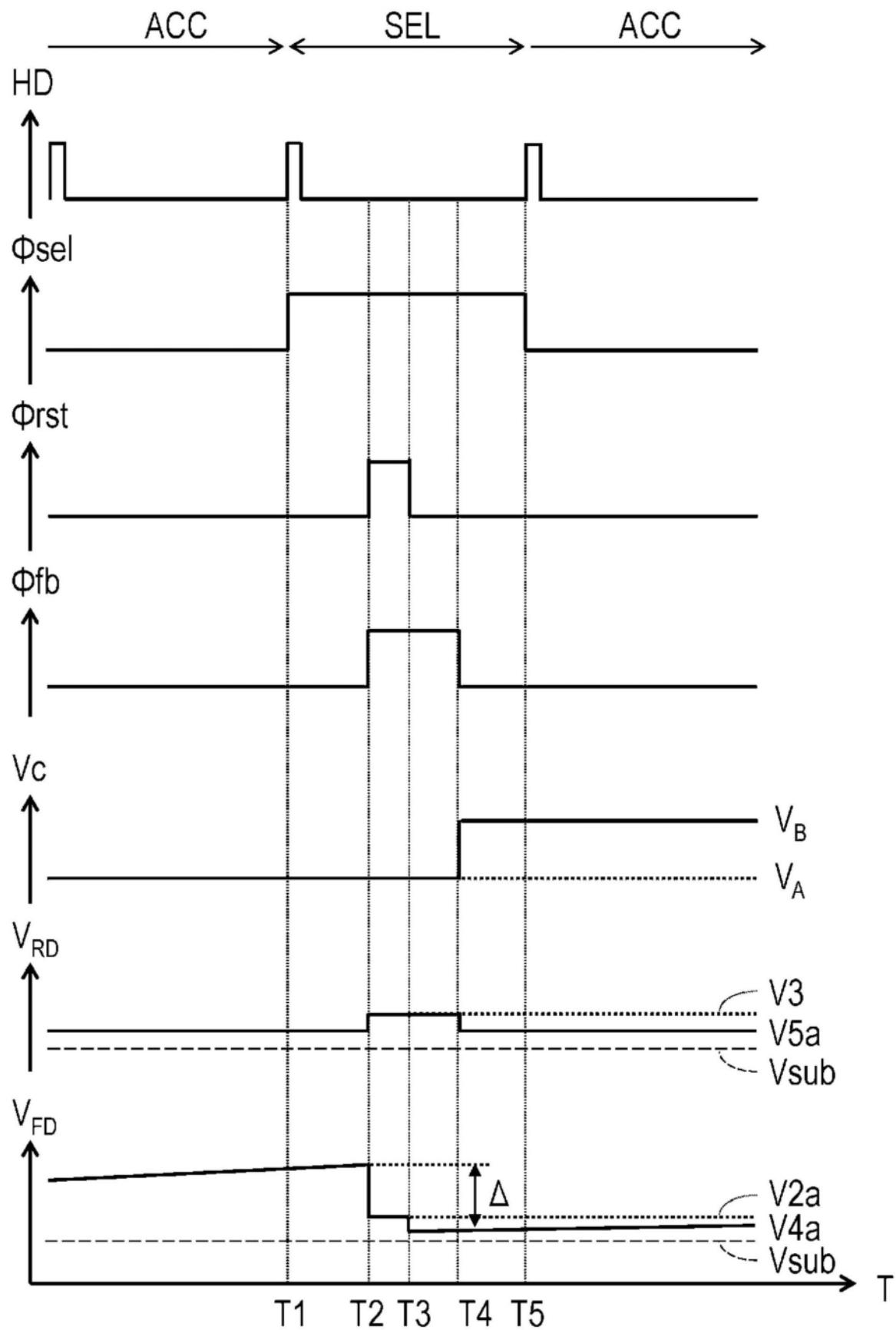


图14A

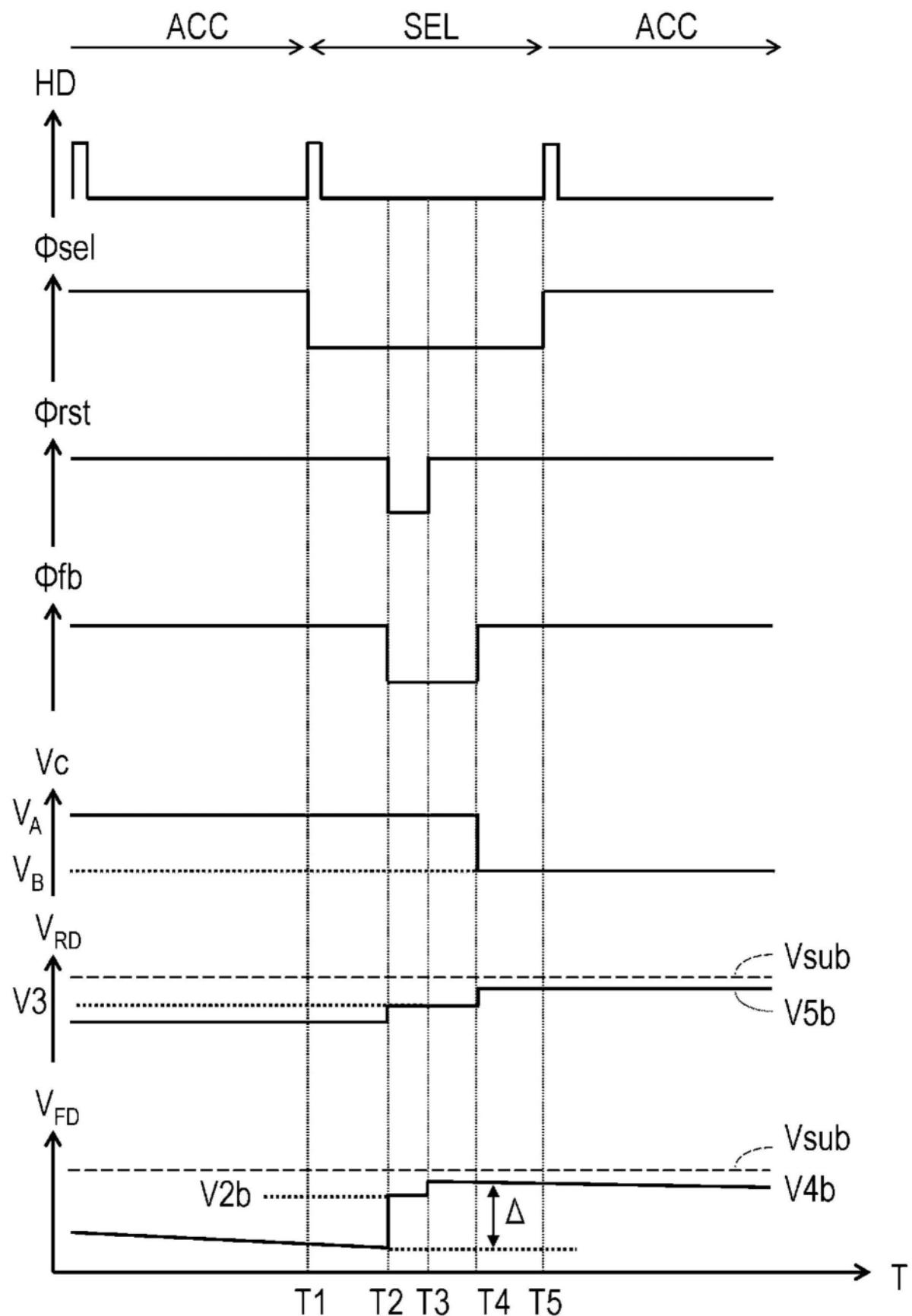


图14B

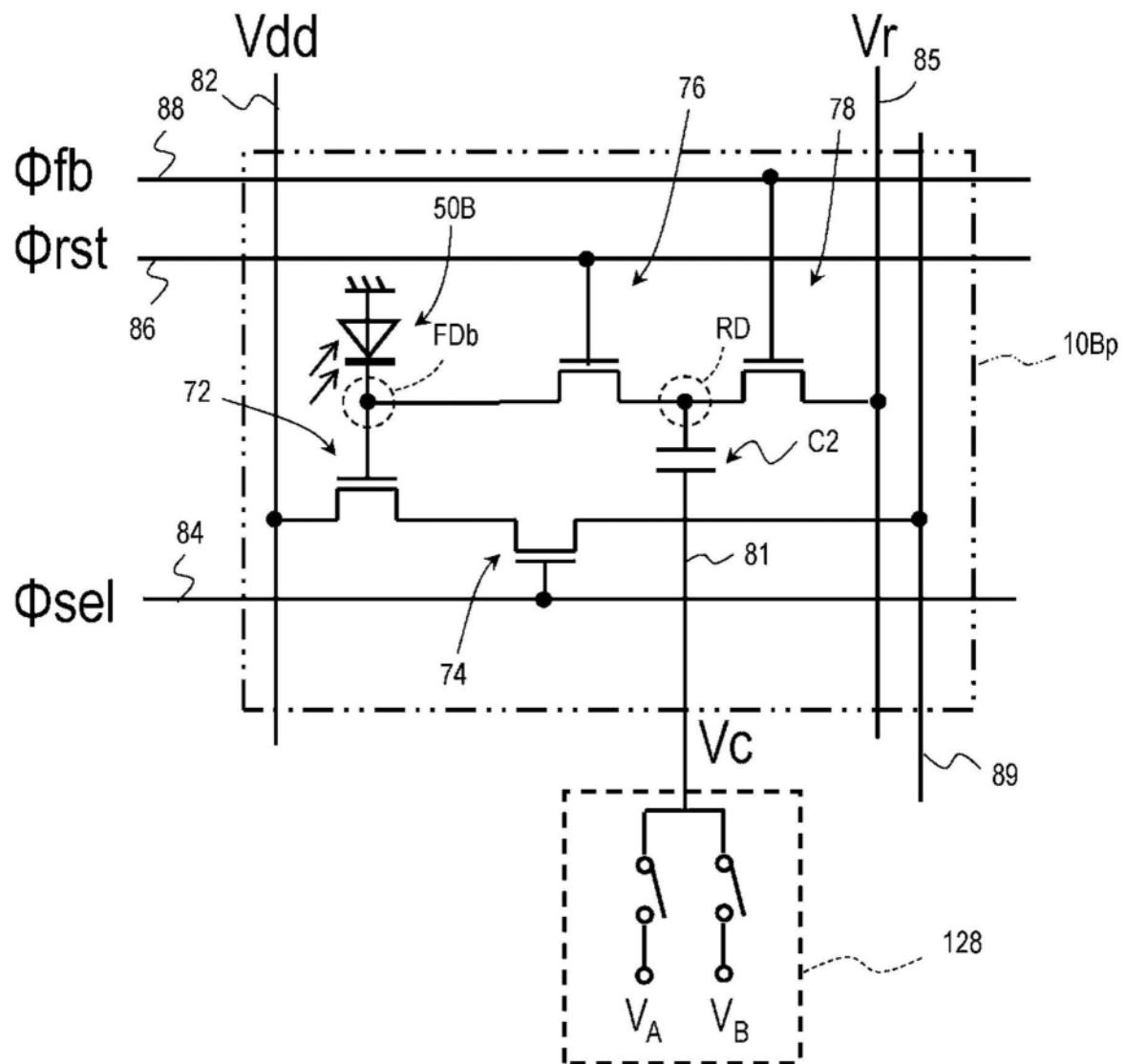


图15

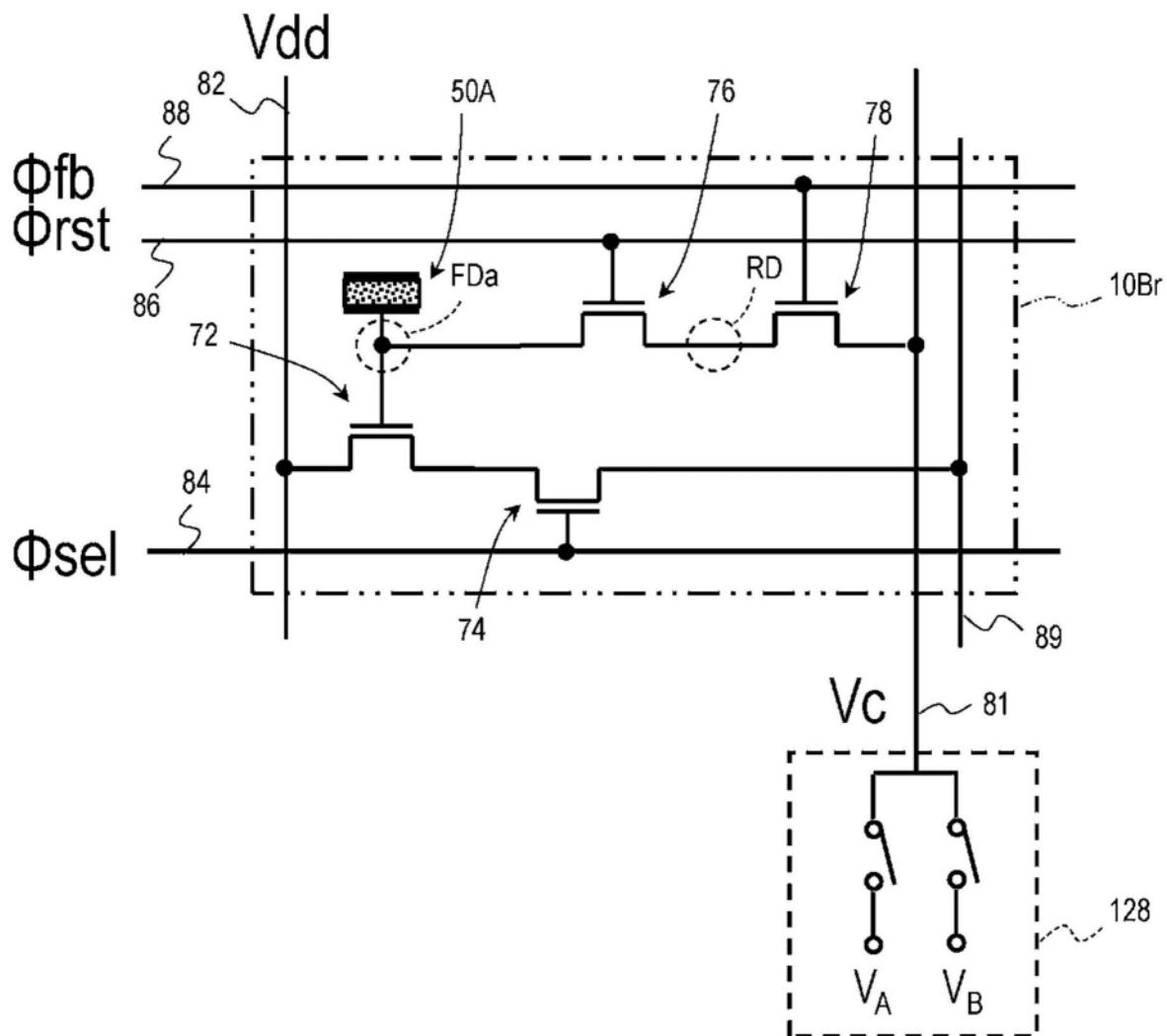


图16

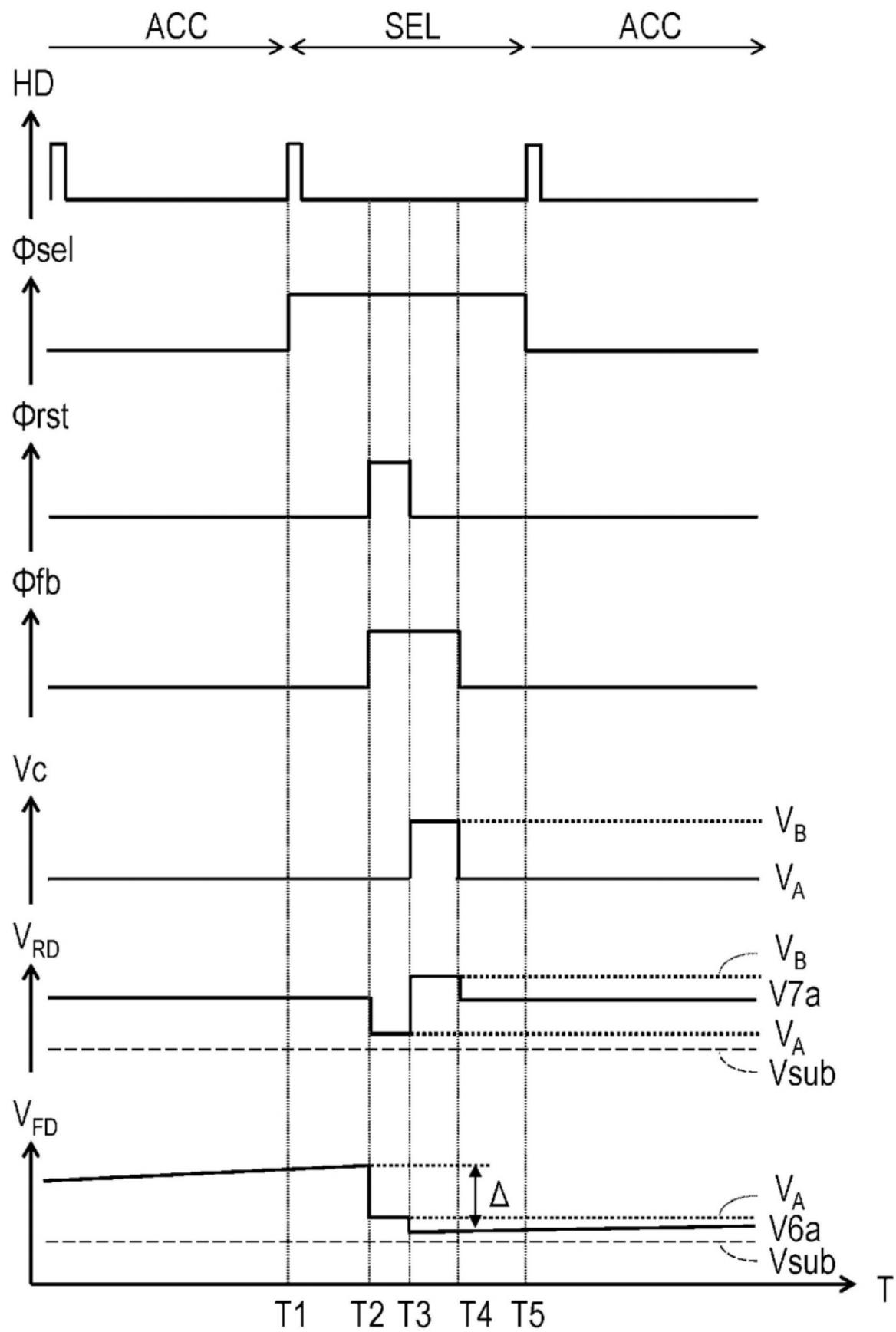


图17A

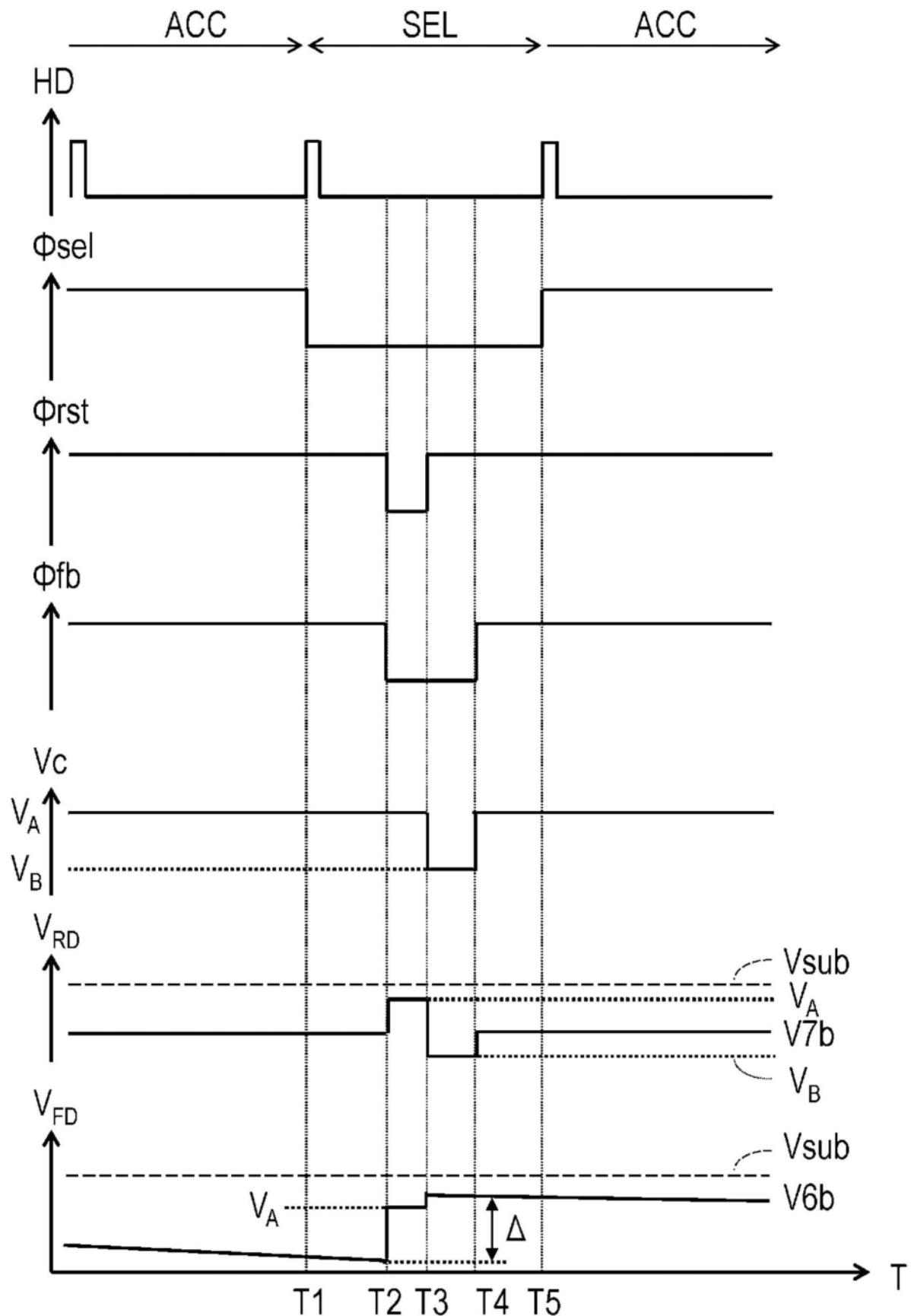


图17B

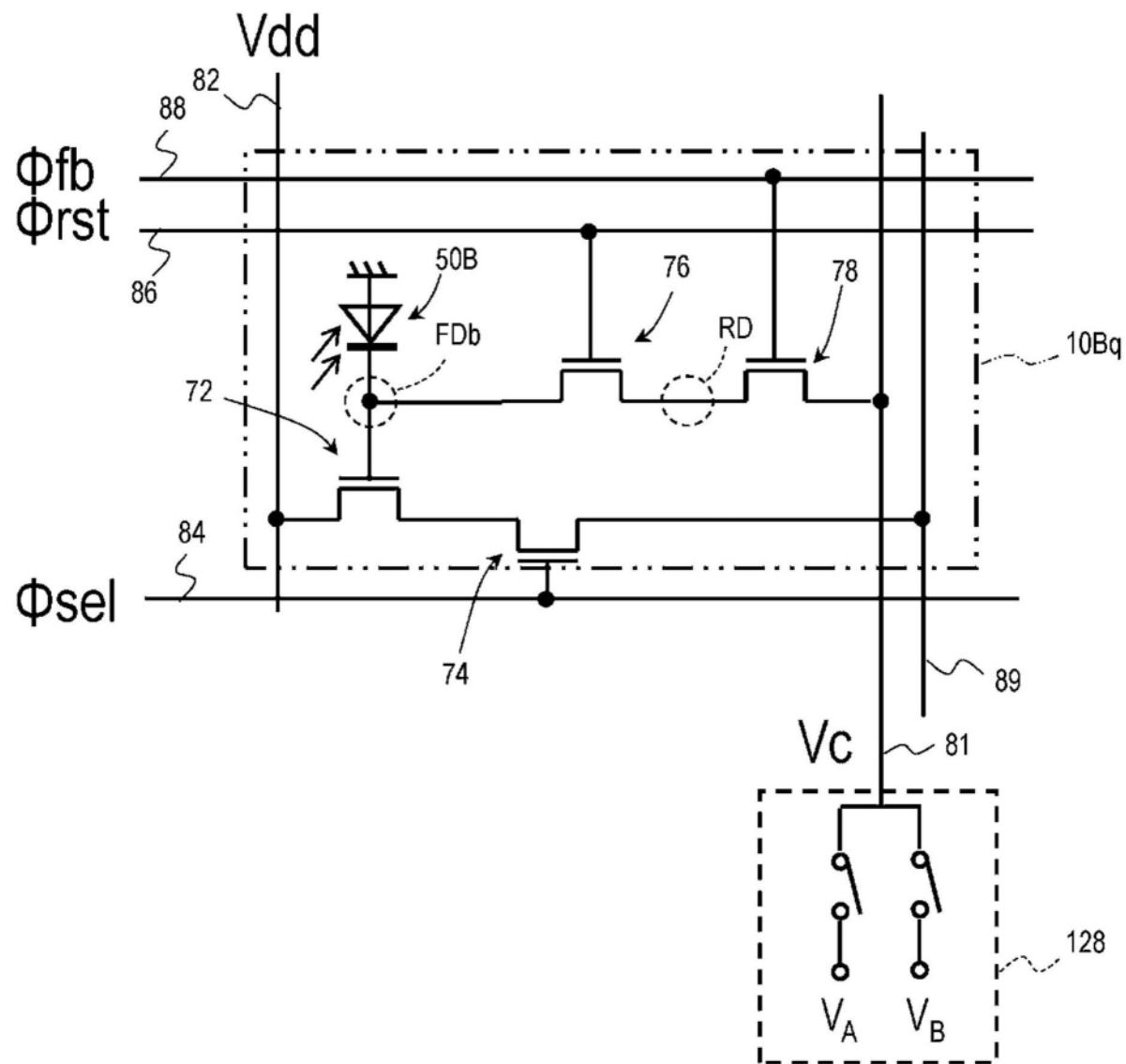


图18

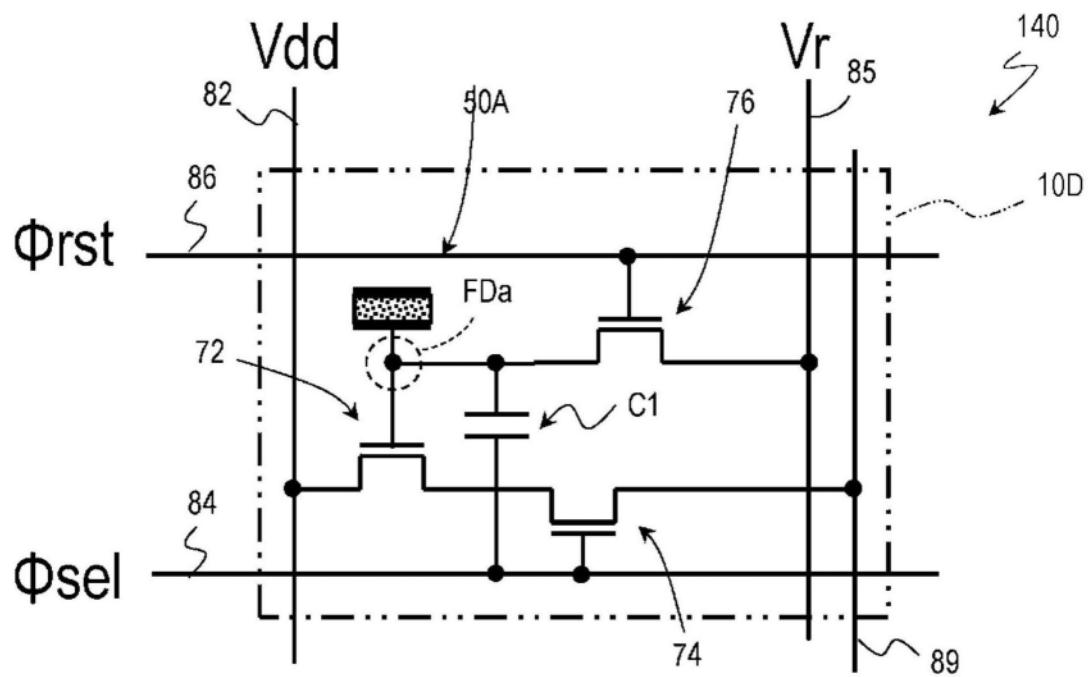


图19A

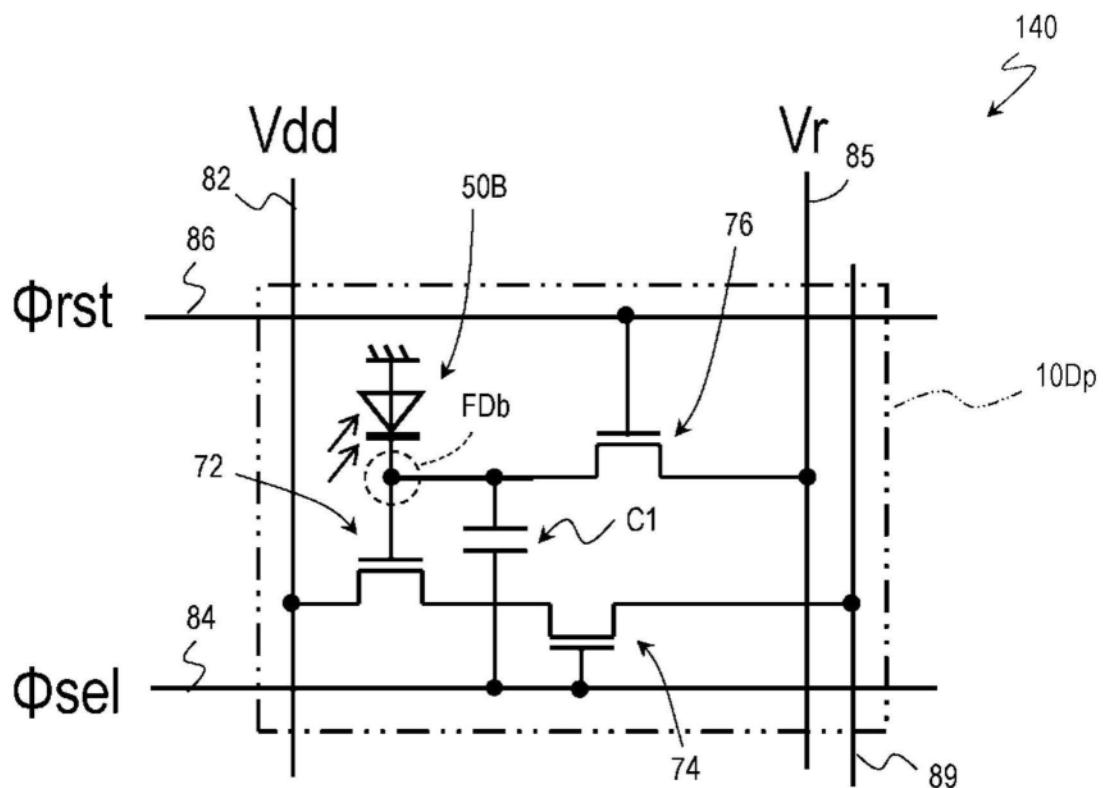


图19B

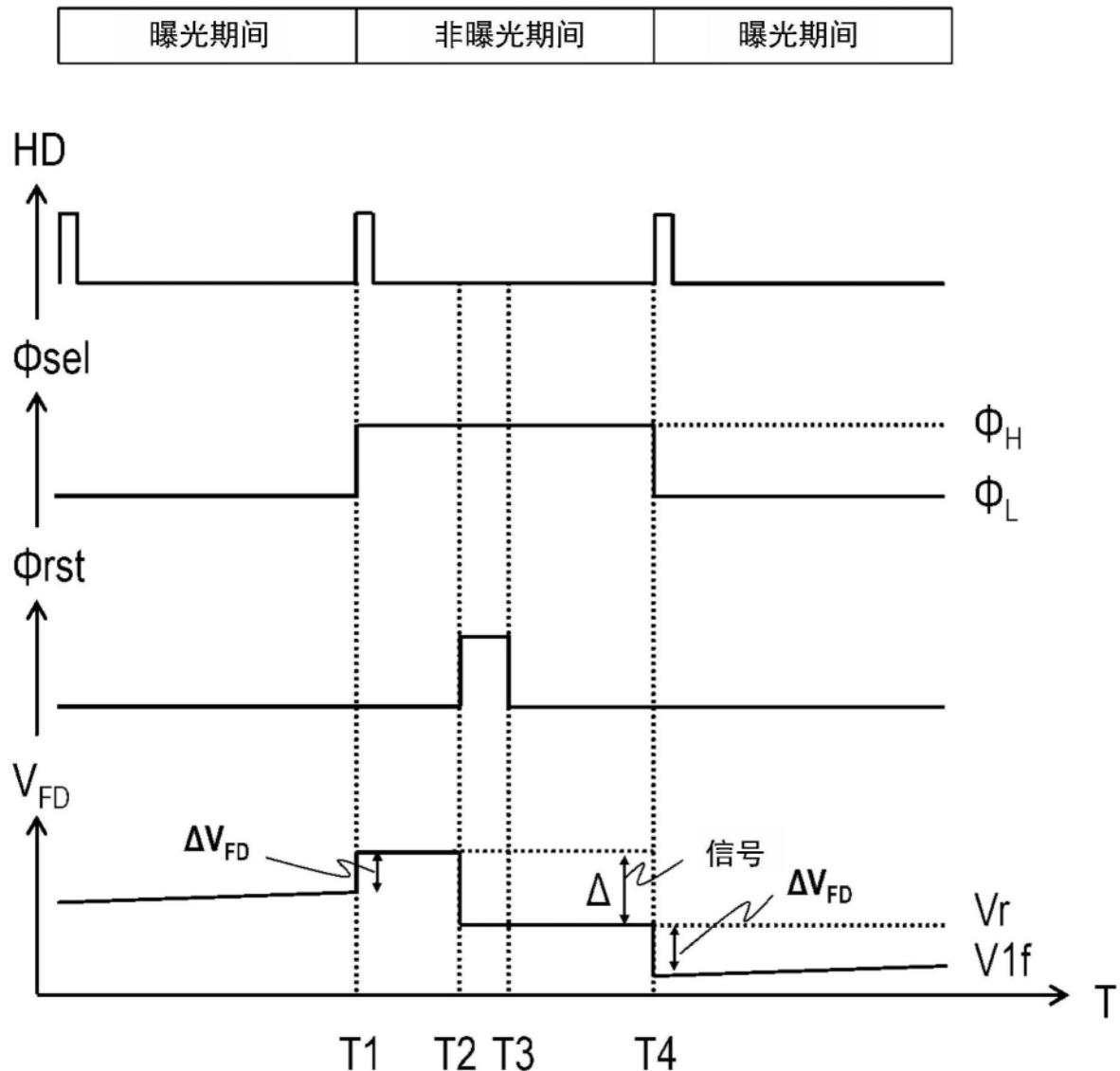


图20

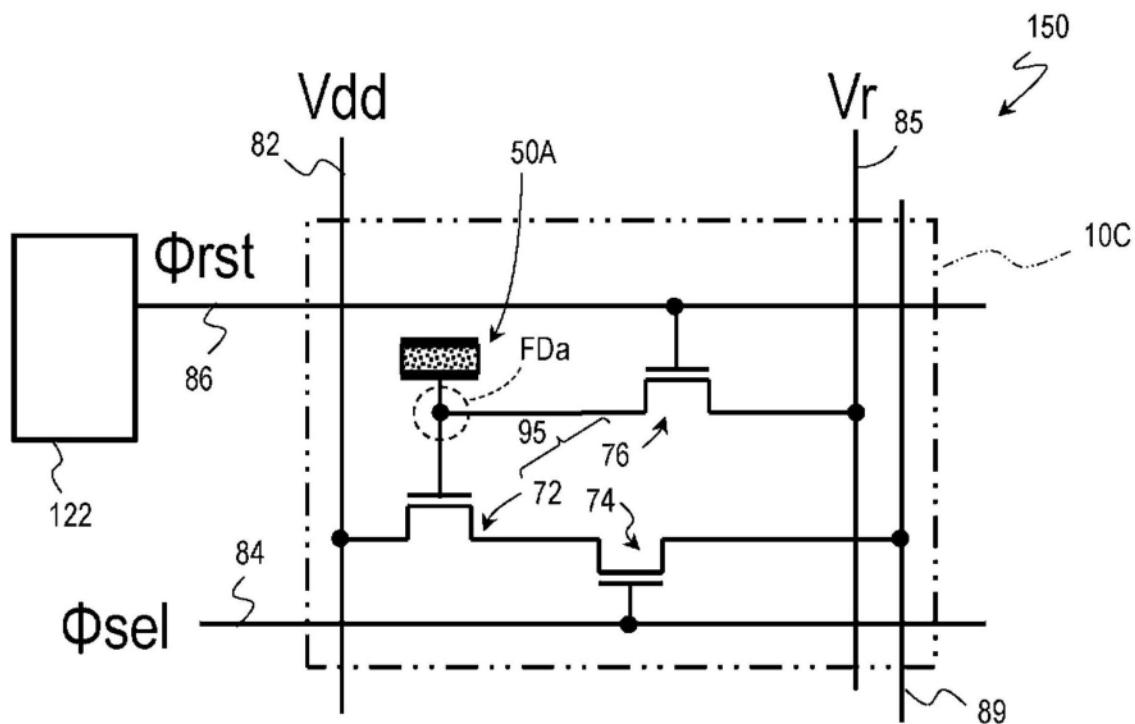


图21

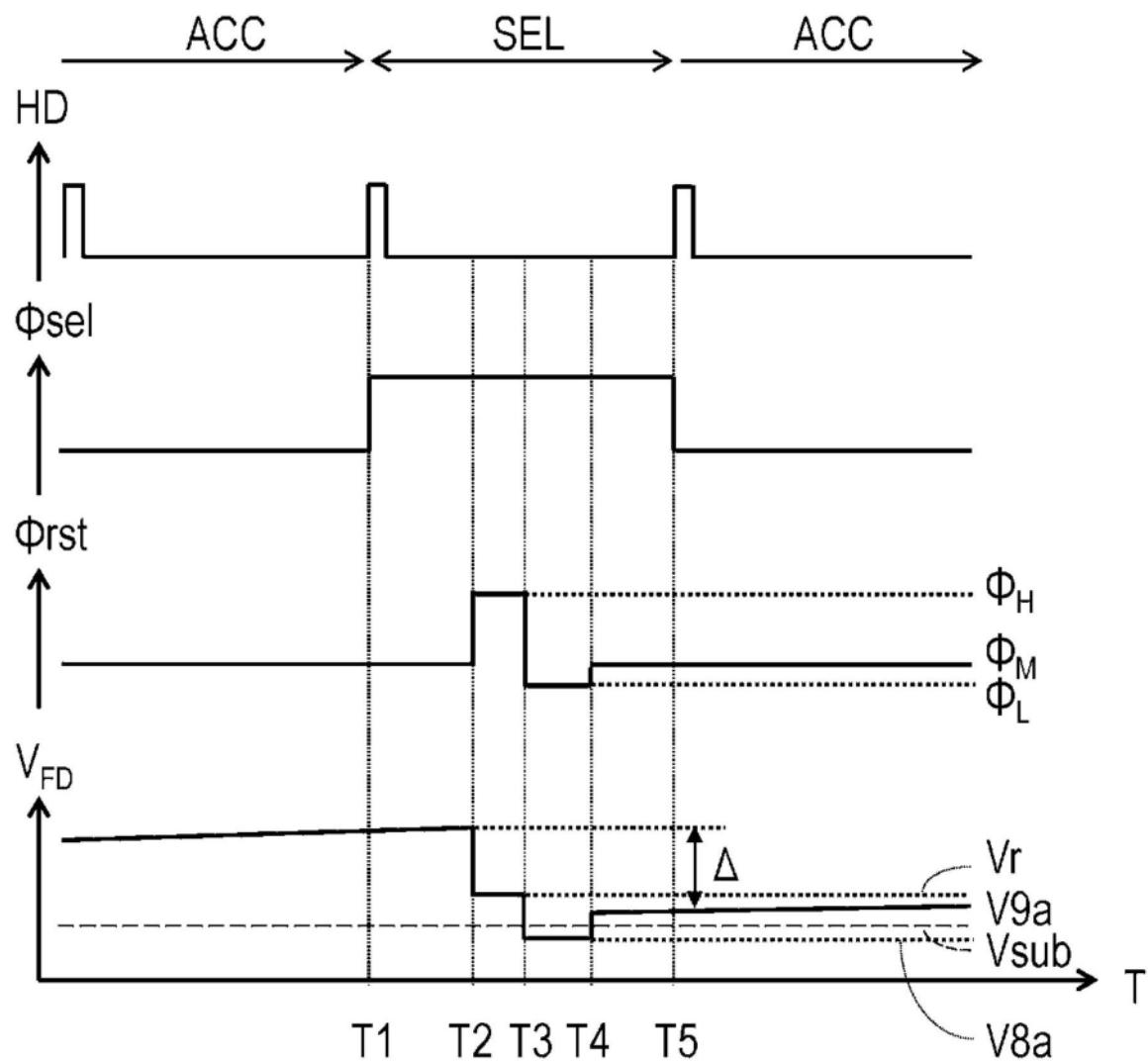


图22A

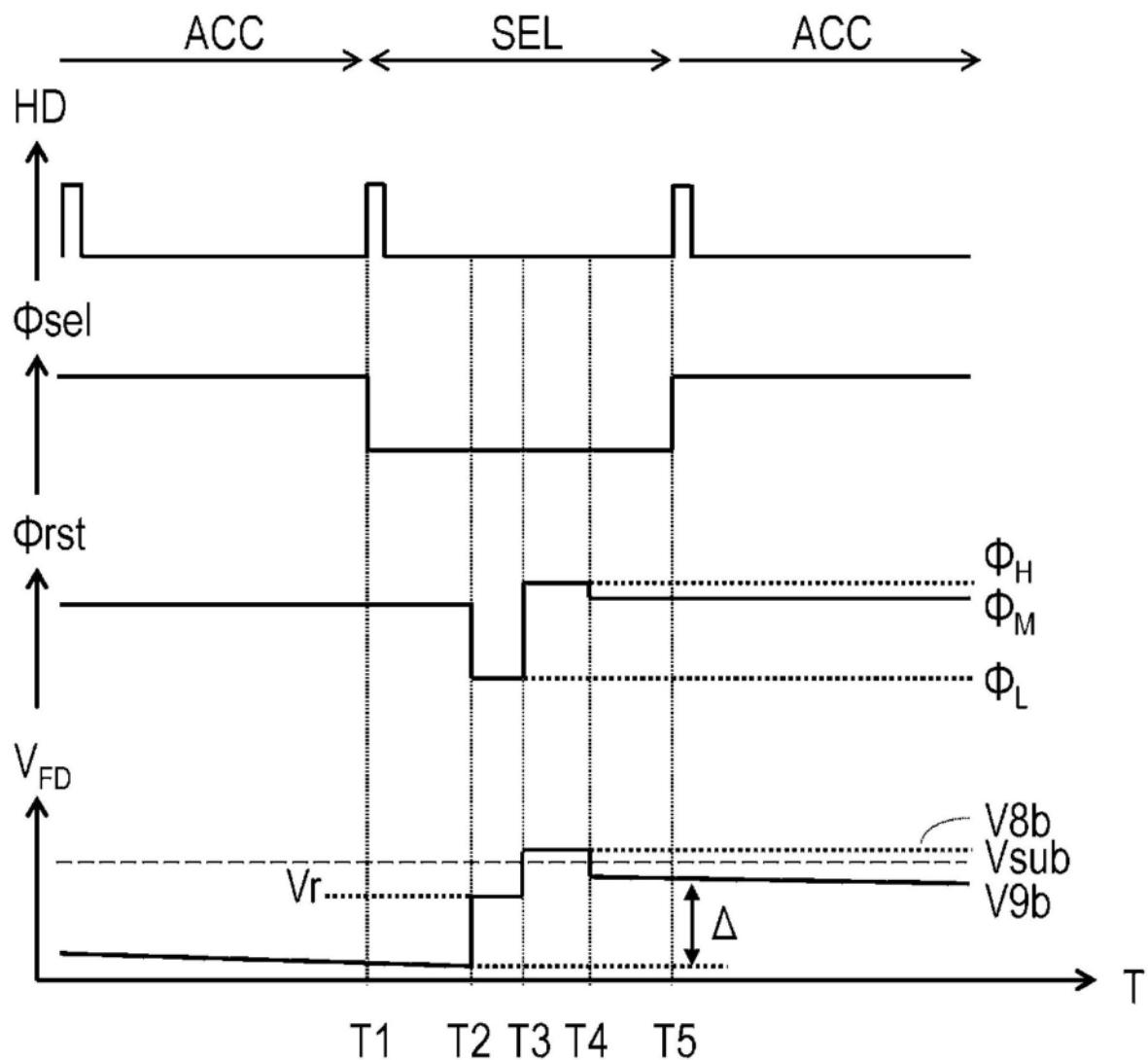


图22B

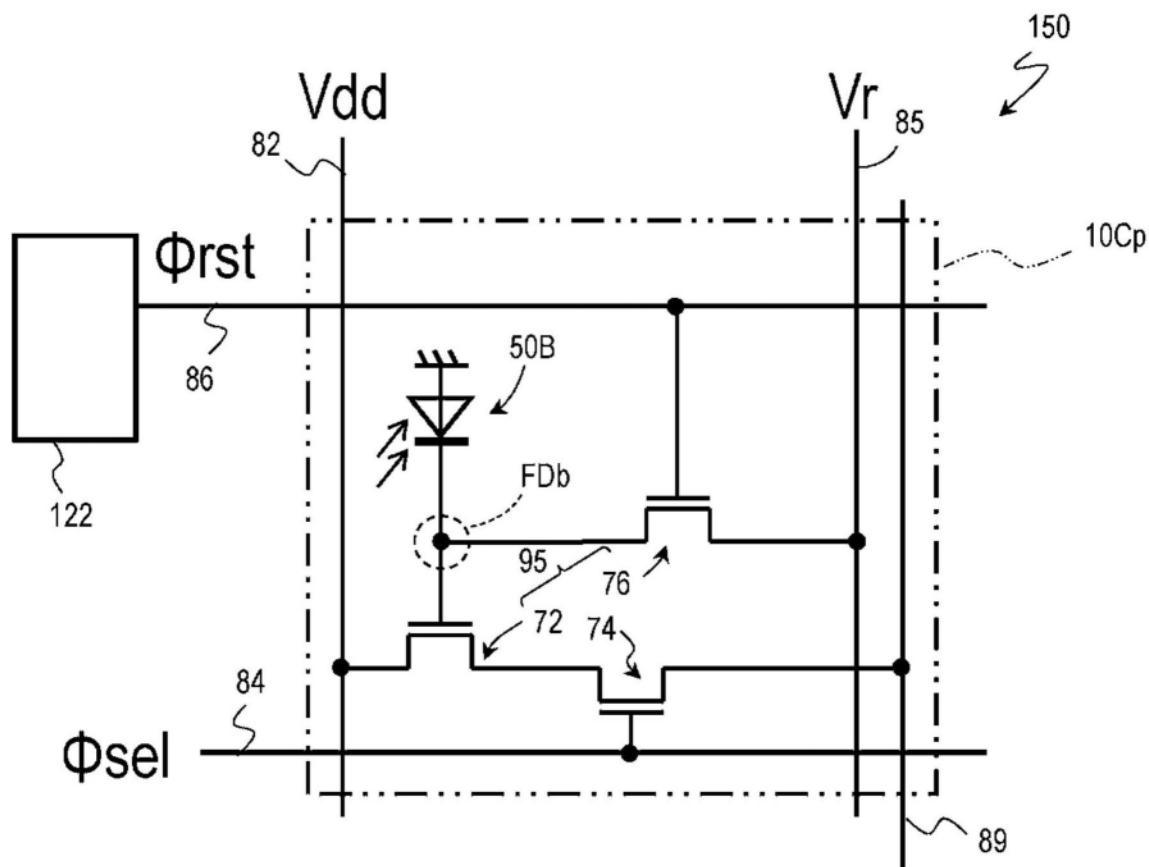


图23

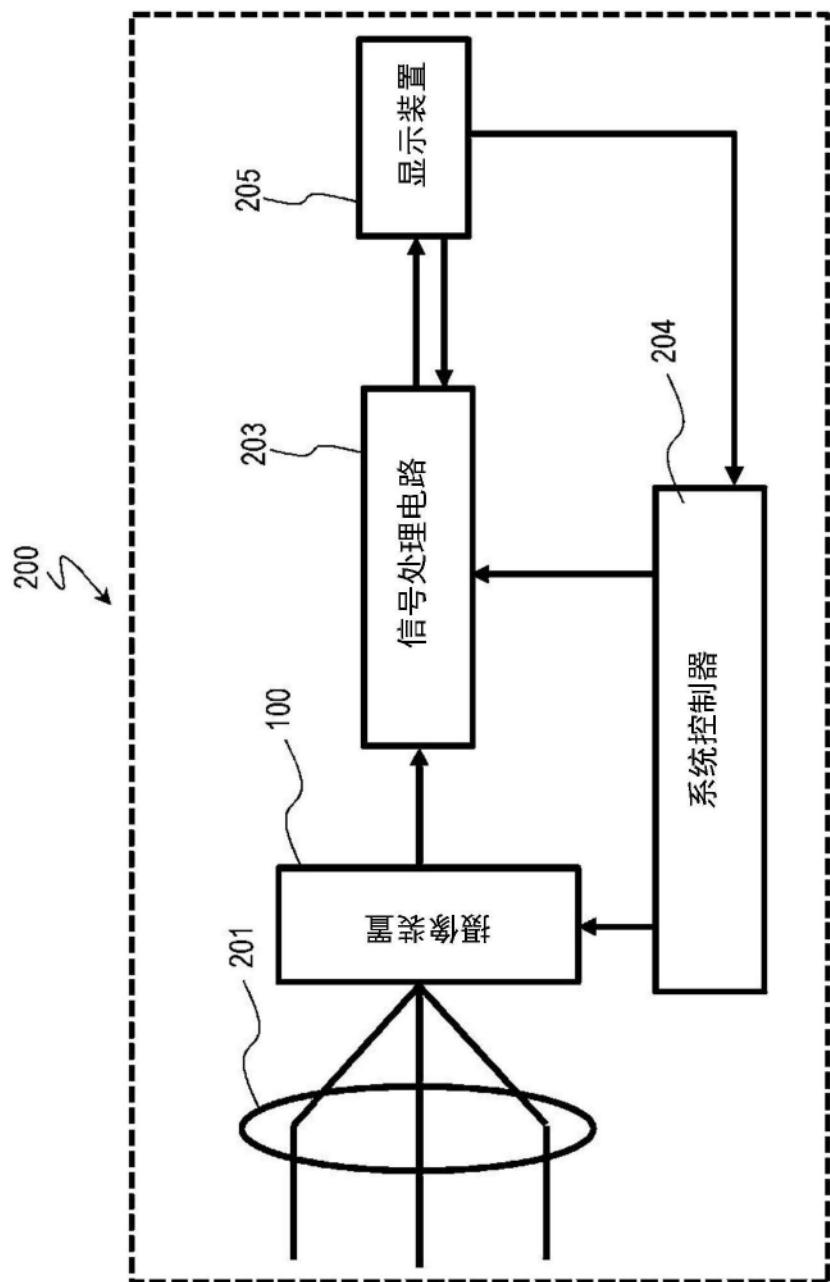


图24