

A1

**DEMANDE
DE BREVET D'INVENTION**

(21)

N° 80 06774

(54) Concentrateur de système de communication pour relier plusieurs terminaux asynchrones de téléinformatique.

(51) Classification internationale (Int. Cl. ³). H 04 L 11/00; H 04 M 11/06.

(22) Date de dépôt..... 20 mars 1980.

(33) (32) (31) Priorité revendiquée :

(41) Date de la mise à la disposition du
public de la demande..... B.O.P.I. — « Listes » n° 39 du 25-9-1981.

(71) Déposant : Etablissement public de diffusion dit : TELEDIFFUSION DE FRANCE, RENOULIN Roger et LE BRUN Jean-Yves, résidant en France.

(72) Invention de : Roger Renoulin et Jean-Yves Le Brun

(73) Titulaire : *Idem* (71)

(74) Mandataire : Louis Le Guen,
13, rue Emile-Bara, BP 91, 35800 Dinard.

La présente invention concerne un concentrateur de système de communication destiné à relier plusieurs terminaux asynchrones de télé-informatique à vitesses de fonctionnements différentes à un réseau de communication et de commutation à grande vitesse.

5 Plus particulièrement, l'invention concerne un tel concentrateur utilisant comme moyen de liaison avec les terminaux une seule paire ou deux paires téléphoniques. Le nombre de terminaux raccordables peut atteindre une valeur plus élevée que celle que permettrait le débit cumulé des terminaux s'ils étaient actifs simultanément. A cet effet,
10 on utilise dans le concentrateur une fonction de signalisation ou de veille pour surveiller l'état de chacun des terminaux. Cette fonction, qui caractérise le repos ou l'activité des terminaux, est basée sur l'exploration à vitesse réduite des terminaux au repos, sur la détection de leur changement d'état et sur l'allocation, en partage de
15 temps, de la ressource de transmission du concentrateur entre les terminaux actifs en fonction de leurs besoins. Le partage de temps de la ressource de transmission est adaptatif.

Suivant une caractéristique de l'invention, le concentrateur comprend un circuit de commande central, associé à un microprocesseur
20 et des circuits de commande secondaires, chacun associé à un terminal, reliés au circuit de commande central par une ligne téléphonique, l'unité de commande centrale étant reliée à une liaison à grande vitesse vers le centre de communication et de commutation à grande vitesse par des commutateurs de voies virtuelles et des coupleurs, le micropro-
25 cesseur étant capable d'effectuer des commutations de voies virtuelles, le circuit de commande central comprenant des moyens de commutation centrale pouvant prendre deux états possibles, un état émission ou un état réception, chaque circuit de commande secondaire comprenant des moyens de commutation secondaires pouvant également prendre deux états
30 possibles, un état réception ou un état émission, le circuit de commande centrale et les circuits de commande secondaires comprenant des moyens de synchronisation pour envoyer une salve de synchronisation, des moyens d'émission et de réception d'octets d'information un par un, le circuit de commande centrale comprenant de plus des moyens d'adres-
35 sage pour émettre un octet d'adresse sélective du circuit de commande secondaire à interroger, chaque circuit de commande secondaire comprenant un circuit de reconnaissance d'adresse, le circuit de commande

central comprenant un séquenceur central commutant à chaque début de séquence d'interrogation les moyens de commutation du circuit de commande central à l'état d'émission, puis couplant les moyens de synchronisation à la ligne par l'intermédiaire desdits moyens de commutation, puis les moyens d'adressage, puis les moyens d'émission d'octets, puis commutant les moyens de commutation à l'état de réception et couplant les moyens de synchronisation à la ligne, chaque circuit de commande secondaire comprenant un séquenceur secondaire commutant entre deux séquences d'interrogation les moyens de commutation du circuit de commande secondaire à l'état réception, couplant les moyens de synchronisation à la ligne par l'intermédiaire desdits moyens de commutation, puis, en réponse à la salve de synchronisation, les moyens de synchronisation actionnant le séquenceur secondaire pour coupler le circuit de reconnaissance d'adresse à la ligne, qui, si la réponse est négative, provoque l'isolement desdits moyens de commutation de la ligne et, si la reconnaissance est positive, actionne le séquenceur secondaire pour coupler les moyens de réception d'octet à la ligne, puis le séquenceur couplant les moyens de commutation à l'état émission et couplant les moyens de synchronisation du circuit de commande secondaire à la ligne, puis ses moyens d'émission d'octet, puis commutant les moyens de commutation à l'état réception, les moyens de synchronisation du circuit de commande central couplant les moyens de réception d'octet à la ligne en réponse à la réception de la salve de synchronisation du circuit de commande secondaire.

Suivant une autre caractéristique, entre le circuit de commande central et les circuits de commande secondaires est prévu une paire de lignes, avec une ligne aller et une ligne retour, les circuits de commande secondaires ne comprenant plus que des moyens de réception de synchronisation, et les moyens de commutation étant supprimés dans tous les circuits de commande.

Suivant une autre caractéristique, le circuit de commande central et les circuits de commande secondaires sont reliés par une ligne transmettant un multiplex temporel primaire de 32 voies ou intervalles temporels (iT0 à iT31) groupés en multitrames de vingt trames (0 à 19), l'iT16 de la trame 0 contenant la synchronisation multitrame et les iT16 des trames 1 à 9 étant affectés aux échanges d'information de service, les autres iT pouvant être affectés aux échanges d'informa-

tion, dans chaque circuit de commande secondaire étant prévus des compteurs d'iT et de trames dont les sorties sont reliées à des décodeurs de numéros d'iT et de trames dont les sorties sont reliées à une porte ET dont la sortie est reliée à l'entrée d'activation d'un premier convertisseur série-parallèle dont l'entrée série reçoit le multiplex et dont la sortie parallèle est reliée à une entrée d'un microprocesseur secondaire dont une sortie est reliée l'entrée parallèle d'un convertisseur parallèle-série dont l'entrée d'activation est reliée à la sortie d'une seconde porte ET à trois entrées dont les deux premières sont respectivement reliées aux sorties desdits compteurs d'iT et de trames et dont la troisième entrée est reliée à la sortie d'une première bascule, et dont la sortie est reliée au multiplex.

Suivant une autre caractéristique, le microprocesseur a une sortie reliée à un bus le reliant à un registre de voie réception, un registre de trame réception, un registre de voie émission et un registre de trame émission, ces quatre registres étant respectivement reliés aux premières entrées de quatre comparateurs, la sortie du compteur de voies étant encore reliée respectivement aux secondes entrées des premier et troisième comparateurs et la sortie du compteur de trames étant encore reliée respectivement aux secondes entrées des second et quatrième comparateurs, les sorties des premier et second comparateurs étant reliées à deux entrées d'une troisième porte ET à trois entrées dont la troisième entrée est reliée à une sortie de commande du microprocesseur secondaire et dont la sortie est reliée à l'entrée d'activation d'un troisième convertisseur série-parallèle dont l'entrée reçoit le multiplex et dont la sortie est reliée à un terminal associé au circuit de commande secondaire, les sorties des troisième et quatrième comparateurs étant reliées à deux entrées d'une quatrième porte ET à trois entrées dont la troisième entrée est reliée à la sortie de commande du microprocesseur secondaire et dont la sortie est reliée à l'entrée d'activation d'un quatrième convertisseur parallèle-série dont la sortie est reliée au multiplex.

Les caractéristiques de l'invention mentionnées ci-dessus, ainsi que d'autres, apparaîtront plus clairement à la lecture de la description suivante d'exemples de réalisation, ladite description étant faite en relation avec les dessins joints, parmi lesquels:

la Fig. 1 est un bloc-diagramme schématique d'une première variante de concentrateur suivant l'invention,

la Fig. 2 est un bloc-diagramme de l'unité de commande de boucle du concentrateur de la Fig. 1,

la Fig. 3 est un bloc-diagramme des moyens de commutation de l'unité de commande de la Fig. 2,

5 la Fig. 4 est un bloc-diagramme d'un équipement d'accès du concentrateur de la Fig. 1,

la Fig. 5 est un diagramme temporel illustrant une première variante de fonctionnement du concentrateur de la Fig. 1,

10 la Fig. 6 est un bloc-diagramme des circuits de commutation utilisés dans une seconde variante de fonctionnement du concentrateur de la Fig. 1,

la Fig. 7 est un diagramme temporel illustrant la seconde variante de fonctionnement du concentrateur de la Fig. 1,

la Fig. 8 est un diagramme temporel illustrant l'utilisation d'un multiplex primaire connu à 32 voies,

la Fig. 9 est un bloc-diagramme d'un équipement d'accès temporel utilisable dans une variante du concentrateur de la Fig. 1,

la Fig. 10 est un schéma d'un circuit de comparaison utilisable dans le circuit de la Fig. 9, et

20 la Fig. 11 est un bloc-diagramme d'une variante du circuit de la Fig. 9.

La Fig. 1 représente un concentrateur de système de communication 1 relié par des liaisons à grande vitesse 2 et 2' à un réseau de communication et de commutation haute vitesse, non montré. Le concentrateur 1 comprend deux unités de commande de boucle 3 et 3' respectivement reliées aux deux extrémités d'un câble 4. Sur le câble 4, sont branchés en parallèle une pluralité d'équipements d'accès à la boucle 5.1 à 5.n. Chaque équipement 5.1 à 5.n est relié à un terminal 6.1 à 6.n.

30 Par ailleurs, les unités de commande 3 et 3' sont respectivement reliées à des commutateurs de voies virtuelles 7 et 7', lesquels sont respectivement reliés aux liaisons 2 et 2' par des coupleurs 8 et 8' et des modems 9 et 9'.

La structure en boucle du concentrateur, avec les deux unités 35 3 et 3' permet, en cas de coupure accidentelle du câble 4, ou de défaillance de l'une des unités 3 ou 3', de maintenir l'accès possible vers tous les équipements d'accès 5.1 à 5.n qui peuvent être pris en compte

par l'une ou l'autre des unités, la relève entre les deux unités se faisant suivant un protocole. Les commutateurs de voies virtuelles 7 et 7' peuvent être des équipements classiques, tels que ceux qui sont décrits dans la demande de brevet français 79 15742 déposée le 13 5 juin 1979 pour "Concentrateur téléinformatique pour réseau de transmission et de commutation de données par paquets". Ils permettent l'accès du concentrateur 1 au réseau de communication haute vitesse, non montré. Les coupleurs 8, 8' et 9, 9' sont supposés classiques et peuvent répondre aux normes de transmission X25. Les commutateurs 7 et 7' sont, 10 en outre, liés entre eux pour assurer, en cas de besoin, le protocole de relève entre les unités 3 et 3'.

La Fig. 2 montre le bloc-diagramme d'une unité de commande de boucle 3 ou 3'. Elle comprend un processeur 10 capable d'effectuer des commutations de voies virtuelles et d'assurer, associé à un logiciel approprié et une mémoire des communications 101, la mise en communication des terminaux 5.1 à 5.n avec des terminaux raccordés au réseau de communication relié à la liaison synchrone à grande vitesse 2 ou 2'. Dans l'unité de commande, le processeur 10 est relié par un bus 11 à un convertisseur parallèle-série 12 et, par un bus de données 13, 15 d'une part, à l'entrée parallèle d'un convertisseur parallèle-série 14 et, d'autre part, à la sortie parallèle d'un convertisseur série-parallèle 15. L'unité de commande comprend encore un circuit de séquençement 16 qui est formé d'un compteur de séquençement 17 dont l'entrée d'initialisation est reliée, par le fil 18, à une sortie du processeur 10, 20 et d'une mémoire morte de séquençement 19 dont les entrées d'adressage sont reliées aux sorties du compteur 17. La mémoire morte 19 a deux sorties respectivement reliées aux convertisseurs 12 et 14, par les fils 20 et 21, et une sortie reliée au processeur 10, par un fil 22. Un générateur d'horloge 23 est également prévu, qui distribue les signaux 25 d'horloge aux circuits 12, 14, et 17. Les sorties des convertisseurs 12 et 14 sont reliées à l'entrée de données d'un modem 24, dont l'entrée d'horloge d'émission est reliée au générateur 23. La sortie de données du modem 24 est reliée à l'entrée série de données du convertisseur 15 et la sortie d'horloge de réception du modem 24 est reliée à l'entrée 30 d'horloge du convertisseur 15. La sortie de signal modulé du modem 24 est reliée, par un amplificateur 25 et un amplificateur 26 aux deux bornes, côté unité, d'un transformateur d'isolement 27 qui assure l'iso-

lement galvanique par un fonctionnement "flottant". Les deux bornes, côté unité, du transformateur 27 sont également reliées aux bornes d'entrée d'un amplificateur différentiel 28 dont la sortie est reliée, à travers un égaliseur 29, à l'entrée de signal modulé du modem 24. Les 5 bornes, côté ligne, du transformateur 27 sont respectivement reliées aux deux fils de la ligne 4, dans le cas où ce câble est constitué par une simple ligne à deux fils. La mémoire des communications 101 permet avec le microprocesseur 10 d'adapter les rythmes d'interrogation des terminaux, individuellement selon leurs états.

10 A la Fig. 3, on a montré une variante de branchement quand on utilise un câble 4 à quatre fils. Les entrées de l'amplificateur différentiel 28 sont alors reliées aux bornes, côté unité, d'un second transformateur d'isolement 30 dont les bornes, côté ligne, sont reliées à la deuxième paire du câble 4.

15 Des dispositifs adaptateurs d'impédance permettent notamment dans le cas d'une liaison deux-fils, montré à la Fig. 2, utilisée en alternat, de connecter les amplificateurs 25 et 26 à basse impédance pour émettre suffisamment de puissance pour attaquer la ligne, quand l'unité de commande émet, ou à haute impédance, quand l'unité de com-
20 mande reçoit.

L'horloge 23 scande les temps du compteur de séquençement 17 qui adresse la mémoire 19, laquelle distribue les instructions d'un programme approprié aux circuits 10, 12 et 14.

Des adaptateurs d'impédance 31 sont prévus aux extrémités du
25 câble 4 pour éviter les réflexions des signaux et, plus particulièrement, des impulsions brèves utilisées en mode "bande de base".

L'égaliseur 29 comprend un dispositif égaliseur de ligne proprement dit 32 précédé d'un dispositif de correction automatique de gain 33. Les dispositifs 33 sont nécessaires quand la ligne 4 est très longue, plus de quelques kilomètres, de façon à assurer, quelle que soit
30 la distance d'un équipement 5.1 à 5.n, un niveau correct à la réception. Le dispositif 32 sert à corriger l'affaiblissement croissant de la ligne aux composantes à hautes fréquences des impulsions biphasées différentielles des signaux en bande de base.

35 Une sortie de la mémoire 19 est reliée, par un fil 34, à l'entrée de commande d'un circuit de commutation de sens de transmission 35. Une sortie 36 du circuit 35 est reliée aux entrées de commande d'impé-

dance des amplificateurs 25 et 26 tandis qu'une autre sortie 37 est reliée à l'entrée de commande d'impédance de l'amplificateur différentiel 28.

La Fig. 4 montre le bloc-diagramme d'un équipement d'accès 5.1 à 5.n. Il comprend comme une unité de commande 3 ou 3', un transformateur d'isolement 38 dont les bornes, côté ligne, sont reliées aux fils de la ligne à deux fils 4 et dont les bornes, côté équipement, sont reliées, d'une part, respectivement aux sorties de deux amplificateurs 39 et 40, et, d'autre part, respectivement aux deux entrées d'un amplificateur différentiel 41. Les entrées des amplificateurs 39 et 40 sont reliées, en parallèle, à la sortie de signal modulé d'un modem 42 fonctionnant en "bande de base". La sortie de l'amplificateur 41 est reliée à l'entrée de signal modulé du modem 42, par l'intermédiaire d'un égalisateur 43, comprenant un dispositif de contrôle automatique de gain 44 et un dispositif égaliseur proprement dit 45.

L'équipement comprend encore une horloge locale 46 et un circuit de séquençement 47. Le circuit de séquençement 47 comprend un compteur de séquençement 48 et une mémoire morte de séquençement 49. La sortie de signal démodulé du modem 42 est reliée à l'entrée de données reçues d'un module de communication 50 tandis que l'entrée de signal modulant du modem 42 est reliée à la sortie des données à émettre du module 50.

La sortie d'horloge de réception du modem 42 est reliée à la première entrée d'une porte ET 51 dont la seconde entrée est reliée au fil de sortie 52 de la mémoire 49. Une sortie 53 de l'horloge locale 46 est reliée à une première entrée d'une porte ET 54 dont la seconde entrée est reliée par un fil 55 à une sortie de la mémoire 49. Les sorties des portes 51 et 54 sont respectivement reliées aux entrées d'une porte OU 56 dont la sortie est reliée à l'entrée d'horloge du compteur 48. Une sortie 57 de l'horloge locale 46 est reliée à l'entrée d'horloge d'un générateur de rythme asynchrone 58.

Une sortie 59 de la mémoire 49 est reliée à l'entrée de commande d'un circuit de commutation de sens de transmission 60. Une sortie 61 du circuit 60 est reliée aux entrées de commande d'impédance amplificateurs 39 et 40 tandis qu'une autre sortie 62 de 60 est reliée à l'entrée de commande d'impédance de l'amplificateur différentiel 41. Une sortie 63 de la mémoire 49 est reliée au module de communication

50. Des sorties du module 50 sont reliées à un jeu de contacts 64 permettant par leur fermetures sélectives prédéterminées de matérialiser l'adresse de l'équipement. Le nombre des contacts du jeu de contacts 64 est égal à huit de manière à pouvoir former un mot d'adresse de huit
5 éléments binaires. Le module de communication comporte une sortie parallèle reliée par une liaison 65 aux entrées parallèles d'un coupleur asynchrone 66, ainsi que des entrées parallèles reliées par une liaison 67 au coupleur 66. L'entrée d'horloge du coupleur 66 est reliée par 68 à la mémoire 49. Côté terminal, le coupleur asynchrone 66 a une sortie
10 reliée à travers une jonction informatique 69 à l'entrée du terminal 6.1 à 6.n associé et une entrée reliée, toujours à travers la jonction 69, au même terminal. La jonction 69 est de préférence une jonction informatique du type V24.

Dans les deux premiers exemples de réalisation décrits, on suppose que les unités 3 et 3' et les équipements 5.1 à 5.n utilisent
15 des modulateurs-démodulateurs à bande de base à codage biphase différentiel. Dans le cas de transmission assez longues, de 10 km et plus, et dans le cas de débits élevés, au moins 19200 bauds, on complète ces modems par des égalisateurs de ligne pour corriger l'affaiblisse-
20 ment, lequel croît avec la fréquence des composants du signal. Ils peuvent également être complétés par des correcteurs automatiques de gain pour compenser les différences de niveau introduites par les distances entre les unités 3 et 3', d'une part, et les équipements 5.1 à 5.n, d'autre part.

25 Dans la suite, on va supposer qu'une seule unité de commande est en service et interroge les équipements 5.1 à 5.n.

Dans un premier exemple de réalisation, on suppose que le câble 4 est constitué par une ligne à deux fils permettant une liaison en alternat.

30 Les diagrammes des Figs. 5a à 5c illustrent le fonctionnement dans le cas d'un appel de l'unité 3 vers l'équipement 5.x, sur une ligne à deux fils. Entre chaque salve de transmission à destination d'un terminal, l'unité 2 effectue une coupure de la porteuse sur la ligne 4 de façon que tous les démodulateurs des équipements 5.1 à 5.n
35 connectés puissent se resynchroniser à chaque salve. C'est le signal de remise à zéro RAZ de la Fig. 5a.

A un temps t1, postérieur au signal RAZ, l'unité 3 émet une salve

de synchronisation constituée par un octet de structure connue, telle que "10101010". Cette prise de synchronisation est de première importance pour la suite de la séquence et est rendue possible par une caractéristique liée au type de modulation des modems utilisés en ce qui
5 concerne la détection de porteuse qui fournit, au temps élémentaire près, l'information.

Puis au temps t8, toujours à la Fig. 5a, l'unité 3 émet un octet d'identité de l'équipement interrogé, c'est à dire l'adresse de l'équipement interrogé. Avec un octet, soit huit éléments binaires, on peut
10 obtenir $2^8 = 256$ adresses différentes ou $2^7 = 128$ adresses différentes, si un élément binaire est réservé pour un contrôle de parité.

Puis au temps t17, l'unité 3 transmet sur la ligne 4, l'octet de données destiné à l'équipement 5.x interrogé, l'octet de données aller se terminant au temps t24.

15 Dans les équipements 5.1 à 5.n reliés à la ligne 5, dès que la prise de synchronisation est effectuée entre t1 et t8, il y a changement d'état avec passage de la phase de repos à la phase d'identification, comme le montre la Fig. 5b. En phase d'identification, le module de communication 50 effectue une comparaison série, élément
20 binaire à élément binaire, de l'adresse reçue de l'unité 3 à une identité emmagasinée dans le jeu de contacts 64 de l'équipement. Donc, au temps t16, seul l'équipement 5.x a obtenu une comparaison positive, les autres équipements ayant constaté des comparaisons négatives entre t9 et t16. La branche supérieure de la Fig. 5b indique l'état inerte
25 des équipements non interrogés, après le temps t16, tandis que la branche inférieure de la Fig. 5b indique que, dans l'équipement 5.x, il y a passage en phase d'acquisition de données utiles.

La phase d'acquisition de l'octet de données dure, comme la phase d'identification, huit temps élémentaires. Au temps t24, à la fin de
30 l'acquisition de l'octet de données utiles, l'équipement 5.x passe en phase de transfert de l'octet au coupleur asynchrone 60 chargé de véhiculer les données en mode asynchrone vers le terminal 8.x.

A noter que l'octet de données transmis par l'unité de commande peut être soit un octet de données utiles, soit un octet ou caractère
35 de bourrage FF.

La phase d'acquisition de l'octet de données étant terminée, l'équipement peut prendre l'un des trois états possibles:

- soit déclencher la procédure de transmission d'un octet de données utiles vers l'unité de commande, cet octet retour étant alors présent à la sortie du coupleur asynchrone reliée à la jonction 67;
- 5 - soit déclencher la procédure de transmission d'un octet retour de bourrage, si le terminal 6.x est hors tension; ce cas pouvant, par exemple, être illustré par une boucle d'abonné fermée dans le cas du téléphone;
- soit déclencher la transmission d'un octet ou caractère de silence FE, si le terminal est sous tension, mais en période de silence.

Pendant cette phase de traitement de l'octet à transmettre à l'unité de commande, le module de communication 50 transmet l'octet reçu, s'il s'agit de données utiles, au terminal 6.x, en série à travers
15 le coupleur asynchrone 66, via la liaison 65. A noter que les octets de bourrage sont exclus du code des données, ce qui n'est pas gênant dans le cas des terminaux asynchrones dont la syntaxe utile est généralement limitée à 128 codes utiles parmi 256.

Pendant la réception du message émis par l'unité de commande,
20 le circuit de séquençement est actionné par le signal d'horloge de réception restitué par le modem 42 qui transmet ce signal d'horloge au compteur de séquençement par les portes 51 et 56, la porte 51 étant activée par la mémoire 49, via le fil 52. Après la fin de la phase d'acquisition de l'octet de données, la mémoire 49 active la porte
25 54, via le fil 55, si bien que les signaux de l'horloge locale 46 sont transmis, d'une part, au compteur de séquençement 48, par 54 et 56, et, d'autre part, au modem 42 pour servir d'horloge d'émission retour. En pratique, un temps mort est prévu dans le programme de la mémoire 49 entre la fin de l'activation du fil 52 et l'activation du fil 55.
30 Pendant ce temps mort ou temps de garde, la ligne 4 est entièrement libre, car dès la fin de l'émission de l'octet utile aller par l'unité de commande, celle-ci cesse de transmettre la porteuse sur la ligne, comme le commande sa mémoire de séquençement 19.

Dès que le fil 55 est activé, le modem 42 émet sur la ligne 2
35 une salve de synchronisation vers l'unité de commande ce qui permet au modem 24 de restituer l'horloge retour. L'émission retour est illustrée à la Fig. 5c, le diagramme des temps indiquant après le temps

t24, un intervalle de temps de garde avec retour à zéro de la ligne qui dure jusqu'au temps t28, puis l'intervalle de temps t28 à t36 pendant lequel la salve de synchronisation retour est émise, et enfin l'intervalle de temps t36 à t44 pendant lequel l'octet de données retour est émis. On rappelle que cet octet de données retour peut contenir des données utiles, un caractère de bourrage FF ou un caractère de silence FE.

En fin de séquence, après réception dans l'unité de commande 3 ou 3' de l'octet de données retour, lequel est présent dans le convertisseur série-parallèle 15, le processeur 10 est alerté de cette situation. Il discrimine alors les caractères de données utiles des caractères de bourrage ou de signalisation, avant de procéder à l'assemblage des paquets de données et à une commutation de voies virtuelles vers le réseau haute vitesse.

A noter encore que, dans l'unité de commande, dès la transmission de l'octet de données aller, la mémoire 19 fait changer l'état de la bascule 35 si bien que les amplificateurs 25 et 26 sont commutés en haute impédance et que l'amplificateur différentiel 37 est activé. Par ailleurs, dans l'équipement 5.x, dès la fin de l'acquisition de l'octet aller, la mémoire 49 fait changer l'état de la bascule 60 qui fait passer les amplificateurs 39 et 40 en état de basse impédance et met l'amplificateur 41 au repos.

A noter encore que, dans les équipements 5.1 à 5.n, autres que l'équipement 5.x, dès la fin de la phase d'identification, qui est pour eux négative, les amplificateurs 39 à 41 sont commutés à très haute impédance pour obtenir une occultation pendant un temps couvrant l'intervalle t16 à t44, au moins. Pour cela, l'identification négative a pour effet de commuter l'activation des fils 52 et 55, si bien que le compteur 48 reçoit l'horloge locale pour faire avancer le programme de la mémoire 49 qui commande le circuit 60. Ainsi, pendant la transmission retour, on évite de recevoir des éléments binaires parasites des équipements non interrogés par l'unité de commande.

L'équipement, montré à la Fig. 4, prévu pour fonctionner avec une ligne à deux fils peut être adapté pour fonctionner avec une ligne à quatre fils comme le montre la Fig. 3. Le transformateur d'isolement 38 monté sur la paire aller de la ligne quatre-fils est doublé par un transformateur d'isolement 70 monté sur la paire retour. L'amplifi-

L'équipement, montré à la Fig. 4, prévu pour fonctionner avec une ligne à deux fils peut être adapté pour fonctionner avec une ligne à quatre fils comme le montre la Fig. 3. Le transformateur d'isolement 38 monté sur la paire aller de la ligne quatre-fils est doublé par un transformateur d'isolement 70 monté sur la paire retour. L'amplificateur 41 reste associé au transformateur 38 tandis que les amplificateurs 39 et 40 sont associés au transformateur 70. Le circuit 60 est supprimé ainsi que l'horloge locale 46 et l'ensemble des portes 51, 54 et 56, car le modem 42 reçoit le signal d'horloge en permanence de la paire aller et peut donc appliquer directement ces signaux d'horloge au compteur 48.

Les Figs. 7a et 7b illustrent la séquence d'échange bilatéral entre une unité de commande 3 ou 3' et un équipement 5.y, dans le cas d'une utilisation d'une ligne quatre-fils. La phase d'émission de l'unité de commande vers les équipements est montrée à la Fig. 7a. On constate qu'elle est la même que celle de la Fig. 5a, dans le cas d'une ligne deux-fils, c'est à dire qu'elle comprend un temps de remise à zéro des équipements par suppression de la porteuse sur la paire aller, soit au temps t_0 , puis de t_1 à t_8 , l'émission d'une salve de synchronisation, puis de t_9 à t_{16} , l'émission de l'adresse de l'équipement 5.y interrogé et, enfin, de t_{17} à t_{24} , l'émission de l'octet de données. Après cette phase, l'unité de commande continue à émettre la porteuse sur la paire aller.

La phase correspondante de fonctionnement de l'équipement 5.y est montrée à la Fig. 7b. En t_0 l'équipement est au repos, entre t_1 et t_8 , il se synchronise sur la salve, en t_{16} , il a reconnu son adresse et, donc, entre t_{17} et t_{24} , il peut envoyer sur la paire retour l'octet de données qu'il a à transmettre à l'unité de commande. Il en résulte une économie de temps, par rapport au fonctionnement dans le cas d'une ligne deux-fils, laquelle est égale au temps de retournement des modems ou temps mort mentionné plus haut, plus la durée de la salve de synchronisation retour.

Par ailleurs, entre les temps t_9 et t_{16} , les équipements autres que 5.y s'isolent de la paire aller et de la paire retour, pendant un intervalle de temps couvrant largement t_{24} .

Le mode de fonctionnement avec une ligne quatre-fils permet évidemment l'insertion de répéteurs régénérateurs sur chaque sens de transmission ce qui permet de constituer des boucles plus longues et plus

rapides, ce qui est notamment très important quand on désire atteindre des débits de 2 Mbit/s. En pratique, dans ce cas, le prix de la paire supplémentaire se trouve à peu près compensé par le rendement et le débit de la boucle qui sont presque doublés.

5 Dans les exemples de réalisation des Figs. 2, 3, 4 et 6, on a supposé que la liaison 4 était concrétisée par une ou deux paires physiques ou leurs équivalents radioélectriques. On va montrer dans la suite que l'on peut également utiliser pour former une boucle des voies temporelles d'une liaison 4 constituée par un multiplex temporel. A titre
10 de référence en ce qui concerne un multiplex temporel, on pourra se reporter à la plaquette publiée le 20 septembre 1973 par la "Conférence Européenne des Administrations des Postes et Télécommunications" et intitulée (en français) "Spécifications du système multiplex MIC du premier ordre". Si, dans la suite de la description, on cite l'utilisa-
15 tion d'un multiplex proche de celui qui a été défini dans cette plaquette, il faut comprendre que cette utilisation n'est pas limitative et que, notamment, il serait également possible d'envisager l'utilisation d'un multiplex primaire à 24 voies du type dit "Anglo-Saxon".

A la Fig. 8, on a représenté un diagramme temporel qui rappelle
20 la constitution d'une liaison à multiplex temporel. En abscisse, on a représenté une suite des trames T1 à T81, parmi la suite ininterrompue des trames formant la liaison. Chaque trame a une durée de 125 microsecondes et est formée de 32 intervalles de temps iT0 à iT31. Chaque intervalle de temps se compose de huit temps élémentaires w1
25 à w8 servant chacun à transmettre un élément binaire 1 ou 0.

Dans le multiplex MIC mentionné ci-dessus, dans le cas d'une signalisation voie par voie, on regroupe les trames en multitrames qui chacune contiennent seize trames consécutives numérotées de 0 à 15 et le signal de verrouillage de multitrame est 0000, ce signal occu-
30 pant les quatre premiers temps élémentaires w1 à w4 du premier intervalle de temps iT1 de la trame N°0. Par ailleurs, l'iT16 de chaque trame sert à transmettre la signalisation voie par voie. Les autres iT, soit iT1 à iT15 et iT17 à iT31 sont utilisés pour transmettre des échantillons de parole.

35 Cette ressource de transmission, par exemple pour un canal de parole à 64 kbit/s, est un iT de trame à 2,048 Mbit/s. Il apparaît que le mode de fonctionnement prévu en relation avec les exemples de

réalisation des Figs. 2, 3, 4 et 6 serait peu commode s'il était directement transposé en mode temporel car il entraînerait une interrogation toutes les 125 microsecondes.

En conséquence, suivant l'invention, on ajoute au multiplex primaire de 32 voies temporelles un niveau de multiplexage supplémentaire à l'intérieur d'une des voies temporelles ou intervalles de temps iT en groupant les trames en multitrames, selon un principe analogue à celui qui est déjà connu pour des transmissions numériques. A titre d'exemple, on constitue des multitrames contenant chacune vingt trames.

10 Dans chaque trame, l' iT_0 contient l'information de synchronisation de trame. Dans chaque multitrame, l'interval de temps iT_{16} de la trame 0 contient la synchronisation multitrame. Les intervalles iT_{16} des trames N°1 à N°19 sont affectés à des échanges d'informations de service. Dans chaque trame, les intervalles de temps iT_1 à iT_{15} et

15 iT_{17} à iT_{31} sont alloués à des échanges de données.

Le choix de vingt trames par multitrame permet de multiplexer des canaux de 2400 bauds, ou évidemment des canaux de 1200 bauds, tout en permettant de totaliser un débit de 64 kbit/s, dont 48 kbit/s utiles pour conserver une compatibilité avec les enveloppes définies dans

20 l'avis X50 du CCITT.

Le fonctionnement d'un système en boucle, ou éventuellement multipoints, à répartition temporelle synchrone des canaux de transmission analogue à celui qui a été décrit en relation avec les Figs. 2 et 4, suppose une phase préalable d'échange de signalisation, selon un mode

25 sémaphore, entre l'unité de commande et les équipements d'accès qui signalent ou ont signalé leur intention d'entrer en communication. On retrouve là, l'analogie avec le décrochage d'un poste d'abonné téléphonique.

Ces messages de signalisation d'établissement et de rupture des communications, de supervision, etc., seront conformes aux procédures

30 normalisées en vigueur, telles que celles qui font l'objet des recommandations du CCITT. Toutefois, à titre d'illustration, on donnera dans la suite un exemple de message d'appel et un exemple de message de connexion.

35 Les messages de signalisation sont transmis dans le canal correspondant à l' iT_{16} dans chaque trame. Ils peuvent avoir une taille variable, c'est à dire qu'ils peuvent être constitués d'un nombre quelconque

d'octets, suivant le besoin du message, ce nombre étant toutefois limité supérieurement pour des raisons pratiques, comme on le verra ci-dessous.

En effet, en choisissant des multitrames formées de vingt trames, on dispose d'une synchronisation de multitrame ce qui permet de cadrer le débit des messages par rapport à la trame N°0 pour les messages d'interrogation émis à partir de l'unité de commande vers les équipements d'accès et par rapport à la trame N°10 pour les messages de réponse émis à partir des équipements d'accès vers l'unité de commande. Ce partage temporel des multitrames en deux sous-ensembles de deux fois dix trames s'adapte au mieux à la longueur des messages de signalisation qui n'excèdent jamais dix octets et permet un débit, dans chaque sens, égal à 24 kbit/s utiles ce qui est largement suffisant pour toute la signalisation entre l'unité de commande et les équipements d'accès.

Avant de décrire les constitutions possibles des messages de signalisation ou messages sémaphore, on va décrire la structure d'un circuit logique de synchronisation et de gestion utilisable dans un équipement d'accès raccordé à un système en boucle à répartition temporelle.

La Fig. 9 montre le bloc-diagramme d'un tel circuit logique de synchronisation et de gestion. Il comprend un sous-ensemble 71 de réception des trames transmises sur la liaison 4, un sous-ensemble 72 de commande, un sous-ensemble 73 de validation des voies temporelles et des trames, un sous-ensemble d'émission 74 et un sous-ensemble de réception 75.

Le sous-ensemble 71 comprend un module de réception HDB3 binaire 76 dont l'entrée est reliée à la liaison 4 et dont la sortie est reliée, en parallèle, aux entrées d'un circuit de synchronisation de trame 77, d'un circuit de récupération de rythme binaire et d'horloge octet 78 et d'un circuit de remise en phase de trame 79. La sortie du circuit 77 est reliée, d'une part, à l'entrée d'un circuit de synchronisation multitrame 80 et, d'autre part, à l'entrée d'initialisation d'un compteur de voies temporelles 81, dont l'entrée de signal est reliée à la sortie du circuit 78. La sortie du circuit 80 est reliée à l'entrée d'initialisation d'un compteur de trames 82 dont l'entrée de signal est reliée à la sortie du circuit 78. La sortie du circuit 80 est reliée à l'entrée d'initialisation d'un compteur de trames 81 dont l'en-

trée de signal est reliée à la sortie de débordement du compteur 81.

Dans le sous-ensemble 72, la sortie de compte du compteur 81 est reliée à l'entrée d'un décodeur de voie temporelle 83 tandis que la sortie de compte du compteur 82 est reliée à l'entrée d'un décodeur
5 de trame 84. Le décodeur 83 comporte une sortie 85 qui est reliée à la première entrée d'une porte ET 86 et une sortie 87 qui est reliée à la première entrée d'une porte ET à trois entrées 88. Le décodeur 84 comporte une sortie 89 qui est reliée à la seconde entrée de la porte ET 86 et une sortie 90 qui est reliée à la troisième entrée de
10 la porte ET 88. La sortie de la porte ET 86 est reliée à l'entrée d'activation d'un convertisseur série-parallèle 91. La sortie de la porte ET 88 est reliée à l'entrée d'activation d'un convertisseur parallèle-série 92. L'entrée série de signal du convertisseur 91 est reliée à la sortie du module 76. La sortie parallèle de signal du convertisseur
15 91 est reliée à l'entrée d'un processeur 93. Une sortie de signal du processeur 93 est reliée à l'entrée parallèle du convertisseur 92. Enfin, la deuxième entrée de la porte ET 88 est reliée à la sortie d'une bascule 94 dont l'entrée de commande est reliée à une sortie (non montrée) du processeur 93.

20 Dans le sous-ensemble 73, un bus de commande 95 alimenté par le processeur 93 est relié aux entrées d'écriture de quatre registres 96 à 99. Le registre 96 sert à enregistrer le numéro d'une voie temporelle dans une trame, le registre 97 le numéro d'une trame dans une super-trame, tous les deux étant affectés à l'émission, le registre 98 le
25 numéro d'une voie temporelle dans une trame et le registre 99 le numéro d'une trame dans une multitrame, tous les deux étant affectés à la réception.

Les sorties série des registres 96 et 98 sont respectivement reliées aux premières entrées de deux comparateurs 100 et 101 dont
30 les secondes entrées sont reliées à la sortie de signal du compteur de voies temporelles 81. Les sorties série des registres 97 et 99 sont respectivement reliées aux premières entrées de deux comparateurs 102 et 103 dont les secondes entrées sont reliées à la sortie de signal du compteur de trames 82.

35 Dans le sous-ensemble d'émission 74, une porte ET à trois entrées 104 a une première entrée reliée à la sortie du comparateur 100, une seconde entrée reliée à une sortie de validation générale 105 du proces-

seur 93 et une troisième entrée reliée à la sortie du comparateur 102. La sortie de la porte ET 104 est reliée, d'une part, à l'entrée d'activation d'un convertisseur série-parallèle 106 et, d'autre part, à une première entrée d'une porte ET à trois entrées 107 dont la seconde
5 entrée est reliée à la sortie d'une bascule 108 et la troisième entrée à la sortie du convertisseur 106. Une porte OU à trois entrées 109 a une première entrée reliée à la sortie du convertisseur 92, une seconde entrée reliée à la sortie de la porte ET 107 et une troisième entrée reliée à la sortie d'un circuit de remise en phase 79. La bascule 108 a
10 son entrée de commande reliée à une sortie de commande (non montrée) du processeur 93. La sortie de la porte OU 109 est reliée à l'entrée d'un transcodeur régénérateur HDB3 110 dont la sortie est reliée à la liaison 4.

Dans le sous-ensemble de réception 75, une porte ET à quatre
15 entrées 111 a une première entrée reliée à la sortie du comparateur 101, une seconde entrée reliée à la sortie de validation générale du processeur 93, une troisième entrée reliée à la sortie du comparateur 103 et une quatrième entrée reliée à la sortie d'une bascule 112, laquelle a son entrée de commande reliée à une sortie de commande (non
20 montrée) du processeur 93. La sortie de la porte ET 111 est reliée à l'entrée d'activation d'un convertisseur série-parallèle 113 dont l'entrée de signal est reliée à la sortie du module de réception 76 et dont la sortie est reliée à un terminal de données.

Avant de décrire les différents fonctionnements qui peuvent résul-
25 ter des différentes significations des octets d'un message, on va décrire, en relation avec la Fig. 9 la réception, puis l'émission des octets.

Le module de réception 76 délivre à sa sortie les éléments binaires successifs correspondant au signal appliqué à son entrée. Dans le circuit de synchronisation de trame, le contenu de l'iT0 est reconnu
30 et, à chaque reconnaissance, un signal de synchronisation est transmis au compteur de voies temporelles 81 qu'il initialise. L'horloge octet récupérée par le circuit 78 fait avancer le compteur 81. Quand le compteur 81 identifie l'iT16, son signal de sortie active la première entrée de la porte 115 qui fait passer vers le circuit de synchronisation
35 de multitrame 71 le signal de sortie du circuit 76. Quand le circuit 80 reconnaît le signal de synchronisation de multitrame dans l'iT16 correspondant, il transmet au compteur 82 un signal d'initialisation.

Le compteur 82 compte les trames en comptant les signaux de débordement du circuit 81. A noter qu'en pratique l'ensemble des circuits 76, 77, 78, 80, 81 et 82 existe sur le marché sous la forme d'un circuit intégré, tel que le circuit "MIC" commercialisé par la Société Lignes Télé-

5 graphiques et Téléphoniques (LTT).

En conclusion, la combinaison des données de sortie des compteurs 81 et 82 identifie complètement un iT dans sa trame et sa multitrane.

A chaque iT16, le décodeur 83 active sa sortie 85. A chacune des trames N° 0 à 9, le décodeur 84 active sa sortie 89. Donc la porte 86

10 s'ouvre pour chaque iT16 des trames N° 0 à 9. A chaque ouverture de la porte 86, les éléments binaires de l'iT16 correspondant sont introduits en série dans le convertisseur 91 qui transmet l'octet correspondant au microprocesseur 93. Le microprocesseur 93 comporte des moyens de comparaison lui permettant de reconnaître les messages du canal sémaphore

15 qui lui sont adressés et des moyens pour enregistrer le contenu d'un message d'interrogation.

Après que le microprocesseur 93 a reconnu son identité et le contenu du message d'interrogation, il active la bascule 94, si bien que, quand les sorties 87 de 83 et 90 de 84 sont activées à l'iT16

20 de la trame N°10 et suivantes, les octets transmis en parallèle par 93 au convertisseur 92 sont transmis en série vers le circuit d'émission 110, par l'intermédiaire de la porte OU.109.

On va maintenant décrire les structures des messages d'interrogation et de réponse.

25 Comme le canal iT16 de sémaphore est partagé entre tous les équipements d'accès, il est nécessaire de prévoir un en-tête de message donnant l'identité du destinataire, dans le cas d'une interrogation, ou de l'identité de l'envoyeur, dans le cas d'une réponse, ainsi que le format, c'est à dire la longueur du message utile, puisque cette

30 longueur, toujours inférieure à dix octets, est variable.

On a, pour un message d'interrogation, la structure suivante:

- octet N° 1 (iT16, trame N° 0) N° de l'équipement d'accès destinataire
- 35 - octet N° 2 (iT16, trame N° 1) 4 ebs de redondance pour le N° d'équipement, plus 4 ebs pour la longueur du message

On a, pour un message de réponse, la structure suivante:

10

15

25

30

35

doit également être codé. Si l'on réserve quatre éléments binaires pour discriminer un type de message entre seize possibles et quatre éléments binaires pour discriminer un service entre seize possibles, il apparaît que le message d'appel comporte sept octets, c'est à dire:

5

octet N°1	Identité de l'équipement d'accès (trame 0)
octet N°2	4 ebs de redondance + 4 ebs de format
octet N°3	4 ebs de type de message, plus
	4 ebs de type de service
10 octet N°4	numéro du demandé
octet N°5	"
octet N°6	"
octet N°7	"

15 Si l'on fait l'hypothèse de débits de 1200 ou 2400 bauds pour les applications télématiques du concentrateur suivant l'invention, et si l'on suppose que les débits de données sont de nature symétrique, on choisit de réserver les dix premières trames de la multitrame pour un sens de transmission (unité de commande vers les équipements d'accès)

20 et les dix dernières trames de la multitrame pour l'autre sens (équipements d'accès vers unité de commande). Bien entendu, il faut comprendre que le système de transmission à 2 Mbit/s est bouclé et que les deux sens de transmission définis ci-dessus ne sont qu'un artifice de langage.

25 En raison de la répartition en deux sous-ensembles de dix trames, on ne dispose que de 32 kbit/s par sens de transmission pour une voie temporelle affectée aux données, ce qui fait, en considérant le p.p.c.m., 24 kbit/s utiles, soit vingt terminaux actifs à 1200 bit/s ou dix terminaux actifs à 2400 bit/s sur une voie temporelle.

30 Dans un exemple de réalisation, on a retenu ce débit utile de 24 kbit/s par voie temporelle en raison de la récurrence requise pour l'adressage temporel des différents canaux actifs. Ainsi, un terminal à 1200 bauds pourra émettre dans l'IT qui lui est alloué toutes les vingt trames, ce qui signifie qu'on doit lui préciser également le numéro de

35 trame parmi vingt qui lui est alloué.

Dans un premier exemple de transaction avec un équipement d'accès associé à un terminal à 1200 bauds, on suppose que l'unité de commande transmet par le message défini plus haut l'ordre à l'équipement d'accès

d'utiliser la trame N°M dans la multitrane et l'IT N°x pour transmettre vers l'unité de commande des octets de données provenant du terminal associé à l'équipement d'accès. Le processeur 93 transmet alors au registre 96 la valeur du nombre x et au registre M, par l'intermédiaire
5 du bus 95. Dans la suite du fonctionnement, chaque fois que la sortie du compteur 81 indique le compte x et la sortie du compteur 82 le compte M, les comparateurs 100 et 102 respectivement détectent une coïncidence et activent leurs sorties respectives. Par ailleurs, le processeur 93 active à un moment approprié sa sortie 105, par exemple, le
10 temps d'une supertrane après avoir fait émettre par 92 un message de réponse qui sert d'accusé de réception de l'ordre reçu. Enfin, le processeur 93 fait changer l'état de la bascule 108.

La porte 104 est alors ouverte, ainsi que la porte 107, et, à chaque iTx d'une trane N°M, l'octet de données introduit en parallèle
15 dans le registre 106 est transmis en série par le circuit 110, par l'intermédiaire de la porte OU 109.

Pendant cette transmission, l'unité de commande peut, de temps à autre, envoyer au processeur 93 un message d'interrogation, défini plus haut, pour connaître l'état du terminal, c'est à dire savoir si celui-
20 ci a encore des données à transmettre ou non. Le processeur 93 fait connaître cet état par un message de réponse en réponse à l'interrogation par l'unité de commande. A la fin de la transmission, le processeur 93 efface les contenus 96 et 97 et, quand l'unité de commande a reçu, par un message de réponse, l'information de libération, elle peut
25 disposer de l'iTx et de la trane N°M pour un autre équipement d'accès.

Dans un second exemple de transaction avec un équipement associé à un terminal à 1200 bauds, on suppose que l'unité de commande transmet par le message de service du type message d'interrogation l'ordre à l'équipement d'accès d'utiliser la trane N°N dans la multitrane et
30 l'iTy pour recevoir dans le terminal associé des octets de données provenant de l'unité de commande. Le processeur 93 transmet alors, par le bus 95, au registre 98 la valeur du nombre y et au registre 99 la valeur du nombre N. Dans la suite du fonctionnement, chaque fois que la sortie du compteur 81 indique le compte x et la sortie du compteur 82 le compte N, les comparateurs 101 et 103 respectivement détectent une
35 coïncidence et activent leurs sorties respectives. Par ailleurs, le processeur 93 active sa sortie 105 à un moment approprié, par exemple

comme dans l'exemple précédent, et fait changer d'état à la bascule 112.

La porte 111 est alors ouverte et, à chaque iTy d'une trame N°N, le message disponible à la sortie du circuit 76 est introduit dans le convertisseur 113 d'où il est transmis en parallèle au terminal 5 associé. Quand l'unité de commande a terminé sa transmission, elle en avise le processeur 93 par un message de service approprié. Le processeur 93 met alors au repos la bascule 112.

Dans un troisième exemple de transaction avec un équipement d'accès associé à un terminal à 2400 bauds, il faut prévoir que l'équipement 10 ment d'accès doit pouvoir transmettre deux octets par supertrame, soit par exemple un octet toutes les dix trames. Dans ce cas le message d'ordre transmis par l'unité de commande contient le numéro de l'iT à utiliser et les deux numéros de trames à utiliser dans une supertrame. En variante, au lieu de contenir les numéros des deux trames, 15 le message d'ordre peut contenir le numéro de la première trame à utiliser, suivi d'une information de périodicité de répétition de transmission dans la multitrame. Si l'on choisit d'utiliser une information de périodicité, le message d'ordre aura la forme suivante:

20	octet N°1	Identité de l'équipement d'accès (trame 0)
	octet N°2	4 ebs de redondance + 4 ebs de format
	octet N°3	4 ebs de type de message, plus 4 ebs de type de service
	octet N°4	5 ebs pour le N° d'iT à utiliser
25		(iT 0 à 15 en émission, iT 16 à 31 en réception)
	octet N°5	4 ebs pour un N° de trame parmi 20
	octet N°6	5 ebs pour la périodicité de répétition de la trame.

30 Il faut noter que l'octet N°6 du message ci-dessus peut être utilisé quel que soit le débit du terminal associé à l'équipement d'accès. En effet, les cinq ebs de l'octet N°6 permettent d'identifier une périodicité de vingt trames pour les terminaux à 1200 bauds, de dix trames pour les terminaux à 2400 bauds et de cinq trames pour des 35 terminaux à 4800 bauds, etc.

La Fig. 10 montre un circuit destiné à remplacer les circuits 97 et 102 de la Fig. 9 pour permettre au circuit logique de synchroni-

sation et de gestion de traiter un message d'ordre à six octets mentionné ci-dessus.

Dans le circuit de la Fig. 10, on a sept fils 114 à 120 reliés au bus 95. Les fils 114 à 116 sont reliés aux entrées d'un registre 5 121 pouvant enregistrer trois éléments binaires qui identifient une trame parmi cinq. Le fil 117 est relié à un registre 122 pouvant enregistrer un élément binaire qui identifie si le N° d'une trame est entre 1 et 5, ou entre 6 et 10. Le fil 118 est relié à un registre 123 pouvant enregistrer un élément binaire qui identifie si le N° d'une trame 10 est entre 1 et 10, ou entre 11 et 20. Le fil 119 est relié à l'entrée d'une bascule 124 et le fil 120 est relié à l'entrée d'une bascule 125.

Les trois sorties du registre 121 sont respectivement reliées aux trois premières entrées d'un comparateur 126 dont les trois secon- 15 des entrées sont reliées aux fils correspondants de la sortie du compteur de trame 82. La sortie du registre 122 est reliée à la première entrée d'un comparateur 127 dont la seconde entrée est reliée à la sortie correspondante du compteur 82. De même, la sortie du registre 123 est reliée à la première entrée d'un comparateur 128 dont la secon- 20 de entrée est reliée à la sortie correspondante du compteur 82.

La sortie du comparateur 126 est reliée à la première entrée d'une porte ET 129 à trois entrées dont la sortie est reliée à une entrée de la porte ET 104. La sortie du comparateur 127 est reliée à la première entrée d'une porte OU à deux entrées 130. La sortie du 25 comparateur 128 est reliée à la première entrée d'une porte OU à deux entrées 131. Les sorties des portes OU 130 et 131 sont respectivement reliées aux deuxième et troisième entrées de la porte ET 129. La sortie de la bascule 124 est reliée à la seconde entrée de la porte OU 130 et la sortie de la bascule 125 est reliée à la seconde entrée de la 30 porte OU 131.

Si l'on suppose que le message d'ordre ne comprend pas d'octet N° 6, les états des fils 119 et 120 sont au niveau 0, ce qui entraîne des sorties 0 sur les bascules 124 et 125. Dans ce cas, les entrées de la porte ET 129 ne seront au niveau 1 que pour une trame sur vingt, 35 ce qui convient pour le trafic d'un terminal à 1200 bauds.

Si, dans le message d'ordre, l'octet N°6 indique une périodicité de répétition d'affection d'une trame toutes les dix trames, le processeur 93 met le fil 120 à 1. La sortie de la bascule 125 est alors au

niveau 1 qui est transmis, par la porte OU 131, à la troisième entrée de la porte 129. Donc, dès qu'il y a comparaison positive dans les comparateurs 126 et 127, la porte 129 transmet un niveau 1, c'est à dire que le N° de la trame soit p ou p+10. Le circuit permet donc de
5 traiter des terminaux à 2400 bauds.

Si, dans le message d'ordre, l'octet N°6 indique une périodicité de répétition toutes les cinq trames, le processeur 93 met les fils 119 et 120 à 1. Les sorties des bascules 124 et 125 sont au niveau 1, si bien que les deuxième et troisième entrées de 129 sont à 1. Donc,
10 dès qu'il y a comparaison positive dans le comparateur 126, la porte 129 transmet un niveau 1, c'est à dire que le N° de la trame soit p, p+5, p+10 ou p+15. Le circuit permet donc de traiter des circuits à 4800 bauds.

Bien entendu, le circuit de la Fig. 10 peut également remplacer
15 les circuits 99 et 103 pour la réception de données. La sortie de 129 est alors reliée à une entrée de la porte ET 111.

A la Fig. 11, on a représenté un circuit logique de synchronisation et de gestion utilisable dans un équipement d'accès capable de traiter les messages d'équipements à 1200, 2400 ou 4800 bauds, comme
20 on l'a vu ci-dessus, mais encore capable de traiter des signaux de paroles téléphoniques.

Le circuit de la Fig. 11 comprend tous les circuits de la Fig. 9 et éventuellement ceux de la Fig. 10. Il comprend, de plus, un registre 132 dont l'entrée est reliée au bus 95 et dont la sortie est reliée
25 à une entrée d'un comparateur 133 dont l'autre entrée est reliée à la sortie du compteur de voies 81. La sortie de 133 est reliée à une entrée d'une porte ET 134 à deux entrées dont l'autre entrée est reliée au fil 105 et dont la sortie est reliée à l'entrée d'activation d'un convertisseur parallèle-série 135. Les sorties de 134, de 135 et d'une
30 bascule 136 sont reliées aux trois entrées d'une porte ET 137 dont la sortie est reliée à une entrée supplémentaire de la porte OU 109. L'entrée parallèle du convertisseur 135 au codeur du poste téléphonique associé à l'équipement d'accès.

Le registre 132 peut enregistrer le N° d'une voie dans une trame
35 qui lui est transmis du processeur 93. Comme, pour les communications téléphoniques, on prévoit d'attribuer une voie par trame, la coïncidence dans 133 avec le compte de 81 suffit à faire vider le convertisseur

135. La bascule 136 joue le même rôle que 108 et la porte 137 le même rôle que 107.

Bien entendu, côté réception, on trouve les circuits correspondants, c'est à dire un registre de N° de voie 138, un comparateur 139, une porte ET à deux entrées 140 et un convertisseur série-parallèle 141 dont la sortie est reliée au décodeur du poste téléphonique.

Le circuit de la Fig. 11 montre qu'un circuit logique, suivant l'invention, peut assurer les transmissions dans les deux sens des données provenant ou destinées, à la fois, à un téléphone et à un terminal de données. Bien entendu, on peut multiplier les registres de N° de voie et de N° de trame, avec les comparateurs et les convertisseurs correspondants, pour permettre, en dehors du téléphone, de traiter simultanément les trafics de plusieurs terminaux de données. Les branchements de ces circuits seraient évidents pour l'homme de l'art.

Dans les exemples d'application décrits ci-dessus, on a considéré des canaux de transmission synchrones. Toutefois, dans le cas de canaux alloués aux transmissions asynchrones, les équipements d'accès, suivant l'invention, peuvent être utilisés. Dans ce cas, en raison du caractère sporadique de l'émission des données, par exemple depuis un clavier, le canal doit être, en dehors des caractères utiles, rempli par des caractères de bourrage FF, tels que décrits dans le fonctionnement des circuits des Figs. 2, 3, 5 et 6.

En ce qui concerne les canaux de transmission synchrones (2400 bit/s, 4800 bit/s, etc.), la structure retenue est identique à la structure de trame X50 recommandée par le CCITT, laquelle, grâce à des enveloppes 6+2, permet dans une voie temporelle à 64 kbit/s de véhiculer 48 kbit/s utiles, soit un multiple entier des débits courants (300 bit/s, 600 bit/s, 1200 bit/s, 2400 bit/s, 4800 bit/s, 9600 bit/s), ce qui facilite la structure de multiplexage par multitrames, même si dans la topologie de réseau multipoints retenue, la signalisation est véhiculée par le canal sémaphore de l'IT16 et non pas par le biais du fil "S" de l'enveloppe "A2" dont seul l'élément binaire de délimitation de trame synchrone est utilisé.

Dans le cas d'un appel d'un réseau de commutation par paquets, tel que par exemple le réseau TRANSPAC, ce message d'appel sera composé de la façon la plus proche d'un paquet d'appel, c'est à dire longueur de l'adresse codée sur quatre éléments binaires et jusqu'à dix chiffres

décimaux, soit six octets en tout qui occuperont les iT16 des trames N°4 à N°9.

On doit, dans le cas d'un appel vers un service de télématique, préciser la classe de débit à laquelle on désire trafiquer.

- 5 A titre d'exemple, étant donné le nombre restreint de services auxquels on peut accéder, la classe de débit peut être implicitement contenue dans les quatre éléments binaires de type de service définis plus haut. Ainsi on peut prévoir huit classes:

10	classe 0	=	64 kbit/s téléphonique
	classe 1	=	téléétel à 1200 bit/s asynchrones
	classe 2	=	télécopie à 2400 bit/s asynchrones
	classe 3	=	accès à Transpac asynchrone

15	classe 8	=	accès synchrones

On va maintenant considérer un exemple de message de connexion. Une fois qu'il a été enregistré dans l'unité de commande, le message d'appel doit être traduit en "connexion" du demandeur vers le demandé.

- 20 Dans le cas d'un appel téléphonique, la "connexion" revient à attribuer une voie temporelle au demandeur et, si le demandé est un abonné local (communication locale) une voie temporelle au demandé.

- Cette fonction de marquage de la "connexion" est tout à fait analogue à celle que l'on rencontre dans les réseaux de commutation temporelle. On devra donc envoyer à chacun des correspondants (demandeur et demandé) le N° de voie temporelle sur laquelle il doit émettre et le N° de voie temporelle sur laquelle il doit écouter son correspondant.

Le message de connexion sera donc constitué pour le demandeur par la séquence suivante:

30	octet N°1 (iT16, trame N°0)	N° de l'équipement d'accès
	octet N°2 (iT16, trame N°1)	4 ebs de redondance plus 4 ebs de format
	octet N°3 (iT16, trame N°2)	4 ebs de fonction de connexion plus
35		4 ebs de type de réseau
	octet N°4 (iT16, trame N°3)	5 ebs de N° de voie émission, plus 3 ebs de redondance

octet N°5 (iT16, trame N°4) 5 ebs de N° de voie réception,
plus 3 ebs de redondance

Pour le demandé, le message sera semblable, les N° des voies
5 temporelles étant inversées. Il faut bien comprendre qu'avant d'envoyer
ce message de connexion vers le demandé, l'unité de commande a adressé
à son équipement d'accès un message d'appel pour sonner le demandé
et que celui-ci a répondu par un message indiquant son état décroché.

Bien entendu, pour la sécurité de fonctionnement du système,
10 tous ces messages font l'objet d'accusés de réception corrects qui
sont nécessaires pour valider l'exécution des fonctions commandés par
les messages.

REVENDEICATIONS

1) Concentrateur de système de communication destiné à relier plusieurs terminaux asynchrones de téléinformatique à vitesses de fonctionnements différentes à un réseau de communication et de commutation à grande vitesse comprend un circuit de commande central, associé à un microprocesseur et des circuits de commande secondaires, chacun associé à un terminal, reliés au circuit de commande central par une ligne téléphonique, l'unité de commande centrale étant reliée à une liaison à grande vitesse vers le centre de communication et de commutation à grande vitesse par des commutateurs de voies virtuelles et des coupleurs, le microprocesseur étant capable d'effectuer des commutations de voies virtuelles, caractérisé en ce que le circuit de commande central comprend des moyens de commutation centrale pouvant prendre deux états possibles, un état émission ou un état réception, chaque circuit de commande secondaire comprenant des moyens de commutation secondaires pouvant également prendre deux états possibles, un état réception ou un état émission, le circuit de commande centrale et les circuits de commande secondaires comprenant des moyens de synchronisation pour envoyer une salve de synchronisation, des moyens d'émission et de réception d'octets d'information un par un, le circuit de commande centrale comprenant de plus des moyens d'adressage pour émettre un octet d'adresse sélective du circuit de commande secondaire à interroger, chaque circuit de commande secondaire comprenant un circuit de reconnaissance d'adresse, le circuit de commande central comprenant un séquenceur central commutant à chaque début de séquence d'interrogation les moyens de commutation du circuit de commande central à l'état d'émission, puis couplant les moyens de synchronisation à la ligne par l'intermédiaire desdits moyens de commutation, puis les moyens d'adressage, puis les moyens d'émission d'octets, puis commutant les moyens de commutation à l'état de réception et couplant les moyens de synchronisation à la ligne, chaque circuit de commande secondaire comprenant un séquenceur secondaire commutant entre deux séquences d'interrogation les moyens de commutation du circuit de commande secondaire à l'état réception, couplant les moyens de synchronisation à la ligne par l'intermédiaire desdits moyens de commutation, puis, en réponse à la salve de synchronisation, les moyens de synchronisation actionnant le séquenceur secondaire pour coupler le circuit de reconnaissance d'adresse à la ligne, qui,

si la réponse est négative, provoque l'isolement desdits moyens de commutation de la ligne et, si la reconnaissance est positive, actionne le séquenceur secondaire pour coupler les moyens de réception d'octet à la ligne, puis le séquenceur couplant les moyens de commutation à l'état émission et couplant les moyens de synchronisation du circuit de commande secondaire à la ligne, puis ses moyens d'émission d'octet, puis commutant les moyens de commutation à l'état réception, les moyens de synchronisation du circuit de commande central couplant les moyens de réception d'octet à la ligne en réponse à la réception de la salve de synchronisation du circuit de commande secondaire.

2) Concentrateur suivant la revendication 1, caractérisé en ce qu'entre le circuit de commande central et les circuits de commande secondaires est prévue une paire de lignes, avec une ligne aller et une ligne retour, les circuits de commande secondaires ne comprenant plus que des moyens de réception de synchronisation, et les moyens de commutation étant supprimés dans tous les circuits de commande.

3) Concentrateur suivant la revendication 1 ou 2, caractérisé en ce que le circuit de commande central et les circuits de commande secondaires sont reliés par une ligne transmettant un multiplex temporel primaire de 32 voies ou intervalles temporels (iT0 à iT31) groupés en multitrames de vingt trames (0 à 19), l'iT16 de la trame 0 contenant la synchronisation multitrame et les iT16 des trames 1 à 9 étant affectés aux échanges d'information de service, les autres iT pouvant être affectés aux échanges d'information, dans chaque circuit de commande secondaire étant prévus des compteurs d'iT et de trames dont les sorties sont reliées à des décodeurs de numéros d'iT et de trames dont les sorties sont reliées à une porte ET dont la sortie est reliée à l'entrée d'activation d'un premier convertisseur série-parallèle dont l'entrée série reçoit le multiplex et dont la sortie parallèle est reliée à une entrée d'un microprocesseur secondaire dont une sortie est reliée à l'entrée parallèle d'un convertisseur parallèle-série dont l'entrée d'activation est reliée à la sortie d'une seconde porte ET à trois entrées dont les deux premières sont respectivement reliées aux sorties desdits compteurs d'iT et de trames et dont la troisième entrée est reliée à la sortie d'une première bascule, et dont la sortie est reliée au multiplex.

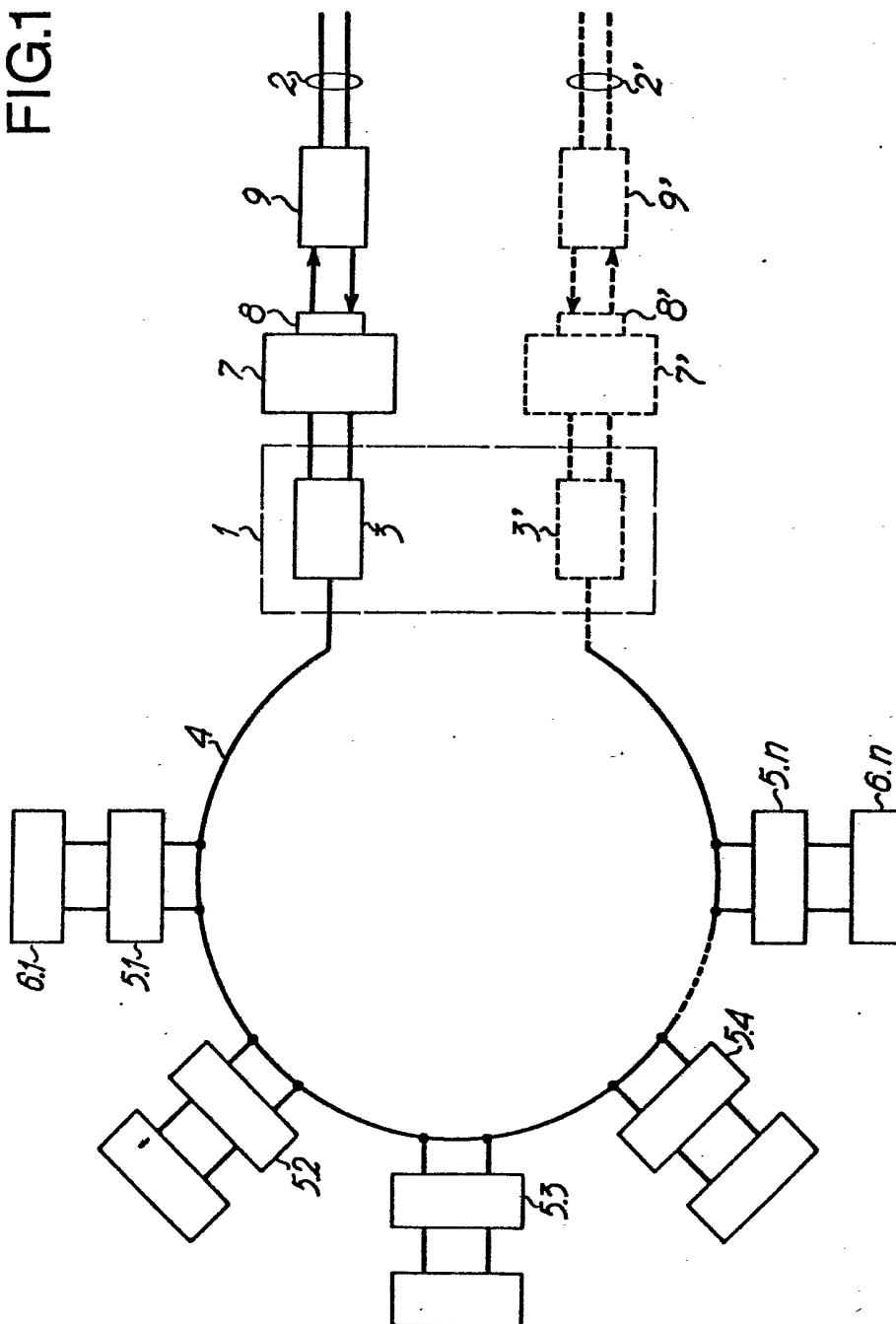
4) Concentrateur suivant la revendication 3, caractérisé en ce que le microprocesseur a une sortie reliée à un bus le reliant à un regis-

tre de voie réception, un registre de trame réception, un registre de
voie émission et un registre de trame émission, ces quatre registres
étant respectivement reliés aux premières entrées de quatre compara-
5 teurs, la sortie du compteur de voies étant encore reliée respective-
ment aux secondes entrées des premier et troisième comparateurs et la
10 sortie du compteur de trames étant encore reliée respectivement aux
secondes entrées des second et quatrième comparateurs, les sorties des
premier et second comparateurs étant reliées à deux entrées d'une troi-
sième porte ET à trois entrées dont la troisième entrée est reliée à
une sortie de commande du microprocesseur secondaire et dont la sortie
est reliée à l'entrée d'activation d'un troisième convertisseur
série-parallèle dont l'entrée reçoit le multiplex et dont la sortie est
reliée à un terminal associé au circuit de commande secondaire, les sor-
ties des troisième et quatrième comparateurs étant reliées à deux en-
15 trées d'une quatrième porte ET à trois entrées dont la troisième entrée
est reliée à la sortie de commande du microprocesseur secondaire et
dont la sortie est reliée à l'entrée d'activation d'un quatrième conver-
tisseur parallèle-série dont la sortie est reliée au multiplex.

5) Concentrateur suivant la revendication 5, caractérisé en ce
20 qu'il comprend autant de groupe de quatre registres, chaque groupe
comprenant un registre de voie réception, un registre de trame récep-
tion, un registre de voie émission et un registre de trame émission,
et de groupe de comparateurs, chaque groupe comprenant un premier,
un second, un troisième et un quatrième comparateur, que de terminaux.

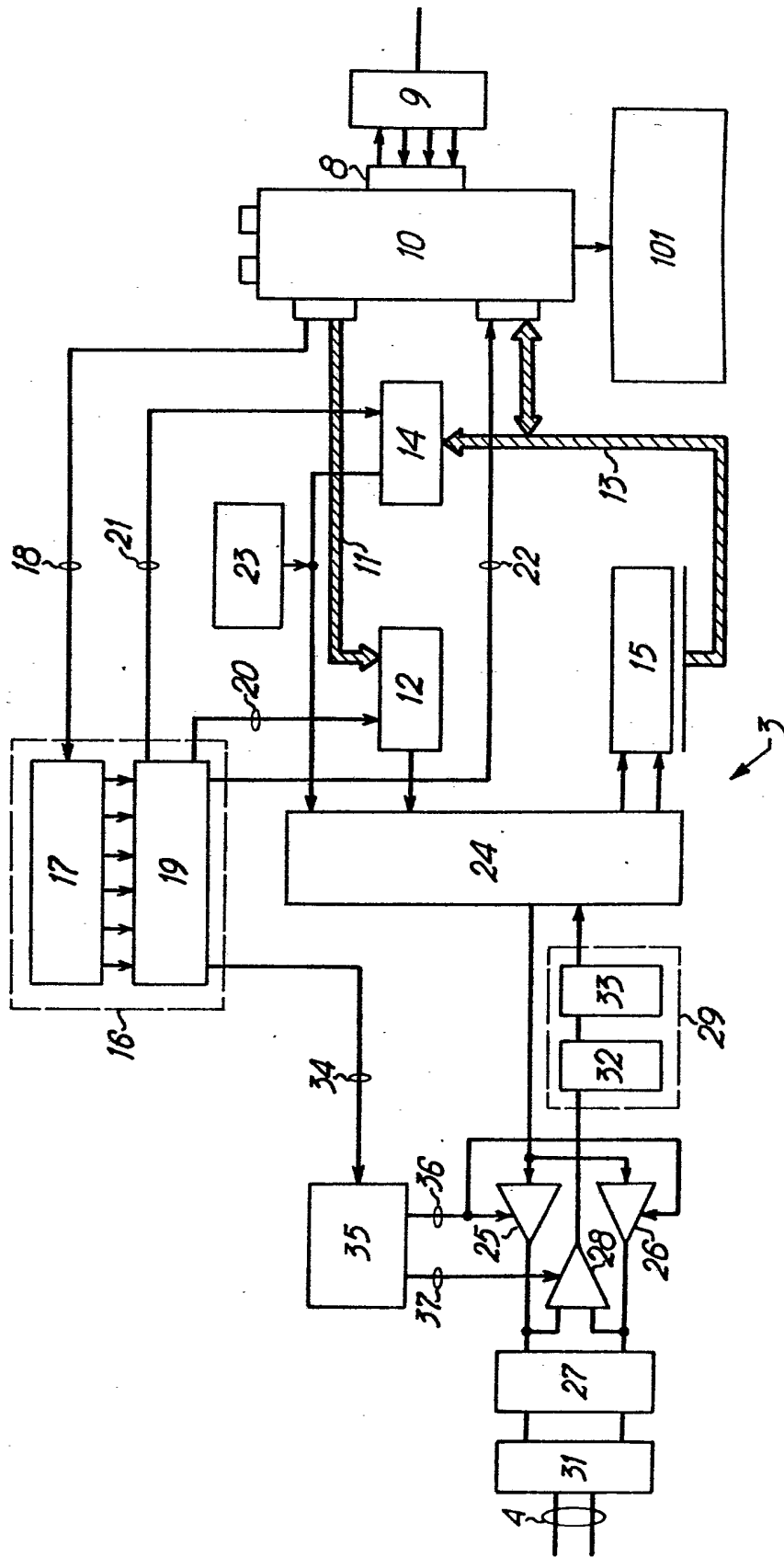
25 6) Concentrateur suivant la revendication 5, caractérisé en ce
que, quand le terminal considéré est un téléphone, les registres de
trame du groupe sont supprimés ainsi que les second et quatrième compa-
rateurs.

FIG.1



2/9

FIG. 2



3/9

FIG.3

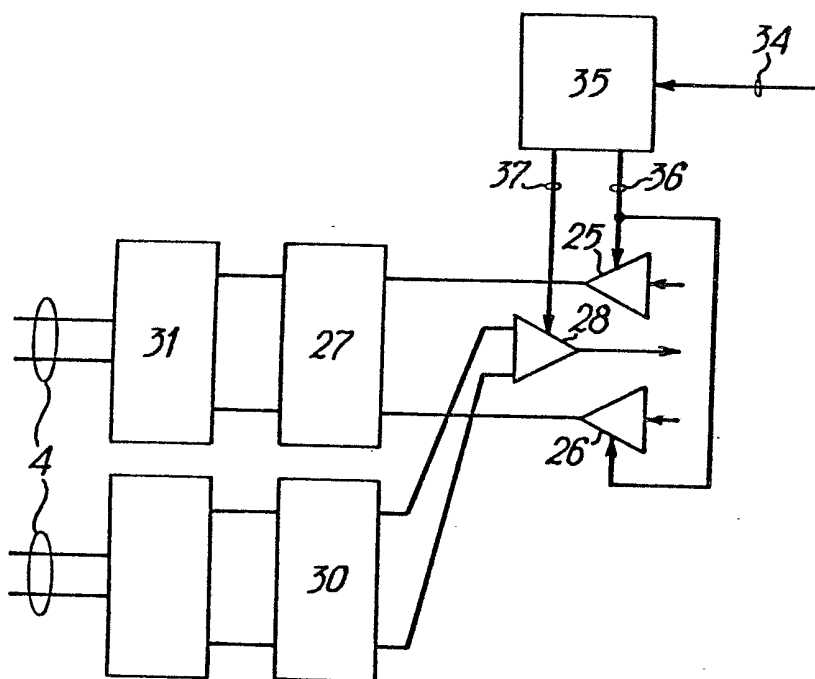


FIG.6

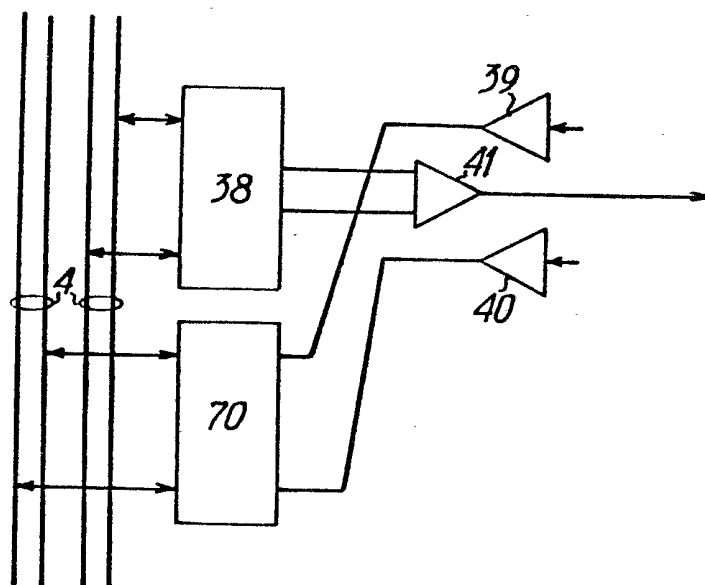


FIG. 4

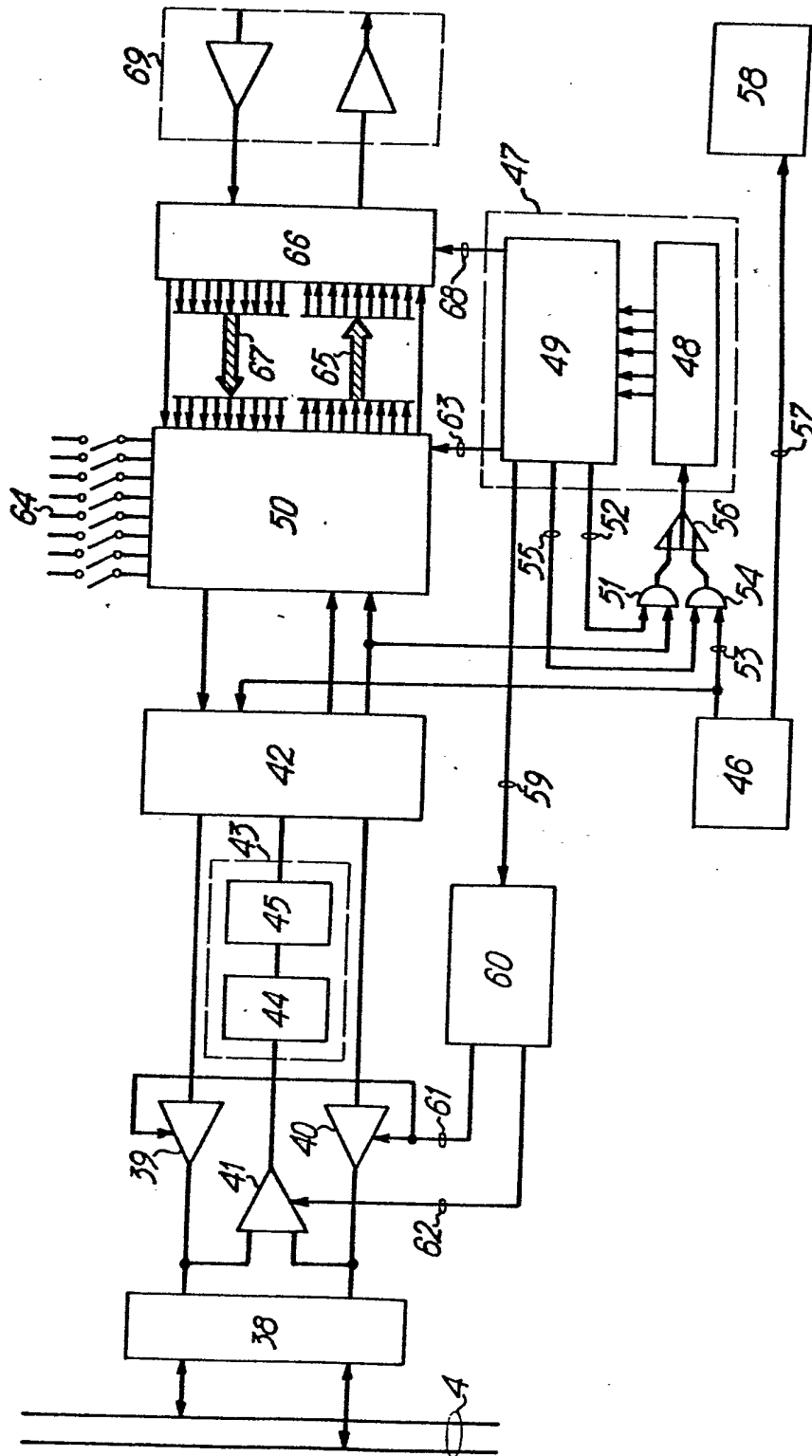
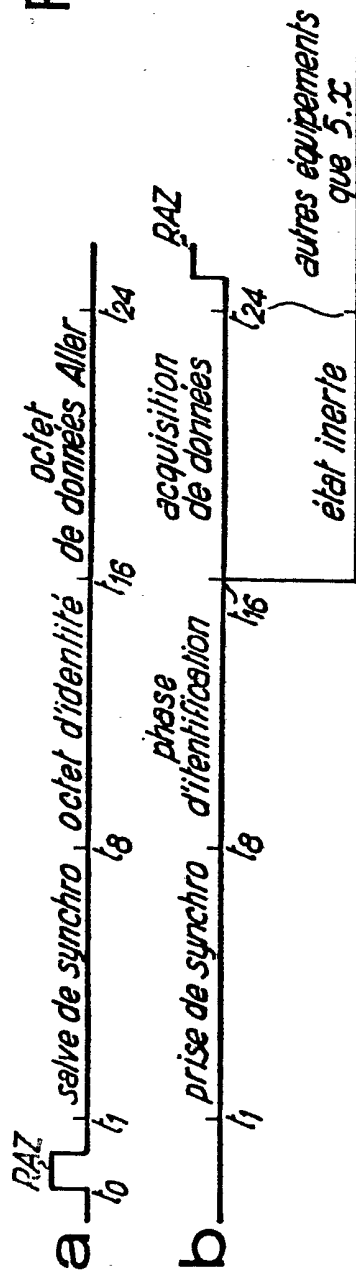


FIG. 5



5/9

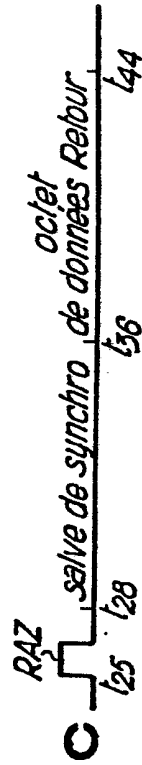
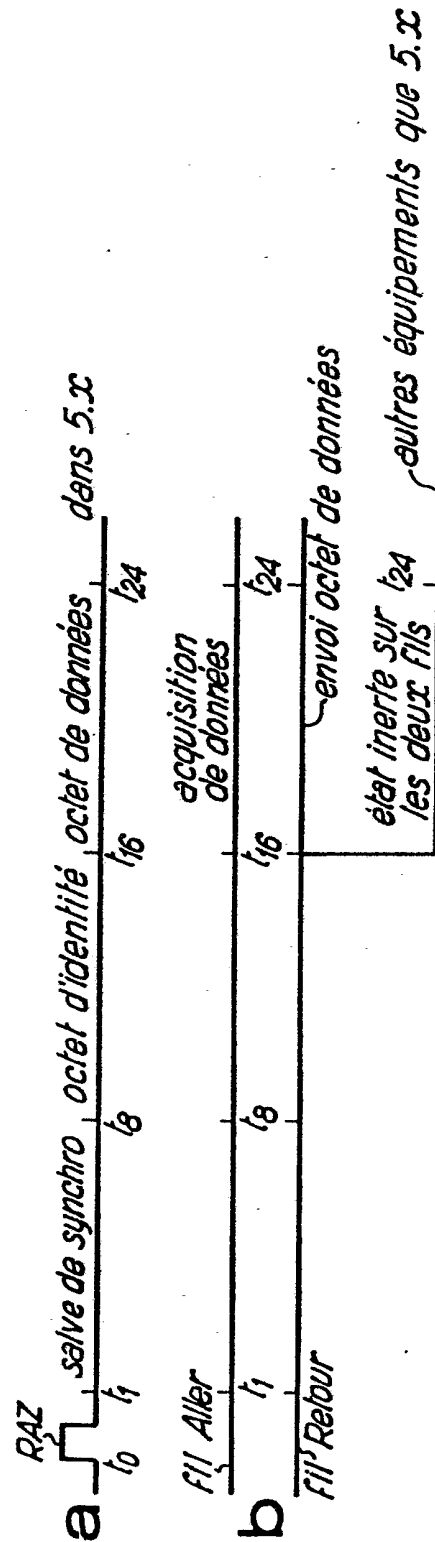
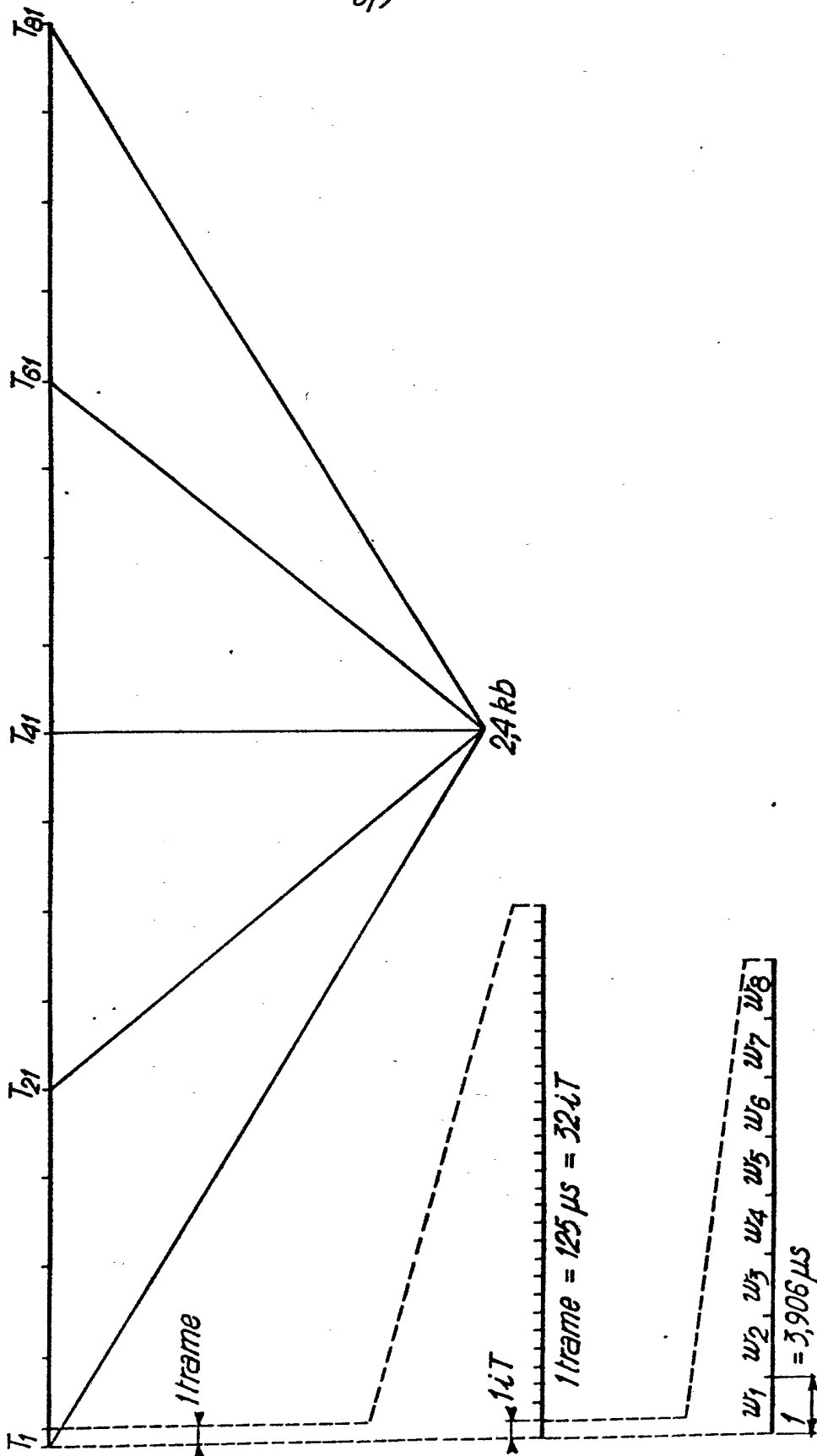


FIG. 7



6/9

FIG.8



7/9

FIG.9

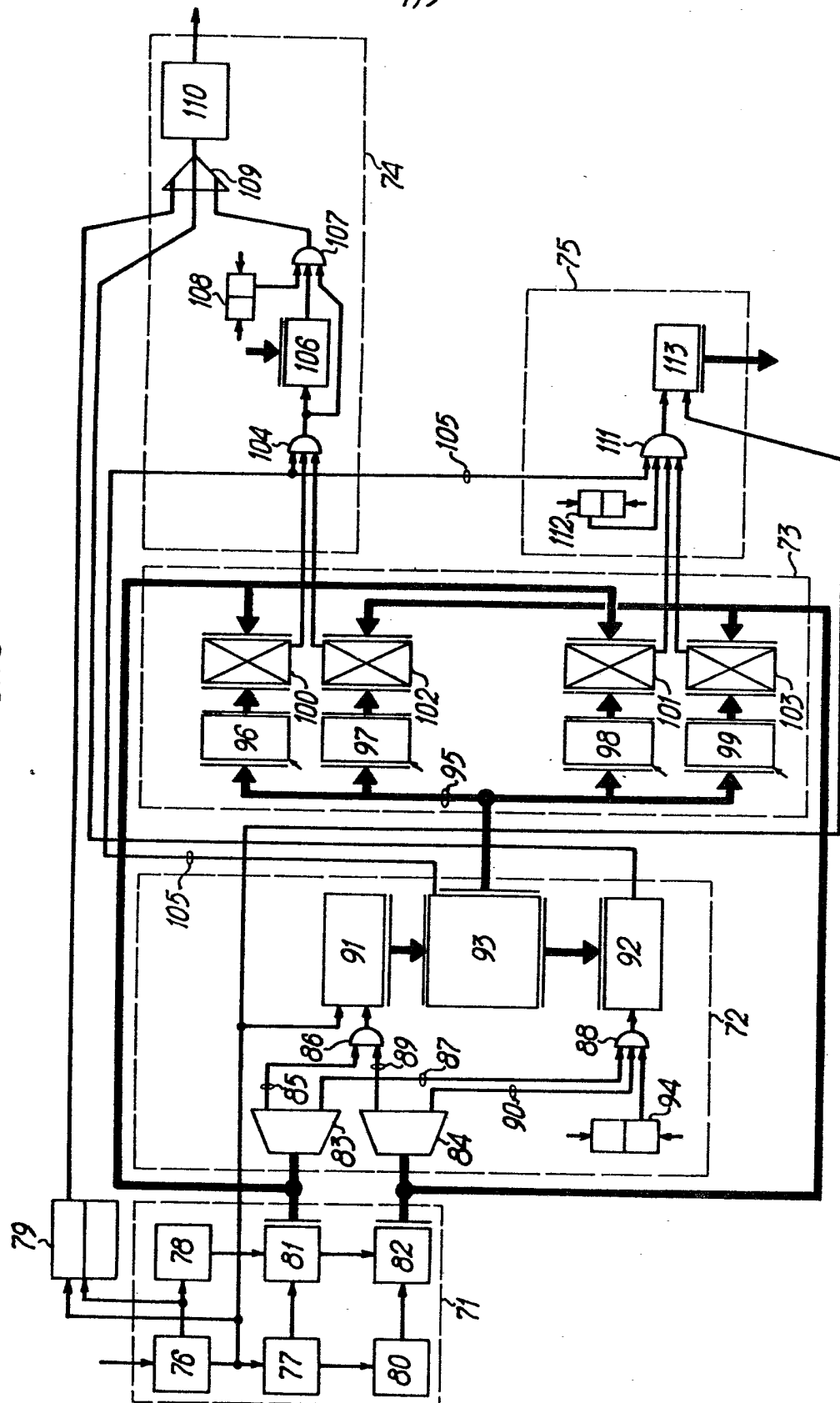


FIG. 10

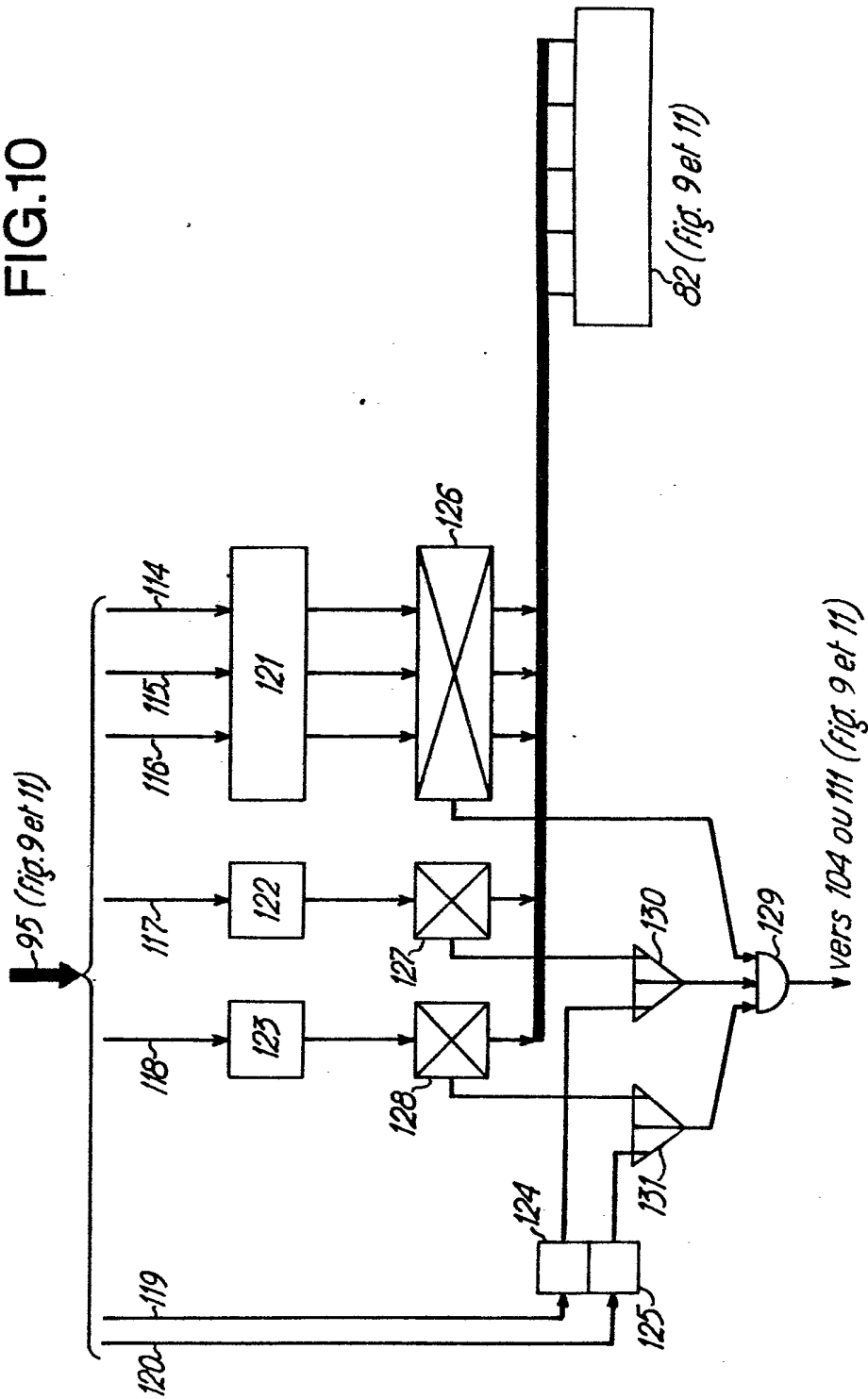


FIG. 11

