(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0043704
(43) 공개일자 2022년04월05일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *H01L 29/417* (2006.01)
H01L 29/66 (2006.01)
(52) CPC특허분류
H01L 29/7869 (2013.01)
H01L 29/41733 (2013.01)
(21) 출원번호 10-2020-0127410
(22) 출원일자 2020년09월29일
심사청구일자 2020년09월29일

(71) 출원인
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732 (서천동, 경희대학교 국제캠퍼스내)
(72) 발명자
윤성민
경기도 수원시 영통구 삼성로 11, 203동 1602호(신동, 래미안 영통마크원 2단지)
김효은
경기도 수원시 영통구 매영로 414, 301호(영통동)
(74) 대리인
유미특허법인

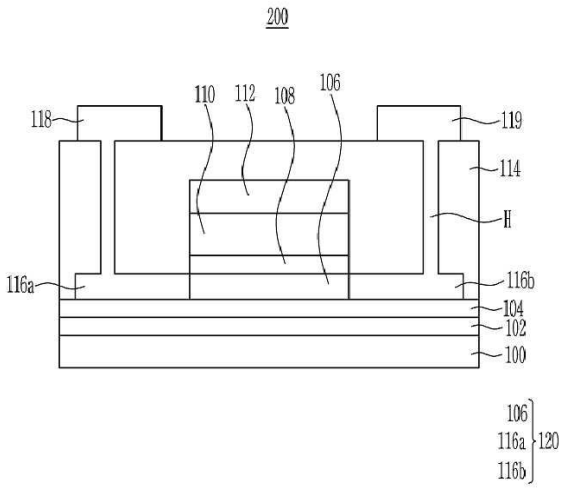
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 **박막 트랜지스터 및 그 제조 방법과 전자 소자**

(57) 요 약

일 구현예는, 플렉서블 기판; 상기 플렉서블 기판 상에 형성되고 채널 영역과 도전 영역을 포함하는 산화물 반도체 박막; 상기 산화물 반도체 박막의 상기 채널 영역 상에 형성되는 게이트 절연막; 상기 게이트 절연막 상에 형성되는 게이트 전극; 상기 게이트 전극과 상기 산화물 반도체 박막을 덮도록 형성되는 유기 층간 절연막; 및 상기 유기 층간 절연막 상에 형성되고 상기 산화물 반도체 박막의 상기 도전 영역과 전기적으로 연결되어 있는 소스/드레인 전극을 포함하는 박막 트랜지스터를 제공한다.

대 표 도 - 도1



(52) CPC특허분류
H01L 29/66969 (2013.01)
H01L 29/78603 (2013.01)
H01L 29/78696 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 1415162783
과제번호 10079974
부처명 산업통상자원부(P21)
과제관리(전문)기관명 한국산업기술평가관리원(ABX2955)
연구사업명 소재부품산업미래성장동력(R&D)(21111011011731003175303)
연구과제명 스트레처블 디스플레이를 위한 20%이상 신축성을 갖는 백플레인, 발광화소용 소재·소자·공정 원천 기술 개발
기 여 율 1/1
과제수행기관명 한국산업기술평가관리원
연구기간 2019.01.01~2019.12.31

명 세 서

청구범위

청구항 1

플렉서블 기판;

상기 플렉서블 기판 상에 형성되고 채널 영역과 도전 영역을 포함하는 산화물 반도체 박막;

상기 산화물 반도체 박막의 상기 채널 영역 상에 형성되는 게이트 절연막;

상기 게이트 절연막 상에 형성되는 게이트 전극;

상기 게이트 전극과 상기 산화물 반도체 박막을 덮도록 형성되는 유기 층간 절연막;

및

상기 유기 층간 절연막 상에 형성되고 상기 산화물 반도체 박막의 상기 도전 영역과 전기적으로 연결되어 있는 소스/드레인 전극

을 포함하는 박막 트랜지스터.

청구항 2

제1항에 있어서,

상기 게이트 전극과 상기 게이트 절연막은 동일한 평면 모양을 가지는 박막 트랜지스터.

청구항 3

제1항에 있어서,

상기 게이트 전극과 상기 게이트 절연막은 상기 산화물 반도체 박막의 상기 채널 영역과 중첩하고 상기 산화물 반도체 박막의 상기 도전 영역과 중첩하지 않는 박막 트랜지스터.

청구항 4

제1항에 있어서,

상기 산화물 반도체 박막의 상기 채널 영역 위에 위치하는 보호 절연막을 더 포함하는 박막 트랜지스터.

청구항 5

제4항에 있어서,

상기 보호 절연막은 상기 산화물 반도체 박막의 상기 채널 영역과 동일한 평면 모양을 가지는 박막 트랜지스터.

청구항 6

제4항에 있어서,

상기 보호 절연막, 상기 게이트 절연막 및 상기 게이트 전극은 각각 산화물을 포함하고,

상기 보호 절연막, 상기 게이트 절연막 및 상기 게이트 전극은 산화물 스택을 형성하는 박막 트랜지스터.

청구항 7

제6항에 있어서,

상기 산화물 스택의 측면은 상기 유기 층간 절연막과 접촉하는 박막 트랜지스터.

청구항 8

제1항에 있어서,

상기 게이트 전극과 상기 게이트 절연막은 각각 산화물을 포함하고,

상기 유기 층간 절연막의 영률은 상기 각 산화물의 영률보다 낮은 박막 트랜지스터.

청구항 9

제1항에 있어서,

상기 플렉서블 기판과 상기 산화물 반도체 박막 사이에 위치하는 유기물 버퍼층, 무기물 버퍼층 또는 이들의 조합을 더 포함하는 박막 트랜지스터.

청구항 10

제1항에 있어서,

상기 층간 절연막은 상기 층간 절연막을 관통하는 컨택 비아홀을 가지는 박막 트랜지스터.

청구항 11

제1항 내지 제10항 중 어느 한 항에 따른 박막 트랜지스터를 포함하는 전자 소자.

청구항 12

플렉서블 기판 상에 산화물 반도체 박막을 형성하는 단계, 상기 산화물 반도체 박막 상에 동일한 평면 모양을 가진 게이트 절연막과 게이트 전극을 형성하고 상기 산화물 반도체 박막의 적어도 일부를 노출하는 단계, 상기 게이트 전극과 산화물 반도체 박막을 덮도록 유기 층간 절연막을 형성하는 단계, 및 상기 산화물 반도체 박막의 노출 영역을 도핑하여 도전 영역을 형성하는 단계를 포함하는, 박막 트랜지스터의 제조방법.

청구항 13

제12항에 있어서,

상기 산화물 반도체 박막을 형성하는 단계 후에

보호 절연막을 형성하는 단계, 및

상기 산화물 반도체 박막과 상기 보호 절연막을 동시에 에칭하는 단계

를 더 포함하는 박막 트랜지스터의 제조방법.

청구항 14

제13항에 있어서,

상기 게이트 절연막과 상기 게이트 전극을 형성하는 단계는

상기 게이트 절연막, 상기 게이트 전극 및 상기 보호 절연막을 동시에 에칭하는 단계를 포함하는 박막 트랜지스터의 제조방법.

청구항 15

제12항에 있어서,

상기 산화물 반도체 박막에 상기 도전 영역을 형성하는 단계는 상기 유기 층간 절연막을 형성하는 단계 전 또는 후에 수행하는 박막 트랜지스터의 제조방법.

청구항 16

제12항에 있어서,

상기 층간 절연막을 에칭하여 컨택 비아홀을 형성하는 단계, 및 상기 산화물 반도체 박막의 상기 도전 영역과 전기적으로 연결되는 소스 전극과 드레인 전극을 형성하는 단계를 추가로 포함하는 박막 트랜지스터의

제조방법.

청구항 17

제12항에 있어서,

상기 박막 트랜지스터의 제조시 각 단계에서의 온도는 150℃ 이하인 박막 트랜지스터의 제조방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 기계적으로 유연한 산화물 반도체 박막 트랜지스터 소자 및 그 제조 방법에 관한 것으로서, 보다 구체적으로 유기물 층간 절연막을 이용하는 플렉서블 자기정합형 코플라나 박막 트랜지스터 소자 및 그 제조 방법에 관한 것이다.

배 경 기 술

[0002] 산화물 반도체를 이용하는 박막 트랜지스터는 액티브 층, 게이트 전극, 소스 전극 및 드레인 전극의 위치에 따라 코플라나(coplanar) 구조의 박막 트랜지스터와 인버티드 스태거드(inverted-staggered) 구조의 박막 트랜지스터로 나뉜다. 인버티드 스태거드 구조의 박막 트랜지스터에서는 게이트 전극과 액티브 층 사이의 기생 커패시턴스가 매우 크기 때문에 고속의 전자 장치에 적용하기 어렵다는 문제가 있다. 따라서, 기생 커패시턴스를 줄이고 전자 장치의 속도를 개선하기 위해 코플라나 구조의 박막 트랜지스터가 사용된다.

[0003] 한편, 자기정합형 코플라나 박막 트랜지스터는 소스/드레인 전극과 액티브층 사이의 옴 접합(ohmic contact)을 형성하기 위한 추가적인 도핑 공정을 필요로 한다. 이 때, 일반적으로 사용되는 도핑 공정에 고온에서 진행되는 활성화 공정이 포함되고, 층간 절연막으로 높은 영률(Young's modulus)을 갖는 무기물을 사용하기 때문에 플렉서블 기판에 우수한 전기적 및 기계적 성능을 갖는 코플라나 구조의 박막 트랜지스터 소자를 구현하는데 어려움이 있어, 새로운 형태의 제작 기술의 개발이 필요한 상태다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 플렉서블 기판에 형성된 산화물 반도체 박막 트랜지스터 소자구조를 자기정합형 코플라나 구조로 제조하고, 소자 제조 과정에서 유기물 층간 절연막을 도입하여 우수한 전기적 및 기계적 성능의 박막 트랜지스터 소자를 구현할 수 있는 플렉서블 산화물 반도체 박막 트랜지스터 소자 및 그 제조 방법을 제공하는데 있다.

과제의 해결 수단

[0005] 일 구현예는 플렉서블 기판; 상기 플렉서블 기판 상에 형성되고 채널 영역과 도전 영역을 포함하는 산화물 반도체 박막; 상기 산화물 반도체 박막의 상기 채널 영역 상에 형성되는 게이트 절연막; 상기 게이트 절연막 상에 형성되는 게이트 전극; 상기 게이트 전극과 상기 산화물 반도체 박막을 덮도록 형성되는 유기 층간 절연막; 및 상기 유기 층간 절연막 상에 형성되고 상기 산화물 반도체 박막의 상기 도전 영역과 전기적으로 연결되어 있는 소스/드레인 전극을 포함하는 박막 트랜지스터를 제공한다.

[0006] 상기 게이트 전극과 상기 게이트 절연막은 동일한 평면 모양을 가질 수 있다.

[0007] 상기 게이트 전극과 상기 게이트 절연막은 상기 산화물 반도체 박막의 상기 채널 영역과 중첩하고 상기 산화물 반도체 박막의 상기 도전 영역과 중첩하지 않을 수 있다.

[0008] 상기 박막 트랜지스터는 상기 산화물 반도체 박막의 상기 채널 영역 위에 위치하는 보호 절연막을 추가로 포함할 수 있다.

[0009] 상기 보호 절연막은 상기 산화물 반도체 박막의 상기 채널 영역과 동일한 평면 모양을 가질 수 있다.

[0010] 상기 보호 절연막, 상기 게이트 절연막 및 상기 게이트 전극은 각각 산화물을 포함할 수 있고, 상기 보호 절연막, 상기 게이트 절연막 및 상기 게이트 전극은 산화물 스택을 형성할 수 있다.

[0011] 상기 산화물 스택의 측면은 상기 유기 층간 절연막과 접촉할 수 있다.

[0012] 상기 게이트 전극과 상기 게이트 절연막은 각각 산화물을 포함할 수 있고, 상기 유기 층간 절연막의 영률은 상기 각 산화물의 영률보다 낮을 수 있다.

[0013] 상기 박막 트랜지스터는 상기 플렉서블 기판과 상기 산화물 반도체 박막 사이에 위치하는 유기물 버퍼층, 무기물 버퍼층 또는 이들의 조합을 추가로 포함할 수 있다.

[0014] 상기 층간 절연막은 상기 층간 절연막을 관통하는 컨택 비아홀을 가질 수 있다.

[0015] 일 구현예는 상기 박막 트랜지스터를 포함하는 전자 소자를 제공한다.

[0016] 일 구현예의 박막 트랜지스터는 하기의 제조방법에 의해 제조될 수 있다:

[0017] 플렉서블 기판 상에 산화물 반도체 박막을 형성하는 단계, 상기 산화물 반도체 박막 상에 동일한 평면 모양을 가진 게이트 절연막과 게이트 전극을 형성하고 상기 산화물 반도체 박막의 적어도 일부를 노출하는 단계, 상기 게이트 전극과 산화물 반도체 박막을 덮도록 유기 층간 절연막을 형성하는 단계, 및 상기 산화물 반도체 박막의 노출 영역을 도핑하여 도전 영역을 형성하는 단계.

[0018] 상기 제조방법에 상기 산화물 반도체 박막을 형성하는 단계 후에 보호 절연막을 형성하는 단계, 및 상기 산화물 반도체 박막과 상기 보호 절연막을 동시에 에칭하는 단계가 추가로 포함될 수 있다.

[0019] 상기 게이트 절연막과 상기 게이트 전극을 형성하는 단계는 상기 게이트 절연막, 상기 게이트 전극 및 상기 보호 절연막을 동시에 에칭하는 단계를 포함할 수 있다.

[0020] 상기 산화물 반도체 박막에 상기 도전 영역을 형성하는 단계는 상기 유기 층간 절연막을 형성하는 단계 전 또는 후에 수행될 수 있다.

[0021] 상기 제조방법에 상기 층간 절연막을 에칭하여 컨택 비아홀을 형성하는 단계, 및 상기 산화물 반도체 박막의 상기 도전 영역과 전기적으로 연결되는 소스 전극과 드레인 전극을 형성하는 단계가 추가로 포함될 수 있다.

[0022] 상기 박막 트랜지스터의 제조시 각 단계에서의 온도는 150℃ 이하일 수 있다.

발명의 효과

[0023] 플렉서블 기판에 형성된 자기정합형 코플라나 박막 트랜지스터 소자구조에서 낮은 영률을 가진 유기물 층간 절연막을 이용하여 우수한 전기적 및 기계적 성능의 박막 트랜지스터 소자를 구현할 수 있다.

도면의 간단한 설명

[0024] 도 1은 일 구현예에 따른 플렉서블 자기정합형 코플라나 박막 트랜지스터 소자의 단면도이다.

도 2는 일 구현예에 따른 플렉서블 자기정합형 코플라나 박막 트랜지스터 소자의 평면도이다.

도 3a 내지 도 3d는 도 1에 도시된 플렉서블 자기정합형 코플라나 박막 트랜지스터 소자의 제조 공정을 나타내는 중간 단계 도면이다.

도 4는 실시예 1에 따른 플렉서블 자기정합형 코플라나 박막 트랜지스터 소자의 게이트 전압-드레인 전류 특성을 나타내는 그래프이다.

도 5는 실시예 1에 따른 플렉서블 자기정합형 코플라나 박막 트랜지스터 소자의 게이트 전압-컨택 저항 특성을 나타내는 그래프이다.

도 6a 내지 도 6b는 실시예 1 및 2에 따른 플렉서블 자기정합형 코플라나 박막 트랜지스터 소자들의 게이트 전압-드레인 전류 특성을 다양한 곡률 반경을 통해 나타낸 그래프이다.

도 7a 내지 도 7b는 실시예 1 및 2에 따른 플렉서블 자기정합형 코플라나 박막 트랜지스터 소자들의 5 ㎜의 곡률 반경 하에서의 게이트 전압-드레인 전류 특성을 반복 굽힘 횟수를 통해 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0025] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시예에 대해서 특정한 구조적 또는 기능적 설명들은 단지 본 발명의 개념에 따른 실시예를 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시예는 다

양한 형태로 실시될 수 있으며 본 명세서에 설명된 실시예에 한정되지 않는다.

[0026] 본 발명의 개념에 따른 실시예는 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시예를 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나 이는 본 발명의 개념에 따른 실시예를 특정한 개시형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 변경, 균등물, 또는 대체물을 포함한다.

[0027] 제1 또는 제2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만, 예를 들어 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.

[0028] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 표면들, 예를 들어 "~사이에"와 "바로 ~사이에" 또는 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0029] 본 명세서에 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 설시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함으로 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0030] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다. 이하, 실시예는 첨부된 도면을 참조하여 상세하게 설명한다.

[0031] 도 1 및 도 2는 각각 일 구현예에 따른 박막 트랜지스터의 단면도 및 평면도이다.

[0032] 일 구현예에 따른 박막 트랜지스터(200)는 기판(100), 유기물 버퍼층(102), 무기물 버퍼층(104), 산화물 반도체 박막(120), 보호 절연막(108), 게이트 절연막(110), 게이트 전극(112), 층간 절연막(114), 소스/드레인 전극(118, 119)을 포함할 수 있다. 일 구현예에 따른 박막 트랜지스터(200)는 플렉서블 박막 트랜지스터일 수 있으며, 자기정합형 코플라나 구조(self-aligned coplanar structure)를 가질 수 있다.

[0033] 기판(100)은 구부림이 가능한 플렉서블 기판일 수 있고, 예컨대 플렉서블 유리 기판 또는 고분자 기판일 수 있다. 고분자 기판은 예컨대 폴리에틸렌테레프탈레이트(polyethylene terephthalate, PET), 폴리에틸렌나프탈레이트(polyethylene naphthalate, PEN), 폴리카보네이트(polycarbonate), 폴리아크릴레이트(polyacrylate), 폴리이미드(polyimide), 폴리아미드이미드(polyamideimide) 또는 이들의 조합을 포함할 수 있으나, 이에 한정되는 것은 아니다.

[0034] 상기 기판(100)은 비교적 얇은 두께를 가질 수 있고, 예컨대 약 1㎛ 내지 약 200㎛의 두께를 가질 수 있다. 상기 기판(100)의 두께는 상기 범위 내에서 약 1㎛ 이상, 약 10㎛ 이상, 약 20㎛ 이상, 약 30㎛ 이상, 약 40㎛ 이상, 약 50㎛ 이상, 약 60㎛ 이상, 약 70㎛ 이상, 약 80㎛ 이상, 약 90㎛ 이상, 약 100㎛ 이상, 약 110㎛ 이상, 약 120 ㎛ 이상, 약 130㎛ 이상, 약 140㎛ 이상, 약 150㎛ 이상, 약 160㎛ 이상, 약 170㎛ 이상, 약 180㎛ 이상 또는 약 190㎛ 이상일 수 있거나, 또는 약 200㎛ 이하, 약 190㎛ 이하, 약 180㎛ 이하, 약 170㎛ 이하, 약 160㎛ 이하, 약 150㎛ 이하, 약 140㎛ 이하, 약 130㎛ 이하, 약 120㎛ 이하, 약 110㎛ 이하, 약 100㎛ 이하, 약 90㎛ 이하, 약 80㎛ 이하, 약 70㎛ 이하, 약 60㎛ 이하, 약 50㎛ 이하, 약 40㎛ 이하, 약 30㎛ 이하, 약 20㎛ 이하, 또는 약 10㎛ 이하일 수 있으나, 이에 한정되는 것은 아니다.

[0035] 기판(100)은 이와 같이 비교적 얇은 두께를 가짐으로써 기판(100)을 구부리거나 접거나, 또는 말 때 박막 트랜지스터(200)의 표면에 작용할 수 있는 과도한 스트레스를 줄이거나 방지할 수 있고 이에 따라 구부리거나 접거

나, 또는 말 때 박막 트랜지스터의 기계적 전기적 특성의 열화를 방지할 수 있다.

[0036] 유기물 버퍼층(102) 및 무기물 버퍼층(104)은 기판(100) 상에 연속적으로 형성될 수 있다. 유기물 버퍼층(102) 및 무기물 버퍼층(104)은 기판(100)으로의 수분 침투를 방지할 수 있고 기판(100) 표면의 평활도를 개선할 수 있다. 유기물 버퍼층(102)은 예컨대 아크릴 또는 폴리이미드 등의 유기물일 수 있고, 무기물 버퍼층(104)은 예컨대 무기 산화물, 무기 질화물, 무기 산질화물 또는 이들의 조합을 포함할 수 있고 예컨대 산화규소, 질화규소, 산질화규소, 산화알루미늄, 질화알루미늄, 산질화알루미늄 또는 이들의 조합을 포함할 수 있으나, 이에 한정되는 것은 아니다. 일 예로, 유기물 버퍼층(102)은 무기물 버퍼층(104)보다 두꺼울 수 있고, 유기물 버퍼층(102)의 두께는 예컨대 약 500nm 내지 5㎛ 일 수 있고, 무기물 버퍼층(104)의 두께는 약 5nm 내지 400nm일 수 있다. 유기물 버퍼층(102)과 무기물 버퍼층(104) 중 적어도 하나는 생략될 수 있다.

[0037] 산화물 반도체 박막(120)은 무기물 버퍼층(104) 상에 형성되고, 예컨대 섬형(island shape)으로 형성될 수 있다. 산화물 반도체 박막(120)은 박막 트랜지스터(200)의 채널이 형성될 채널 영역(106)과 후술하는 소스 전극(118) 및 드레인 전극(119)과 각각 전기적으로 연결되는 도전 영역(116a, 116b)을 포함한다.

[0038] 일 구현예에서, 산화물 반도체 박막(120)은 산화물 반도체를 포함할 수 있고, 예컨대 인듐(In), 아연(Zn), 갈륨(Ga), 주석(Sn) 및 알루미늄(Al)에서 선택된 적어도 하나를 포함하는 산화물 반도체를 포함할 수 있고, 예컨대 아연 산화물(ZnO), 인듐-갈륨-아연 산화물(In-Ga-Zn-O), 아연-주석 산화물(Zn-Sn-O) 또는 이들의 조합을 포함할 수 있으나, 이에 한정되는 것은 아니다. 또는, 산화물 반도체 박막(120)은 전술한 산화물 반도체에 다양한 원소를 도핑하여 형성될 수 있고, 예컨대 마그네슘(Mg), 규소(Si), 알루미늄(Al), 세륨(Ce), 세슘(Cs), 안티몬(Sb) 또는 이들의 조합을 도핑하여 형성될 수 있으나, 이에 한정되는 것은 아니다. 이러한 산화물 반도체 박막(120)은 약 200℃ 이하, 바람직하게는 약 150℃ 이하의 비교적 저온에서 형성하는 것이 바람직하다.

[0039] 산화물 반도체 박막(120)의 채널 영역(106)은 박막 트랜지스터(200)의 채널이 형성되는 영역으로, 양쪽의 도전 영역(116a, 116b)의 사이에 위치할 수 있다. 채널 영역(106)의 길이, 즉 양쪽의 도전 영역(116a, 116b) 사이의 간격은 예컨대 약 1㎛ 내지 100㎛일 수 있고, 상기 범위 내에서 약 5 ㎛ 이상, 약 10 ㎛ 이상, 약 15 ㎛ 이상, 약 20 ㎛ 이상, 약 25 ㎛ 이상, 약 30 ㎛ 이상, 약 35 ㎛ 이상, 약 40 ㎛ 이상, 약 45 ㎛ 이상, 약 50 ㎛ 이상, 약 55 ㎛ 이상, 약 60 ㎛ 이상, 약 65 ㎛ 이상, 약 70 ㎛ 이상 또는 약 75 ㎛ 이상, 약 80 ㎛ 이상, 약 85 ㎛ 이상, 약 90 ㎛ 이상, 약 95 ㎛ 이상 및 약 100 ㎛ 이하, 약 95 ㎛ 이하, 약 90 ㎛ 이하, 약 85 ㎛ 이하, 약 80 ㎛ 이하, 약 75 ㎛ 이하, 약 70 ㎛ 이하, 약 65 ㎛ 이하, 약 60 ㎛ 이하, 약 55 ㎛ 이하, 약 50 ㎛ 이하, 약 45 ㎛ 이하, 약 40 ㎛ 이하, 약 35 ㎛ 이하, 약 30 ㎛이하, 약 25 ㎛ 이하, 약 20 ㎛ 이하, 약 15 ㎛ 이하, 약 10 ㎛ 이하, 또는 약 5 ㎛ 이하일 수 있다.

[0040] 산화물 반도체 박막(120)의 도전 영역(116a, 116b)은 소정의 도전성을 가지는 영역으로, 아르곤/수소 플라즈마 처리 또는 자외선 조사와 같은 도핑 공정을 통해 도전성을 가질 수 있거나, 수소를 다량 함유하고 있는 상기 층간 절연막(114)에서 상기 수소가 상기 산화물 반도체 박막(120)으로 확산하고, 상기 수소가 산화물 반도체 박막(120)에서 도펀트의 역할을 하여, 상기 산화물 반도체 박막(120)이 도체화되어 도전 영역(116a, 116b)이 형성될 수도 있다. 산화물 반도체 박막(120)의 도전 영역(116a, 116b)은 후술하는 소스 전극(118)과 드레인 전극(119)에 각각 전기적으로 연결되어 있다.

[0041] 보호 절연막(108)은 산화물 반도체 박막(120) 상에 형성될 수 있다. 보호 절연막(108)은 후속 공정에서 산화물 반도체 박막(120)의 물리적 또는 화학적인 손상을 방지할 수 있다. 보호 절연막(108)은 산화물 반도체 박막(120)의 채널 영역(106)을 덮을 수 있는 면적을 가질 수 있으며, 예컨대 보호 절연막(108)과 산화물 반도체 박막(120)의 채널 영역(106)은 동일한 평면 모양을 가질 수 있다. 보호 절연막(108)은 예컨대 무기 절연막일 수 있고 예컨대 산화규소, 질화규소, 산질화규소, 산화알루미늄, 질화알루미늄, 산질화알루미늄 또는 이들의 조합을 포함할 수 있으나, 이에 한정되는 것은 아니다. 예컨대 보호 절연막(108)은 산화물을 포함할 수 있다.

[0042] 게이트 절연막(110)은 보호 절연막(108) 상에 형성될 수 있다. 게이트 절연막(110)은 예컨대 무기 게이트 절연막, 유기 게이트 절연막, 유무기 게이트 절연막 또는 이들의 조합을 포함할 수 있다. 일 예로, 게이트 절연막(110)은 절연 특성이 우수한 산화물, 질화물, 산질화물 또는 이들의 조합을 포함하는 무기 게이트 절연막일 수 있다. 일 구현예에서, 상기 게이트 절연막(110)은 실리콘 계열의 절연막인 실리콘 산화막(SiO_2), 실리콘 질화막(SiN) 및 실리콘산질화막(SiON), 알루미늄 산화막(Al_2O_3), 하프늄 산화막(HfO_2), 지르코늄 산화막(ZrO_2), 마그네슘 산화막(MgO), 티타늄 산화막(TiO_2), 탄탈륨 산화막(Ta_2O_3), 란타늄 산화막(La_2O_3), 스트론튬-티타늄 산화막($SrTiO_3$)을 포함할 수 있다. 다른 구현예에서, 상기 게이트 절연막(110)은 알루미늄, 하프늄, 지르코늄, 마그네

슘, 티타늄, 탄탈륨, 란타늄 또는 스트론튬과 실리콘이 혼합된 실리케이트 절연막을 포함할 수 있다. 예컨대 게이트 절연막(110)은 산화물을 포함할 수 있다.

[0043] 게이트 전극(112)은 게이트 절연막(110) 상에 형성될 수 있다. 게이트 전극(112)은 일 방향으로 길게 뻗은 게이트선(113)과 전기적으로 연결되어 있고, 산화물 반도체 박막(120)의 채널 영역(106)과 중첩되어 있다. 일 구현예에서, 게이트 전극(112)은 보호 절연막(108) 및 게이트 절연막(110)과 정렬되는 형태로 형성될 수 있고, 산화물 반도체 박막(120)의 채널 영역(106) 위에서 보호 절연막(108) 및 게이트 절연막(110)과 각각 중첩한다. 게이트 전극(112)은 게이트 절연막(110)과 실질적으로 동일한 평면 모양을 가질 수 있다.

[0044] 게이트 전극(112)은 통상적인 박막 트랜지스터의 제작에 사용되는 금속을 포함할 수 있다. 상기 금속은 게이트 전극 자체의 저항을 감소시키기 위해 낮은 비저항을 가지는 금속에서 선택될 수 있으며, 예를 들어, 알루미늄(Al), 티타늄(Ti), 철(Fe), 코발트(Co), 니켈(Ni), 구리(Cu), 아연(Zn), 이트륨(Y), 지르코늄(Zr), 니이오븀(Nb), 루테늄(Ru), 팔라듐(Pd), 은(Ag), 란타늄(La), 하프늄(Hf), 탄탈륨(Ta), 텅스텐(W), 백금(Pt), 금(Au), 어븀(Er), 이터븀(Yb), 이들의 합금 또는 이들의 조합에서 선택되는 어느 하나일 수 있으나, 이에 한정되는 것은 아니다.

[0045] 다른 구현예에서, 상기 금속은 질화금속의 형태로 포함될 수 있다. 상기 질화금속은 금속/준금속 원소와 질소가 일정 조성비로 결합된 물질로서, 예컨대 질화 탄탈륨(TaN), 질화 티타늄(TiN), 질화 하프늄(HfN) 및 질화 텅스텐(WN) 중 어느 하나일 수 있으나, 이에 한정되는 것은 아니다.

[0046] 또 다른 구현예에서, 게이트 전극(112)은 도전성 산화물을 포함할 수 있다. 도전성 산화물은 예컨대 인듐 주석 산화물(ITO), 인듐 아연 산화물(IZO), 아연 주석 산화물(ZTO), 알루미늄 주석 산화물(ATO) 및 알루미늄 아연 산화물(AZO) 또는 이들의 조합을 포함할 수 있으나, 이에 한정되는 것은 아니다.

[0047] 일 예로, 전술한 보호 절연막(108), 게이트 절연막(110) 및 게이트 전극(112)은 각각 독립적으로 산화물을 포함할 수 있으며, 이에 따라 산화물 스택(oxide stacks)을 형성할 수 있다. 층간 절연막(114)은 산화물 반도체 박막(120)과 게이트 전극(112)의 상부에 형성될 수 있으며, 산화물 반도체 박막(120)과 게이트 전극(112)을 덮을 수 있는 충분한 두께로 형성될 수 있다. 예컨대 층간 절연막(114)의 상부 표면은 평탄할 수 있다.

[0048] 층간 절연막(114)은 예컨대 섬형 적층체로 형성된 산화물 반도체 박막(120), 보호 절연막(108), 게이트 절연막(110) 및 게이트 전극(112)의 상부 및/또는 측면을 덮고 있을 수 있으며, 예컨대 산화물 반도체 박막(120), 보호 절연막(108), 게이트 절연막(110) 및 게이트 전극(112)의 측면의 적어도 일부는 층간 절연막(114)과 접촉되어 있을 수 있으며, 예컨대 보호 절연막(108), 게이트 절연막(110) 및 게이트 전극(112)의 모든 측면은 층간 절연막(114)과 접촉되어 있을 수 있다.

[0049] 층간 절연막(114)은 예컨대 스트레스 흡수층 역할을 할 수 있다. 이에 따라 후속 공정인 도핑 공정 및/또는 물리적 증착 공정에서 산화물 반도체 박막(120)을 포함한 각 구성요소를 효과적으로 보호할 수 있을 뿐만 아니라, 박막 트랜지스터(200)가 플렉서블 소자에 적용되어 구부리거나 접거나 말릴 때 산화물 반도체 박막(120)을 포함한 각 구성요소에 작용되는 기계적 스트레스를 줄여 기계적 손상 및 전기적 특성의 열화를 방지할 수 있다.

[0050] 상기 층간 절연막(114)은 수소를 다량 함유하는 물질을 포함할 수 있다. 상기 수소를 다량 함유하는 물질로, 환형 올레핀 고분자 또는 환형 올레핀 공중합체가 사용될 수 있다. 상기 층간 절연막(114)에 수소를 다량 함유되는 경우, 상기 층간 절연막(114)의 수소가 상기 산화물 반도체 박막(120)로 확산하여 전자 도핑에 기여하여 상기 산화물 반도체 박막(120)이 도체화될 수 있다.

[0051] 층간 절연막(114)은 예컨대 유기물을 포함하는 유기 층간 절연막일 수 있으며, 비교적 낮은 영률(Young's modulus)을 가진 유기물을 포함할 수 있다. 이에 따라 비교적 낮은 온도에서 형성될 수 있고 유연성을 높일 수 있다. 예컨대 층간 절연막(114)은 예컨대 약 10^{10}Pa 미만의 영률을 가진 유기물에서 선택될 수 있으며, 예컨대 약 10^{2}Pa 내지 10^{10}Pa, 약 10^{2}Pa 내지 10^{9}Pa, 약 10^{2}Pa 내지 10^{8}Pa, 약 10^{2}Pa 내지 10^{7}Pa의 영률을 가진 유기물에서 선택될 수 있다. 층간 절연막(114)은 이러한 영률을 만족하는 유기물로서 예컨대 올레핀계 고분자, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계 고분자, 비닐알콜계 고분자, PMMA(poly(methyl methacrylate)), PS(polystyrene), 페놀기 또는 이들의 조합을 갖는 고분자 유도체 및 이들의 블렌드를 포함할 수 있으나, 이에 한정되는 것은 아니다.

[0052] 층간 절연막(114)은 산화물 반도체 박막(120)의 도전 영역(116a, 116b)의 적어도 일부를 노출하는 복수의 컨택 비아홀(H)을 가진다. 복수의 컨택 비아홀(H)은 게이트선(113)의 말단의 패드 영역에도 위치될 수 있다. 층간 절

연막(114)은 복수의 컨택 비아홀(H)을 제외하고는 기판(100) 전면에 형성될 수 있다.

[0053] 소스 전극(118)과 드레인 전극(119)은 층간 절연막(114) 위에 형성되어 있다. 소스 전극(118)과 드레인 전극(119)은 산화물 반도체 박막(120)의 채널 영역(106)을 중심으로 마주하고 있으며, 층간 절연막(114) 내에 형성된 컨택 비아홀(H)을 통해 산화물 반도체 박막(120)의 도전 영역(116a, 116b)에 각각 전기적으로 연결되어 있다.

[0054] 소스 전극(118)과 드레인 전극(119)은 예컨대 저저항 금속을 포함할 수 있고, 예컨대 알루미늄(Al), 티타늄(Ti), 철(Fe), 코발트(Co), 니켈(Ni), 구리(Cu), 아연(Zn), 이트륨(Y), 지르코늄(Zr), 니이오븀(Nb), 루테늄(Ru), 팔라듐(Pd), 은(Ag), 란타늄(La), 하프늄(Hf), 탄탈륨(Ta), 텅스텐(W), 백금(Pt), 금(Au), 어븀(Er), 이터븀(Yb), 이들의 합금 또는 이들의 조합에서 선택되는 어느 하나를 포함할 수 있으나, 이에 한정되는 것은 아니다. 컨택 비아홀(H)은 소스 전극(118)과 드레인 전극(119)을 형성하는 저저항 금속으로 채워져 있을 수 있으나, 이에 한정되지 않고 다른 도전체로 채워져 있을 수도 있다. 소스 전극(118)과 드레인 전극(119)은 전술한 게이트 전극(112)과 서로 같거나 다른 물질로 형성될 수 있다.

[0055] 전술한 바와 같이, 일 구현예에 따른 박막 트랜지스터(200)는 섬형 적층체로 형성된 산화물 반도체 박막(120), 보호 절연막(108), 게이트 절연막(110) 및 게이트 전극(112)을 낮은 영률을 가진 층간 절연막(114)으로 덮은 구조를 가짐으로써 후속 공정인 도핑 공정 및/또는 물리적 증착 공정에서 산화물 반도체 박막(120)을 포함한 각 구성요소를 효과적으로 보호할 수 있을 뿐만 아니라, 박막 트랜지스터(200)가 플렉서블 소자에 적용되어 구부리거나 접거나 말릴 때 산화물 반도체 박막(120)을 포함한 각 구성요소에 작용되는 기계적 스트레스를 줄여 기계적 손상 및 전기적 특성의 열화를 방지할 수 있다.

[0056] 이하, 도 3a 내지 도 3d를 참조하여, 일 구현예에 따른 박막 트랜지스터 소자의 제조 방법에 대해 설명하도록 한다. 앞서 설명한 실시예와 중복되는 내용에 대한 상세한 설명은 생략하도록 한다.

[0057] 도 3a 내지 도 3d는 도 1의 박막 트랜지스터의 제조 방법을 나타내는 중간 단계 도면들이다.

[0058] 박막 트랜지스터(200)는 기판(100) 상에 유기물 버퍼층(102)을 형성하는 단계, 상기 유기물 버퍼층(102) 상에 무기물 버퍼층(104)을 형성하는 단계, 상기 무기물 버퍼층(104) 상에 산화물 반도체 박막(120)을 형성하는 단계, 상기 산화물 반도체 박막(120) 상에 보호 절연막(108)을 형성하는 단계, 상기 산화물 반도체 박막(120) 및 보호 절연막(108)을 에칭하는 단계, 상기 보호 절연막(108) 상에 게이트 절연막(110)을 형성하는 단계, 상기 게이트 절연막(110) 상에 게이트 전극(112)을 형성하는 단계, 상기 보호 절연막(108), 게이트 절연막(110) 및 게이트 전극(112)을 에칭하는 단계, 상기 게이트 전극(112)과 산화물 반도체 박막(120)을 덮도록 층간 절연막(114)을 형성하는 단계, 상기 층간 절연막(114)으로 덮인 상기 산화물 반도체 박막(120) 일부를 도핑하여 도전 영역(116a, 116b)을 형성하는 단계, 상기 층간 절연막(114) 위에 상기 산화물 반도체 박막(120)의 도전 영역(116a, 116b)과 전기적으로 연결되는 소스 전극(116)과 드레인 전극(118)을 형성하는 단계를 통해 제조된다.

[0059] 상기 박막 트랜지스터 제조 시, 각 공정은 약 150℃ 이하의 비교적 저온에서 수행될 수 있고, 예컨대 상온(약 25℃) 내지 150℃의 온도 범위에서 수행될 수 있다.

[0060] 먼저, 예컨대 유리 기판과 같은 캐리어 기판 위에 플렉서블 기판용 고분자를 도포하여 기판(100)을 형성한다. 지지대와 기판(100) 사이에는 접착제로 결합되어 있을 수 있으나, 이에 한정되는 것은 아니다.

[0061] 다음, 도 3a을 참고하면, 기판(100) 상에 유기물 버퍼층(102)과 무기물 버퍼층(104)을 차례로 형성한다. 유기물 버퍼층(102)은 예컨대 스핀 코팅, 슬릿 코팅 또는 잉크젯 인쇄와 같은 용액 공정으로 형성될 수 있고, 무기물 버퍼층(104)은 예컨대 원자층 증착법(atomic layer deposition)과 같은 증착 공정으로 형성될 수 있다.

[0062] 이어서, 무기물 버퍼층(104) 위에 산화물 반도체 박막(120)과 보호 절연막(108)을 차례로 형성한다. 산화물 반도체 박막(120)은 예컨대 산화물 반도체 용액을 사용한 용액 공정 또는 스퍼터링과 같은 증착으로 형성될 수 있고, 보호 절연막(108)은 예컨대 원자층 증착법, 스퍼터링과 같은 증착으로 형성될 수 있다. 산화물 반도체 박막(120)과 보호 절연막(108)을 형성하는 단계는 각각 약 150℃ 이하에서 수행될 수 있다. 예컨대 산화물 반도체 박막(120)은 인듐, 갈륨 및 아연을 소스로 사용하여 인듐-갈륨-아연 (In-Ga-Zn) 산화물을 형성할 수 있으며, 이때 인듐, 갈륨 및 아연은 증착 속도 등을 조절하여 소정의 비율로 공급될 수 있으며, 예컨대 약 1.5~2.5:0.5~1.5:1.5~2.5의 비율로 공급될 수 있으나, 이에 한정되는 것은 아니다.

[0063] 이어서, 산화물 반도체 박막(120) 및 보호 절연막(108)을 에칭한다. 여기서, 상기 에칭 공정은 포토 리소그래피 공정에 의해 수행될 수 있고, 에칭 용액을 사용하여 습식 에칭 공정으로 수행하거나, 플라즈마를 이용한 건식

에칭 공정으로 수행할 수 있다. 이와 같은 에칭 공정 수행 시, 보호 절연막(108)은 산화물 반도체 박막(120)을 효과적으로 보호하여 산화물 반도체 박막(120)이 열화 되는 것을 효과적으로 방지할 수 있다. 이와 같이 산화물 반도체 박막(120)과 보호 절연막(108)은 한번에 에칭됨으로써 산화물 반도체 박막(120)과 보호 절연막(108)은 실질적으로 동일한 평면 모양을 가질 수 있다.

[0064] 다음, 도 3b를 참고하면, 보호 절연막(108) 위에 게이트 절연막(110)과 게이트 전극(112)을 차례로 형성한다. 게이트 절연막(110)과 게이트 전극(112)은 예컨대 용액을 사용한 용액 공정 또는 스퍼터링, 원자층 증착과 같은 증착으로 형성될 수 있다.

[0065] 이어서, 도 3c를 참고하면, 보호 절연막(108), 게이트 절연막(110) 및 게이트 전극(112)을 한 번에 에칭한다. 이 때, 에칭 공정은 플라즈마를 이용한 건식 에칭 공정일 수 있다. 이와 같이 보호 절연막(108), 게이트 절연막(110) 및 게이트 전극(112)을 한번에 에칭함으로써 게이트 절연막(110) 및 게이트 전극(112)은 실질적으로 동일한 평면 모양을 가질 수 있고 산화물 반도체 박막(106)의 일부를 노출시킬 수 있다. 산화물 반도체 박막(120) 중 보호 절연막(108), 게이트 절연막(110) 및 게이트 전극(112)에 의해 덮인 영역은 산화물 반도체 박막(120)의 채널 영역(106)일 수 있다.

[0066] 다음, 도 3d를 참고하면, 산화물 반도체 박막(120)과 게이트 전극(112) 위에 층간 절연막(114)을 형성한다. 층간 절연막(114)은 예컨대 유기물을 스핀 코팅과 같은 용액 공정으로 도포하고 건조하여 형성될 수 있으며, 선택적으로 약 50℃ 내지 150℃에서 추가 어닐링을 수행할 수 있다.

[0067] 이어서, 노출된 산화물 반도체 박막(120)에 도체화 공정을 수행하여 도전 영역(116a, 116b)을 형성할 수 있다. 층간 절연막(114) 내의 수소가 산화물 반도체 박막(120)으로 확산하며, 상기 수소는 상기 산화물 반도체 박막(120) 내에서 도펀트의 역할을 하여, 도핑에 기여한다. 이 때, 플라즈마 처리나 자외선 조사와 같은 추가 공정 없이 단순한 층간 절연막 코팅 공정만으로 산화물 반도체 박막을 도체화할 수 있는 바, 간단하고 저온의 공정이 가능하다. 한편, 도핑 공정에서 산화물 반도체 박막(120)의 채널 영역(106)은 노출되지 않으므로, 산화물 반도체 박막(120)의 채널 영역(106)의 손상을 효과적으로 방지할 수 있다.

[0068] 다음, 도 1을 참고하면, 층간 절연막(114)의 내부에 복수의 컨택 비아홀(H)을 형성한다. 컨택 비아홀(H)은 예컨대 플라즈마를 사용한 건식 식각으로 수행될 수 있으며, 예컨대 산소 플라즈마 에칭으로 수행될 수 있다.

[0069] 여기서는 예시적으로 층간 절연막(114)을 형성하고, 산화물 반도체 박막(120)의 노출 영역을 도핑하는 것을 예시하였으나, 이에 한정되지 않고 층간 절연막(114)을 형성하기 전 도핑 공정을 수행하여 산화물 반도체 박막(120)의 도전 영역(116a, 116b)을 형성할 수도 있다.

[0070] 이어서 층간 절연막(114) 위에 소스 전극(118)과 드레인 전극(119)을 형성하고 컨택 비아홀(H)을 도전체로 채움으로써 박막 트랜지스터(200)를 제조할 수 있다. 이어서, 기판(100)을 캐리어 기판으로부터 분리할 수 있으며, 예컨대 약 10℃ 이하의 저온에서 캐리어 기판과 기판(100) 사이의 접착제의 접착성을 제거함으로써 기판(100)을 유리판으로부터 분리할 수 있다.

[0071] 본 구현예에 따른 박막 트랜지스터(200)의 제조 방법은 후속 열처리는 수행하지 않을 수 있으며, 전술한 바와 같이 각 공정은 약 150℃ 이하의 온도에서 수행될 수 있다. 따라서 본 구현예에 따른 박막 트랜지스터(200)의 산화물 반도체 박막(120)은 열적 손상 없이 양호한 전기적 특성을 유지할 수 있다.

[0073] 이상과 같이 실시예가 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

[0074] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

[0076] **실시예**

[0077] **실시예 1**

[0078] **<트랜지스터 소자제조>**

[0079] 기판으로 25㎛ 두께의 폴리에틸렌나프탈레이트(PEN) 기판을 사용하였다. 상기 기판 상에 버퍼층으로 3㎛ 두께의 유기층(TR-8857-SA7, ㈜동진쎄미켐) 및 50 nm 두께의 Al_2O_3 무기층을 각각 스핀 코팅 및 원자층 증착법(Atomic layer deposition)을 통해 증착시켰다. 이후, 20nm 두께의 인듐-갈륨-아연 산화물(In-Ga-Zn-O)(In:Ga:Zn=2:1:2) 산화물 반도체 박막을 상온에서, RF 스퍼터링 방법으로 증착시킨 후, 보호 절연막으로 9nm 두께의 알루미늄 산화막(Al_2O_3)을 150℃의 온도에서 원자층 증착법으로 증착시킨 이후, 상기 박막 및 산화막을 동일한 영역의 패턴으로 습식 에칭하였다. 이후, 게이트 절연막으로 50nm 두께의 알루미늄 산화막(Al_2O_3)을 150℃의 온도에서 원자층 증착법으로 증착하였고, 게이트 전극으로, 100nm 두께의 인듐 주석 산화물(ITO)을 스퍼터링 방법으로 증착시켰다. 이후, 상기 보호 절연막, 게이트 절연막 및 게이트 전극을 동일한 영역의 패턴으로 건식 에칭하여, 상기 산화물 반도체 박막의 일부를 노출시켰다. 이후, 스핀 코팅 방법으로 형성된 380nm 두께의 제오코트(Zeocoat™)(Zeon Corp.)를 5000 rpm으로 스핀 코팅하고, 5 분동안 90 ℃로 소성하고, 1시간 동안 150 ℃에서 경화시켜, 층간 절연막을 형성하였다. 이 때, 층간 절연막 내 수소에 의해 노출된 산화물 반도체 박막이 도핑되어 산화물 반도체 박막에 도전 영역이 형성되었다. 포토 레지스트를 에칭 마스크로 이용한 건식 에칭 공정을 통해 층간 절연막을 에칭하여 컨택 비아홀을 형성한 뒤, 150nm 두께의 알루미늄 박막을 열 증착을 통해 증착시켜, 박막 트랜지스터를 제조하였다.

[0080] **실시예 2**

[0081] 상기 폴리에틸렌나프탈레이트(PEN) 기판의 두께를 50㎛로 한 것을 제외하고는, 실시예 1과 동일한 방법으로 트랜지스터를 제조하였다.

[0084] **평가 1: 전류 특성 평가**

[0085] 드레인 단자에는 10.5V(VD)의 고정적인 전압을 인가하고, 게이트 단자에는 -20V ~ +20V의 스윕 전압(VG)을 연속적으로 인가하는 조건으로 실시예 에 따른 박막 트랜지스터의 게이트 전압-드레인 전류 특성을 평가하였다.

[0086] 도 4는 실시예 1에 따른 박막 트랜지스터의 게이트 전압-드레인 전류 특성을 나타내는 그래프이다.

[0087] 도 4를 참고하면, 실시예 1에서 제조한 박막 트랜지스터는 게이트 전압(VG)을 소인(sweep)할 때 이력(hysteresis) 없이 우수한 전달 곡선을 보이며, 11.4cm^2/V·s의 포화 영역에서의 캐리어 이동도, 115mV/dec의 서브쓰레스홀드 기울기(subthreshold swing), 0.26V의 임계 전압 및 10^9 이상의 온/오프 전류 비(I_{on}/I_{off})를 나타내어 우수한 전기적 특성을 나타내었다.

[0089] **평가 2: 채널 길이에 따른 드레인 전압(VD)-드레인 전류(ID) 특성을 평가**

[0090] 박막 트랜지스터의 채널 폭은 80㎛로 고정하고, 박막 트랜지스터의 채널 길이)를 5㎛ 내지 80㎛로 변경하면서 드레인 전압(VD)-드레인 전류(ID) 특성을 평가하였다.

[0091] 또한, 게이트 전압(VG)에 따른 채널 폭 정규화 컨택 저항(RCW) 특성을 실험하기 위해 게이트 전압을 2V에서 10V까지 2V 간격으로 인가하였다. 각 게이트 전압(VG)에 대해 얻어진 총 저항을 채널 길이에 대해 플롯함으로써, y 절편의 컨택 저항(RC) 값을 얻었다. 컨택 저항(RC) 값은 채널 폭에 의존하기 때문에, 채널 폭 값으로 정규화(RCW)되었다.

[0092] 도 5는 실시예 2에 따른 박막 트랜지스터의 게이트 전압(VG)- 채널 폭 정규화 컨택 저항(RCW) 특성을 나타내는 그래프이다.

[0093] 도 5를 참고하면, 실시예 2에 따른 박막 트랜지스터는 평가된 게이트 전압(VG) 범위 내에서 채널 폭 정규화 컨택 저항(RCW) 값이 대략 12Ω·cm의 매우 낮은 값으로 확인되었다. 이는, 실시예 2에 따른 박막 트랜지스터에서 층간 절연막이 노출된 인듐-갈륨-아연 산화물(In-Ga-Zn-O) 박막을 효과적으로 도핑하여 도전 영역이 효과적으로 형성되었다는 것을 나타내는 것이다.

[0095] **평가 3: 곡률 반경에 따른 게이트 전압(VG)-드레인 전류(ID) 특성**

[0096] 박막 트랜지스터의 기판을 다양한 곡률 반경(radius of curvature)으로 접었을 때 곡률 반경에 따른 박막 트랜지스터의 기계적 특성을 실험하기 위해, 곡률 반경을 25㎜, 19㎜, 14㎜, 10㎜, 7㎜, 5㎜, 3㎜, 1㎜로 각각 변경한 뒤, 드레인 단자에는 10.5V(VD)의 고정적인 전압을 인가하고, 게이트 단자에는 -20V ~ +20V의 스윕 전압(VG)을 연속적으로 인가하여 드레인 전류(ID) 특성을 평가하였다.

[0097] 도 6a 및 6b는 실시예 1 및 2에 따른 박막 트랜지스터의 게이트 전압(VG)-드레인 전류(ID) 특성을 각각 나타내는 그래프이다.

[0098] 도 6a 및 6b를 참고하면, 실시예 1 및 2에 따른 박막 트랜지스터는 매우 작은 곡률 반경까지 성공적으로 동작하는 것을 확인할 수 있다. 이로부터 실시예 1 및 2에 따른 박막 트랜지스터는 전기적 특성의 열화 없이 높은 유연성을 가지는 것을 확인할 수 있다. 이러한 결과는, 작은 곡률 반경으로 접힌 경우에도 낮은 영률을 갖는 유기물 층간 절연막이 큰 영률을 갖는 다른 구성 요소(게이트 전극, 산화물 반도체 박막 등)로 집중될 수 있는 기계적 스트레스를 수용함으로써 기계적 손상을 예방할 수 있다는 것을 나타내는 것이다.

[0099] 더욱이, 25 ㎛ 두께의 기판을 사용한 실시예 1에 따른 박막 트랜지스터는 약 1㎜의 곡률 반경으로 접은 경우에도 성공적으로 동작함을 확인함으로써 더욱 우수한 기계적 특성을 나타낼 수 있음을 확인하였다.

[0101] **평가 4: 반복 굽힘 횟수에 따른 게이트 전압(VG)-드레인 전류(ID) 특성**

[0102] 박막 트랜지스터의 기판의 반복 굽힘 횟수에 따른 기계적 특성을 실험하기 위해, 5㎜의 곡률 반경 하에서 굽힘 테스트를 반복적으로 수행하며, 100, 200, 500, 1000, 2000, 5000, 10000, 20000, 30000, 50000, 70000번의 굽힘 횟수에서 드레인 단자에는 10.5V(VD)의 고정적인 전압을 인가하고, 게이트 단자에는 -20V ~ +20V의 스윕 전압(VG)을 연속적으로 인가하여 드레인 전류(ID) 특성을 평가하였다.

[0103] 도 7은 박막 트랜지스터의 기판의 반복 굽힘 횟수에 따른 실시에 1 및 2에 따른 박막 트랜지스터의 게이트 전압(VG)-드레인 전류(ID) 특성을 나타내는 도면이다.

[0104] 실시예 1에 따른 박막 트랜지스터는 최대 70000번의 굽힘 횟수까지 박막 트랜지스터가 정상적으로 작동하였고, 실시예 2에 따른 박막 트랜지스터는 최대 20000번의 굽힘 횟수까지 박막 트랜지스터가 정상적으로 작동함을 확인하였다. 이러한 결과는 반복 굽힘에 의해서도 낮은 영률을 갖는 유기물 층간 절연막이 큰 영률을 갖는 다른 구성 요소(게이트 전극, 산화물 반도체 박막 등)로 집중될 수 있는 기계적 스트레스를 수용함으로써 기계적 손상을 예방할 수 있다는 것을 나타내는 것이다.

[0105] 더욱이, 25㎛ 두께의 기판을 사용한 실시예 1에 따른 박막 트랜지스터는 굽힘 횟수가 증가함에도, 균일한 드레인 전류 특성을 나타내는 것을 확인할 수 있었다.

[0106] 이상에서 실시예들에 대하여 상세하게 설명하였지만 권리범위는 이에 한정되는 것은 아니고 다음의 청구 범위에서 정의하고 있는 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 권리범위에 속하는 것이다.

부호의 설명

[0107] 100: 기판 102: 유기물 버퍼층

104: 무기물 버퍼층 106: 산화물 반도체 박막의 채널 영역

108: 보호 절연막 110: 게이트 절연막

112: 게이트 전극 114: 층간 절연막

116a, 116b: 산화물 반도체 박막의 도전 영역

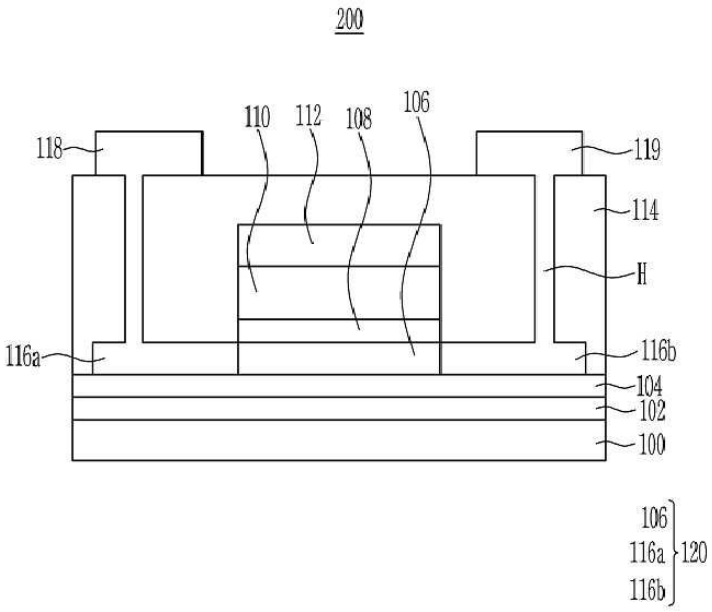
118: 소스 전극 119: 드레인 전극

120: 산화물 반도체 박막 H: 컨택 비아홀

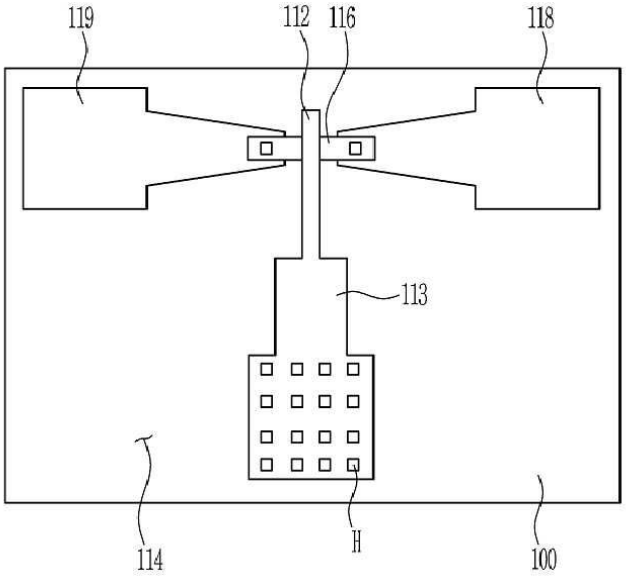
200: 박막 트랜지스터

도면

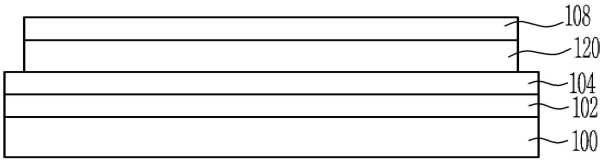
도면1



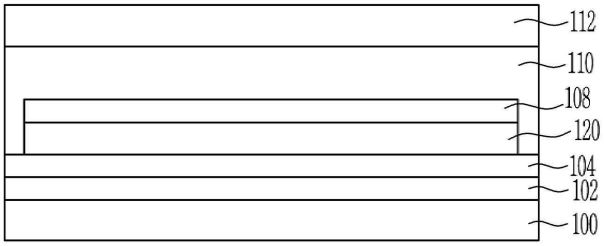
도면2



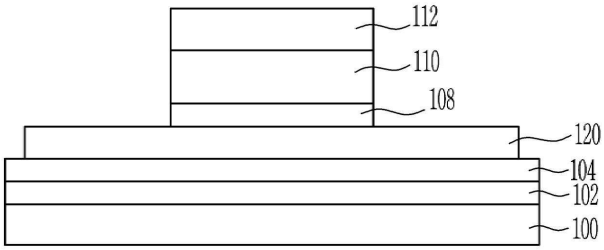
도면3a



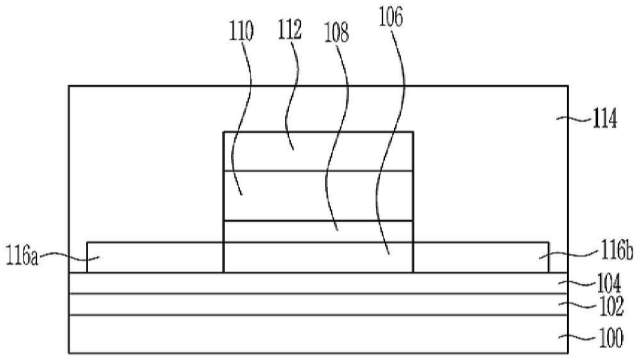
도면3b



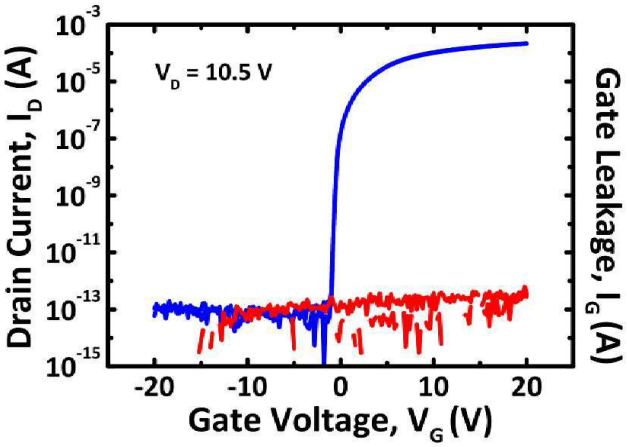
도면3c



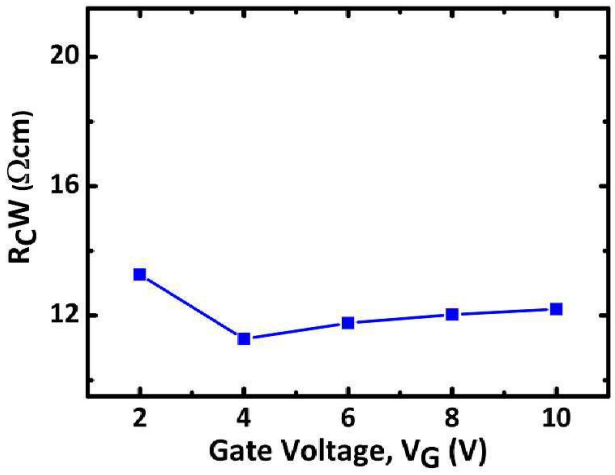
도면3d



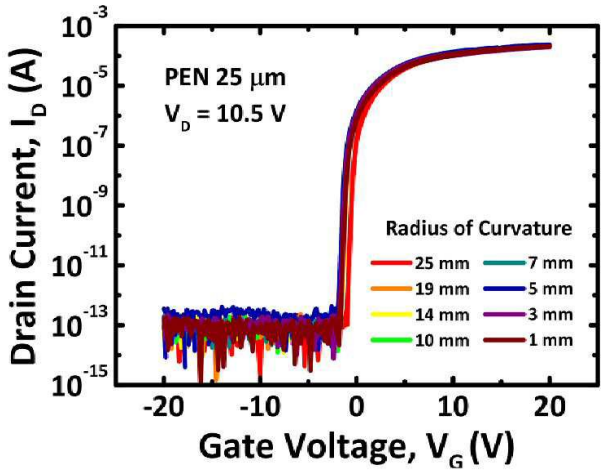
도면4



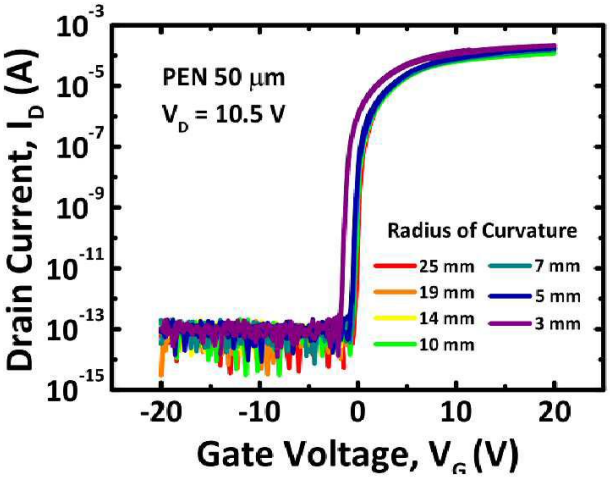
도면5



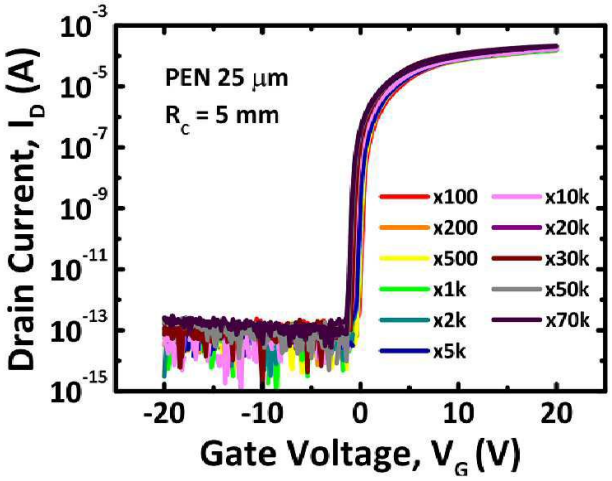
도면6a



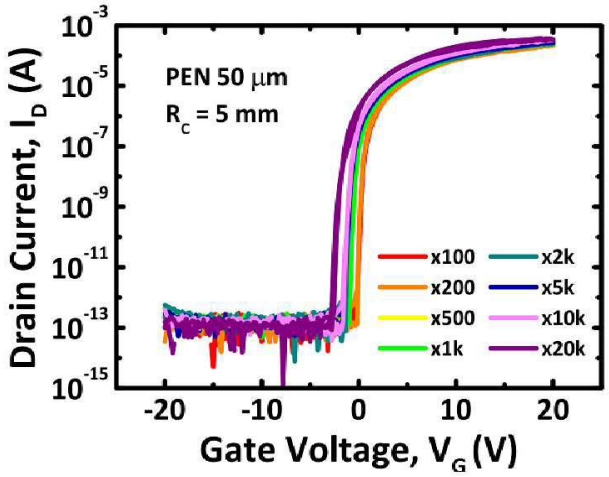
도면6b



도면7a


PEN 25 μm
R_C = 5 mm
x100
x200
x500
x1k
x2k
x5k
x10k
x20k
x30k
x50k
x70k
Drain Current, I_D (A)
Gate Voltage, V_G (V)

도면7b


PEN 50 μm
R_C = 5 mm
x100
x200
x500
x1k
x2k
x5k
x10k
x20k
Drain Current, I_D (A)
Gate Voltage, V_G (V)