

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4543315号
(P4543315)

(45) 発行日 平成22年9月15日(2010.9.15)

(24) 登録日 平成22年7月9日(2010.7.9)

(51) Int. Cl.	F I		
G09F 9/30 (2006.01)	G09F	9/30	338
H01L 27/32 (2006.01)	G09F	9/30	365Z
G09G 3/20 (2006.01)	G09G	3/20	611A
G09G 3/30 (2006.01)	G09G	3/20	621F
H01L 51/50 (2006.01)	G09G	3/20	624B
請求項の数 24 (全 38 頁) 最終頁に続く			

(21) 出願番号 特願2004-279268 (P2004-279268)
 (22) 出願日 平成16年9月27日(2004.9.27)
 (65) 公開番号 特開2006-91654 (P2006-91654A)
 (43) 公開日 平成18年4月6日(2006.4.6)
 審査請求日 平成18年10月4日(2006.10.4)

(73) 特許権者 000001443
 カシオ計算機株式会社
 東京都渋谷区本町1丁目6番2号
 (74) 代理人 100096699
 弁理士 鹿嶋 英實
 (72) 発明者 山口 郁博
 東京都八王子市石川町2951番地の5
 カシオ計算機株式会
 社 八王子技術センター内
 (72) 発明者 武居 学
 東京都八王子市石川町2951番地の5
 カシオ計算機株式会
 社 八王子技術センター内
 審査官 佐竹 政彦
 最終頁に続く

(54) 【発明の名称】 画素駆動回路及び画像表示装置

(57) 【特許請求の範囲】

【請求項1】

表示画素に設けられた電流制御型の発光素子に対して、階調信号に応じた電流値を有する発光駆動電流を供給して、前記階調信号に基づく所定の輝度階調で発光動作させる画素駆動回路において、

少なくとも、

前記階調信号に基づく電荷を電圧成分として保持する電荷保持手段と、

選択信号が印加されるタイミングで前記階調信号を前記電荷保持手段に供給する書込制御手段と、

電源電圧が印加される電源ラインに接続され、前記電荷保持手段に保持された電圧成分に基づいて、前記発光駆動電流を生成して、前記発光素子に供給する発光制御手段と、
 を備え、

前記階調信号は前記輝度階調に応じた電流値を有する階調信号電流であり、

前記書込制御手段及び前記発光制御手段は、各々、電界効果型トランジスタを備えて構成され、

前記書込制御手段は、第1のソース電極と第1のドレイン電極間の第1の電流路の一端側が、前記階調信号電流が供給される信号ラインに接続され、該第1の電流路の他端が前記発光制御手段に接続され、第1のゲート電極に前記選択信号が印加される、前記電界効果型トランジスタからなる書込トランジスタを有し、

前記書込トランジスタは、前記信号ラインに前記階調信号電流が供給され、前記第1の

10

20

ゲート電極に前記選択信号が印加されたときに、前記第1の電流路に、前記電源ラインから前記発光制御手段を介して、前記階調信号電流に対応した書込電流が流れ、ゲート電極、ソース電極及びドレイン電極に所定電圧が印加されたときに前記ソース電極と前記ドレイン電極間の電流路に流れる電流を維持して、前記ゲート電極と前記ソース電極間に形成されるソース側寄生容量と、前記ゲート電極と前記ドレイン電極間に形成されるドレイン側寄生容量との容量値が異なるように設定された特定の構造を有し、前記信号ラインに接続される前記第1の電流路の一端側に形成される前記ドレイン側寄生容量と前記ソース側寄生容量の一方の容量値が、前記第1の電流路の他端側に形成される、前記ドレイン側寄生容量と前記ソース側寄生容量の他方の容量値より小さい値に設定されていることを特徴とする画素駆動回路。

10

【請求項2】

前記書込トランジスタは、前記第1のドレイン電極が前記信号ラインに接続されて前記階調信号電流が供給され、前記ドレイン側寄生容量が前記ソース側寄生容量の容量値より小さくなるように設定されていることを特徴とする請求項1記載の画素駆動回路。

【請求項3】

前記発光制御手段は、第2のソース電極と第2のドレイン電極間の第2の電流路の一端側が前記電源ラインに接続され、該第2の電流路の他端側が前記書込トランジスタの前記第1の電流路の他端側と前記発光素子の一端側とに接続され、前記電界効果型トランジスタからなる駆動トランジスタを有し、

前記電荷保持手段は、前記駆動トランジスタの第2のゲート電極と前記第2の電流路の他端側との間に接続された容量素子を有し、

20

前記駆動トランジスタは、前記特定の構造を有し、前記第2のドレイン電極が前記電源ラインに接続され、前記第2のソース電極に前記発光素子の一端側が接続され、前記ソース側寄生容量が前記ドレイン側寄生容量の容量値より大きくなるように設定されていることを特徴とする請求項1記載の画素駆動回路。

【請求項4】

前記書込制御手段は、第3のソース電極と第3のドレイン電極間の第3の電流路の一端側が前記電源ラインに接続され、該第3の電流路の他端が前記駆動トランジスタの第2のゲート電極に接続され、第3のゲート電極に前記選択信号が印加される、前記電界効果型トランジスタからなる制御トランジスタを有し、

30

前記制御トランジスタは、前記特定の構造を有し、前記第3のドレイン電極が前記電源ラインに接続され、前記第3のソース電極が前記駆動トランジスタの前記第2のゲート電極に接続され、前記ソース側寄生容量が前記ドレイン側寄生容量の容量値より小さくなるように設定されていることを特徴とする請求項3記載の画素駆動回路。

【請求項5】

前記書込制御手段は、第3のソース電極と第3のドレイン電極間の第3の電流路の一端側が前記電源ラインに接続され、該第3の電流路の他端が前記駆動トランジスタの第2のゲート電極に接続され、第3のゲート電極に前記選択信号が印加される、前記電界効果型トランジスタからなる制御トランジスタを有し、

前記制御トランジスタは、前記特定の構造を有し、前記第3のドレイン電極が前記電源ラインに接続され、前記第3のソース電極が前記駆動トランジスタの前記第2のゲート電極に接続され、前記ソース側寄生容量が前記ドレイン側寄生容量の容量値より大きくなるように設定されていることを特徴とする請求項3記載の画素駆動回路。

40

【請求項6】

前記特定の構造において、前記ソース電極と前記ドレイン電極の平面形状が非対称になるように形成されていることを特徴とする請求項1乃至5のいずれかに記載の画素駆動回路。

【請求項7】

前記特定の構造において、前記ソース電極側と前記ドレイン電極側のゲート電極の幅が異なるように形成されていることを特徴とする請求項1乃至6のいずれかに記載の画素駆

50

動回路。

【請求項 8】

前記特定の構造において、前記ソース電極と前記ドレイン電極は、少なくとも対向する外周部が円弧状に形成されていることを特徴とする請求項 6 又は 7 記載の画素駆動回路。

【請求項 9】

前記特定の構造において、前記ゲート電極は、円弧状の帯状の平面形状を有することを特徴とする請求項 8 記載の画素駆動回路。

【請求項 10】

前記特定の構造において、前記ソース電極と前記ドレイン電極は、少なくとも対向する外周部が直線状に形成されていることを特徴とする請求項 6 又は 7 記載の画素駆動回路。

10

【請求項 11】

前記特定の構造において、前記ゲート電極は、矩形状の平面形状を有することを特徴とする請求項 10 記載の画素駆動回路。

【請求項 12】

前記各電界効果型トランジスタは、アモルファスシリコンからなる半導体層を備えた素子構造を有していることを特徴とする請求項 1 乃至 11 のいずれかに記載の画素駆動回路。

【請求項 13】

表示パネルに互いに直行するように配設された複数の走査ライン及び複数の信号ラインの各交点近傍に配置された複数の表示画素に対して、前記各信号ラインを介して、表示データに応じた階調信号を供給することにより、前記表示パネルに所望の画像情報を表示する画像表示装置において、

20

前記各表示画素は、電流制御型の発光素子と、前記発光素子の発光動作を制御する画素駆動回路と、を備え、

前記画素駆動回路は、少なくとも、前記階調信号に基づく電荷を電圧成分として保持する電荷保持手段と、前記各走査ラインに選択信号が印加されるタイミングで前記階調信号を前記電荷保持手段に供給する書込制御手段と、電源電圧が印加される電源ラインに接続され、前記電荷保持手段に保持された電圧成分に基づいて、前記発光駆動電流を生成して、前記発光素子に供給する発光制御手段と、を備え、

前記階調信号は前記輝度階調に応じた電流値を有する階調信号電流であり、

30

前記書込制御手段及び前記発光制御手段は、各々、電界効果型トランジスタを備えて構成され、

前記書込制御手段は、第 1 のソース電極と第 1 のドレイン電極間の第 1 の電流路の一端側が、前記階調信号電流が供給される前記各信号ラインに接続され、該第 1 の電流路の他端が前記発光制御手段に接続され、第 1 のゲート電極に前記選択信号が印加される、前記電界効果型トランジスタからなる書込トランジスタを有し、

前記書込トランジスタは、前記信号ラインに前記階調信号電流が供給され、前記第 1 のゲート電極に前記選択信号が印加されたときに、前記第 1 の電流路に、前記電源ラインから前記発光制御手段を介して、前記階調信号電流に対応した書込電流が流れ、ゲート電極、ソース電極及びドレイン電極に所定電圧が印加されたときに前記ソース電極と前記ドレイン電極間の電流路に流れる電流を維持して、前記ゲート電極とソース電極間に形成されるソース側寄生容量と、前記ゲート電極と前記ドレイン電極間に形成されるドレイン側寄生容量との容量値が異なるように設定された特定の構造を有し、前記各信号ラインに接続される前記階調信号電流が供給される前記第 1 の電流路の一端側に形成される前記ドレイン側寄生容量と前記ソース側寄生容量の一方の容量値が、前記第 1 の電流路の他端側に形成される、前記ドレイン側寄生容量と前記ソース側寄生容量の他方の容量値より小さい値に設定されていることを特徴とする画像表示装置。

40

【請求項 14】

前記画像表示装置は、少なくとも、

前記各走査ラインに前記選択信号を印加して、前記各走査ラインに接続された前記各表

50

示画素に設けられた前記書込制御手段により、前記階調信号の当該表示画素への書き込みを可能とする選択状態に設定する走査駆動手段と、

前記選択状態に設定された前記表示画素に対応した前記表示データに基づく前記階調信号を生成して、前記信号ラインを介して前記表示画素に供給する信号駆動手段と、を備えることを特徴とする請求項 1 3 記載の画像表示装置。

【請求項 1 5】

前記書込トランジスタは、前記第 1 のドレイン電極が前記各信号ラインに接続されて前記階調信号電流が供給され、前記ドレイン側寄生容量が前記ソース側寄生容量の容量値より小さくなるように設定されていることを特徴とする請求項 1 3 又は 1 4 記載の画像表示装置。

10

【請求項 1 6】

前記発光制御手段は、第 2 のソース電極と第 2 のドレイン電極間の第 2 の電流路の一端側が前記電源ラインに接続され、該第 2 の電流路の他端側が前記第書込トランジスタの前記第 1 の電流路の他端側と前記発光素子の一端側とに接続され、前記電界効果型トランジスタからなる駆動トランジスタを有し、

前記電荷保持手段は、前記駆動トランジスタの第 2 のゲート電極と前記第 2 の電流路の他端側との間に接続された容量素子を有し、

前記駆動トランジスタは、前記特定の構造を有し、前記第 2 のドレイン電極が前記電源ラインに接続され、前記第 2 のソース電極に前記発光素子の一端側が接続され、前記ソース側寄生容量が前記ドレイン側寄生容量の容量値より大きくなるように設定されていることを特徴とする請求項 1 3 又は 1 4 記載の画像表示装置。

20

【請求項 1 7】

前記書込制御手段は、第 3 のソース電極と第 3 のドレイン電極間の第 3 の電流路の一端側が前記電源ラインに接続され、該第 3 の電流路の他端が前記駆動トランジスタの第 2 のゲート電極に接続され、第 3 のゲート電極に前記選択信号が印加される、前記電界効果型トランジスタからなる制御トランジスタを有し、

前記制御トランジスタは、前記特定の構造を有し、前記第 3 のドレイン電極が前記電源ラインに接続され、前記第 3 のソース電極が前記駆動トランジスタの前記第 2 のゲート電極に接続され、前記ソース側寄生容量が前記ドレイン側寄生容量の容量値より小さくなるように設定されていることを特徴とする請求項 1 6 記載の画像表示装置。

30

【請求項 1 8】

前記書込制御手段は、第 3 のソース電極と第 3 のドレイン電極間の第 3 の電流路の一端側が前記電源ラインに接続され、該第 3 の電流路の他端が前記駆動トランジスタの第 2 のゲート電極に接続され、第 3 のゲート電極に前記選択信号が印加される、前記電界効果型トランジスタからなる制御トランジスタを有し、

前記制御トランジスタは、前記特定の構造を有し、前記第 3 のドレイン電極が前記電源ラインに接続され、前記第 3 のソース電極が駆動トランジスタの前記第 2 のゲート電極に接続され、前記ソース側寄生容量が前記ドレイン側寄生容量の容量値より大きくなるように設定されていることを特徴とする請求項 1 6 記載の画像表示装置。

【請求項 1 9】

前記各電界効果型トランジスタは、アモルファスシリコンからなる半導体層を備えた素子構造を有していることを特徴とする請求項 1 3 乃至 1 8 のいずれかに記載の画像表示装置。

40

【請求項 2 0】

前記特定の構造において、前記ソース電極と前記ドレイン電極の平面形状が非対称になるように形成されていることを特徴とする請求項 1 3 乃至 1 9 のいずれかに記載の画像表示装置。

【請求項 2 1】

前記特定の構造において、前記ソース電極側と前記ドレイン電極側のゲート電極の幅が異なるように形成されていることを特徴とする請求項 1 3 乃至 2 0 のいずれかに記載の画

50

像表示装置。

【請求項 2 2】

前記特定の構造において、前記ソース電極と前記ドレイン電極は、少なくとも対向する外周部が円弧状に形成され、前記ゲート電極は、円弧状の帯状の平面形状を有するように形成されていることを特徴とする請求項 1 3 乃至 2 1 のいずれかに記載の画像表示装置。

【請求項 2 3】

前記特定の構造において、前記ソース電極と前記ドレイン電極は、少なくとも対向する外周部が直線状に形成され、前記ゲート電極は、矩形状の平面形状を有するように形成されていることを特徴とする請求項 1 3 乃至 2 1 のいずれかに記載の画像表示装置。

【請求項 2 4】

前記発光素子は、有機エレクトロルミネッセント素子であることを特徴とする請求項 1 3 乃至 2 3 のいずれかに記載の画像表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素駆動回路及び画像表示装置に関し、特に、階調信号に応じた発光駆動電流に基づいて、電流制御型の発光素子を所定の輝度階調で発光動作させるための画素駆動回路、及び、該画素駆動回路と上記発光素子とからなる表示画素を 2 次元配列した表示パネルを備えた画像表示装置に関する。

20

【背景技術】

【0002】

従来、有機エレクトロルミネッセント素子（以下、「有機 EL 素子」と略記する）や発光ダイオード（LED）等のように供給される駆動電流の電流値に応じて所定の輝度階調で発光動作する電流制御型の発光素子を具備する表示画素を、2 次元配列した表示パネルを備えた発光素子型のディスプレイ（表示装置）が知られている。

【0003】

特に、アクティブマトリクス駆動方式を適用した発光素子型ディスプレイは、近年携帯機器を始め、様々な電子機器に広く利用されている液晶表示装置（LCD）に比較して、表示応答速度が速く、また、視野角依存性もなく、高輝度・高コントラスト化、表示画質の高精細化等が可能であるとともに、液晶表示装置の場合のように、バックライトを必要としないので、一層の薄型軽量化や低消費電力化が可能である、という極めて優位な特徴を有しており、次世代のディスプレイとして研究開発が盛んに行われている。

30

【0004】

そして、このような発光素子型ディスプレイにおいては、上述した電流制御型の発光素子を発光制御するための駆動制御機構や制御方法が種々提案されている。例えば、特許文献 1 等に記載されているように、表示パネルを構成する各表示画素ごとに、上記発光素子に加えて、該発光素子を発光制御するための複数のスイッチング手段からなる駆動回路（画素駆動回路、又は、発光駆動回路）を備えたものが知られている。

【0005】

40

図 19 は、従来技術における発光素子型ディスプレイの要部を示す概略構成図であり、図 20 は、従来技術における発光素子型ディスプレイに適用可能な表示画素（画素駆動回路及び発光素子）の構成例を示す等価回路図である。

特許文献 1 等に記載されたアクティブマトリクス型有機 EL 表示装置は、概略、図 19 に示すように、行、列方向に配設された複数の走査ライン（選択ライン）SLp 及びデータライン（信号ライン）DLp の各交点近傍に、複数の表示画素 EMp がマトリクス状に配置された表示パネル 110P と、各走査ライン SLp に接続された走査ドライバ（走査線駆動回路）120P と、各データライン DLp に接続されたデータドライバ（データ線駆動回路）130P と、を備え、データドライバ 130P において表示データに応じた階調信号電圧 Vpix を生成して、各データライン DLp を介して各表示画素 EMp に供給す

50

る構成を有している。

【0006】

ここで、各表示画素 $E M p$ は、図 20 に示すように、ゲート端子が走査ライン $S L p$ に、ソース端子及びドレイン端子がデータライン $D L p$ 及び接点 $N 1 1 1$ に各々接続された薄膜トランジスタ (TFT) $T r 1 1 1$ と、ゲート端子が接点 $N 1 1 1$ に接続され、ソース端子に接地電位 $V g n d$ が印加された薄膜トランジスタ $T r 1 1 2$ と、を備えた画素駆動回路 $D C p$ 、及び、該画素駆動回路 $D C p$ の薄膜トランジスタ $T r 1 1 2$ のドレイン端子にアノード端子が接続され、カソード端子に接地電位 $V g n d$ よりも低電位の低電源電圧 $V s s$ が印加された有機 $E L$ 素子 (電流制御型の発光素子) $O E L$ を有して構成されている。

【0007】

ここで、図 20 において、 $C p$ は、薄膜トランジスタ $T r 1 1 2$ のゲート - ソース電極間に形成される寄生容量 (保持容量) である。また、薄膜トランジスタ $T r 1 1 1$ は、 n チャネル型の電界効果型トランジスタにより構成され、薄膜トランジスタ $T r 1 1 2$ は、 p チャネル型の電界効果型トランジスタにより構成されている。

【0008】

そして、このような構成を有する表示画素 $E M p$ からなる表示パネル $1 1 0 P$ を備えた表示装置においては、まず、走査ドライバ $1 2 0 P$ から各行の走査ライン $S L p$ に選択レベル (ハイレベル) の走査信号 $V s e l$ を順次印加することにより、行ごとの表示画素 $E M p$ (画素駆動回路 $D C p$) の薄膜トランジスタ $T r 1 1 1$ がオン動作して、当該表示画素 $E M p$ が選択状態に設定される。

【0009】

この選択タイミングに同期して、データドライバ $1 3 0 P$ により表示データに応じた階調信号電圧 $V p i x$ を生成して、各列のデータライン $D L p$ に印加することにより、当該階調信号電圧 $V p i x$ が各表示画素 $E M p$ (画素駆動回路 $D C p$) の薄膜トランジスタ $T r 1 1 1$ を介して、接点 $N 1 1 1$ (すなわち、薄膜トランジスタ $T r 1 1 2$ のゲート端子) に印加される。これにより、薄膜トランジスタ $T r 1 1 2$ が当該階調信号電圧 $V p i x$ に応じた導通状態でオン動作して、接地電位 $V g n d$ から所定の発光駆動電流が薄膜トランジスタ $T r 1 1 2$ 及び有機 $E L$ 素子 $O E L$ を介して低電源電圧 $V s s$ に流れ、有機 $E L$ 素子 $O E L$ が表示データに応じた輝度階調で発光動作する。

【0010】

次いで、走査ドライバ $1 2 0 P$ から走査ライン $S L p$ に非選択レベル (ローレベル) の走査信号 $V s e l$ を印加することにより、行ごとの各行の表示画素 $E M p$ の薄膜トランジスタ $T r 1 1 1$ がオフ動作して、当該表示画素 $E M p$ が非選択状態に設定され、データライン $D L p$ と画素駆動回路 $D C p$ とが電氣的に遮断される。このとき、薄膜トランジスタ $T r 1 1 2$ のゲート端子に印加され、寄生容量 $C p$ に保持された電圧に基づいて、薄膜トランジスタ $T r 1 1 2$ は、オン状態を持続することになり、上記選択状態と同様に、接地電位 $V g n d$ から所定の発光駆動電流が薄膜トランジスタ $T r 1 1 2$ を介して有機 $E L$ 素子 $O E L$ に流れて、発光動作が継続される。この発光動作は、次の表示データに応じた階調信号電圧 $V p i x$ が各行の表示画素 $E M p$ に印加される (書き込まれる) まで、例えば、1 フレーム期間継続するように制御される。

【0011】

このような駆動制御方法は、各表示画素 $E M p$ (画素駆動回路 $D C p$ の薄膜トランジスタ $T r 1 1 2$ のゲート端子) に印加する電圧 (階調信号電圧 $V p i x$) を調整することにより、有機 $E L$ 素子 $O E L$ に流す発光駆動電流の電流値を制御して、所定の輝度階調で発光動作させていることから、電圧指定方式 (又は、電圧印加方式) と呼ばれている。

【0012】

ところで、このような電圧指定方式を採用した画素駆動回路 $D C p$ を備えた表示画素 $E M p$ においては、選択機能を有する薄膜トランジスタ $T r 1 1 1$ や発光駆動機能を有する薄膜トランジスタ $T r 1 1 2$ の素子特性 (チャネル抵抗等) が、外部環境 (周囲の温度等) や使用時間等に依存してバラツキや変動 (劣化) を生じた場合には、発光素子 (有機 E

10

20

30

40

50

L素子OEL)に供給される発光駆動電流が変動することになり、長期間にわたり安定的に所望の発光特性(所定の輝度階調での表示)を実現することが困難になるという問題を有していた。

【0013】

また、表示パネルの高精細化を図るために、各表示画素を微細化すると、画素駆動回路DCpを構成する薄膜トランジスタTr111及びTr112の動作特性(ソース-ドレイン間電流等)のバラツキが大きくなるため、適正な階調制御が行えなくなり、各表示画素の発光特性にバラツキが生じて表示画質の劣化を招くという問題を有していた。

【0014】

そこで、このような問題点を解決する構成として、特許文献2等に記載されているような、いわゆる、電流印加方式(又は、電流指定方式)と呼ばれる駆動制御方法に対応した画素駆動回路の構成が知られている。なお、この電流印加方式に対応した表示画素(画素駆動回路)の具体的な構成例については、後述する「発明を実施するための最良の形態」において詳しく説明するが、概略、以下のような構成及び動作(機能)を有するものである。

【0015】

すなわち、電流印加方式に対応した画素駆動回路においては、例えば、少なくとも、表示画素を選択状態に設定し、表示画素(画素駆動回路)への表示データ(階調信号電流)の書き込み可能なタイミングを制御する選択制御手段(上述した薄膜トランジスタTr111に相当する)と、該書き込まれた階調信号に基づいて、発光素子(例えば、上述した有機EL素子等)に供給する発光駆動電流の電流値及びその供給状態を制御する駆動電流制御手段(上述した薄膜トランジスタTr112及び寄生容量Cpに相当する)を備え、上記選択制御手段に選択レベルの走査信号が印加されることにより、選択状態に設定されるタイミングで、表示データに応じた電流値を指定した階調信号電流を取り込んで、駆動電流制御手段により電圧成分として保持するとともに、非選択状態において該電圧成分に基づく電流値を有する発光駆動電流を発光素子に供給することにより、発光素子を所定の輝度階調で継続的に発光動作させるように構成されている。

【0016】

したがって、上記駆動電流制御手段において、各表示画素に供給される表示データに応じた階調信号電流の電流レベルを電圧レベルに変換する機能(電流/電圧変換機能)と、該電圧レベルに基づく所定の電流値を有する発光駆動電流を発光素子に供給する機能(発光駆動機能)の双方を実現することになるので、該駆動電流制御手段を、単一の能動素子(薄膜トランジスタ)により構成することにより、図20に示したような画素駆動回路DCpにおける複数の薄膜トランジスタ間で生じる動作特性のバラツキに起因して、発光駆動電流が変動し、表示画質が劣化するという現象を抑制することができるという利点を有している。

【0017】

【特許文献1】特開2002-156923号公報(第3頁~第4頁、図1、図2)

【特許文献2】特開2003-195810号公報(第14頁~第17頁、図5~図7)

【発明の開示】

【発明が解決しようとする課題】

【0018】

しかしながら、上述したような電流印加方式を採用した画素駆動回路においては、以下に示すような問題を有していた。

すなわち、電流指定方式の画素駆動回路においては、各表示画素に表示データ(階調信号電流)を書き込む動作は、データラインに寄生する配線容量や、各表示画素(画素駆動回路)に設けられた保持容量や寄生容量等の容量成分を、所定の電圧まで充電することに相当する。

【0019】

10

20

30

40

50

そのため、このような容量成分の存在により、書き込み動作時に動作遅延や書き込み不足を生じ、表示データに応じた適切な輝度階調で発光素子を発光動作させることができなくなるという問題を有している。なお、具体的な回路構成における各種容量成分による影響については、詳しく後述する。

【 0 0 2 0 】

また、表示画素内に存在する容量成分は、画素駆動回路の回路構成（スイッチング素子等の接続構造）に起因する容量結合により、例えば、上述した駆動電流制御手段を構成するスイッチング素子（薄膜トランジスタ）をオン動作させる制御電圧の変動を生じて、階調信号電流の指定電流値に対する、発光素子に供給される発光駆動電流の電流値を変動させるため、表示データに応じた適切な輝度階調で発光素子を発光動作させることができず、結果として、コントラストの低下等を生じて表示画質の劣化を招くという問題を有していた。

10

【 0 0 2 1 】

そこで、本発明は、上述した問題点に鑑み、表示パネルを構成する各表示画素に付加される容量成分のうち、特に、各表示画素内に設けられた保持容量や寄生容量に起因する、表示データ（階調信号電流）の書込動作の遅延や書き込み不足、輝度特性の劣化を抑制して、表示データに応じた適切な輝度階調で発光素子を発光動作させることができる画素駆動回路、及び、表示画質の劣化を抑制することができる画像表示装置を提供することを目的とする。

【課題を解決するための手段】

20

【 0 0 2 2 】

請求項 1 記載の発明は、表示画素に設けられた電流制御型の発光素子に対して、階調信号に応じた電流値を有する発光駆動電流を供給して、前記階調信号に基づく所定の輝度階調で発光動作させる画素駆動回路において、少なくとも、前記階調信号に基づく電荷を電圧成分として保持する電荷保持手段と、選択信号が印加されるタイミングで前記階調信号を前記電荷保持手段に供給する書込制御手段と、電源電圧が印加される電源ラインに接続され、前記電荷保持手段に保持された電圧成分に基づいて、前記発光駆動電流を生成して、前記発光素子に供給する発光制御手段と、を備え、前記階調信号は前記輝度階調に応じた電流値を有する階調信号電流であり、前記書込制御手段及び前記発光制御手段は、各々、電界効果型トランジスタを備えて構成され、前記書込制御手段は、第 1 のソース電極と第 1 のドレイン電極間の第 1 の電流路の一端側が、前記階調信号電流が供給される信号ラインに接続され、該第 1 の電流路の他端が前記発光制御手段に接続され、第 1 のゲート電極に前記選択信号が印加される、前記電界効果型トランジスタからなる書込トランジスタを有し、前記書込トランジスタは、前記信号ラインに前記階調信号電流が供給され、前記第 1 のゲート電極に前記選択信号が印加されたときに、前記第 1 の電流路に、前記電源ラインから前記発光制御手段を介して、前記階調信号電流に対応した書込電流が流れ、ゲート電極、ソース電極及びドレイン電極に所定電圧が印加されたときに前記ソース電極と前記ドレイン電極間の電流路に流れる電流を維持して、前記ゲート電極と前記ソース電極間に形成されるソース側寄生容量と、前記ゲート電極と前記ドレイン電極間に形成されるドレイン側寄生容量との容量値が異なるように設定された特定の構造を有し、前記信号ラインに接続される前記第 1 の電流路の一端側に形成される前記ドレイン側寄生容量と前記ソース側寄生容量の一方の容量値が、前記第 1 の電流路の他端側に形成される、前記ドレイン側寄生容量と前記ソース側寄生容量の他方の容量値より小さい値に設定されていることを特徴とする。

30

40

【 0 0 2 3 】

請求項 2 記載の発明は、請求項 1 記載の画素駆動回路において、前記書込トランジスタは、前記第 1 のドレイン電極が前記信号ラインに接続されて前記階調信号電流が供給され、前記ドレイン側寄生容量が前記ソース側寄生容量の容量値より小さくなるように設定されていることを特徴とする。

50

【0024】

請求項3記載の発明は、請求項1記載の画素駆動回路において、前記発光制御手段は、第2のソース電極と第2のドレイン電極間の第2の電流路の一端側が前記電源ラインに接続され、該第2の電流路の他端側が前記第書込トランジスタの前記第1の電流路の他端側と前記発光素子の一端側とに接続され、前記電界効果型トランジスタからなる駆動トランジスタを有し、前記電荷保持手段は、前記駆動トランジスタの第2のゲート電極と前記第2の電流路の他端側との間に接続された容量素子を有し、前記駆動トランジスタは、前記特定の構造を有し、前記第2のドレイン電極が前記電源ラインに接続され、前記第2のソース電極に前記発光素子の一端側が接続され、前記ソース側寄生容量が前記ドレイン側寄生容量の容量値より大きくなるように設定されていることを特徴とする。

10

【0025】

請求項4記載の発明は、請求項3記載の画素駆動回路において、前記書込制御手段は、第3のソース電極と第3のドレイン電極間の第3の電流路の一端側が前記電源ラインに接続され、該第3の電流路の他端が前記駆動トランジスタの第2のゲート電極に接続され、第3のゲート電極に前記選択信号が印加される、前記電界効果型トランジスタからなる制御トランジスタを有し、前記制御トランジスタは、前記特定の構造を有し、前記第3のドレイン電極が前記電源ラインに接続され、前記第3のソース電極が前記駆動トランジスタの第2のゲート電極に接続され、前記ソース側寄生容量が前記ドレイン側寄生容量の容量値より小さくなるように設定されていることを特徴とする。

20

【0026】

請求項5記載の発明は、請求項3記載の画素駆動回路において、前記書込制御手段は、第3のソース電極と第3のドレイン電極間の第3の電流路の一端側が前記電源ラインに接続され、該第3の電流路の他端が前記駆動トランジスタの第2のゲート電極に接続され、第3のゲート電極に前記選択信号が印加される、前記電界効果型トランジスタからなる制御トランジスタを有し、前記制御トランジスタは、前記特定の構造を有し、前記第3のドレイン電極が前記電源ラインに接続され、前記第3のソース電極が前記駆動トランジスタの前記第2のゲート電極に接続され、前記ソース側寄生容量が前記ドレイン側寄生容量の容量値より大きくなるように設定されていることを特徴とする。

30

【0027】

請求項6記載の発明は、請求項1乃至5のいずれかに記載の画素駆動回路において、前記特定の構造において、前記ソース電極と前記ドレイン電極の平面形状が非対称になるように形成されていることを特徴とする。

【0028】

請求項7記載の発明は、請求項1乃至6のいずれかに記載の画素駆動回路において、前記特定の構造において、前記ソース電極側と前記ドレイン電極側のゲート電極の幅が異なるように形成されていることを特徴とする。

40

【0029】

請求項8記載の発明は、請求項6又は7記載の画素駆動回路において、前記特定の構造において、前記ソース電極と前記ドレイン電極は、少なくとも対向する外周部が円弧状に形成されていることを特徴とする。

【0030】

請求項9記載の発明は、請求項8記載の画素駆動回路において、前記特定の構造において、前記ゲート電極は、円弧状の帯状の平面形状を有することを特徴とする。

50

請求項 10 記載の発明は、請求項 6 又は 7 記載の画素駆動回路において、前記特定の構造において、前記ソース電極と前記ドレイン電極は、少なくとも対向する外周部が直線状に形成されていることを特徴とする。

【 0 0 3 1 】

請求項 11 記載の発明は、請求項 10 記載の画素駆動回路において、前記特定の構造において、前記ゲート電極は、矩形状の平面形状を有することを特徴とする。

請求項 12 記載の発明は、請求項 1 乃至 11 のいずれかに記載の画素駆動回路において、前記各電界効果型トランジスタは、アモルファスシリコンからなる半導体層を備えた素子構造を有していることを特徴とする。

10

【 0 0 3 3 】

請求項 13 記載の発明は、表示パネルに互いに直行するように配設された複数の走査ライン及び複数の信号ラインの各交点近傍に配置された複数の表示画素に対して、前記各信号ラインを介して、表示データに応じた階調信号を供給することにより、前記表示パネルに所望の画像情報を表示する画像表示装置において、前記各表示画素は、電流制御型の発光素子と、前記発光素子の発光動作を制御する画素駆動回路と、を備え、前記画素駆動回路は、少なくとも、前記階調信号に基づく電荷を電圧成分として保持する電荷保持手段と、前記各走査ラインに選択信号が印加されるタイミングで前記階調信号を前記電荷保持手段に供給する書込制御手段と、電源電圧が印加される電源ラインに接続され、前記電荷保持手段に保持された電圧成分に基づいて、前記発光駆動電流を生成して、前記発光素子に供給する発光制御手段と、を備え、前記階調信号は前記輝度階調に応じた電流値を有する階調信号電流であり、前記書込制御手段及び前記発光制御手段は、各々、電界効果型トランジスタを備えて構成され、前記書込制御手段は、第 1 のソース電極と第 1 のドレイン電極間の第 1 の電流路の一端側が、前記階調信号電流が供給される前記各信号ラインに接続され、該第 1 の電流路の他端が前記発光制御手段に接続され、第 1 のゲート電極に前記選択信号が印加される、前記電界効果型トランジスタからなる書込トランジスタを有し、前記書込トランジスタは、前記信号ラインに前記階調信号電流が供給され、前記第 1 のゲート電極に前記選択信号が印加されたときに、前記第 1 の電流路に、前記電源ラインから前記発光制御手段を介して、前記階調信号電流に対応した書込電流が流れ、ゲート電極、ソース電極及びドレイン電極に所定電圧が印加されたときに前記ソース電極と前記ドレイン電極間の電流路に流れる電流を維持して、前記ゲート電極とソース電極間に形成されるソース側寄生容量と、前記ゲート電極と前記ドレイン電極間に形成されるドレイン側寄生容量との容量値が異なるように設定された特定の構造を有し、前記各信号ラインに接続される前記階調信号電流が供給される前記第 1 の電流路の一端側に形成される前記ドレイン側寄生容量と前記ソース側寄生容量の一方の容量値が、前記第 1 の電流路の他端側に形成される、前記ドレイン側寄生容量と前記ソース側寄生容量の他方の容量値より小さい値に設定されていることを特徴とする。

20

30

【 0 0 3 4 】

請求項 14 記載の発明は、請求項 13 記載の画像表示装置において、前記画像表示装置は、少なくとも、前記各走査ラインに前記選択信号を印加して、前記各走査ラインに接続された前記各表示画素に設けられた前記書込制御手段により、前記階調信号の当該表示画素への書き込みを可能とする選択状態に設定する走査駆動手段と、前記選択状態に設定された前記表示画素に対応した前記表示データに基づく前記階調信号を生成して、前記信号ラインを介して前記表示画素に供給する信号駆動手段と、を備えることを特徴とする。

40

【 0 0 3 5 】

請求項 15 記載の発明は、請求項 13 又は 14 記載の画像表示装置において、前記書込トランジスタは、前記第 1 のドレイン電極が前記各信号ラインに接続されて前記階調信号

50

電流が供給され、前記ドレイン側寄生容量が前記ソース側寄生容量の容量値より小さくなるように設定されていることを特徴とする。

【0036】

請求項16記載の発明は、請求項13又は14記載の画像表示装置において、前記発光制御手段は、第2のソース電極と第2のドレイン電極間の第2の電流路の一端側が前記電源ラインに接続され、該第2の電流路の他端側が前記第書込トランジスタの前記第1の電流路の他端側と前記発光素子の一端側とに接続され、前記電界効果型トランジスタからなる駆動トランジスタを有し、前記電荷保持手段は、前記駆動トランジスタの第2のゲート電極と前記第2の電流路の他端側との間に接続された容量素子を有し、前記駆動トランジスタは、前記特定の構造を有し、前記第2のドレイン電極が前記電源ラインに接続され、前記第2のソース電極に前記発光素子の一端側が接続され、前記ソース側寄生容量が前記ドレイン側寄生容量の容量値より大きくなるように設定されていることを特徴とする。

10

【0037】

請求項17記載の発明は、請求項16記載の画像表示装置において、前記書込制御手段は、第3のソース電極と第3のドレイン電極間の第3の電流路の一端側が前記電源ラインに接続され、該第3の電流路の他端が前記駆動トランジスタの第2のゲート電極に接続され、第3のゲート電極に前記選択信号が印加される、前記電界効果型トランジスタからなる制御トランジスタを有し、前記制御トランジスタは、前記特定の構造を有し、前記第3のドレイン電極が前記電源ラインに接続され、前記第3のソース電極が前記駆動トランジスタの第2のゲート電極に接続され、前記ソース側寄生容量が前記ドレイン側寄生容量の容量値より小さくなるように設定されていることを特徴とする。

20

【0038】

請求項18記載の発明は、請求項16記載の画像表示装置において、前記書込制御手段は、第3のソース電極と第3のドレイン電極間の第3の電流路の一端側が前記電源ラインに接続され、該第3の電流路の他端が前記駆動トランジスタの第2のゲート電極に接続され、第3のゲート電極に前記選択信号が印加される、前記電界効果型トランジスタからなる制御トランジスタを有し、前記制御トランジスタは、前記特定の構造を有し、前記第3のドレイン電極が前記電源ラインに接続され、前記第3のソース電極が駆動トランジスタの第2のゲート電極に接続され、前記ソース側寄生容量が前記ドレイン側寄生容量の容量値より大きくなるように設定されていることを特徴とする。

30

【0039】

請求項19記載の発明は、請求項13乃至18のいずれかに記載の画像表示装置において、前記各電界効果型トランジスタは、アモルファスシリコンからなる半導体層を備えた素子構造を有していることを特徴とする。

【0040】

請求項20記載の発明は、請求項13乃至19のいずれかに記載の画像表示装置において、前記特定の構造において、前記ソース電極と前記ドレイン電極の平面形状が非対称になるように形成されていることを特徴とする。

40

【0041】

請求項21記載の発明は、請求項13乃至20のいずれかに記載の画像表示装置において、前記特定の構造において、前記ソース電極側と前記ドレイン電極側のゲート電極の幅が異なるように形成されていることを特徴とする。

【0042】

50

請求項 2 2 記載の発明は、請求項 1 3 乃至 2 1 のいずれかに記載の画像表示装置において、前記特定の構造において、前記ソース電極と前記ドレイン電極は、少なくとも対向する外周部が円弧状に形成され、前記ゲート電極は、円弧状の帯状の平面形状を有するように形成されていることを特徴とする。

【 0 0 4 3 】

請求項 2 3 記載の発明は、請求項 1 3 乃至 2 1 のいずれかに記載の画像表示装置において、前記特定の構造において、前記ソース電極と前記ドレイン電極は、少なくとも対向する外周部が直線状に形成され、前記ゲート電極は、矩形状の平面形状を有するように形成されていることを特徴とする。

10

請求項 2 4 記載の発明は、請求項 1 3 乃至 2 3 のいずれかに記載の画像表示装置において、前記発光素子は、有機エレクトロルミネッセント素子であることを特徴とする。

【発明の効果】

【 0 0 4 4 】

すなわち、本発明に係る画素駆動回路は、有機 EL 素子や発光ダイオード等のように、供給される電流の電流値に応じた輝度で発光動作する電流制御型の発光素子に対して、所望の輝度階調で発光動作させるための発光駆動電流を供給する画素駆動回路において、少なくとも、階調信号（階調信号電流）を画素駆動回路に取り込む（書き込む）タイミングを制御する書込制御手段、及び、該階調電流に基づく電圧成分に基づいて、上記発光駆動電流を生成して発光素子に供給する発光制御手段が、電界効果型トランジスタ（薄膜トランジスタ）により構成され、書込制御手段は、第 1 のソース電極と第 1 のドレイン電極間の第 1 の電流路の一端側が、前記階調信号電流が供給される信号ラインに接続され、該第 1 の電流路の他端が前記発光制御手段に接続され、第 1 のゲート電極に前記選択信号が印加される、前記電界効果型トランジスタからなる書込トランジスタを有し、該書込トランジスタは、信号ラインに階調信号電流が供給され、第 1 のゲート電極に選択信号が印加されたときに、電源ラインから発光制御手段を介して、第 1 の電流路に階調信号電流に対応した書込電流が流れ、ゲート電極、ソース電極及びドレイン電極に所定電圧が印加されたときにソース電極とドレイン電極間の電流路に流れる電流を維持して、ゲート - ソース間のソース側寄生容量とゲート - ドレイン間のドレイン側寄生容量の容量値が異なるように設定された特定の構造を有し、信号ラインに接続される第 1 の電流路の一端側に形成されるドレイン側寄生容量とソース側寄生容量の一方の容量値が、第 2 の電流路の他端側に形成される、ドレイン側寄生容量とソース側寄生容量の他方の容量値より小さい値に設定されている。

20

30

【 0 0 4 5 】

このような構成を有する画素駆動回路によれば、書込制御手段及び発光制御手段を構成する各電界効果型トランジスタの電流駆動能力を維持した状態で、各電界効果型トランジスタのソース側寄生容量及びドレイン側寄生容量の値を適切な値に設定して、階調信号（階調信号電流）の書込動作特性や、階調信号に対する発光素子の発光動作特性の改善等を図ることができる。

40

【 0 0 4 6 】

例えば、書込トランジスタの第 1 のドレイン電極が信号ラインに接続されて階調信号電流が供給されるように構成されているとき、上記特定の構造において、ドレイン側寄生容量がソース側寄生容量の容量値より小さく設定されていることにより、信号ラインに寄生する配線容量を低減することができて、画素駆動回路への階調信号（階調信号電流）の書込動作の遅延を抑制することができる。

【 0 0 4 7 】

また、発光制御手段は、第 2 のソース電極と第 2 のドレイン電極間の第 2 の電流路の一

50

端側が電源ラインに接続され、該第2の電流路の他端側が書込トランジスタの第1の電流路の他端側と発光素子の一端側とに接続され、電界効果型トランジスタからなる駆動トランジスタを有し、電荷保持手段は、駆動トランジスタの第2のゲート電極と第2の電流路の他端側との間に接続された容量素子を有し、該駆動トランジスタが上記特定の構造を有していてもよく、発光素子側のソース側寄生容量をドレイン側寄生容量の容量値より大きく設定することにより、画素駆動回路が書込動作状態から発光動作状態に移行する際の電圧変化に伴って、発光駆動電流が増加する傾向を抑制することができ、階調信号に応じた適切な輝度階調で発光素子を発光動作させることができる。

【0048】

また、書込制御手段は、第3のソース電極と第3のドレイン電極間の第3の電流路の一端側が電源ラインに接続され、該第3の電流路の他端が駆動トランジスタの第2のゲート電極に接続され、第3のゲート電極に選択信号が印加される、電界効果型トランジスタからなる制御トランジスタを有し、該制御トランジスタが上記特定の構造を有していてもよく、第3のドレイン電極が電源ラインに接続され、第3のソース電極が駆動トランジスタの第2のゲート電極に接続されて、ソース側寄生容量をドレイン側寄生容量の容量値より小さく設定することにより、画素駆動回路が書込動作状態から発光動作状態に移行する際の電圧変化に伴って、該制御端子の電圧が低下して発光駆動電流が減少する傾向を抑制することができ、階調信号に応じた適切な輝度階調で発光素子を発光動作させることができる。

【0049】

また、書込制御手段は、第3のソース電極と第3のドレイン電極間の第3の電流路の一端側が電源ラインに接続され、該第3の電流路の他端が駆動トランジスタの第2のゲート電極に接続され、第3のゲート電極に選択信号が印加される、電界効果型トランジスタからなる制御トランジスタを有し、該制御トランジスタが上記特定の構造を有していてもよく、第3のドレイン電極が前記電源ラインに接続され、第3のソース電極が駆動トランジスタの第2のゲート電極に接続されて、ソース側寄生容量をドレイン側寄生容量の容量値より大きく設定、もしくは、更に別個に容量素子を接続することにより、黒表示状態（階調信号電流が0）においても発光素子に発光駆動電流が流れる現象を抑制することができ、階調信号に応じた適切な輝度階調で発光素子を発光動作させる（この場合は、発光動作させない）ことができる。

【0050】

さらに、上記制御トランジスタのドレイン側寄生容量の容量値を小さく設定することにより、画素駆動回路における各動作状態への移行を迅速に行うことができ、書込不足を抑制して階調信号に応じた適切な輝度階調で発光素子を発光動作させることができるとともに、上記駆動制御信号を生成、出力するドライバの負荷を減少させることができる。

【0051】

ここで、上記特定の構造における上記各寄生容量の容量値を異なるように設定する手法としては、電界効果型トランジスタのソース電極とドレイン電極の平面形状が非対称になるように形成し、各寄生容量の容量値に関連するゲート電極の幅（ゲート幅）を異なるように設定した構成を適用することができる。より具体的には、ソース電極及びドレイン電極の対向する外周部が同心円状に形成され、例えば、半円形状の外周部を有して突出したドレイン電極と、該ドレイン電極の外周部に対応して円弧状の外周部を有して延在するソース電極と、円弧状の帯状の平面形状を有するゲート電極と、からなる構成を適用することができる。

【0052】

そして、本発明に係る画像表示装置は、上述したような回路構成を有する画素駆動回路

10

20

30

40

50

と電流制御型の発光素子とを備えた表示画素を、相互に直交する複数の走査ラインと複数の信号ライン（データライン）の各交点近傍に、配列した表示パネルを備えることにより、走査駆動手段（走査ドライバ）により各走査ラインに接続された表示画素を選択状態に設定し、信号駆動手段（データドライバ）により表示データに基づく電流値を有する階調信号（階調信号電流）を、当該表示画素に供給することにより、階調信号（表示データ）に応じた輝度階調で各表示画素（発光素子）を発光動作させる。

【0053】

ここで、各表示画素に設けられる画素駆動回路を構成する電界効果型トランジスタの寄生容量を、上述したように適宜設定することにより、階調信号が供給される信号ライン（データライン）に寄生する配線容量を低減して、表示画素（画素駆動回路）への当該階調信号（階調信号電流）の書込動作の遅延を抑制する効果、画素駆動回路が書込動作状態から発光動作状態に移行する際の、発光駆動電流の変動を抑制する効果、黒表示状態（階調信号電流が0）において、発光駆動電流が増加する傾向を抑制する効果、画素駆動回路における各動作状態への移行を迅速に行い、書込不足を抑制する効果を単独で、もしくは、いずれかを組み合わせ実現することができる。

【0054】

したがって、書込不足や発光駆動電流の変動を抑制して表示データ（階調信号電流）に応じた適切な輝度階調で発光素子を発光動作させることができ、コントラストの低下を抑制して表示画質を向上させることができる。また、各駆動制御信号が印加される信号線に寄生する配線容量を低減して、ドライバの負荷を減少させることができるので、画像表示装置の消費電力を抑制することができる。

【発明を実施するための最良の形態】

【0055】

以下に、本発明に係る画素駆動回路及び該画素駆動回路を表示パネルに備えた画像表示装置の実施の形態について、詳しく説明する。

< 画像表示装置 >

まず、本発明に係る画像表示装置の概略構成について、図面を参照して説明する。

図1は、本発明に係る画像表示装置の基本構成を示す概略ブロック図であり、図2は、本発明に係る画像表示装置に適用可能なデータドライバの一例を示す概略ブロック図である。ここでは、電流印加方式の駆動制御方法に対応した構成を有する画像表示装置について説明する。

【0056】

図1に示すように、本発明に係る画像表示装置100は、概略、行方向及び列方向に相互に直交するように配設された複数の走査ラインSLと複数のデータライン（信号ライン）DLとの各交点近傍に、例えば、後述する画素駆動回路及び電流制御型の発光素子（有機EL素子）からなる複数の表示画素EMがマトリクス状に配列された表示パネル110と、該表示パネル110の各走査ラインSLに接続され、各走査ラインSLに所定のタイミングで順次走査信号（選択信号）Vselを印加することにより、行ごとの表示画素EMを選択状態に設定（走査）する走査ドライバ（走査駆動手段）120と、表示パネル110の各データラインDLに接続され、表示データに基づく階調信号電流I_{pix}を生成して、各データラインDLに供給するデータドライバ（信号駆動手段）130と、少なくとも、走査ドライバ120及びデータドライバ130の動作状態を制御するための走査制御信号及びデータ制御信号を生成して出力するシステムコントローラ140と、表示装置100の外部から供給される映像信号に基づいて、デジタル信号からなる表示データ（表示信号）を生成し、上記データドライバ130に供給するとともに、該表示データに基づいて表示パネル110に所定の画像情報を表示するためのタイミング信号（システムクロック等）を抽出、又は、生成してシステムコントローラ140に供給する表示信号生成回路150と、を備えて構成されている。

【0057】

（表示パネル110）

表示パネル 110 にマトリクス状に配列された表示画素 EM は、電流制御型の発光素子と、走査ドライバ 120 から走査ライン SL に印加される走査信号 Vsel、及び、信号ドライバ 130 からデータライン DL に供給される階調信号電流 I_{pix}に基づいて、階調信号電流 I_{pix}を取り込んで、電圧成分として保持する書込動作、及び、該電圧成分に基づいて、所定の電流値を有する発光駆動電流を発光素子に供給して所定の輝度階調で発光させる発光動作を、選択的に実行する画素駆動回路と、を有して構成されている。なお、本発明に適用可能な表示画素（画素駆動回路）の具体例については後述する。

【0058】

（走査ドライバ 120）

走査ドライバ 120 は、システムコントローラ 140 から供給される走査制御信号に基づいて、各走査ライン SL に選択レベル（例えば、ハイレベル）の走査信号 Vsel を順次印加することにより、各行ごとの表示画素 EM を選択状態に設定し、データドライバ 130 により各データライン DL を介して供給される、表示データに基づく階調電流 I_{pix}を、各表示画素 EM（画素駆動回路）に書き込むように制御する。

10

【0059】

ここで、走査ドライバ 120 は、例えば、シフトレジスタとバッファからなるシフトブロックが、各走査ライン SL に対応して複数段設けられ、後述するシステムコントローラ 140 から供給される走査制御信号（走査スタート信号、走査クロック信号等）に基づいて、シフトレジスタによりシフト信号を順次次段にシフトしつつ、当該各段（各行）のシフト信号をバッファを介して所定の電圧レベル（ハイレベル）に変換して走査信号 Vsel として各走査ライン SL に順次出力する、周知の構成を適用することができる。

20

【0060】

（データドライバ 130）

データドライバ 130 は、システムコントローラ 140 から供給されるデータ制御信号に基づいて、表示信号生成回路 150 から供給される表示データを所定のタイミングで取り込んで保持し、該表示データの階調値に対応する電流値を有する階調電流 I_{pix}を生成して、上記各走査ライン SL ごとに設定される選択期間内に各データライン DL に供給する。

【0061】

ここで、データドライバ 130 は、具体的には、図 2 に示すように、システムコントローラ 140 から供給されるデータ制御信号（シフトクロック信号 CLK、サンプリングスタート信号 STR）に基づいて、順次シフト信号を出力するシフトレジスタ回路 131 と、該シフト信号の入力タイミングに基づいて、表示信号生成回路 160 から供給される 1 行分の表示データ D₀ ~ D_m を順次取り込むデータレジスタ回路 132 と、データ制御信号（データラッチ信号 STB）に基づいて、データレジスタ回路 132 により取り込まれた 1 行分の表示データ D₀ ~ D_m を保持するデータラッチ回路 133 と、図示を省略した電源供給手段から供給される階調基準電圧 V₀ ~ V_p に基づいて、上記保持された表示データ D₀ ~ D_m を所定のアナログ信号電圧（階調電圧 V_{pix}）に変換する D/A コンバータ（デジタル - アナログ変換器）134 と、アナログ信号電圧に変換された表示データ（補正後表示データ）に対応する電流値を有する階調信号電流 I_{pix}を生成し、システムコントローラ 140 から供給されるデータ制御信号（出力イネ - ブル信号 OE）に基づくタイミングで、該階調信号電流 I_{pix}をデータライン DL を介して各表示画素 EM に一斉に供給する電圧電流変換・電流供給回路 135 と、を有して構成されている。

30

40

【0062】

（システムコントローラ 140）

システムコントローラ 140 は、例えば、表示信号生成回路 150 から供給されるタイミング信号に基づいて、少なくとも、走査ドライバ 120 及びデータドライバ 130 に対して、走査制御信号及びデータ制御信号を生成して出力することにより、各ドライバを所定のタイミングで動作させて、走査信号 Vsel 及び階調信号電流 I_{pix}を生成させ、各走査ライン SL 及びデータライン DL に印加して各表示画素（画素駆動回路及び発光素子）E

50

Mにおける発光動作を連続的に実行させて、映像信号に基づく画像情報を表示パネル110に表示させる制御を行う。

【0063】

(表示信号生成回路150)

表示信号生成回路150は、例えば、表示装置100の外部から供給される映像信号から輝度階調信号成分を抽出して、表示パネル110の1行分ごとに、該輝度階調信号成分をデジタル信号からなる表示データとしてデータドライバ130に供給する。ここで、上記映像信号が、例えば、テレビ放送信号(コンポジット映像信号)のように、画像情報の表示タイミングを規定するタイミング信号成分を含む場合には、表示信号生成回路150は、図1に示すように、上記輝度階調信号成分を抽出する機能のほか、タイミング信号成分を抽出してシステムコントローラ140に供給する機能を有するものであってもよい。この場合においては、上記システムコントローラ140は、表示信号生成回路150から供給されるタイミング信号に基づいて、走査ドライバ120やデータドライバに対して個別に供給する走査制御信号及びデータ制御信号を生成する。

10

【0064】

なお、表示装置100の外部から供給される映像信号がデジタル信号により形成され、また、タイミング信号が映像信号とは別に供給されている場合には、当該映像信号(デジタル信号)をそのまま表示データとして、データドライバ130に供給するとともに、当該タイミング信号を直接システムコントローラ140に供給するようにして、表示信号生成回路150を省略するようにしてもよい。

20

【0065】

<表示画素>

次いで、上述した本実施形態に係る画像表示装置に適用される表示パネルに配列される表示画素の具体回路例について、図面を参照して詳しく説明する。

図3は、本発明に係る表示装置に適用可能な表示画素(画素駆動回路)の具体回路例を示す回路構成図であり、図4は、本回路例に係る画素駆動回路の動作状態を示す概念図である。図5は、本回路例に係る画素駆動回路を適用した表示画素の基本動作を示すタイミングチャートである。図5においては、表示パネルの*i*行目及び*i*+1行目の、*j*列目の表示画素における駆動制御動作を示す。ここで、*i*、*j*は表示パネルの表示画素を特定するための任意の正の整数である。

30

【0066】

本実施形態に係る表示画素EMは、図3に示すように、上述した表示パネル110に相互に直交するように配設された走査ライン(選択ライン)SLとデータラインDLとの各交点近傍に、例えば、ゲート端子が走査ラインSLに、ソース端子及びドレイン端子が電源ラインVL(アノードライン;電源電圧Vsc)及び接点N11に各々接続された薄膜トランジスタ(第1のトランジスタ、書込制御手段)Tr11と、ゲート端子が走査ラインSLに、ソース端子及びドレイン端子がデータラインDL及び接点N12に各々接続された薄膜トランジスタ(第2のトランジスタ、書込制御手段)Tr12と、ゲート端子が接点N11に、ソース端子及びドレイン端子が電源ラインVL及び接点N12に各々接続された薄膜トランジスタ(第3のトランジスタ、発光制御手段)Tr13と、接点N11と接点N12の間に接続されたコンデンサ(容量素子、電荷保持手段)Csと、を備えた画素駆動回路DC、及び、該画素駆動回路DCの接点N12にアノード端子が接続され、カソード端子が接地電位に接続された有機EL素子(電流制御型の発光素子)OELを有して構成されている。なお、コンデンサCsは、薄膜トランジスタTr13のゲート-ソース間に形成される寄生容量であってよい。

40

【0067】

ここで、本実施形態に係る画素駆動回路DCに適用される薄膜トランジスタTr11~Tr13については、特に限定するものではないが、薄膜トランジスタTr11~Tr13を全て*n*チャンネル型の薄膜トランジスタにより構成することにより、*n*チャンネル型のアモルファスシリコンからなる半導体層を備えた電界効果型トランジスタを良好に適用する

50

ことができる。この場合、簡易なアモルファスシリコン製造技術を適用して、動作特性の安定した画素駆動回路を比較的安価に製造することができる。

【0068】

そして、本発明においては、上述したような回路構成を有する画素駆動回路DCにおいて、薄膜トランジスタ $Tr_{11} \sim Tr_{13}$ のうち、少なくとも、いずれかの薄膜トランジスタが、本発明に特有の素子構造を有し、当該薄膜トランジスタのゲート電極とソース電極間に形成される寄生容量と、ゲート電極とドレイン電極間に形成される寄生容量とが、異なる容量値を有するように設定されている。なお、薄膜トランジスタの素子構造及び寄生容量の条件設定については、詳しく後述する。

【0069】

このような構成を有する画素駆動回路DCにおける発光素子（有機EL素子OEL）の駆動制御方法（発光駆動制御）は、例えば、図5に示すように、一走査期間 T_{sc} を1サイクルとして、該一走査期間 T_{sc} 内に、走査ラインSLに接続された表示画素EMを選択して表示データに応じた階調信号電流 I_{pix} を書き込み、電圧成分として保持する書込動作期間（選択期間） T_{se} と、該書込動作期間 T_{se} に書き込み、保持された電圧成分に基づいて、上記表示データに応じた発光駆動電流を生成して有機EL素子OELに供給して、所定の輝度階調で発光動作させる発光動作期間（非選択期間） T_{nse} と、を含むように設定することにより実行される（ $T_{sc} = T_{se} + T_{nse}$ ）。ここで、各行の走査ラインSLごとに設定される書込動作期間 T_{se} は、相互に時間的な重なりが生じないように設定される。

【0070】

（書込動作期間）

すなわち、表示画素EMの書込動作期間 T_{se} においては、図5に示すように、まず、走査ドライバ120から特定の走査ラインSLに対して、ハイレベルの走査信号 V_{sel} が印加されて当該行の表示画素EMが選択状態に設定されるとともに、当該行の表示画素EMの電源ラインVLに対して、ローレベルの電源電圧 V_{sc} が印加される。また、このタイミングに同期して、データドライバ130から当該行の各表示画素に対応する表示データに基づいた電流値を有する負極性の階調信号電流（ $-I_{pix}$ ）が各データラインDLに供給される。

【0071】

これにより、画素駆動回路DCを構成する薄膜トランジスタ Tr_{11} 及び Tr_{12} がオン動作して、ローレベルの電源電圧 V_{sc} が接点N11（すなわち、薄膜トランジスタ Tr_{13} のゲート端子及びコンデンサCsの一端側）に印加されるとともに、データドライバ130によりデータラインDLを介して負極性の階調信号電流（ $-I_{pix}$ ）を引き込む動作が行われることにより、ローレベルの電源電圧 V_{sc} よりも低電位の電圧レベルが接点N12（すなわち、薄膜トランジスタ Tr_{13} のソース端子及びコンデンサCsの他端）に印加される。

【0072】

このように、接点N11及びN12間（薄膜トランジスタ Tr_{13} のゲート-ソース間）に電位差が生じることにより、薄膜トランジスタ Tr_{13} がオン動作して、図4(a)に示すように、電源ラインVLから薄膜トランジスタ Tr_{13} 、接点N12、薄膜トランジスタ Tr_{12} 、データラインDLを介して、データドライバ130に、階調信号電流 I_{pix} の電流値に対応した書込電流（指定電流） I_a が流れる。

【0073】

このとき、コンデンサCsには、接点N11及びN12間（薄膜トランジスタの Tr_{13} のゲート-ソース間）に生じた電位差に対応する電荷が蓄積され、電圧成分として保持される（充電される）。また、電源ラインVLには、接地電位以下の電圧レベルを有する電源電圧 V_{sc} が印加され、さらに、書込電流 I_a がデータラインDL方向に流れるように制御されることから、有機EL素子OELのアノード端子（接点N12）に印加される電位はカソード端子の電位（接地電位）よりも低くなり、有機EL素子OELに逆バイアス電圧が印加されることとなるため、有機EL素子OELには発光駆動電流が流れず、発光

10

20

30

40

50

動作は行われぬ。

【0074】

(発光動作期間)

次いで、書込動作期間 T_{se} 終了後の発光動作期間 T_{nse} においては、図5に示すように、走査ドライバ120から当該書込動作が行われた走査ライン SL に対して、ローレベルの走査信号 V_{sel} が印加されて表示画素 EM が非選択状態に設定されるとともに、当該行の表示画素 EM の電源ライン VL に対して、ハイレベルの電源電圧 V_{sc} が印加される。また、このタイミングに同期して、データドライバ130による階調電流 I_{pix} の引き込み動作(負極性の階調信号電流 I_{pix} の供給動作)が停止される。

【0075】

これにより、画素駆動回路 DC を構成する薄膜トランジスタ $Tr11$ 及び $Tr12$ がオフ動作して、接点 $N11$ (すなわち、薄膜トランジスタ $Tr13$ のゲート端子及びコンデンサ Cs の一端側)への電源電圧 V_{sc} の印加が遮断されるとともに、接点 $N12$ (すなわち、薄膜トランジスタ $Tr13$ のソース端子及びコンデンサ Cs の他端側)へのデータドライバ130による階調信号電流 I_{pix} の引き込み動作に起因する電圧レベルの印加が遮断されるので、コンデンサ Cs は、上述した書込動作期間において蓄積された電荷を保持する。

【0076】

このように、コンデンサ Cs が書込動作時の充電電圧を保持することにより、接点 $N11$ 及び $N12$ 間(薄膜トランジスタの $Tr13$ のゲート-ソース間)の電位差が保持されることになり、薄膜トランジスタ $Tr13$ はオン状態を維持する。また、電源ライン VL には、接地電位よりも高い電圧レベルを有する電源電圧 V_{sc} が印加されるので、有機 EL 素子 OEL のアノード端子(接点 $N12$)に印加される電位はカソード端子の電位(接地電位)よりも高くなる。

【0077】

したがって、図4(b)に示すように、電源ライン VL から薄膜トランジスタ $Tr13$ 、接点 $N12$ を介して、有機 EL 素子 OEL に順バイアス方向に所定の発光駆動電流(出力電流) I_b が流れ、有機 EL 素子 OEL が発光する。ここで、コンデンサ Cs により蓄積された電荷に基づく電位差(充電電圧)は、薄膜トランジスタ $Tr13$ において階調信号電流 I_{pix} に対応した書込電流 I_a を流す場合の電位差に相当するので、有機 EL 素子 OEL に供給される発光駆動電流 I_b は、上記書込電流 I_a と同等の電流値を有することになる。これにより、書込動作期間 T_{se} 後の非選択期間 T_{nse} においては、書込動作期間 T_{se} に書き込まれた表示データ(階調信号電流 I_{pix})に対応する電圧成分に基づいて、薄膜トランジスタ $Tr13$ を介して、発光駆動電流 I_b が継続的に供給されることになり、有機 EL 素子 OEL は表示データに対応する輝度階調で発光する動作を継続する。

【0078】

そして、上述した一連の動作を、表示パネル110を構成する全ての走査ライン SL について順次繰り返し実行することにより、表示パネル1画面分の表示データが書き込まれて、所定の輝度階調で発光し、所望の画像情報が表示される。

ここで、本実施形態に係る画素駆動回路 DC においては、上述したように(図5参照)、電源ライン VL に所定の電圧値を有する電源電圧 V_{sc} を印加する必要があるが、そのための構成としては、例えば、図1に示した表示装置100の構成に加え、表示パネル110の各走査ライン SL に並行に配設された複数の電源ライン VL に接続された電源ドライバを備え、上述したシステムコントローラ140から供給される電源制御信号に基づいて、走査ドライバ120から出力される走査信号 V_{sel} に同期するタイミング(図5参照)で、当該電源ドライバから所定の電圧値を有する電源電圧 V_{sc} を、走査ドライバ120により走査信号 V_{sel} が印加される行(選択状態に設定される表示画素 EMB)の電源ライン VL に対して印加するようにした構成を適用するものであってもよいし、走査ドライバ120から出力される走査信号 V_{sel} に同期するタイミングで、電源電圧 V_{sc} が電源ライン VL に印加されることから、走査ドライバ120において、走査信号 V_{sel} (又は、走

10

20

30

40

50

査信号を生成するためのシフト出力信号)を反転処理し、所定の信号レベルに増幅して、電源電圧 V_{sc} として各電源ライン V_L に印加するようにした構成を適用するものであってもよい。

【0079】

なお、上述した表示画素においては、電流印加方式に対応した画素駆動回路の一例として、3個の同一のチャンネル極性を有する薄膜トランジスタを備え、データドライバにより負極性の階調信号電流を生成して、表示画素(画素駆動回路)からデータラインを介してデータドライバ方向に該階調信号電流を引き込む形態の回路構成を示したが、本発明はこれに限定されるものではない。

【0080】

すなわち、少なくとも、表示データに基づく階調信号に応じた電圧成分を保持し、当該電圧成分に基づく発光駆動電流を生成して、電流制御型の発光素子に供給する機能を有する薄膜トランジスタ(発光制御手段)を備えるものであれば、他の回路構成を有するものであってもよく、例えば、4個の薄膜トランジスタを備えた回路構成を有するものであってもよい。さらには、データドライバにより正極性の階調電流を生成して、データドライバからデータラインを介して表示画素(画素駆動回路)方向に該階調電流を流し込む形態に対応した回路構成を有するものであってもよい。

【0081】

また、上述した表示画素においては、電流制御型の発光素子として、有機EL素子を適用した構成を示したが、これに限定されるものではなく、供給される発光駆動電流の電流値に応じて所定の輝度階調で発光動作する発光素子であれば、例えば、発光ダイオードやその他の発光素子を適用するものであってもよい。

【0082】

<画素駆動回路における寄生容量の検討>

ここで、上述した回路構成を有する画素駆動回路における容量成分(保持容量及び寄生容量)の接続状態について詳しく検討する。

図6は、図3に示した画素駆動回路における容量成分の接続状態を示す概念図であり、図7は、画素駆動回路に形成される寄生容量の影響を説明するための概念図である。

【0083】

まず、上述した画素駆動回路(図3参照)においては、各スイッチング素子を構成する薄膜トランジスタ $T_{r11} \sim T_{r13}$ として、電界効果型のトランジスタ構造を適用した場合、周知のように、各薄膜トランジスタのゲート電極(G)とソース電極(S)がゲート絶縁膜を介して対向するように形成され、また、ゲート電極(G)とドレイン電極(D)もゲート絶縁膜を介して対向するように形成されているため、図6(a)に示すように、薄膜トランジスタFTのゲート-ソース間、及び、ゲート-ドレイン間に、それぞれ寄生容量 C_{gs} 、 C_{gd} が生じる。

【0084】

そのため、本実施形態に適用される画素駆動回路DCにおいては、図6(b)に示すように、薄膜トランジスタ T_{r11} には、走査ラインSLに接続されたゲート電極と接点N11に接続されたソース電極との間に寄生容量 C_{gs1} が形成され、該ゲート電極と電源ラインVLに接続されたドレイン電極との間に寄生容量 C_{gd1} が形成される。また、薄膜トランジスタ T_{r12} においては、走査ラインSLに接続されたゲート電極と接点N12に接続されたソース電極との間に寄生容量 C_{gs2} が形成され、該ゲート電極とデータラインDLに接続されたドレイン電極との間に寄生容量 C_{gd2} が形成される。また、薄膜トランジスタ T_{r13} においては、接点N11に接続されたゲート電極と接点N12に接続されたソース電極との間に寄生容量 C_{gs3} が形成され、該ゲート電極と電源ラインVLに接続されたドレイン電極との間に寄生容量 C_{gd3} が形成される。

【0085】

また、有機EL素子OELは、ダイオード接合構造を有しているため、アノード電極とカソード電極との間に、接合容量に起因する寄生容量 C_{oel} が形成され、また、データラ

10

20

30

40

50

インDLと走査ラインSL間、データラインDLと電源ラインVL間にも配線容量（寄生容量）CLd-s、CLd-vが形成される。また、接点N11とN12との間には、保持容量としてのコンデンサCsが接続されている。

【0086】

そして、このような各種の容量成分が画素駆動回路の駆動制御動作（すなわち、画像表示装置の表示駆動動作）に及ぼす影響は、概ね、次の通りである。

（1）薄膜トランジスタTr12のゲート電極（走査ラインSL）とドレイン電極（データラインDL）との間に形成される寄生容量Cgd2により、書込動作時に動作遅延を生じ、書き込み不足を生じる。

【0087】

すなわち、上述した書込動作において、走査ラインSLにハイレベルの走査信号Vselが印加されることにより薄膜トランジスタ12がオン動作し、表示画素EM（画素駆動回路DC）が選択状態に設定された状態で、データラインDLを介して階調信号電流Ipixが供給されると、当該表示画素EM（画素駆動回路DC）への階調信号電流Ipixの供給に先立って、まず、該階調信号電流Ipixにより、データラインDLに形成された配線容量CLd-s、CLd-v、及び、薄膜トランジスタTr12の寄生容量Cgd2を充電する動作が実行され、その後、薄膜トランジスタTr12を介して接点N12に当該階調信号電流Ipixが供給される。したがって、階調信号電流Ipixがデータドライバ130からデータラインDLに供給されてから、実際に表示画素EM（画素駆動回路DC）に書き込まれるまでに、ある程度の遅延時間（すなわち、書込動作の遅延）が発生する。

【0088】

そのため、表示パネル110の大型化等に伴って、データラインDLに形成された配線容量CLd-s、CLd-v及び寄生容量Cgd2の容量値が大きくなった場合や、表示パネル110の高精細化に伴って、表示画素数が増加し、各表示画素EMに割り当てられる選択期間が短く設定された場合においては、予め規定された選択期間（書込動作期間）内に上記容量成分（配線容量CLd-s、CLd-v及び寄生容量Cgd2）を充電し、さらに、本来の階調信号電流の電流値で表示画素に書き込みを行うことができなくなり、表示データの書き込み不足を生じる。これにより、各表示画素において、階調信号電流（表示データ）により指定された輝度階調で発光動作することができなくなり、表示画質の劣化を招く。

【0089】

特に、表示画素EM（画素駆動回路DC）を構成する薄膜トランジスタに、アモルファスシリコン半導体層を適用した場合、アモルファスシリコンは比較的、電子移動度が低いため、トランジスタサイズ（ゲート電極の幅）を大きくする必要があり、この場合、データラインDLの配線容量CLd-s、CLd-vよりも薄膜トランジスタTr12の寄生容量Cgd2の容量値の方が大きくなり、上述した書き込み不足の主な原因となる。

【0090】

（2）薄膜トランジスタTr11のゲート電極（走査ラインSL）とソース電極（接点N11）との間に形成される寄生容量Cgs1、及び、薄膜トランジスタTr13のゲート電極（接点N11）とドレイン電極（電源ラインVL）との間に形成される寄生容量Cgd3により、発光動作時に発光駆動電流の電流誤差を生じ、発光特性の劣化を生じる。

【0091】

すなわち、上述した書込動作が所定の選択期間内に十分に実行された場合であっても、当該表示画素EM（画素駆動回路DC）の書込動作（選択期間）から発光動作（非選択期間）への移行の際のスイッチング動作により、薄膜トランジスタTr13のゲート電圧（接点N11の電位）が変動して、階調信号電流（書込電流）に対する発光駆動電流の電流値が変動する現象（電流誤差）が生じる。

【0092】

具体的には、書込動作から発光動作へ移行する際（走査信号Vsel及び電源電圧Vscのレベルの切り替わる際）の、保持容量であるコンデンサCsに印加される電圧の変化を検証すると、走査ラインSLに印加される走査信号Vselのレベルが切り替わる（ハイレベ

10

20

30

40

50

ルローレベル)ことによるコンデンサ C_s への影響は、図7(a)に示すような等価回路を用いて説明することができ、また、電源ライン V_L に印加される電源電圧 V_{sc} のレベルが切り替わる(ローレベル→ハイレベル)ことによるコンデンサ C_s への影響は、図7(b)に示すような等価回路を用いて説明することができる。

【0093】

走査信号 V_{sel} がハイレベルからローレベルに切り替わる(立ち下がる)際には、図7(a)に示すように、薄膜トランジスタ T_{r11} のゲート-ソース間の寄生容量 C_{gs1} とコンデンサ C_s と有機EL素子OELの接合容量 C_{oel} とが直列に接続され、これらの両端に走査信号 V_{sel} と接地電位 V_{gnd} とが各々印加された等価回路が形成されるため、これらの容量成分の容量結合により、寄生容量 C_{gs1} の容量値に依存して、コンデンサ C_s に蓄積された電荷(電圧成分)が再分配されて、接点 N_{11} に印加される電圧が低下する。

10

【0094】

また、電源電圧 V_{sc} がローレベルからハイレベルに切り替わる(立ち上がる)際には、図7(b)に示すように、薄膜トランジスタ T_{r13} のゲート-ドレイン間の寄生容量 C_{gd3} とコンデンサ C_s と有機EL素子OELの接合容量 C_{oel} とが直列に接続され、これらの両端に電源電圧 V_{sc} と接地電位 V_{gnd} とが各々印加された等価回路が形成されるため、これらの容量成分の容量結合により、電源電圧 V_{sc} の電圧レベル、寄生容量 C_{gd3} の容量値及びコンデンサ C_s に保持された電圧成分に依存して、接点 N_{11} に印加される電圧が上昇する。

【0095】

20

そのため、薄膜トランジスタ T_{r11} のゲート-ソース間の寄生容量 C_{gs1} 、及び、薄膜トランジスタ T_{r13} のゲート-ドレイン間の寄生容量 C_{gd3} の容量値に依存して、薄膜トランジスタ T_{r13} に印加されるゲート電圧が変動することになり、有機EL素子OELに供給される発光駆動電流と、階調信号電流(書込電流)との間に差異(電流誤差)が生じ、適切な輝度階調で発光動作が行われなくなって、表示画質の劣化(コントラストの低下)を招く。

【0096】

(3)薄膜トランジスタ T_{r11} のゲート電極(走査ライン S_L)とソース電極(接点 N_{11})との間に形成される寄生容量 C_{gs1} 、及び、薄膜トランジスタ T_{r13} のゲート電極(接点 N_{11})とドレイン電極(電源ライン V_L)との間に形成される寄生容量 C_{gd3} により、発光動作時にコンデンサ C_s の両端電圧が低下し、発光駆動電流が減少して発光特性の劣化を生じる。

30

【0097】

すなわち、書込動作の終了後の発光動作時(非選択状態)においては、走査信号 V_{sel} がローレベルに設定されることにより、薄膜トランジスタ T_{r11} 、 T_{r12} はオフ状態となり、一方、コンデンサ C_s に保持された電圧成分により薄膜トランジスタ T_{r13} がオン動作することにより、電源ライン V_L から薄膜トランジスタ T_{r13} 及び接点 N_{12} を介して、有機EL素子OELに発光駆動電流が流れる。

【0098】

これにより、接点 N_{12} の電位は上昇することになるが、この場合の、薄膜トランジスタ T_{r11} のゲート-ソース間の寄生容量 C_{gs1} と薄膜トランジスタ T_{r13} のゲート-ドレイン間の寄生容量 C_{gd3} によるコンデンサ C_s への影響は、図7(c)に示すような等価回路を用いて説明することができる。

40

【0099】

図7(c)に示すように、走査ライン S_L (走査信号 V_{sel})と接点 N_{11} との間に、薄膜トランジスタ T_{r11} のゲート-ソース間の寄生容量 C_{gs1} が接続され、電源ライン V_L (電源電圧 V_{sc})と接点 N_{11} との間に、薄膜トランジスタ T_{r13} のゲート-ドレイン間の寄生容量 C_{gd3} が接続され、接点 N_{11} と接点 N_{12} との間に、コンデンサ C_s と薄膜トランジスタ T_{r13} のゲート-ソース間の寄生容量 C_{gs3} が並列に接続された等価回路において、寄生容量 C_{gs1} 、 C_{gs3} が接続されていない場合には、接点 N_{12} の電位

50

が上昇すると、その変化に応じて接点N11の電位も上昇し、コンデンサCsの両端電圧は一定に保持されるが、寄生容量Cgs1、Cgs3が接続されていることにより、接点N12の電位が上昇しても、接点N11の電位は追従せず、結果的にコンデンサCsの両端電圧が低下する。

そのため、薄膜トランジスタTr13を介して有機EL素子OELに流れる発光駆動電流の電流値が、階調信号電流（書込電流）に対応しなくなり、適切な輝度階調で発光動作が行われなくなって、表示画質の劣化を招く。

【0100】

以上説明したような問題は、上述した表示画素（画素駆動回路）を構成する薄膜トランジスタとして、電子移動度の比較的低いアモルファスシリコン半導体層を適用した場合には顕著となる。すなわち、多結晶シリコン（ポリシリコン）を半導体層に適用した薄膜トランジスタにおいては、電子移動度がアモルファスシリコンよりも100倍程度高いため、トランジスタサイズ（特に、ゲート幅）を比較的小さく形成することができ、それに従って上述したような寄生容量を小さくすることができる。

10

【0101】

これに対して、ポリシリコン半導体よりも製造プロセスが簡易で、安定した素子特性が得られるアモルファスシリコン半導体を適用する場合にあっては、上述したように、電子移動度が低いため、ポリシリコン半導体層を適用した場合と同等の素子特性（電流密度等）を実現するためには、トランジスタサイズ（特に、ゲート幅）を大きく形成する必要がある。そのため、上述した寄生容量の容量値が大きくなり、表示画素EM（画素駆動回路DC）の駆動制御動作に悪影響を及ぼす。

20

【0102】

そこで、本発明においては、以下に示すように、電子移動度の比較的低いアモルファスシリコン半導体層を適用した薄膜トランジスタをスイッチング素子として備えた表示画素（画素駆動回路）において、各薄膜トランジスタに形成される寄生容量の容量値を低減しつつ、高い電流供給能力を保持するために、薄膜トランジスタのソース側及びドレイン側で、各々ゲート幅が異なるように設定することにより、表示画素EM（画素駆動回路DC）の駆動制御動作に、寄生容量が及ぼす影響を抑制するようにしている。

【0103】

<画素駆動回路の第1の実施形態>

30

図8は、本発明に係る画素駆動回路の第1の実施形態を示す回路構成図であり、図9は、本実施形態に係る画素駆動回路に適用される薄膜トランジスタの素子構造の一構成例を示す概略構成図である。図8において、上述した画素駆動回路と同等の回路構成については、同一の符号を付してその説明を簡略化する。また、図9においては、図示を明瞭にするため、ドレイン電極、データライン及びソース電極に便宜的にハッチングを施した。

【0104】

図8に示すように、本実施形態に係る画素駆動回路DCAは、図3に示した画素駆動回路DCと同等の回路構成において、電流路の一端側（ドレイン電極側）がデータラインDLに接続され、制御端子（ゲート電極）が走査ラインSLに接続された、書込制御用の薄膜トランジスタTr12に形成される寄生容量のうち、ゲート-ソース間の寄生容量Cgs2が、ゲート-ドレイン間の寄生容量Cgd2よりも大きく（ $Cgd2 < Cgs2$ ）なるように設定されている。

40

【0105】

ここで、薄膜トランジスタTr12の具体的な素子構造は、ドレイン電極及びソース電極の平面形状が非対称形状を有し、例えば、図9(a)に示すように、同心円状の外周部を有して相互に対向し、半円形状及び半円弧状に延在して形成された電極構造を有している。

【0106】

具体的には、図9(a)、(b)に示すように、薄膜トランジスタTr12のドレイン電極27が円弧状の外周部を有してデータラインDLから半円形状に突出した形状を有し

50

、一方、ソース電極 28 が該ドレイン電極の外周部から等間隔だけ離間して対向するように、円弧状の外周部を有する帯状に構成されている。すなわち、ドレイン電極 27 とソース電極 28 の、互いに対向する外周部の形状は、半径の異なる同心円上の一部の円弧に相当するように形成されている。

また、このようなソース電極 27 及びドレイン電極 28 の対向する外周部の形状に対応して、薄膜トランジスタ Tr 12 の半導体層 23、ゲート電極 21 及びブロック絶縁膜 24 も円弧状の帯状に形成されている。

【0107】

また、薄膜トランジスタ Tr 12 の具体的な断面構造は、図 9 (b) に示すように、概略、アモルファスシリコン等の半導体層 (チャンネル領域) 23 と、該半導体層 23 の上方 (図面上方) に積層されたブロック絶縁膜 (エッチングストッパ膜) 24 と、半導体層 23 及びブロック絶縁膜 24 の両端部に、各々 n⁺シリコンからなる不純物層 (オーミックコンタクト層) 27、28 を介して、一部重なるように延在して形成されたソース電極 28 (ソース端子 S) 及びドレイン電極 27 (ドレイン端子 D) と、半導体層 23 の下方 (図面下方) にゲート絶縁膜 22 を介して形成されたゲート電極 21 と、を有して構成されている。

【0108】

そして、このような構成を有する薄膜トランジスタは、図 9 (b) に示すように、ガラス基板等の絶縁性基板 SUB 上に形成されている。なお、図 9 (b) に示した素子構造において、半導体層 23 上に積層形成されたブロック絶縁膜 24 は、半導体層 23 上に設けられるソース電極 28 及びドレイン電極 27 をパターニング形成する際のエッチング工程において、エッチングストッパとしての機能を有するとともに、当該エッチングによる半導体層 23 へのダメージを防止するための機能を有するものである。

【0109】

次いで、このような素子構造 (電極形状) を有する薄膜トランジスタにおけるゲート幅とチャンネル電流との関係について詳しく検証する。

図 10 は、薄膜トランジスタの半導体層に形成されるチャンネル領域の形状と、当該チャンネル領域に流れる電流 (チャンネル電流) との関係を示すための図である。また、図 11 は、薄膜トランジスタのゲート形状 (ゲート幅及びゲート長) と、当該薄膜トランジスタに形成される寄生容量との関係を示す特性図 (シミュレーション結果) である。

【0110】

まず、一般 (周知) の薄膜トランジスタに適用される矩形状 (四角形) の外周部を有するドレイン電極及びソース電極、並びに、当該ドレイン電極及びソース電極の形状に対応して矩形状 (長方形) に形成された半導体層及びゲート電極を有する素子構造において、図 10 (a) に示すように、矩形状のゲート電極に対応するチャンネル領域 RQch について考えた場合、当該チャンネル領域 RQch (すなわち、ゲート電極) の上方及び下方側に形成されるドレイン電極とソース電極 (図示を省略) に対向するゲート電極の幅 (ゲート幅) W は、同一になる。

【0111】

ここで、単位ゲート幅あたりのチャンネル電流は、チャンネル領域の形状やゲート幅にかかわらず、グラデュアルチャンネル近似法を用いると、次の (1) 式に示す微分方程式で表される。

$$I_y = -g(V_g - V) \cdot dV / dy \quad \dots (1)$$

(1) 式において、チャンネル電流の流れる向きを y 軸方向 (図面上方) とし、g はゲート電圧で決まるチャンネルコンダクタンスであり、V はチャンネル電位であって、ソース端で V_s、ドレイン端で V_d とする。また、関数 g (V_x) は次の (2) 式のように仮定する。

$$g(V_x) = \mu \cdot C_{ox} \cdot (V_x - V_{th}) \cdot dV / dy \quad \dots (2)$$

(2) 式において、μ は電子の移動度であり、C_{ox} は単位面積あたりのゲート容量であり、V_{th} は薄膜トランジスタのしきい値電圧である。

この(2)式により、上記(1)式は次の(3)式のように表される。

$$I_y = -\mu \cdot C_{ox} \cdot (V_g - V - V_{th}) \cdot dV / dy \quad \dots (3)$$

【0112】

ここで、図10(a)に示すように、矩形のチャネル領域RQchに流れる電流について、x方向及びy方向からなる直交座標系を用いて考えると、y方向にチャネル電流が流れる場合、x方向(電流と直交する方向)の電流密度は均一であることから、上記(3)式にチャネル電流の流れる幅Wを積算すると、次の(4)式が導き出される。

$$I = -\mu \cdot C_{ox} \cdot W \cdot (V_g - V_{th} - V) \cdot dV / dy$$

$$I dy = -\mu \cdot C_{ox} \cdot W \cdot (V_g - V_{th} - V) \cdot dV \quad \dots (4)$$

【0113】

(4)式は変数分離されているので、左辺と右辺を積分すると、次の(5)式が導き出される。

$$I = -(W/L) \cdot \mu \cdot C_{ox} \cdot (V_d - V_s) \cdot \{V_g - V_s - V_{th} - 0.5 \cdot (V_d - V_s)\} \quad \dots (5)$$

(5)式において、Lはゲート電極の長さ(ゲート長)であり、Wはゲート幅である。

【0114】

次に、本実施形態に係る薄膜トランジスタTr12に適用される同心円状の外周部を有するドレイン電極及びソース電極、並びに、当該ドレイン電極及びソース電極の形状に対応して円筒状(ドーナツ状)に形成された半導体層及びゲート電極を有する素子構造において、図10(b)に示すように、円筒状(ドーナツ状)のゲート電極に対応するチャネル領域RCchについて考えた場合、当該チャネル領域RCch(すなわち、ゲート電極)の内周側及び外周側に形成されるドレイン電極とソース電極(図示を省略)に対向するゲート電極の幅Ws、Wrは、不均一になる。

【0115】

ここで、上述した場合と同様に、グラデュアルチャネル近似法を用いた単位ゲート幅あたりのチャネル電流に基づいて導き出された上記(3)式において、図10(b)に示すように、円筒状のチャネル領域RCchに流れる電流について、角度φ及びy方向からなる円筒座標系を用いて考えると、y方向(放射状)にチャネル電流が流れる場合、角度φ方向(電流と直交する方向)の電流密度は均一であることから、上記(3)式にチャネル電流の流れる幅を積算すると、次の(6)式が導き出される。

$$I = -\mu \cdot C_{ox} \cdot 2\pi y \cdot (V_g - V_{th} - V) \cdot dV / dy$$

$$I dy / y = -\mu \cdot C_{ox} \cdot 2\pi \cdot (V_g - V_{th} - V) \cdot dV \quad \dots (6)$$

【0116】

(6)式は変数分離されているので、左辺と右辺を積分すると、次の(7)式が導き出される。

$$I = -2\pi / \ln(1 + 2L/W_s) \cdot \mu \cdot C_{ox} \cdot (V_d - V_s) \cdot \{V_g - V_s - V_{th} - 0.5 \cdot (V_d - V_s)\} \quad \dots (7)$$

(7)式において、Wsは円筒状のゲート電極における内周側のゲート幅である。

【0117】

以上のことから、矩形のゲート電極(チャネル領域RQch)を有する素子構造におけるゲート幅Wと、円筒状のゲート電極(チャネル領域RCch)を有する素子構造における内周側のゲート幅Wsとを同じに設定した場合、すなわち、ゲート幅W、Wsにより規定される寄生容量の容量値が同じになるように設定した場合、図10(b)に示した円筒状のゲート電極(チャネル領域RCch)を有する素子構造におけるチャネル電流(上記(7)式)の電流値は、図10(a)に示した矩形のゲート電極(チャネル領域RQch)を有する素子構造におけるチャネル電流(上記(5)式)に比較して、 $2L / \{W_s \cdot \ln(1 + 2L/W_s)\}$ 倍に大きくなることが判明した。

【0118】

また、このことは、換言すると、チャネル領域に同じ電流を流す場合には、円筒状のゲート電極を有する素子構造におけるゲート幅(すなわち、当該ゲート幅により規定される

10

20

30

40

50

寄生容量)は、矩形形状のゲート電極を有する素子構造におけるゲート幅に比較して、 $W_s \cdot \ln(1 + 2L/W_s) / 2L$ 倍に小さくできることを意味する。

【0119】

ここで、上述した矩形形状のゲート電極(チャネル領域RQch)に対する円筒状のゲート電極(チャネル領域RCch)のゲート幅の比を、寄生容量の比(Cgp比)に換算し、チャネル領域に同じ電流を流す場合の、円筒状のゲート電極(チャネル領域RCch)を有する素子構造におけるゲート幅とゲート長の比(W_s/L)に対する該寄生容量の比の関係を検証すると、図11に示すような結果が得られた。

【0120】

これによれば、図11(a)、(b)に示すように、円筒状のゲート電極(チャネル領域RCch)を有する素子構造においては、ゲート幅とゲート長の比(W_s/L)に関わらず、寄生容量の比(Cgp比)は概ね1以下となり、矩形形状のゲート電極(チャネル領域RQch)を有する素子構造に比較して、寄生容量を小さくできることがわかる。

【0121】

したがって、図9に示したような素子構造を有する薄膜トランジスタを、図8に示した回路構成を有する画素駆動回路DCAの薄膜トランジスタ(選択制御手段)Tr12に適用することにより、当該薄膜トランジスタTr12におけるゲート幅を、ドレイン側に比較してソース側の方を相対的に大きく設定することができるとともに、上述したように、当該薄膜トランジスタTr12に矩形形状のゲート電極(チャネル領域)を適用した場合に比較して、ドレイン側に形成される寄生容量Cgd2の容量値をより小さくしつつ、同等の

【0122】

これにより、ゲートラインDLに寄生する配線容量のうち、薄膜トランジスタTr12のドレイン側の寄生容量Cgd2に起因する容量成分を低減することができるので、当該表示画素(画素駆動回路)への階調信号電流の書き込み動作の際に生じる動作遅延を抑制して書込率を改善することができる。

【0123】

(薄膜トランジスタの他の構成例)

図12は、本実施形態に係る画素駆動回路に適用される薄膜トランジスタの素子構造の他の構成例を示す概略構成図である。ここで、上述した薄膜トランジスタの素子構造(図9)と同等の構成については、同一の符号を付してその説明を簡略化する。また、図示を明瞭にするため、ドレイン電極、データライン及びソース電極に便宜的にハッチングを施した。

【0124】

上述した実施形態に適用した薄膜トランジスタの第1の構成例においては、チャネル領域を形成する半導体層が円弧状の帯状に形成され、該半導体層の両端部上に一部延在し、かつ、各々の対向する外周部が円弧状を有するようにソース電極及びドレイン電極を形成した場合について説明したが、上述したように、本発明に係る画素駆動回路においては、少なくとも、特定の機能(本実施形態においては、選択制御手段としての機能)を有する薄膜トランジスタのソース側及びドレイン側に形成される寄生容量を異なるように設定することにより、上述したような寄生容量による動作特性への影響(本実施形態においては、書込動作における動作遅延や書込不足)を抑制することができる。

【0125】

そこで、本実施形態に係る画素駆動回路に適用可能な薄膜トランジスタTr12の素子構造として、ドレイン電極及びソース電極の平面形状が非対称形状を有し、例えば、図12(a)に示すように、ドレイン電極27が直線状の外周部を有してデータラインDLから突出した形状(凸形状)を有し、一方、ソース電極28が該ドレイン電極27の外周部に対向するように括れた外周部を有する形状(凹形状)に形成された電極構造や、例えば、図12(b)に示すように、ドレイン電極27が直線状の外周部を有してデータラインDLから突出した形状(凸形状)を有し、一方、ソース電極28が該ドレイン電極27の

10

20

30

40

50

外周部に対向するように直線状の外周部を有して矩形状に形成された電極構造を良好に適用することができる。

【0126】

また、このようなソース電極27及びドレイン電極28の対向する外周部の形状に対応して、薄膜トランジスタTr12の半導体層23(図示を省略;図9参照)、ゲート電極21及びブロック絶縁膜24も、図12(a)、(b)に示すように、矩形状(四角形状)に形成されている。

【0127】

これにより、薄膜トランジスタのソース側及びドレイン側のゲート幅を異ならせて、各々に形成される寄生容量を相対的に異なるように設定することができるので、上述したよ

10

【0128】

<画素駆動回路の第2の実施形態>

図13は、本発明に係る画素駆動回路の第2の実施形態を示す回路構成図であり、図14は、発光制御用の薄膜トランジスタの寄生容量と、書込電流(階調信号電流)に対する出力電流(発光駆動電流)との関係を示す特性図(シミュレーション結果)である。ここで、上述した第1の実施形態と同等の回路構成については、同一の符号を付してその説明を簡略化する。

20

【0129】

図13に示すように、本実施形態に係る画素駆動回路DCBは、図3に示した画素駆動回路DCと同等の回路構成において、電流路の一端側(ソース電極側)が有機EL素子(発光素子)OEL及びコンデンサCsの一端側(接点N12)に接続され、他端側(ドレイン電極側)が電源ラインVLに接続され、制御端子(ゲート電極)がコンデンサCsの他端側(接点N11)に接続された、発光制御用の薄膜トランジスタTr13に形成される寄生容量のうち、ゲート-ソース間の寄生容量Cgs3が、ゲート-ドレイン間の寄生容量Cgd3よりも大きく($Cgd3 < Cgs3$)なるように設定されている。

【0130】

ここで、薄膜トランジスタTr13の具体的な素子構造は、上述した第1の実施形態に示した薄膜トランジスタTr12の各構成例(図9、図12)に係る素子構造を良好に適用することができる。

30

すなわち、半導体層(チャネル領域)を挟んで相互に対向するように形成されたソース電極及びドレイン電極が非対称形状を有し、各々のゲート幅が異なるように設定されていることにより、ゲート-ソース間の寄生容量、及び、ゲート-ドレイン間の寄生容量が相対的に異なり、特に、本実施形態においては、ゲート-ドレイン間の寄生容量Cgd3に対して、ゲート-ソース間の寄生容量Cgs3の方が大きくなるように構成されている。

【0131】

ここで、上述した画素駆動回路DCにおける薄膜トランジスタTr13の寄生容量と、階調信号電流(書込電流)に対する発光駆動電流(出力電流)との関係について検討すると、図14に示すように、薄膜トランジスタTr13のゲート-ドレイン間の寄生容量Cgd3(図14では、コンデンサCsに対するゲート-ドレイン間の寄生容量Cgd3の容量値の比; $Cgd3/Cs$)が大きくなると、画素駆動回路DCに書き込まれる階調信号電流(書込電流)が0(黒表示に相当する)であっても、薄膜トランジスタTr13がオン動作してしまい、電源ラインVLから薄膜トランジスタTr13を介して有機EL素子OELに出力電流(リーク電流)が流れることが確認された。

40

【0132】

また、薄膜トランジスタTr13のゲート-ドレイン間の寄生容量Cgd3が存在しない、理想的な回路構成における書込電流に対する出力電流の線形特性(図中、 $Cgd3 = 0$ で示した特性線)に比較して、薄膜トランジスタTr13のゲート-ドレイン間の寄生容量

50

Cgd3 (図14では、Cgd3/Cs比)が大きくなると、書込電流(階調信号電流)に対する出力電流(発光駆動電流)の電流値が大きくなるとともに、非線形性を示すことが確認された。

【0133】

このような書込電流(階調信号電流)に対する出力電流(発光駆動電流)の電流値が大きくなる現象は、画素駆動回路が書込動作状態から発光動作状態に移行する際に、図7(b)に示したように、薄膜トランジスタTr13のゲート-ドレイン間の寄生容量Cgd3とコンデンサCsとの容量結合が形成されることに起因するものであるが、このような現象を抑制するためには、例えば、薄膜トランジスタTr13のゲート-ドレイン間の寄生容量Cgd3を相対的に小さくすること、すなわち、図14に示したシミュレーションにおけるCgd3/Cs比の、コンデンサCsの容量値を大きくすることが考えられる。しかしながら、この場合には、上述した書込動作において、コンデンサCsに所定の電圧成分を保持(充電)させるために要する時間が長くなり、書込不足が発生する。

10

【0134】

そこで、本実施形態においては、薄膜トランジスタTr13に、上述した各構成例に係る素子構造(図9、図12)を適用して、ゲート-ドレイン間の寄生容量Cgd3そのものを小さくした構成を有している。

これにより、コンデンサCsに対するゲート-ドレイン間の寄生容量Cgd3の容量値の比(Cgd3/Cs)を小さくすることができるので、画素駆動回路DCB(薄膜トランジスタTr13)における書込電流(階調信号電流)に対する出力電流(発光駆動電流)の関係性を、図14に示した理想的な電流特性(書込電流に対する出力電流が線形特性を示し、かつ、書込電流(階調信号電流)が0のとき、出力電流(発光駆動電流)が0となる電流特性)に近似させることができる。

20

【0135】

したがって、例えば、画素駆動回路において書込動作状態から発光動作状態に移行した際に、電源ラインVLに印加される電源電圧Vscが立ち上がった場合等であっても、表示データ(階調信号電流)に応じた適切な輝度階調で有機EL素子を発光動作させることができ、コントラストの低下を抑制して表示画質を向上させることができる。

【0136】

なお、上述した各構成例に係る素子構造を有する薄膜トランジスタを適用した場合、上述したように、ドレイン側及びソース側のゲート幅を相対的に異なるように設定することにより、ゲート-ドレイン間の寄生容量Cgdに対するゲート-ソース間の寄生容量Cgsを異ならせるとともに、所定の電流値が得られるようにしていることから、本実施形態に示したように、ゲート-ドレイン間の寄生容量Cgd3を小さく設定した場合には、ゲート-ソース間の寄生容量Cgs3が大きく設定されることになるが、これにより、ソース電極側に接続されるコンデンサCsをなくして寄生容量Cgs3のみに、もしくは、コンデンサCsの容量値を小さくして主に寄生容量Cgs3に、書込電流に応じた電圧成分を保持するようにすることもできる。

30

【0137】

<画素駆動回路の第3の実施形態>

40

図15は、本発明に係る画素駆動回路の第3の実施形態を示す回路構成図である。ここで、上述した第1の実施形態と同等の回路構成については、同一の符号を付してその説明を簡略化する。

【0138】

図15に示すように、本実施形態に係る画素駆動回路DCは、図3に示した画素駆動回路DCと同等の回路構成において、電流路の一端側(ソース電極側)が薄膜トランジスタTr13のゲート端子(接点N11)に接続され、他端側(ドレイン電極側)が電源ラインVLに接続され、制御端子(ゲート電極)が走査ラインSLに接続された、書込制御用の薄膜トランジスタTr11に形成される寄生容量のうち、ゲート-ドレイン間の寄生容量Cgd1が、ゲート-ソース間の寄生容量Cgs1よりも大きく(Cgs1<Cgd1)なるよう

50

に設定されている。

【0139】

ここで、薄膜トランジスタ $T r 1 1$ の具体的な素子構造は、上述した第1の実施形態に示した薄膜トランジスタ $T r 1 2$ の各構成例(図9、図12)に係る素子構造を良好に適用することができる。

すなわち、半導体層(チャネル領域)を挟んで相互に対向するように形成されたソース電極及びドレイン電極が非対称形状を有し、各々のゲート幅が異なるように設定されていることにより、ゲート-ソース間の寄生容量 C_{gs1} に対して、ゲート-ドレイン間の寄生容量 C_{gd1} の方が大きくなるように構成されている。

【0140】

上述した画素駆動回路における寄生容量の検討において説明したように、画素駆動回路が書込動作状態から発光動作状態に移行する際には、図7(a)に示したように、薄膜トランジスタ $T r 1 1$ のゲート-ソース間の寄生容量 C_{gs1} とコンデンサ C_s との容量結合が形成されることにより、コンデンサ C_s に蓄積された電荷が再分配されて、発光制御用の薄膜トランジスタ $T r 1 3$ のゲート端子に印加される電圧(接点 $N 1 1$ の電位)が低下して発光駆動電流が減少する現象が生じるが、このような現象を抑制するためには、例えば、書込電流(階調信号電流)を予め大きくしておくことが考えられる。しかしながら、この場合には、データドライバ130の負荷が大きくなるため、電流供給能力を大きく設計する必要があり、ドライバチップの大型化や消費電力の増大を招く。

【0141】

そこで、本実施形態においては、薄膜トランジスタ $T r 1 1$ に、上述した各構成例に係る素子構造(図9、図12)を適用して、ゲート-ソース間の寄生容量 C_{gs1} そのものを小さくした構成を有している。

これにより、画素駆動回路において書込動作状態から発光動作状態に移行した際に、ゲート-ソース間の寄生容量 C_{gs1} とコンデンサ C_s との容量結合により再分配される電荷量を少なくして、コンデンサ C_s の一端側(接点 $N 1 1$)の電位の低下を抑制し、発光制御用の薄膜トランジスタ $T r 1 3$ に流れる発光駆動電流の減少を抑制することができるので、表示データ(階調信号電流)に応じた適切な輝度階調で有機 $E L$ 素子を発光動作させて、コントラストの低下を抑制して表示画質を向上させることができる。

【0142】

<画素駆動回路の第4の実施形態>

図16は、本発明に係る画素駆動回路の第4の実施形態を示す回路構成図である。ここで、上述した第1の実施形態と同等の回路構成については、同一の符号を付してその説明を簡略化する。

【0143】

図16に示すように、本実施形態に係る画素駆動回路 $D C D$ は、図15に示した画素駆動回路 $D C C$ と同等の回路構成において、書込制御用の薄膜トランジスタ $T r 1 1$ に形成される寄生容量のうち、ゲート-ソース間の寄生容量 C_{gs1} が、ゲート-ドレイン間の寄生容量 C_{gd1} よりも大きく($C_{gd1} < C_{gs1}$)なるように設定されている。

【0144】

ここで、薄膜トランジスタ $T r 1 1$ の具体的な素子構造は、上述した第1の実施形態に示した薄膜トランジスタ $T r 1 2$ の各構成例(図9、図12)に係る素子構造を良好に適用することができる。

すなわち、半導体層(チャネル領域)を挟んで相互に対向するように形成されたソース電極及びドレイン電極が非対称形状を有し、各々のゲート幅が異なるように設定されていることにより、ゲート-ドレイン間の寄生容量 C_{gd1} に対して、ゲート-ソース間の寄生容量 C_{gs1} の方が大きくなるように構成されている。

【0145】

上述した画素駆動回路における寄生容量の概念に基づくと、薄膜トランジスタ $T r 1 3$ のゲート-ドレイン間の寄生容量 C_{gd1} は、走査ライン $S L$ と電源ライン $V L$ 間の配線間

10

20

30

40

50

容量に相当する。この配線間容量（寄生容量 C_{gd1} ）は、各ラインに印加する電圧レベルを切り換える際の時定数を増大させるため、書込動作及び発光動作の各動作状態への移行が迅速に行われなくなり、上述したような書込不足等の原因となったり、走査ドライバ120や電源ドライバの負荷が増大することにより消費電力を増大させる原因となったりする。

【0146】

そこで、本実施形態においては、薄膜トランジスタ T_{r11} に、上述した各構成例に係る素子構造（図9、図12）を適用して、ゲート-ドレイン間の寄生容量 C_{gd1} そのものを小さくした構成を有している。

これにより、走査ラインと電源ライン間の配線間容量が低減されるので、画素駆動回路における駆動制御動作における各動作状態への移行を迅速に行うことができ、書込不足を抑制して表示データ（階調信号電流）に応じた適切な輝度階調で有機EL素子を発光動作させることができる。また、走査ラインや電源ラインを駆動する走査ドライバや電源ドライバの負荷を減少させることができるので、画像表示装置の消費電力を抑制することができる。

【0147】

<画素駆動回路の第5の実施形態>

図17は、本発明に係る画素駆動回路の第5の実施形態を示す回路構成図であり、図18は、発光制御用の薄膜トランジスタの寄生容量と、書込電流（階調信号電流）に対する出力電流（発光駆動電流）との関係を示す特性図（シミュレーション結果）である。ここで、上述した第1の実施形態と同等の回路構成については、同一の符号を付してその説明を簡略化する。

【0148】

図17に示すように、本実施形態に係る画素駆動回路DCEは、図16に示した画素駆動回路DCDと同等の回路構成において、書込制御用の薄膜トランジスタ T_{r11} に形成されるゲート-ソース間の寄生容量 C_{gs1} に並列にコンデンサ C_{ad} を接続して、当該薄膜トランジスタ T_{r11} のソース側に接続される容量成分（ゲート-ソース間の寄生容量 C_{gs1} 及びコンデンサ C_{ad} ）がドレイン側に接続される容量成分（ゲート-ドレイン間の寄生容量 C_{gd1} ）よりも大きく（ $C_{gd1} < C_{gs1} + C_{ad}$ ）なるように設定されている。

【0149】

なお、図17においては、ゲート-ソース間の寄生容量 C_{gs1} に並列にコンデンサ C_{ad} を接続して、ソース側に接続される容量成分を相対的に大きくなるように形成した構成を示したが、これに限定されるものではなく、上述した第4の実施形態（図16）に示した場合と同様に、ソース電極側及びドレイン電極側でゲート幅が異なるように設定することにより、ゲート-ドレイン間の寄生容量 C_{gd1} に対して、ゲート-ソース間の寄生容量 C_{gs1} の方が大きく（ $C_{gd1} < C_{gs1}$ ）なるように構成したものであってもよい。

【0150】

上述した画素駆動回路における寄生容量の検討において説明したように、画素駆動回路が書込動作状態から発光動作状態に移行する際には、図7(a)に示したように、薄膜トランジスタ T_{r11} のゲート-ソース間の寄生容量 C_{gs1} とコンデンサ C_s との容量結合が形成されることにより、発光制御用の薄膜トランジスタ T_{r13} のゲート端子に印加される電圧（接点 $N11$ の電位）が低下して発光駆動電流が減少する現象が生じる。

【0151】

一方、上述した第2の実施形態において説明したように、画素駆動回路DCにおける薄膜トランジスタ T_{r13} の寄生容量と、階調信号電流（書込電流）に対する発光駆動電流（出力電流）との関係は、図14に示すように、薄膜トランジスタ T_{r13} のゲート-ドレイン間の寄生容量 C_{gd3} （コンデンサ C_s に対する比； C_{gd3}/C_s ）が大きくなると、書込電流（階調信号電流）に対する出力電流（発光駆動電流）の電流値が大きくなり、書込電流が0であっても、有機EL素子OELに出力電流（リーク電流）が流れ、黒表示時にも発光動作が行われてコントラストが低下する。

【 0 1 5 2 】

ここで、薄膜トランジスタ $T r 1 3$ のゲート - ドレイン間の寄生容量 C_{gd3} に起因する出力電流（発光駆動電流）の増加を打ち消すための条件について検証する。

書込動作状態から発光動作状態へ移行する直前と、移行した直後の走査信号の電圧変化（電圧差） V_{sel} を、 $V_{sel} = V_{sel}(L) - V_{sel}(H)$ と表した場合、この電位変動に伴って、図 7 (c) に示したような容量結合により、各容量成分（寄生容量、コンデンサ）間に変位電流が流れるが、接点 $N 1 1$ 、 $N 1 2$ に流れ込む変位電流の和が 0 であることから次の (1 1)、(1 2) 式が導き出される。

$$C_{gs2} \cdot (V_{sel} - V_{n12}) + (C_{gs3} + C_s) \cdot (V_{n11} - V_{n12}) - C_{oel} \cdot V_{n12} = 0 \quad \dots (11) \quad 10$$

$$C_{gs1} \cdot (V_{sel} - V_{n11}) + C_{gd3} \cdot (V_{sc} - V_{n11}) + (C_{gs3} + C_s) \cdot (V_{n12} - V_{n11}) = 0 \quad \dots (12)$$

ここで、 V_{n11} は接点 $N 1 1$ の電位、 V_{n12} は接点 $N 1 2$ の電位、 V_{sc} は電源電圧 V_{sc} の電圧変化である。

【 0 1 5 3 】

この (1 1)、(1 2) 式に基づいて、接点 $N 1 1$ の電位 V_{n11} 及び接点 $N 1 2$ の電位 V_{n12} について解いて、薄膜トランジスタ $T r 1 3$ に流れる出力電流（発光駆動電流）の変動に対応する変数 $(V_{n11} - V_{n12}) = V_{n11} - V_{n12}$ を導き出すと、次の (1 3) 式が得られる。

$$(V_{n11} - V_{n12}) = A / B \quad \dots (13) \quad 20$$

$$A = (C_{oel} \cdot C_{gs1} - C_{gd3} \cdot C_{gs2}) \cdot V_{sel} + (C_{gs2} + C_{oel}) \cdot C_{gd3} \cdot V_{sc}$$

$$B = (C_{gs2} + C_{oel}) \cdot (C_{gs1} + C_{gd3}) + (C_{gs2} + C_{oel} + C_{gs1} + C_{gd3}) \cdot (C_{gs3} + C_s)$$

【 0 1 5 4 】

上記 (1 3) 式において、画素駆動回路 $D C$ に書き込まれる階調信号電流（書込電流）が 0（黒表示に相当する）の場合には、接点 $N 1 1$ 、 $N 1 2$ の電位変化の差（ $V_{n11} - V_{n12}$ ）は、概ね 0 となっているので、 $(V_{n11} - V_{n12})$ が薄膜トランジスタ $T r 1 2$ のしきい値電圧 V_{th} 以下であれば、発光動作状態に移行する際の、走査信号 V_{sel} 及び電源電圧 V_{sc} の変化に伴って薄膜トランジスタ $T r 1 3$ に出力電流（発光駆動電流）が流れることはない。

【 0 1 5 5 】

これは換言すると、上記 (1 3) 式における変数 A が 0 となる条件を満たす寄生容量 C_{gs1} の容量値よりも、当該寄生容量 C_{gs1} を大きく設定すれば、発光動作状態に移行する際の走査信号 V_{sel} 及び電源電圧 V_{sc} の変化に伴って電圧差（ $V_{n11} - V_{n12}$ ）が正の値になることはなく、階調信号電流（書込電流）が 0（黒表示に相当する）のときに有機 $E L$ 素子 $O E L$ に発光駆動電流が流れなくすることができることを意味する。すなわち、上述した薄膜トランジスタ $T r 1 3$ のゲート - ドレイン間の寄生容量 C_{gd3} に起因する出力電流（発光駆動電流）の増加を打ち消すことができる。

【 0 1 5 6 】

このような薄膜トランジスタ $T r 1 1$ のゲート - ソース間の寄生容量 C_{gs1} を大きく設定した場合の効果については、薄膜トランジスタ $T r 1 1$ 及び $T r 1 3$ の寄生容量（ C_{gs1} 、 C_{gd3} ）と、階調信号電流（書込電流）に対する発光駆動電流（出力電流）との関係について図 1 8 に示すように、薄膜トランジスタ $T r 1 3$ のゲート - ドレイン間の寄生容量 C_{gd3} （ C_{gd3} / C_s 比）が存在する場合であっても、薄膜トランジスタ $T r 1 1$ のゲート - ソース間の寄生容量 C_{gs1} （コンデンサ C_s に対する比； C_{gs1} / C_s ）をある程度大きく設定することにより、又は、寄生容量 C_{gs1} に並列にコンデンサ C_{ad} を付加することにより、階調信号電流（書込電流）が 0 の場合には、薄膜トランジスタ $T r 1 3$ に発光駆動電流は流れず、良好な黒表示状態が実現されるとともに、階調信号電流（書込電流）に対する発光駆動電流（出力電流）の関係が良好な線形特性を示すことが確認された。

【 0 1 5 7 】

したがって、本実施形態においては、図17もしくは図16に示したような構成を有する画素駆動回路DCEを適用して、薄膜トランジスタTr11におけるゲート-ソース間の寄生容量Cgs1を、ゲート-ドレイン間の寄生容量Cgd1よりも大きく設定することにより、発光動作時に有機EL素子OELに供給される発光駆動電流は減少するものの、黒表示状態（階調信号電流が0）において、有機EL素子OELに流れる発光駆動電流を0にすることができるので、コントラストの低下を抑制することができる。

【図面の簡単な説明】

【0158】

【図1】本発明に係る画像表示装置の基本構成を示す概略ブロック図である。

【図2】本発明に係る画像表示装置に適用可能なデータドライバの一例を示す概略ブロック図である。

10

【図3】本発明に係る表示装置に適用可能な表示画素（画素駆動回路）の具体回路例を示す回路構成図である。

【図4】本回路例に係る画素駆動回路の動作状態を示す概念図である。

【図5】本回路例に係る画素駆動回路を適用した表示画素の基本動作を示すタイミングチャートである。

【図6】図3に示した画素駆動回路における容量成分の接続状態を示す概念図である。

【図7】画素駆動回路に形成される寄生容量の影響を説明するための概念図である。

【図8】本発明に係る画素駆動回路の第1の実施形態を示す回路構成図である。

【図9】本実施形態に係る画素駆動回路に適用される薄膜トランジスタの素子構造の一構成例を示す概略構成図である。

20

【図10】薄膜トランジスタの半導体層に形成されるチャネル領域の形状と、当該チャネル領域に流れる電流（チャネル電流）との関係を説明するための図である。

【図11】薄膜トランジスタのゲート形状（ゲート幅及びゲート長）と、当該薄膜トランジスタに形成される寄生容量との関係を示す特性図（シミュレーション結果）である。

【図12】本実施形態に係る画素駆動回路に適用される薄膜トランジスタの素子構造の他の構成例を示す概略構成図である。

【図13】本発明に係る画素駆動回路の第2の実施形態を示す回路構成図である。

【図14】発光制御用の薄膜トランジスタの寄生容量と、書込電流（階調信号電流）に対する出力電流（発光駆動電流）との関係を示す特性図（シミュレーション結果）である。

30

【図15】本発明に係る画素駆動回路の第3の実施形態を示す回路構成図である。

【図16】本発明に係る画素駆動回路の第4の実施形態を示す回路構成図である。

【図17】本発明に係る画素駆動回路の第5の実施形態を示す回路構成図である。

【図18】発光制御用の薄膜トランジスタの寄生容量と、書込電流（階調信号電流）に対する出力電流（発光駆動電流）との関係を示す特性図（シミュレーション結果）である。

【図19】従来技術における発光素子型ディスプレイの要部を示す概略構成図である。

【図20】従来技術における発光素子型ディスプレイに適用可能な表示画素（画素駆動回路及び発光素子）の構成例を示す等価回路図である。

【符号の説明】

【0159】

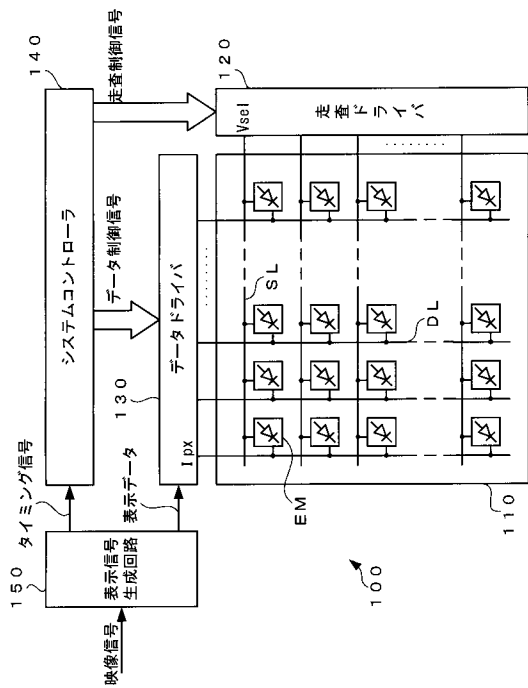
40

100	表示装置
110	表示パネル
120	走査ドライバ
130	データドライバ
EM	表示画素
DC、DCA～DCE	画素駆動回路
Tr11～Tr13	薄膜トランジスタ
Cgs1～Cgs3、Cgd1～Cgd3	寄生容量
OEL	有機EL素子
SL	走査ライン

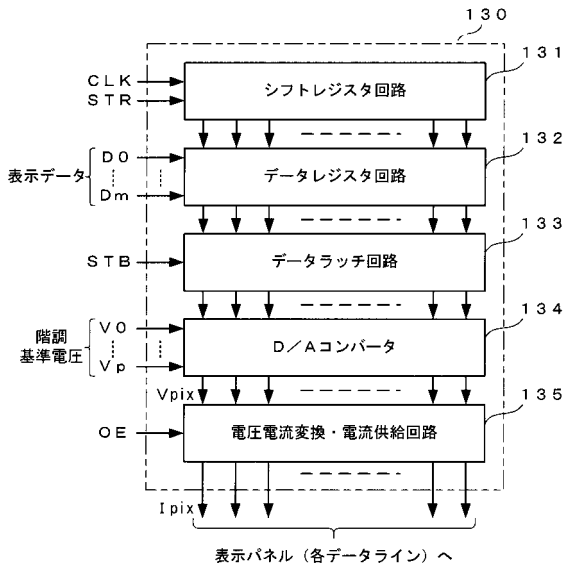
50

D L データライン

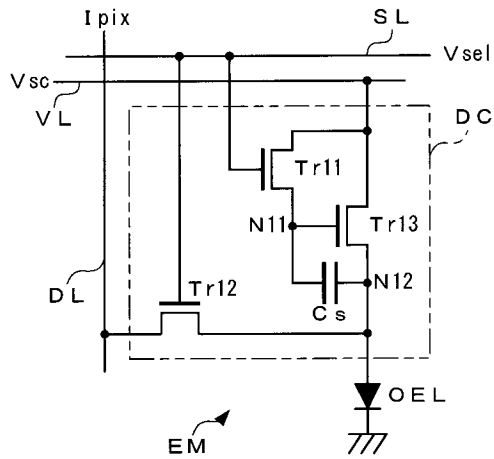
【図1】



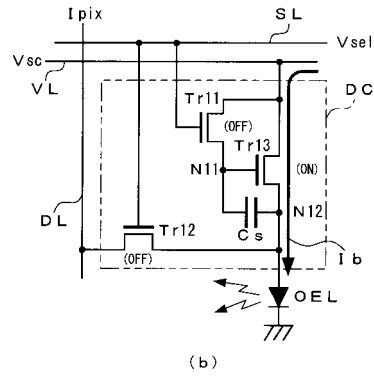
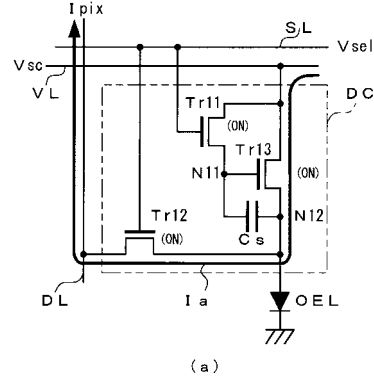
【図2】



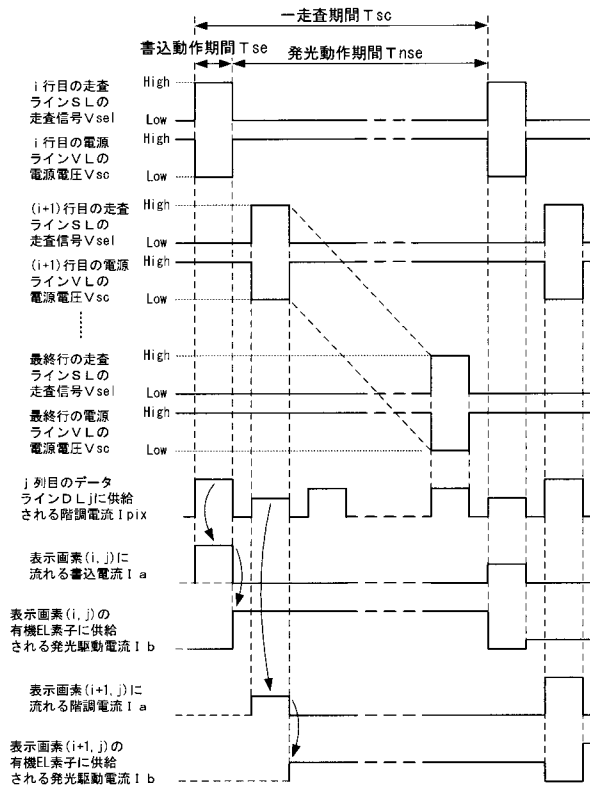
【図3】



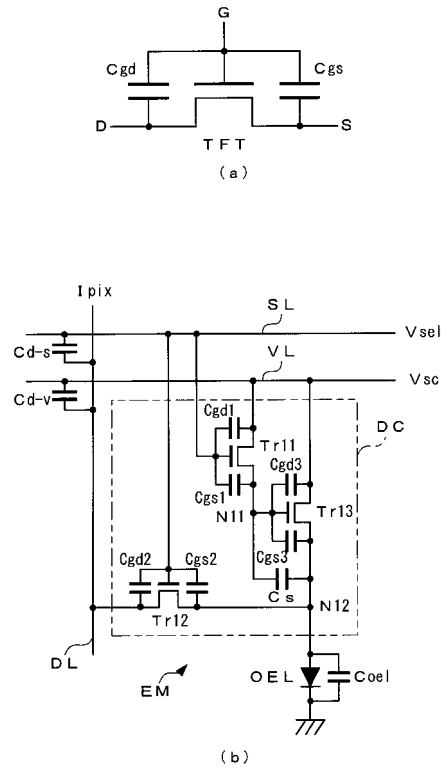
【図4】



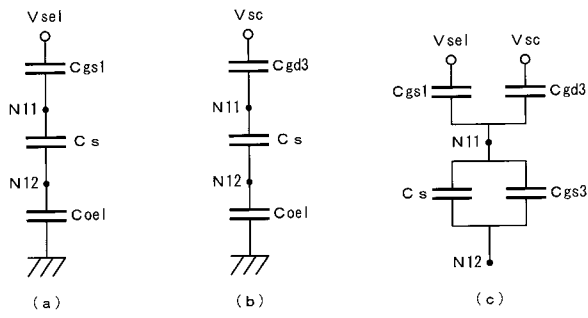
【図5】



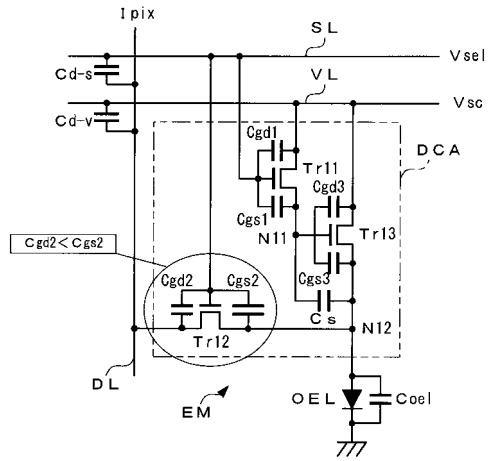
【図6】



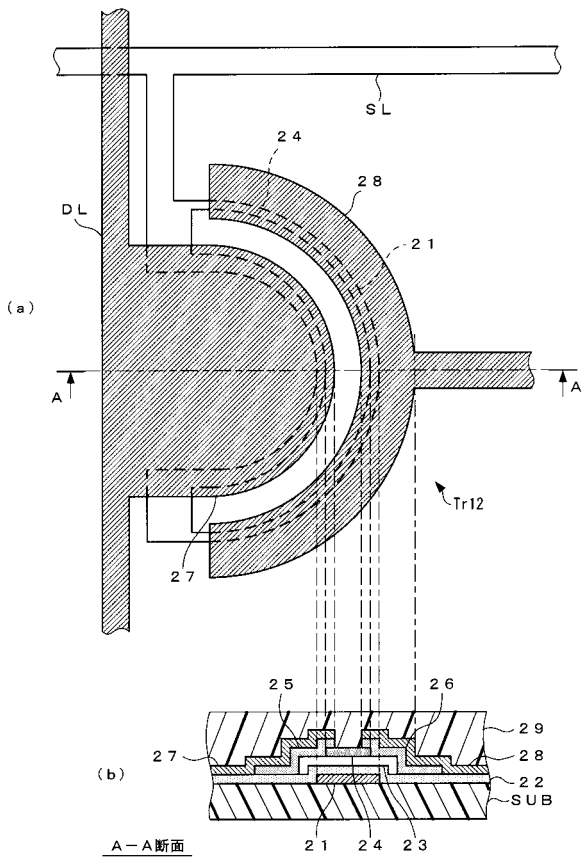
【図7】



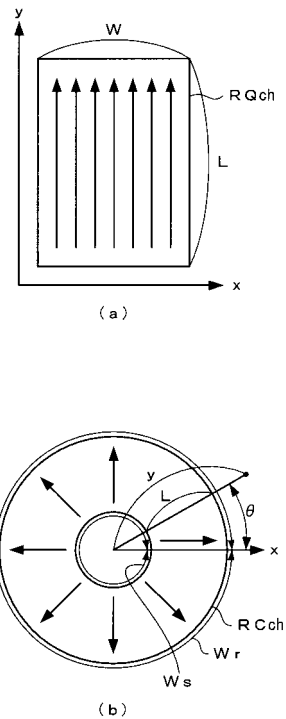
【図8】



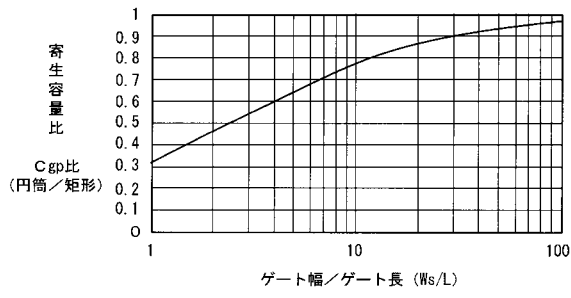
【図9】



【図10】



【図11】

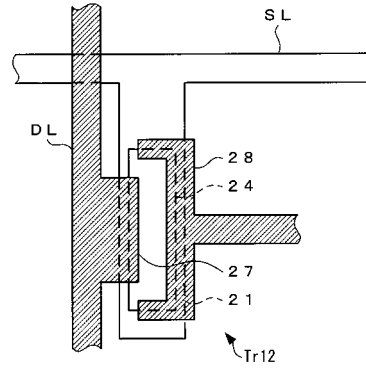


(a)

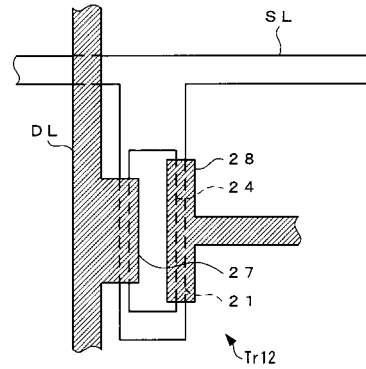
Ws/L	Cgp比
1	0.316013
3	0.539341
10	0.775957
30	0.907933
100	0.969841

(b)

【図12】

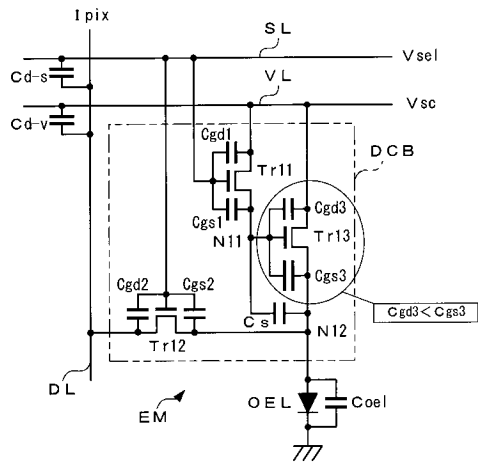


(a)

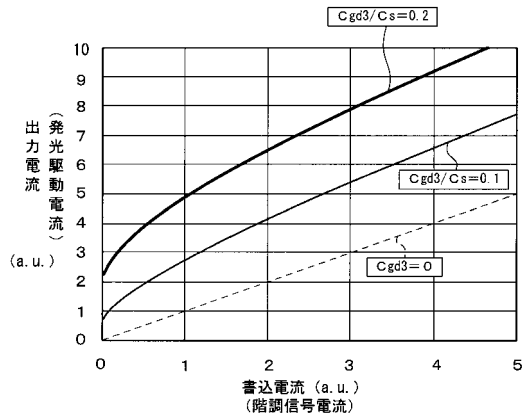


(b)

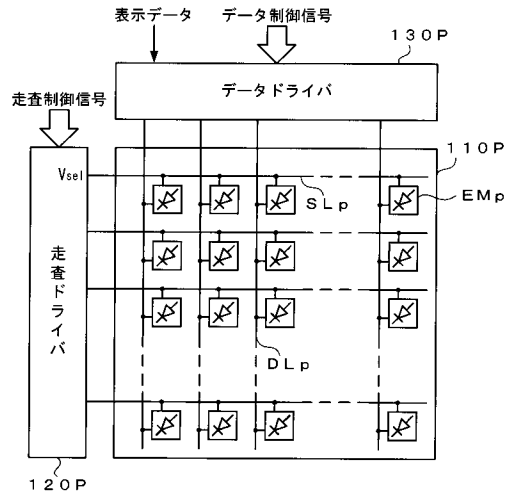
【図13】



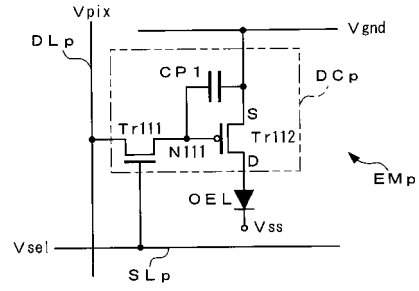
【図14】



【図19】



【図20】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 1 D
G 0 9 G 3/30 H
H 0 5 B 33/14 A

(56)参考文献 特開昭61-131481(JP,A)
特開2004-096100(JP,A)
特開2004-093774(JP,A)
特開2004-012897(JP,A)
特開2003-084686(JP,A)
特開2003-302936(JP,A)
特開2003-158133(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 F 9 / 0 0 - 9 / 4 6
H 0 1 L 2 7 / 3 2、5 1 / 5 0
H 0 5 B 3 3 / 0 0 - 3 3 / 2 8