

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/24 (2006.01)

H01L 21/822 (2006.01)



[12] 发明专利说明书

专利号 ZL 200610009594.8

[45] 授权公告日 2009 年 11 月 4 日

[11] 授权公告号 CN 100557811C

[22] 申请日 2006.2.24

[21] 申请号 200610009594.8

[30] 优先权

[32] 2005.2.24 [33] KR [31] 15564/05

[73] 专利权人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 赵佑荣 金杜应 辛允承 卞贤根

姜尚范 赵栢衡 郭忠根

[56] 参考文献

CN1258100A 2000.6.28

US2003/0067013A1 2003.4.10

US6426891B1 2002.7.30

CN1449021A 2003.10.15

CN1411000A 2003.4.16

US6605527B2 2003.8.12

审查员 张 弘

[74] 专利代理机构 北京市柳沈律师事务所

代理人 陶凤波 侯 宇

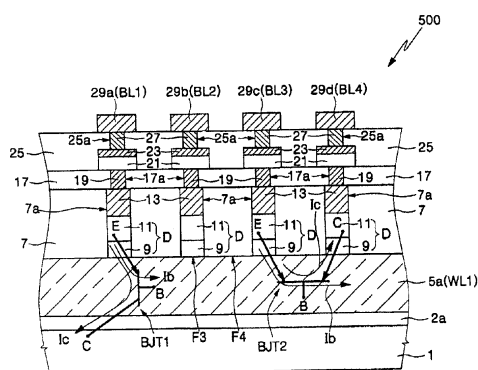
权利要求书 4 页 说明书 23 页 附图 16 页

[54] 发明名称

使用单元二极管的相变存储器件的制造方法

[57] 摘要

本发明公开了一种具有单元二极管的相变存储器件的制造方法，包括在第一导电型的半导体衬底上，形成多条平行字线和填充所述字线之间间隙区的字线隔离层，所述字线形成以具有与所述第一导电型不同的第二导电型并且具有平的顶表面；在所述字线和字线隔离层上形成上成型层，构图所述上成型层以形成暴露所述字线预定区的多个上开口；在所述上开口内顺序形成第一半导体图案和第二半导体图案，所述第一半导体图案形成以具有所述第一导电型或第二导电型，并且所述第二半导体图案形成以具有第一导电型；并且分别在所述第二半导体图案上方形成多个相变材料图案，所述相变材料图案分别电连接到所述第二半导体图案。



1. 一种制造相变存储器件的方法，包括：

在第一导电型的半导体衬底上，形成多条平行字线和填充所述字线之间间隙区的字线隔离层，所述字线形成以具有与所述第一导电型不同的第二导电型并且具有平的顶表面；

在所述字线和字线隔离层上形成上成型层，

构图所述上成型层以形成暴露所述字线预定区的多个上开口；

在所述上开口内顺序形成第一半导体图案和第二半导体图案，所述第一半导体图案形成以具有所述第一导电型或第二导电型，并且所述第二半导体图案形成以具有第一导电型；并且

分别在所述第二半导体图案上方形成多个相变材料图案，所述相变材料图案分别电连接到所述第二半导体图案。

2. 根据权利要求1的所述方法，其中形成所述字线和字线隔离层包括：提供第一导电型的半导体衬底；

在所述半导体衬底上，形成具有与所述第一导电型不同的第二导电型的上外延层；

构图所述上外延半导体层，以形成多个平行上外延半导体图案；

在具有上外延半导体图案的衬底上形成绝缘层；并且

使所述绝缘层平坦化，以暴露所述上外延半导体图案的顶表面。

3. 根据权利要求1的所述方法，还包括在所述字线下形成缓冲线。

4. 根据权利要求3的方法，其中形成所述缓冲线、字线和字线隔离层包括：

提供第一导电型的半导体衬底；

在所述半导体衬底上，顺序形成具有第一导电型的下外延半导体层和具有与第一导电型不同的第二导电型的上外延半导体层；

构图所述上外延半导体层和下外延半导体层，以形成按顺序堆叠的下外延半导体图案和上外延半导体图案；

在具有上外延半导体图案的衬底上形成绝缘层；并且

使所述绝缘层平坦化，以暴露所述上外延半导体图案的顶表面。

5. 根据权利要求1的所述方法，其中形成所述字线和字线隔离层包括：

在第一导电型的半导体衬底上形成下成型层;

构图所述下成型层,以形成暴露所述半导体衬底预定区的多个平行下开口;并且

在所述下开口内使用选择性外延生长技术或固相外延技术,形成多条半导体线,其中所述半导体线形成以具有与第一导电型不同的第二导电型。

6. 根据权利要求 5 的所述方法,还包括在所述半导体线形成之前,使用选择性外延生长技术或固相外延技术,在所述下开口的下区内形成多条缓冲线,其中所述缓冲线形成以具有第一导电型。

7. 根据权利要求 1 的所述方法,其中形成所述字线和字线隔离层包括:

在具有第一导电型的半导体衬底的预定区中形成沟槽隔离层,以界定多个平行有源区;并且

将具有与所述第一导电型不同的第二导电型的杂质离子注入所述有源区,以形成第二导电型的字线。

8. 根据权利要求 7 的所述方法,还包括在形成所述字线之前或之后,将第一导电型的杂质离子注入所述有源区以在所述字线下形成第一导电型的缓冲线。

9. 根据权利要求 1 的所述方法,其中使用选择性外延生长技术或固相外延技术形成所述第一和第二半导体图案。

10. 根据权利要求 1 的所述方法,还包括,在所述第二半导体图案上分别形成多个导电插塞,其中所述导电插塞以及第一和第二半导体图案形成于所述上开口内。

11. 根据权利要求 1 的所述方法,其中所述第一导电型是 P 型,并且第二导电型是 N 型。

12. 根据权利要求 1 的所述方法,其中所述半导体衬底是单晶半导体衬底,并且所述字线、第一半导体图案和第二半导体图案是单晶半导体图案。

13. 根据权利要求 1 的所述方法,其中所述第一半导体图案形成以具有比所述第二半导体图案和字线低的杂质浓度。

14. 根据权利要求 1 的所述方法,还包括:

在具有所述相变材料图案的衬底上形成层间绝缘层;

构图所述层间绝缘层,以形成暴露所述相变材料图案的位线接触孔;并

且

在所述层间绝缘层上形成覆盖所述位线接触孔的多条位线,其中所述位线形成以跨过所述字线。

15. 一种制造相变存储器件的方法,包括:

在第一导电型的半导体衬底上形成第一成型层;

构图所述第一成型层,以形成暴露所述半导体衬底预定区的第一开口;

在所述第一开口的下区形成多条字线,所述字线形成以具有与所述第一导电型不同的第二导电型并且具有平的顶表面;

形成填充所述第一开口上区的第二成型层图案,所述第二成型层图案由对所述第一成型层具有蚀刻选择性的绝缘层形成;

构图所述第二成型层,以形成提供暴露所述字线的预定区的多个第二开口的隔离壁;

在所述第二开口内顺序形成第一半导体图案和第二半导体图案,所述第一半导体图案形成以具有第一导电型或第二导电型,并且第二半导体图案形成以具有第一导电型;并且

在所述第二半导体图案上方形成多个相变材料图案,所述相变材料图案分别电连接到所述第二半导体图案。

16. 根据权利要求 15 的所述方法,其中所述第一导电型是 P 型,并且所述第二导电型是 N 型。

17. 根据权利要求 15 的方法,其中所述第一成型层由氧化硅层形成,并且第二成型层图案由氮化硅层形成。

18. 根据权利要求 15 的所述方法,其中所述字线使用选择性外延生长技术或固相外延技术形成。

19. 根据权利要求 15 的所述方法,还包括在形成所述字线之前,使用选择性外延生长技术或固相外延技术在由第一开口暴露的所述半导体衬底上形成缓冲线,其中所述缓冲线形成以具有第一导电型。

20. 根据权利要求 15 的所述方法,其中形成第二成型层图案包括:

形成对在所述字线的衬底上的第一成型层具有蚀刻选择性的第二成型层;并且

使所述第二成型层平坦化,以暴露所述第一成型层的顶表面。

21. 根据权利要求 20 的所述方法,其中所述第一成型层由氧化硅层形成,并且所述第二成型层由氮化硅层形成。

22. 根据权利要求 15 的方法, 其中形成隔离壁包括:

在具有所述第二成型层图案的衬底上形成光致抗蚀剂图案, 所述光致抗蚀剂图案形成以具有跨过所述字线的多个开口; 并且

使用所述光致抗蚀剂图案作为蚀刻掩膜, 蚀刻所述第二成型层图案, 以形成暴露所述字线预定区的多个第二开口。

23. 根据权利要求 15 的所述方法, 其中所述第一半导体图案形成以具有比所述第二半导体图案和字线低的掺杂浓度。

24. 根据权利要求 15 的所述方法, 其中使用选择性外延生长技术或固相外延技术形成所述第一和第二半导体图案。

25. 根据权利要求 15 的方法, 还包括在所述第二半导体图案上分别形成多个导电插塞, 其中所述导电插塞以及第一和第二半导体图案在所述第二开口内形成。

26. 根据权利要求 25 的所述方法, 其中形成导电插塞包括:

在具有所述第二半导体图案的衬底上形成金属层; 并且

使所述金属层平坦化, 以暴露所述第一成型层的表面和隔离壁的表面。

27. 根据权利要求 26 的所述方法, 还包括在形成所述金属层之前, 在所述第二半导体图案表面上选择性地形成金属硅化物层。

28. 根据权利要求 15 的所述方法, 其中所述第一开口形成以形成相互平行的线形配置。

29. 根据权利要求 15 的所述方法, 其中所述半导体衬底是单晶半导体衬底, 并且所述字线、第一半导体图案和第二半导体图案是单晶半导体图案。

30. 根据权利要求 15 的所述方法, 还包括:

在具有所述相变材料图案的衬底上形成层间绝缘层;

构图所述层间绝缘层, 以形成暴露所述相变材料图案的位线接触孔; 并且

在所述层间绝缘层上形成覆盖所述位线接触孔的多条位线,

其中形成所述位线跨过所述字线。

使用单元二极管的相变存储器件的制造方法

技术领域

本发明涉及半导体存储器件的制造方法，并且更具体地，涉及使用单元二极管的存储器件的制造方法。

背景技术

非易失性存储器件具有当不对存储单元施加电源时，存储在这样的存储单元中的数据不消失的优点。非易失性存储器件主要应用于具有堆叠栅极结构的闪存单元。堆叠栅极结构包括被顺序堆叠在沟道区上的隧穿氧化层、浮置栅极、栅极间介电层和控制栅电极。因此，为了提高闪存单元的可靠性和编程效率，应当改进隧穿氧化层的膜质量，并且应当增加闪存单元的耦合比。

最近，提出了诸如相变存储单元这样的新非易失性存储单元来代替闪存单元。在授予 Dennison et 等的标题为“Reduced Area Insertion Between Electrode and Programming Element”的美国专利 No.6,605,527B2 中公开了制造相变存储单元的方法。根据 Dennison 等，相变材料被设置在多条位线和多条字线之间的交叉点上。此外，各个相变存储单元包括串连电连接的相变材料图案和单元二极管。单元二极管的 N 型半导体电连接到字线，并且相变材料图案电连接到位线。形成字线和单元二极管的工艺包括第一工艺，第一工艺用来在 P 型半导体衬底上使用外延技术顺序地形成第一 N 型半导体层、具有比第一 N 型半导体层更低的杂质浓度的第二 N 型半导体层和 P 型半导体层；和第二工艺，第二工艺用来在 P 型半导体层上形成金属硅化物层。

构图所述金属硅化物层、P 型半导体层、第二 N 型半导体层和第一 N 型半导体层，以形成设置在 P 型半导体衬底上的多条平行 N 型字线，以及顺序堆叠在各自的 N 型字线上的第二 N 型半导体图案、P 型半导体图案和金属硅化物图案。在这种情形，当第一 N 型半导体层被蚀刻以形成所述字线时，P 型半导体衬底可能被过度蚀刻。这是因为 P 型半导体衬底可能对于第一 N 型半导体层不具有蚀刻选择性。结果，在字线之间可能形成具有高纵横比的深沟槽区。这样的深沟槽区可能用将要在后续工艺形成的绝缘层不能完全填

充。即深沟槽区的高纵横比可以引起绝缘层的空洞或裂痕。

此外,使用跨过字线的掩模图案作为蚀刻掩膜,蚀刻在字线上的第二N型半导体图案、P型半导体图案和金属硅化物图案,由此形成二维排列并且相互分隔的多个第一二极管和多个金属硅化物电极。在这种情形,字线也可以具有对于第二N型半导体图案低的蚀刻选择性。结果,当蚀刻第二N型半导体以形成单元二极管时,字线可能被过度蚀刻。因此,单元二极管之间的字线可能凹陷,如授予Dennison等的美国专利No. 6,605,527B2的图2所示。字线的过度蚀刻可能引起字线电阻的增加。根据Dennison等,在字线的凹陷区上形成了用杂质重掺杂的袋区(图2的200),以避免字线的电阻增加。

各条字线可以作为在相邻相变单元之间寄生形成的横向双极晶体管的基极区的作用。在这种情形,如果字线(即基极区)的电阻增加,可以增加寄生横向双极晶体管的电流增益。当寄生横向双极晶体管的电流增益增加时,在用于读出选择的相变单元的数据的读模式期间,电连接到所选择的相变单元的位线上产生的电压可能暂时不稳定。这是因为对应于寄生双极晶体管集电极电流的大充电电流可以流过与选择的相变单元相邻的非选择的相变单元的位线。结果,可能增加用于读出存储在选择的相变单元中的数据的数据的存取时间,从而降低了相变存储器件的性能。

此外,在寄生横向双极晶体管的电流增益增加的情形,寄生横向双极晶体管可以在用于将数据存入选择的相变单元的编程模式期间运行,从而增加了流过与选择的相变单元相邻的非选择的相变单元位线的集电极电流。结果,非选择的相变单元也可以被编程,从而改变了非相变单元的数据。

为了在有限的区内降低字线的电阻,可以增加第一N型半导体层的厚度。但是,在第一N型半导体层厚度增加的情形,沟槽区的纵横比可能增加,从而降低了沟槽区中绝缘层的可靠性。

发明内容

本公开的一个实施例提供了适用于改善可靠性和电性能而不降低集成密度的相变存储器件。

本公开的另一个实施例提供了能够改善可靠性和电性能而不降低集成密度的相变存储器件的制造方法。

在本公开的一个方面，本公开涉及采用单元二极管的相变存储器件。所述相变存储器件包括第一导电型的半导体衬底和设置在半导体衬底上的多条平行字线。所述字线具有不同于第一导电型的第二导电型并且具有基本平的顶表面。在字线上提供了多个第一半导体图案。沿所述字线的长度方向在各个字线上一维排列第一半导体图案。所述第一半导体图案具有第一导电型或第二导电型。具有第一导电型的第二半导体图案分别堆叠在第一半导体图案上。在具有第二半导体图案的衬底上提供绝缘层。所述绝缘层填充字线之间的间隙区、第一半导体图案间的间隙区和第二半导体图案之间的间隙区。多个相变材料图案被二维设置于绝缘层上。所述相变材料图案被分别电连接到第二半导体图案。

在本公开的一些实施例中，第一导电型和第二导电型可以分别是P型和N型。

在其它实施例中，半导体衬底和字线间的界面可以具有与字线相邻的半导体衬底的表面基本相同的高度。

在又一实施例中，多条缓冲线可以被提供于字线和半导体衬底之间。所述缓冲线可以具有与所述半导体衬底相同的导电型，并且所述字线和缓冲线之间的界面可以比绝缘层和半导体衬底之间的界面高。

在又一实施例中，所述字线可以是使用通过作为籽晶层的绝缘层暴露的半导体衬底的预定区生长的半导体图案。作为替代，所述字线可以是在使用固相外延技术通过绝缘层暴露的半导体衬底的预定区上，通过结晶多晶半导体图案或非晶半导体图案所获得的半导体图案。

在又一实施例中，第一半导体图案可以是使用通过作为籽晶层的绝缘层暴露的字线生长的半导体图案，并且所述第二半导体图案可以是使用所述第一半导体图案作为籽晶层生长的半导体图案。

在又一实施例中，第一和第二半导体图案可以是使用固相外延技术形成的半导体图案。

在又一实施例中，第一半导体图案可以具有比第二半导体图案和字线低的掺杂浓度。

在又一实施例中，层间绝缘层可以提供于具有相变材料图案的衬底上，并且多条位线设置在层间绝缘层上。所述位线可以通过贯通所述层间绝缘层的位线接触孔电连接到所述相变材料图案。

在又一实施例中，字线、第一半导体图案和第二半导体图案可以是单晶半导体。

在又一实施例中，第一组开关元件和第二组开关元件可以提供为与所述字线的端部相邻。第一和第二组开关元件可以提供于所述半导体衬底上或在所述半导体衬底上的外延半导体图案上。此外，从俯视图看时，多条主字线可以设置在字线之间。主字线传输用于控制开关元件的电信号。第一组开关元件分别电连接到所述字线的奇数字线，并且第二组开关元件分别电连接到所述字线的偶数字线。第一和第二组开关元件可以是 CMOS 存取晶体管。在这种情形，主字线分别电连接到 MOS 存取晶体管的栅极，并且字线分别电连接到 MOS 存取晶体管的漏区。多个导电插塞可以提供在第二半导体图案和相变材料图案之间的绝缘层中。在这种情形，主字线可以穿过导电插塞之间的区。

在本公开的另一个方面，所述相变存储器件包括第一导电型的半导体衬底和在半导体衬底上提供的下成型层。下成型层具有暴露半导体衬底预定区的多个平行下开口。下开口用所述字线填充。字线具有与第一导电型不同的第二导电型，并且具有基本平的顶表面。字线和下成型层用上成型层覆盖。下成型层具有暴露字线预定区的多个上开口。第一半导体图案提供于上开口中。第一半导体图案具有第一导电型或第二导电型。第二半导体图案堆叠于第一半导体图案上，并且第二半导体图案设置于上开口中。第二半导体图案具有第一导电型。多个相变材料图案设置在第二半导体图案上方。所述相变材料图案电连接到第二半导体图案。字线和第一半导体图案之间的界面具有与字线和上成型层之间的界面基本相同的高度。

在本公开的又一个方面，所述相变存储器件包括第一导电型的半导体衬底和在半导体衬底上提供的第一成型层。第一形成层具有暴露半导体衬底预定区的多个第一平行开口。第一开口的下区用多条字线填充。所述字线具有与第一导电型不同的第二导电型，并且具有基本平的顶表面。多个隔离壁提供于第一开口上区内。隔离壁提供暴露所述字线预定区的多个第二开口。隔离壁由对所述第一成型层具有蚀刻选择性的第二成型层构成。第一半导体图案提供于第二开口内。第一半导体图案具有第一导电型或第二导电型。第二半导体图案堆叠在第一半导体图案上，并且第二半导体图案还提供于第二开口内。第二半导体图案具有第一导电型。多个相变材料图案设置在第二半导

体图案上方，并且所述相变材料图案分别电连接到第二半导体图案。字线和第一半导体图案之间的界面具有与字线和隔离壁之间的界面基本相同的高度。

在本公开的又一方面中，本公开涉及相变存储器件的制造方法。所述方法包括在第一导电型的半导体衬底上形成多条平行字线和形成字线隔离层以填充所述字线之间的间隙区。所述字线形成以具有与第一导电型不同的第二导电型。在所述字线和字线隔离层上形成上成型层。构图所述上成型层以形成暴露所述字线预定区的多个上开口。在所述上开口内顺序形成第一半导体图案和第二半导体图案。第一半导体图案形成以具有所述第一导电型或第二导电型，并且第二半导体图案形成以具有第一导电型。在具有第二半导体图案的衬底上，形成电连接到第二半导体图案的多个相变材料图案。

在本发明的一些实施例中，形成字线和字线隔离层可以包括：提供第一导电型的半导体衬底；在半导体衬底上形成具有与所述第一导电型不同的第二导电型的上外延层；构图上外延半导体层以形成多个平行上外延半导体图案；在具有上外延半导体图案的衬底上形成绝缘层；以及使所述绝缘层平坦化以暴露所述上外延半导体图案的顶表面。

在另一实施例中，缓冲线可以形成于字线下。在这种情形，缓冲线、字线和字线隔离层的形成可以包括：提供第一导电型的半导体衬底；在所述半导体衬底上顺序形成具有第一导电型的下外延半导体层和具有与第一导电型不同的第二导电型的上外延半导体层；构图所述上外延半导体层和下外延半导体层以形成按顺序堆叠的下外延半导体图案和上外延半导体图案；在具有上外延半导体图案的衬底上形成绝缘层；以及使所述绝缘层平坦化，以暴露所述上外延半导体图案的顶表面。

在又一实施例中，字线和字线隔离层的形成可以包括在第一导电型的半导体衬底上形成下成型层；构图下成型层以形成暴露所述半导体衬底预定区的多个平行下开口；以及使用选择性外延生长技术或固相外延技术，在下开口内形成多条半导体线。所述半导体线可以形成以具有与第一导电型不同的第二导电型。在半导体线形成之前，使用选择性外延生长技术或固相外延技术，在所述下开口的下区内形成多条缓冲线。所述缓冲线可以形成以具有第一导电型。

在又一实施例中，字线和字线隔离层的形成可以包括：提供第一导电型

的半导体衬底；在半导体衬底的预定区域中形成沟槽隔离层以界定多个平行有源区；并且将具有与所述第一导电型不同的第二导电型的杂质离子注入所述有源区以形成第二导电型的字线。在将具有第二导电型的杂质离子的注入之前或之后，可以将具有第一导电型的杂质粒子注入有源区，以在字线下形成具有第一导电型的缓冲线。

在又一实施例中，第一和第二半导体图案可以使用选择性外延生长技术或固相外延技术形成。

在又一实施例中，可以在第二半导体图案上分别形成多个导电插塞。所述导电插塞以及第一和第二半导体图案可以形成于所述上开口内。

在又一实施例中，第一导电型和第二导电型可以分别是P型和N型。

在又一实施例中，半导体衬底可以是单晶半导体衬底，并且字线、第一半导体图案和第二半导体图案可以是单晶半导体图案。

在又一实施例中，第一半导体图案可以具有比第二半导体图案和字线低的杂质浓度。

在又一实施例中，可以在具有相变材料图案的衬底上形成层间绝缘层，并且可以构图所述层间绝缘层，以形成暴露相变材料图案的位线接触孔。另外，可以在所述层间绝缘层上形成覆盖位线接触孔的多条位线。位线可以形成以便跨过所述字线。

在本公开的又一方面中，所述方法包括：在第一导电型的半导体衬底上形成第一成型层，并且构图所述第一成型层以形成暴露所述半导体衬底预定区的第一开口。在所述第一开口的下区形成多条字线。所述字线形成以具有与所述第一导电型不同的第二导电型。在第一开口上区内形成第二成型层图案。第二成型层图案可以由对所述第一成型层具有蚀刻选择性的绝缘层形成。构图第二成型层，以形成提供暴露所述字线的预定区多个第二开口的隔离图案。在所述第二开口内顺序形成第一半导体图案和第二半导体图案。所述第一半导体图案形成以具有第一导电型或第二导电型，并且第二半导体图案形成以具有第一导电型。电连接到第二半导体图案的多个相变材料图案形成于具有第二半导体图案的衬底上。

附图说明

通过参照附图详细描述示范性实施例，本公开的上述和其它特征将变得

更加显而易见，在附图中：

图 1 是图示使用单元二极管的相变存储器件的典型方框图；

图 2 是图示使用单元二极管和选择晶体管的相变存储器件的单元块的示范性示意图；

图 3 是图示根据本公开的实施例的相变存储器件的单元阵列区的一部分的平面图；

图 4 是图示根据本公开的另一实施例的相变存储器件的单元阵列区的一部分的平面图；

图 5A 是沿图 3 的 I-I' 线所取的横截面图，用来图示根据本公开的实施例的相变存储器件的单元阵列区；

图 5B 是沿图 3 的 II-II' 线所取的横截面图，用来图示根据本公开的实施例的相变存储器件的单元阵列区；

图 6A 是沿图 3 的 I-I' 线所取的横截面图，用来图示根据本公开的另一实施例的相变存储器件的单元阵列区；

图 6B 是沿图 3 的 II-II' 线所取的横截面图，用来图示根据本公开的另一实施例的相变存储器件的单元阵列区；

图 7A 是沿图 4 的 I-I' 线所取的横截面图，用来图示根据本公开的又一实施例的相变存储器件的单元阵列区；

图 7B 是沿图 4 的 II-II' 线所取的横截面图，用来图示根据本公开的又一实施例的相变存储器件的单元阵列区；

图 8A 到 11A 是沿图 3 的 I-I' 线所取的横截面图，用来图示根据本公开的实施例的相变存储器件的制造方法；

图 8B 到 11B 是沿图 3 的 II-II' 线所取的横截面图，用来图示根据本公开的实施例的相变存储器件的制造方法；

图 12A 到 15A 是沿图 3 的 I-I' 线所取的横截面图，用来图示根据本公开的其它实施例的相变存储器件的制造方法；以及

图 12B 到 15B 是沿图 3 的 II-II' 线所取的横截面图，用来图示根据本公开的其它实施例的相变存储器件的制造方法。

具体实施方式

将参照附图详细描述本发明的示范性实施例。然而，本发明可以以许多

不同形式实现，并且不应限于解释为这里提出的实施例。而是，提供这些实施例，使得本公开是充分和完整的，并且对于本领域的技术人员全面转达本发明的构思。在图中，为了清楚起见可以夸张层和区的长度和厚度。图中相似的参考标号可以表示相似的元件。

图1是图示包括使用单元二极管的相变存储单元的相变存储器件的示范性方框图。所述相变存储器件通常用参考标号100表示。

参照图1，相变存储器件100包括单元阵列区CA和外部电路区。单元阵列区CA包括n条位线BL1、BL2、BL3、...、BLn和与所述位线BL1、BL2、BL3、...、BLn交叉的m条字线WL1、WL2、WL3、...、WLn。多个两维阵列的相变存储单元Cp每个均设置在位线BL1、BL2、BL3、...、BLn和字线WL1、WL2、WL3、...、WLn的交叉点上。各个相变存储单元Cp包括串连电连接的相变材料图案Rp和单元二极管D。

单元二极管D的P型半导体电连接到相变材料图案Rp的一端，并且相变材料图案Rp的另一端电连接到位线BL1、BL2、BL3、...、BLn之一。此外，单元二极管D的N型半导体电连接到字线WL1、WL2、WL3、...、WLn之一。字线WL1、WL2、WL3、...、WLn连接到在外部电路区中的字线驱动器WLD，并且字线驱动器WLD在读模式或编程模式期间选择字线WL1、WL2、WL3、...、WLn之一。

位线BL1、BL2、BL3、...、BLn电连接到由在外部电路区中的位线驱动器和传感放大器单元构成的核心电路B/S。位线驱动器选择位线BL1、BL2、BL3、...、BLn的至少之一。由位线驱动器选择的位线的数量根据相变存储器件的位结构(bit organization)来确定。例如，当相变存储器件的位结构是“×4”时，位线驱动器在位线BL1、BL2、BL3、...、BLn中选择4条位线。这里，位结构意指一次同时输出的数据数量。另外，常规放大器单元比较将在选择的位线产生的电信号，如电压与参考信号 ϕ_{ref} 比较，以确定各个位线信号是对应逻辑“0”或是对应逻辑“1”，并且将所述位线信号传输到I/O垫。

根据在图1中所示的相变存储器件，几十或更多的相变存储单元可以连接到单根字线。在这种情形，由于电阻和诸如字线的负载电容的寄生电容，可以显著增加用于读出存储在离字线驱动器WLD最远的相变单元内的数据的存取时间。因此，如果通过将单元阵列区CA分成多个单元块以减少连接

到单根字线的相变存储单元的数量,用于读出存储在选择的相变单元内数据的存取时间可以被减少。

图2是图示多个单元块之一和与其连接的核心电路的示意图。所述单元块通常用参考标号200表示。

参照图2,所述示范性单元块200或BLK可以包括四条位线BL1、BL2、BL3和BL4和四条字线WL1、WL2、WL3和WL4。然而,位线和字线的数量不限于4,在替代实施例中这个数量可以大于四。四条字线WL1、WL2、WL3和WL4设置为与四条位线BL1、BL2、BL3和BL4交叉。十六个相变单元Cp设置在位线BL1、BL2、BL3和BL4和字线WL1、WL2、WL3和WL4的交叉点。相变存储单元Cp与参考图1所描述的相同。

字线WL1、WL2、WL3和WL4可以连接到四个块选择开关元件,并且控制所述块选择开关元件的四条主字线MWL1、MWL2、MWL3和MWL4可以分别设置为与字线WL1、WL2、WL3和WL4相邻。即所述主字线MWL1、MWL2、MWL3和MWL4可以设置在字线WL1、WL2、WL3和WL4之间。块选择开关元件可以是MOS存取晶体管TA1、TA2、TA3和TA4。在这种情形,第一到第四字线WL1、WL2、WL3和WL4可以分别连接到第一到第四MOS存取晶体管TA1、TA2、TA3和TA4的漏区,并且第一到第四字线WL1、WL2、WL3和WL4可以分别连接到第一到第四MOS存取晶体管TA1、TA2、TA3和TA4的栅极。另外,MOS存取晶体管TA1、TA2、TA3和TA4的源区可以接地。

如图2所示,第一和第三MOS存取晶体管TA1和TA3,即第一组MOS存取晶体管可以设置在单元块BLK的右侧,并且第二和第四MOS存取晶体管TA2和TA4,即第二组MOS存取晶体管可以设置在单元块BLK的左侧。如参考图1所描述,位线BL1、BL2、BL3和BL4连接到核心电路B/S。

在图2所示的单元块BLK中,在选择主字线MWL1、MWL2、MWL3和MWL4之一时,可以选择字线WL1、WL2、WL3和WL4之一。例如,在选择第二条主字线MWL2的情形,第二MOS存取晶体管TA2开启并且第二字线WL2被选择。

图3是图示根据本公开的实施例的相变存储器件的单元阵列区的部分300的平面图,并且图4是图示根据本公开的另一实施例的相变存储器件的单元阵列区的部分400的平面图。即图3是图示图1的单元阵列区CA的部

分 300 的平面图，并且图 4 是图示图 2 的单元阵列区 CA 的部分 400 的平面图。

图 5A 是沿图 3 的 I-I' 线取的横截面图，用来图示根据本公开的实施例的相变存储器件的单元阵列区 500，并且图 5B 是沿图 3 的 II-II' 线取的横截面图，用来图示根据本公开的实施例的相变存储器件的单元阵列区 550。

参照图 3、5A 和 5B，下成型层 3 设置在第一导电型的半导体衬底 1 上。下成型层 3 可以是诸如氧化硅层的绝缘层，并且第一导电型可以是 P 型。下成型层 3 可以包括暴露半导体衬底 1 的预定区的多个平行下开口。下开口用多条字线填充，即具有与第一导电型不同的第二导电型的第一到第四字线 5a、5b、5c 和 5d（或图 3 中的 WL1、WL2、WL3 和 WL4）。当第一导电型是 P 型时，第二导电型可以是 N 型。字线 5a、5b、5c 和 5d 可以是使用下开口暴露的半导体衬底 1 作为籽晶层生长的外延半导体图案。作为替代，字线 5a、5b、5c 和 5d 可以是使用固相外延技术形成的半导体图案。因此，在半导体衬底 1 是单晶硅的情形，字线 5a、5b、5c 和 5d 也可以是单晶半导体图案。

第一到第四缓冲线 2a、2b、2c 和 2d 可以分别提供在第一到第四字线 5a、5b、5c 和 5d 下。缓冲线 2a、2b、2c 和 2d 可以是具有与半导体衬底 1 相同导电型的外延图案。即缓冲线 2a、2b、2c 和 2d 可以具有第一导电型。作为替代，缓冲线 2a、2b、2c 和 2d 可以对应于从半导体衬底 1 突出的部分。即缓冲线 2a、2b、2c 和 2d 可以对应于半导体衬底 1 的扩伸部。缓冲线 2a、2b、2c 和 2d 可以改善相邻字线 5a、5b、5c 和 5d 的电隔离特性。在提供缓冲线 2a、2b、2c 和 2d 时，字线 5a、5b、5c 和 5d 的底面（即缓冲线 2a、2b、2c 和 2d 和字线 5a、5b、5c 和 5d 之间的第一界面 F1）可以比下成型层 3 和半导体衬底 1 之间的第二界面 F2 高。

当没有提供缓冲线 2a、2b、2c 和 2d 时，字线 5a、5b、5c 和 5d 和半导体衬底 1 之间的第一界面 F1 可以具有与第二界面 F2 基本相同的高度。另外，字线 5a、5b、5c 和 5d 可以是具有高于 1×10^{19} 原子/平方厘米的杂质浓度的重掺杂的半导体图案。

上成型层 7 提供于字线 5a、5b、5c 和 5d 和下成型层 3 上。上成型层 7 可以是与下成型层 3 相同材料的层。作为替代，上成型层 7 可以是与下成型层 3 不同材料的层。例如，在下成型层 3 是氧化硅层的情形，上成型层 7 可

以是氮化硅层。相似地，当下成型层 3 是氮化硅层时，上成型层 7 可以是氧化硅层。

上成型层 7 包括暴露字线 5a、5b、5c 和 5d 的预定区的多个上开口 7a。各个上开口 7a 的下区用按顺序堆叠的第一半导体图案 9 和第二半导体图案 11 填充。第一半导体图案 9 可以具有与字线 5a、5b、5c 和 5d 相同的导电类型；并且第二导电图 11 可以具有与第一半导体图案 9 不同的导电类型。例如，第一半导体图案 9 和第二半导体图案 11 可以分别具有第二导电型和第一导电型。因此，在第一半导体图案 9 和其上的第二半导体图案 11 构成单元二极管 D。在这种情形，优选的是第一半导体图案 9 具有比字线 5a、5b、5c 和 5d 更低的杂质浓度。这是用于减少流过反向偏置单元二极管的漏电流。第二半导体图案 11 可以具有比第一半导体图案 9 高的杂质浓度。

在另一实施例中，第一和第二半导体图案 9 和 11 可以具有与字线 5a、5b、5c 和 5d 不同的导电类型。即第一半导体图案 9 和第二半导体图案 11 可以具有第一导电型。在这种情形，单元二极管 D 由第一半导体图案 9 和字线 5a、5b、5c 和 5d 组成，并且第一半导体图案 9 可以具有比字线 5a、5b、5c 和 5d 和第二半导体图案 11 低的杂质浓度。

第一半导体图案 9 可以是使用由上开口 7a 暴露的字线 5a、5b、5c 和 5d 作为籽晶层生长的外延半导体图案，并且第二半导体图案 11 可以是使用第一半导体图案 9 作为籽晶层生长的外延半导体图案。作为替代，第一和第二半导体图案 9 和 11 可以是使用固相外延技术形成的半导体图案。因此，当字线 5a、5b、5c 和 5d 是单晶半导体图案时，第一和第二半导体图案 9 和 11 也可以是单晶半导体图案。

第一半导体图案 9 和字线 5a、5b、5c 和 5d 之间的界面 F3 可以具有与上成型层 7 和字线 5a、5b、5c 和 5d 之间的第四界面 F4 基本相同的高度。

上开口 7a 的上区可以用多个导电插塞 13 填充。导电插塞 13 可以是展示与第二半导体图案 11 欧姆接触的金属插塞。例如，导电插塞 13 可以是钨插塞。导电插塞 13 不需要被提供。在这种情形，上开口 7a 可以完全用单元二极管 D 填充。

绝缘层 17 可以被提供在导电插塞 13 和上成型层 7 上，并且相变材料图案 21（图 3 中的 Rp）可以被二维排列在绝缘层 17。相变材料图案 21 可以通过贯穿绝缘层 17 的接触孔 17a 与导电插塞 13 直接接触。在这种情形，相

变材料图案 21 具有限定的配置。作为替代,相变材料图案 21 可以通过填充接触孔 17a 的下电极 19 电连接到导电插塞 3。

上电极 23 可以被堆叠在相变材料图案 21 上。层间绝缘层 25 被提供在具有上电极 23 的衬底上,并且多条平行位线 29a、29b、29c 和 29d (图 3 中的 BL1、BL2、BL3 和 BL4) 设置在层间绝缘层 25 上。位线 29a、29b、29c 和 29d 设置为跨过字线 5a、5b、5c 和 5d。位线 29a、29b、29c 和 29d 可以通过贯穿层间绝缘层 25 的多个位线接触孔 25a 直接接触上电极 23。作为替代,位线 29a、29b、29c 和 29d 可以通过填充位线接触孔 25a 的接触插塞 27 电连接到上电极 23。

根据图 5A 和 5B 中所示的实施例,一对相邻的单元二极管 D 和与其连接的字线 (例如,第一字线 5a) 可以构成寄生横向双极晶体管 BJT2。在这种情形,相邻的单元二极管 D 的第二半导体图案分别起寄生横向双极晶体管 BJT2 的发射极 E 和集电极 C 的作用,并且第一字线 5a 起寄生横向双极晶体管 BJT2 的基极 B 的作用。因此,即便选择了连接到发射极 E 的第三位线 29c 并且没有选择连接到集电极 C 的第四位线 29d,寄生横向双极晶体管 BJT2 也可以运行,以便暂时产生流向非选择的第四位线 29d 的集电极电流 I_c 。在这种情形,流过字线 5a 的基极电流 I_b 可以暂时减小。集电极电流 I_c 是用于充电第四位线 29d 的负载电容或寄生电容的电流。如果集电极电流 I_c 的数量大,在选择的位线 (即第三位线 29c) 产生的电信号可能不稳定,因而干扰相变存储器件读操作的成功。

然而,根据本实施例,字线 5a、5b、5c 和 5d 具有基本平的表面。即在单元二极管 D 之间的字线 5a、5b、5c 和 5d 的表面不提供任何凹陷区。因此,可以最小化字线 5a、5b、5c 和 5d 的电阻。结果,根据本实施例的相变存储器件的单元阵列区适于抑制寄生横向双极晶体管 BJT2 的运行。

此外,如图 5a 所示,根据本实施例的相变单元阵列区可以提供寄生垂直双极晶体管 BJT1。例如,寄生垂直双极晶体管 BJT1 可以包括半导体衬底 1、第一字线 5a 和连接到第一字线 5a 的单元二极管 D 的第二半导体图案 11。在这种情形,半导体衬底 1 和第一字线 5a 分别用作寄生垂直双极晶体管 BJT1 的集电极 C 和基极 B,并且第二半导体图案 11 用作寄生垂直双极晶体管 BJT1 的发射极 E。如果寄生垂直双极晶体管 BJT1 的电流增益增加,流入半导体衬底 1 的集电极电流 I_c 也可以增加。因此,在半导体衬底 1 的外部电路区形

成的 MOS 晶体管的电性能可能变得不稳定。然而, 根据本实施例, 可以最小化字线 5a、5b、5c 和 5d 的电阻, 因而显著减小了寄生垂直双极晶体管 BJT1 的电流增益。

图 6A 是沿图 3 的 I-I' 线取的横截面图, 用来图示根据本公开的另一实施例的相变存储器件的单元阵列区 600, 并且图 6B 是沿图 3 的 II-II' 线取的横截面图, 用来图示根据本公开的另一实施例的相变存储器件的单元阵列区 650。

参照图 3、6A 和 6B, 第一成型层 53 设置在第一导电型的半导体衬底 51 上。第一导电型可以是 P 型, 并且第一成型层 53 可以是诸如氧化硅层的绝缘层。第一成型层 53 可以具有暴露半导体衬底 51 的预定区的多个平行第一开口 53a、53b、53c 和 53d。第一开口 53a、53b、53c 和 53d 的下区用多条字线填充, 多条字线即具有与第一导电型不同的第二导电型的第一到第四字线 55a、55b、55c 和 55d (或图 3 中的 WL1、WL2、WL3 和 WL4)。在第一导电型是 P 型的情形, 第二导电型可以是 N 型。字线 55a、55b、55c 和 55d 可以是使用通过第一开口 53a、53b、53c 和 53d 暴露的半导体衬底 51 作为籽晶层生长的外延半导体图案。作为替代, 字线 55a、55b、55c 和 55d 可以是使用固相外延技术形成的半导体图案。因此, 在半导体衬底 51 是单晶硅的情形, 字线 55a、55b、55c 和 55d 也可以是单晶半导体图案。

第一到第四缓冲线 54a、54b、54c 和 54d 可以分别设置在第一到第四字线 55a、55b、55c 和 55d 下。缓冲线 54a、54b、54c 和 54d 可以是具有半导体衬底 51 相同导电类型的外延半导体图案。即, 缓冲线 54a、54b、54c 和 54d 可以具有第一导电型。缓冲线 54a、54b、54c 和 54d 可以改善相邻字线 55a、55b、55c 和 55d 的电隔离特性。在提供缓冲线 54a、54b、54c 和 54d 时, 字线 55a、55b、55c 和 55d 的底面 (例如, 缓冲线 54a、54b、54c 和 54d 和字线 55a、55b、55c 和 55d 之间的第一界面 F1') 可以比第一成型层 53 和半导体衬底 51 之间的第二界面 F2' 高。

在另一个实施例中, 当没有提供缓冲线 54a、54b、54c 和 54d 时, 字线 55a、55b、55c 和 55d 和半导体衬底 51 之间的第一界面 F1' 可以具有与第一成型层 53 和半导体衬底 51 之间的第二界面 F2' 基本相同的高度。另外, 字线 55a、55b、55c 和 55d 可以是具有高于 1×10^{19} 原子/平方厘米的杂质浓度重掺杂的半导体图案。

多个隔离壁 57a' 被提供在第一开口 53a、53b、53c 和 53d 的上区内。即, 隔离壁 57a' 被一维排列在各条字线 55a、55b、55c 和 55d 上。因此, 字线 55a、55b、55c 和 55d 的预定区被隔离壁 57a' 之间的第二开口 57d 暴露。隔离壁 57a' 可以是对第一成型层 53 具有蚀刻选择性的第二成型层。例如, 在第一成型层 53 是氧化硅层的情形, 隔离壁 57a' 可以是氮化硅层。相反, 当第一成型层 53 是氮化硅层时, 隔离壁 57a' 可以是氧化硅层。

第二开口 57d 的下区用分别按顺序堆叠的第一半导体图案 61 和第二半导体图案 63 填充。第一半导体图案 61 可以具有与字线 55a、55b、55c 和 55d 相同的导电类型; 并且第二导电图 63 可以具有与第一半导体图案 61 不同的导电类型。即, 第一半导体图案 61 和第二半导体图案 63 可以分别具有第二导电型和第一导电型。因此, 在第一半导体图案 61 和其上的第二半导体图案 63 构成单元二极管 D。在这种情形, 优选地, 如图 5A 和图 5B 所述, 第一半导体图案 61 具有比字线 55a、55b、55c 和 55d 低的杂质浓度。另外, 第二半导体图案 63 可以具有比第一半导体图案 61 高的杂质浓度。

作为替代, 第一和第二半导体图案 61 和 63 可以具有与字线 55a、55b、55c 和 55d 不同的导电类型。即第一和第二半导体图案 61 和 63 可以具有第一导电型。在这种情形, 单元二极管 D 由第一半导体图案 61 和字线 55a、55b、55c 和 55d 组成, 并且第一半导体图案 61 可以具有比第二半导体图案 63 和字线 55a、55b、55c 和 55d 低的杂质浓度。

第一半导体图案 61 可以是与如图 5A 和 5B 所述的第一半导体图案 9 相同的材料层。相似地, 第二半导体图案 63 可以是与如图 5A 和 5B 所述的第二半导体图案 11 相同的材料层。

第一半导体图案 61 和字线 55a、55b、55c 和 55d 之间的第三界面 F3' 可以具有与隔离壁 57a' 和字线 55a、55b、55c 和 55d 之间的第四界面 F4' 基本相同的高度。换言之, 字线 55a、55b、55c 和 55d 可以具有平表面。

第二开口 57d 的上区可以用多个导电插塞 65 填充。导电插塞 65 可以是具有与第二半导体图案 63 欧姆接触的金属插塞。例如, 导电插塞 65 可以是钨插塞。导电插塞 65 不需要被提供。在这种情形, 第二开口 57d 可以完全用单元二极管 D 填充。

具有与图 5A 和 5B 所述实施例相同配置的上结构可以被提供在具有导电插塞 65、第一成型层 53 和隔离壁 57a' 的衬底上。即, 在图 5A 和 5B 中图

示的相变材料图案 21 和位线 29a、29b、29c 和 29d 可以设置在具有导电插塞 65 的衬底上。根据这些实施例，单元二极管 D 可以与字线 55a、55b、55c 和 55d 自对准。

图 7A 是沿图 4 的 I-I' 线取的横截面图，用来图示根据本公开的又一实施例的相变存储器件的单元阵列区 700，并且图 7B 是沿图 4 的 II-II' 线取的横截面图，用来图示根据本公开的又一实施例的相变存储器件的单元阵列区 750。根据该实施例，单元块中的多个相变单元可以具有与图 6A 和 6B 所述的相变单元相同的结构。然而，根据本发明的这个实施例的单元块中的相变单元不限于如图 6A 和 6B 所示的相变单元。例如，根据本实施例的单元块内的相变单元可以具有与图 5A 和 5B 所述相同的配置。因此，将省略对于相变单元结构的重复描述。

参照图 4、7A 和 7B，多个块选择开关元件，比如第一到第四 MOS 存取晶体管 TA1、TA2、TA3 和 TA4 设置为与字线 55a、55b、55c 和 55d（或图 4 中的 WL1、WL2、WL3 和 WL4）的端部分相邻。第一到第四 MOS 存取晶体管 TA1、TA2、TA3 和 TA4 可以分别提供在半导体衬底 51 上的第一到第四外延半导体图案 64a、64b、64c 和 64d 上。外延半导体图案 64a、64b、64c 和 64d 可以是使用半导体衬底 51 作为籽晶层生长的半导体图案。另外，外延半导体图案 64a、64b、64c 和 64d 可以是 P 型半导体图案。作为替代，MOS 存取晶体管 TA1、TA2、TA3 和 TA4 可以被直接提供在衬底 51 上。

第一和第三 MOS 存取晶体管 TA1 和 TA3 分别电连接到第一和第三字线 55a 和 55c，即奇数字线，并且第二和第四 MOS 存取晶体管 TA2 和 TA4 分别电连接到第二和第四字线 55b 和 55d，即偶数字线。在这种情形，第一和第三 MOS 存取晶体管 TA1 和 TA3，即第一组 MOS 存取晶体管可以设置在第一和第三字线 WL1 和 WL3 的右侧，并且第二和第四 MOS 存取晶体管 TA2 和 TA4，即第二组 MOS 存取晶体管可以设置在第二和第四字线 WL2 和 WL4 的左侧。

各个 MOS 存取晶体管 TA1、TA2、TA3 和 TA4 包括被提供在外延半导体图案 64a、64b、64c 或 64d 和栅极两端的源区 64s 和漏区 64d，栅极跨越源区 64s 和漏区 64d 之间的沟道区上方。MOS 存取晶体管 TA1、TA2、TA3 和 TA4 的栅极可以延伸，以用作主字线 MWL1、MWL2、MWL3 和 MWL4。作为替代，主字线 MWL1、MWL2、MWL3 和 MWL4 可以是不同于栅极的

导电层。在这种情形，主字线 MWL1、MWL2、MWL3 和 MWL4 可以通过局部互连电连接到栅极。

当从图 4 的平面图上看时，主字线 MWL1、MWL2、MWL3 和 MWL4 可以设置在字线 WL1、WL2、WL3 和 WL4 之间。可以根据外延半导体图案 64a 的顶表面的水平确定主字线 MWL1、MWL2、MWL3 和 MWL4 的水平。例如，当外延半导体图案 64a 的顶表面具有与单元二极管 D 的顶表面相同高度时，主字线 MWL1、MWL2、MWL3 和 MWL4 可以设置在导电插塞 65 之间，如图 7B 所示。换言之，第一主字线 MWL1 可以设置在第一字线 WL1 上的导电插塞 65 和第二字线 WL2 上的导电插塞 65 之间的第一成型层 53 上，并且第二主字线 MWL2 可以设置在第二字线 WL2 上的导电插塞 65 和第三字线 WL3 上的导电插塞 65 之间的第一成型层 53 上。类似地，第三主字线 MWL3 可以设置在第三字线 WL3 上的导电插塞 65 和第四字线 WL4 上的导电插塞 65 之间的第一成型层 53 上，并且第四主字线 MWL4 可以设置在第四字线 WL4 上的导电插塞 65 和与第四字线相邻的第五字线上的导电插塞 65 之间的第一成型层 53 上。在没有提供导电插塞时，主字线 MWL1、MWL2、MWL3 和 MWL4 可以设置为穿过单元二极管 D 之间的区。

MOS 存取晶体管 TA1、TA2、TA3 和 TA4 可以用第一成型层 53 覆盖。在这种情形，漏区 64d 通过穿过第一成型层 53 的漏接触孔 57d 暴露，并且源区 64s 通过穿过第一成型层 53 的源接触孔 57d' 暴露。另外，与漏区 64d 相邻的字线 55a、55b、55c 和 55d（或 WL1、WL2、WL3 和 WL4）的端部可以通过穿过隔离壁 57a' 的互连接触孔 57i 暴露。互连接触孔 57i、漏接触孔 57d' 和源接触孔 57s' 可以分别用互连接触插塞 65p、漏接触插塞 65d 和源接触插塞 65s 填充。

漏接触插塞 65d 通过提供在绝缘层 17 内的局部互连 19i 电连接到与漏接触插塞 65s 相邻的互连接触插塞 65p。另外，源接触插塞 65s 电连接到在绝缘层 17 内提供的接地互连 19s。

将要描述根据本发明实施例的相变存储器件的制造方法。图 8A 至 11A 是沿图 3 的 I-I' 线取的横截面图，用来描述根据本公开的实施例的相变存储器件的单元阵列区的制造方法，并且图 8B 至 11B 是沿图 3 的 II-II' 线取的横截面图，用来描述根据本公开的实施例的相变存储器件的单元阵列区的制造方法。因而，相变存储单元部通常分别在各个图 8A、8B、9A、9B、10A、

10B、11A 和 11B 中，用参考标号 800、850、900、950、1000、1050、1100 和 1150 表示。

参照图 3、8A 和 8B，下成型层 3 形成于第一导电型的半导体衬底 1 上。半导体衬底 1 可以是 P 型单晶半导体衬底。下成型层 3 可以由诸如氧化硅层或氮化硅层的绝缘层形成。构图下成型层 3，以形成暴露半导体衬底 1 的预定区的多个平行下开口 3a、3b、3c 和 3d。

参照图 3、9A 和 9B，使用采用通过下开口 3a、3b、3c 和 3d 暴露的半导体衬底 1 作为籽晶层的选择性外延生长技术，形成填充下开口 3a、3b、3c 和 3d 的缓冲线 2a、2b、2c 和 2d 和字线 5a、5b、5c 和 5d（或图 3 中的 WL1、WL2、WL3 和 WL4）。当半导体衬底 1 是单晶半导体衬底时，缓冲线 2a、2b、2c 和 2d 和字线 5a、5b、5c 和 5d 也可以是具有单晶结构的半导体图案。缓冲线 2a、2b、2c 和 2d 用具有第一导电型的杂质掺杂，并且字线 5a、5b、5c 和 5d 用具有与第一导电型不同的第二导电型的杂质掺杂。即缓冲线 2a、2b、2c 和 2d 可以用 P 型杂质掺杂，并且字线 5a、5b、5c 和 5d 可以用 N 型杂质掺杂。缓冲线 2a、2b、2c 和 2d 和字线 5a、5b、5c 和 5d 可以使用原位掺杂技术或离子注入技术形成。优选地，字线 5a、5b、5c 和 5d 被掺杂以具有高于 1×10^{19} 原子/平方厘米的杂质浓度。

作为替代，可以使用固相外延（SPE）技术形成缓冲线 2a、2b、2c 和 2d 和字线 5a、5b、5c 和 5d。更具体地，比如多晶半导体层或非晶半导体层的半导体层形成于具有下开口 3a、3b、3c 和 3d 的衬底上，并且该半导体层被平坦化，以暴露下成型层 3 的顶表面。结果，在下开口 3a、3b、3c 和 3d 内形成半导体图案。使用采用半导体衬底 1 作为籽晶层的固相外延技术，将半导体图案结晶。在半导体衬底 1 具有单晶结构的情形，在固相外延工艺期间，半导体图案可以被转换为具有单晶结构。杂质离子被注入单晶半导体图案重以形成缓冲线 2a、2b、2c 和 2d 和字线 5a、5b、5c 和 5d。可以省略形成缓冲线 2a、2b、2c 和 2d 的离子注入工艺。在这种情形，不形成缓冲线 2a、2b、2c 和 2d。另外，在平坦化半导体层之前，可以进行固相外延工艺。当多晶半导体层或非晶半导体层由原位掺杂半导体层形成时，可以省略杂质离子注入工艺。

通过增加下成型层 3 的厚度，可以大大减小字线 5a、5b、5c 和 5d 的电阻。然而，根据这个实施例，基本可以避免在字线 5a、5b、5c 和 5d 之间的

下成型层3内形成空洞和裂痕。这是因为字线5a、5b、5c和5d是使用上述选择性外延生长技术或固相外延技术形成的。另外,根据本实施例,由于缓冲线2a、2b、2c和2d的存在,可以增加相邻字线5a、5b、5c和5d之间的电流通路的长度。因此,可以改善字线5a、5b、5c和5d之间的电隔离性能。当形成缓冲线2a、2b、2c和2d时,字线5a、5b、5c和5d的底表面(即字线5a、5b、5c和5d和缓冲线2a、2b、2c和2d之间的第一界面F1)可以高于下成型层3和半导体衬底1之间的第二界面F2,如图9B所示。

可以省略用于形成缓冲线2a、2b、2c和2d的工艺。在这种情形,字线5a、5b、5c和5d的底表面(如字线5a、5b、5c和5d和半导体衬底1之间的第一界面F1)可以具有与下成型层3和半导体衬底1之间的第二界面F2基本相同的高度。这是因为由于不需要用于构图字线5a、5b、5c和5d的蚀刻工艺,可以避免半导体衬底1被过度蚀刻。因此,对于增加字线5a、5b、5c和5d的厚度(即高度)没有限制。

在另一个实施例中,可以利用典型的光/蚀刻工艺来形成缓冲线2a、2b、2c和2d和字线5a、5b、5c和5d,而不使用下成型层3的和选择性外延生长技术。详细地,缓冲线2a、2b、2c和2d和字线5a、5b、5c和5d可以如下形成:通过按顺序在半导体衬底1上形成具有第一导电型的下外延半导体层和具有与第一导电型不同的第二导电型的上外延半导体层,并且构图上外延半导体层和下外延半导体层。然后在具有缓冲线2a、2b、2c和2d和字线5a、5b、5c和5d的衬底上形成绝缘层,并且该绝缘层被平坦化,以形成对应于下成型层3的字线隔离层。可以省略用于形成下外延半导体层的工艺。在这种情形,不形成缓冲线2a、2b、2c和2d。

在又一实施例中,缓冲线2a、2b、2c和2d和字线5a、5b、5c和5d可以利用沟槽隔离技术形成于半导体衬底1内。例如,选择性地蚀刻半导体衬底1的预定区,以形成界定多个平行有源区的沟槽区,并且在具有沟槽区的衬底上形成诸如氧化硅层的绝缘层。平坦化该绝缘层以形成保留在沟槽区内并且对应于下成型层3的沟槽绝缘层(例如,字线隔离层)。然后将杂质离子注入有源区,以形成缓冲线2a、2b、2c和2d和字线5a、5b、5c和5d。可以省略用于形成缓冲线2a、2b、2c和2d的离子注入工艺。

上成型层7形成于具有字线5a、5b、5c和5d的衬底上。上成型层7可以由与下成型层3相同的材料层形成。作为替代,上成型层7可以由与下成

型层 3 不同的材料层形成。例如，当下成型层 3 由氧化硅层形成时，上成型层 7 可以由氮化硅层形成。相似地，当下成型层 3 由氮化硅层形成时，上成型层 7 可以由氧化硅层形成。

构图上成型层 7，以形成暴露字线 5a、5b、5c 和 5d 的预定区的多个上开口 7a。可以构图上成型层 7，以便从俯视图看时，上开口 7a 可以被两维排列。考虑到与字线 5a、5b、5c 和 5d 的对准误差，可以形成具有比字线 5a、5b、5c 和 5d 的宽度小的宽度的上开口 7a。

参照图 3、10A 和 10B，使用采用由上开口 7a 暴露的字线 5a、5b、5c 和 5d 作为籽晶层的选择性外延生长技术，形成填充上开口 7a 的下区的单元二极管 D。形成各个单元二极管 D，以具有按顺序堆叠的第一和第二半导体图案 9 和 11。第一半导体图案 9 使用被暴露的字线 5a、5b、5c 和 5d 作为籽晶层形成，并且第二半导体图案 11 使用第一半导体图案 9 作为籽晶层形成。因此，在字线 5a、5b、5c 和 5d 是单晶半导体图案的情形，也可以形成第一和第二半导体图案 9 和 11，以具有单晶结构。

根据该实施例，使用上成型层 7 和选择性外延生长技术，形成单元二极管 D。换言之，不需要任何形成分离的单元二极管的蚀刻工艺。结果，可以避免在形成单元二极管 D 期间，单元二极管 D 之间的字线 5a、5b、5c 和 5d 被过度蚀刻。因此，第一半导体图案 9 和字线 5a、5b、5c 和 5d 之间的第三界面 F3 与上成型层 7 和字线 5a、5b、5c 和 5d 之间的第四界面 F4 可以具有基本相同的高度。换言之，即便在形成第一和第二半导体图案 9 和 11 之后，字线 5a、5b、5c 和 5d 的顶表面也可以具有基本平的表面。

第一半导体图案 9 用与字线 5a、5b、5c 和 5d 相同导电类型的杂质掺杂，并且第二半导体图案 11 用与字线 5a、5b、5c 和 5d 不同导电类型的杂质掺杂。此外，第一半导体图案 9 可以被掺杂以具有与第二半导体图案 11 不同的杂质浓度。例如，第一半导体图案 9 形成以具有比第二半导体图案 11 相对低的杂质浓度。这是用来最小化流过被施加反偏压的单元二极管的漏电流。反偏压可以在读模式或编程模式被施加到非选择的相变单元的单元二极管 D。此外，第一半导体图案 9 可以形成以具有比字线 5a、5b、5c 和 5d 低的杂质浓度。第一和第二半导体图案 9 和 11 可以使用原位掺杂技术或离子注入技术掺杂。

在另一实施例中，第一和第二半导体图案 9 和 11 可以用具有与字线 5a、

5b、5c 和 5d 不同导电类型的杂质掺杂。在这种情形，单元二极管 D 由第一半导体图案 9 和字线 5a、5b、5c 和 5d 构成，并且优选地第一半导体图案 9 形成以具有比第二半导体图案 11 和字线 5a、5b、5c 和 5d 低的杂质浓度。

在又一个实施例中，单元二极管 D 可以使用固相外延技术形成。更详细地，非晶半导体图案或多晶半导体图案形成在上开口 7a、7b、7c 和 7d 内，并且半导体图案使用采用字线 5a、5b、5c 和 5d 作为籽晶层的固相外延技术被结晶化。接着，掺杂离子被注入结晶化的半导体图案以形成第一和第二半导体图案 9 和 11。

随后，在具有第二半导体图案 11 的衬底上形成诸如金属层的导电层，并且所述导电层被平坦化以形成填充上开口 7a 的上区的导电插塞 13。导电插塞 13 可以由具有与第二半导体图案 11 欧姆接触的导电层形成。例如，所述导电插塞 13 可以由与 P 型半导体和 N 型半导体都具有欧姆接触的钨层或氮化钛层形成。在形成导电插塞 13 之前，诸如硅化钴层的金属硅化物层 12 可以形成于第二半导体图案 11 的表面上。可以省略形成金属硅化物层 12 的工艺和/或形成导电插塞 13 的工艺。当省略形成金属硅化物层 12 和导电插塞 13 的工艺时，单元二极管 D 可以形成以完全填充上开口 7a。绝缘层 17 形成于具有导电插塞 13 的衬底上。

参照图 3、11A 和 11B，构图绝缘层 17，以形成多个暴露导电插塞 13 的接触孔 17a。下电极 19 形成于接触孔 17a 内。下电极 19 可以由氮化钛层形成。在具有下电极 19 的衬底上按顺序形成相变材料层和上电极层。相变材料层可以由硫族化物层形成，并且上电极层可以由诸如钛层的导电层形成。上电极层和相变材料层被构图以形成多个覆盖下电极 19 的相变材料图案 21 和堆叠在相变材料图案 21 上的上电极 23。

可以省略用于形成下电极 19 的工艺。在这种情形，相变材料图案 21 通过接触孔 17a 与导电插塞 13 直接接触。因而，相变材料图案 21 形成以具有限定的配置，并且导电插塞 13 用作下电极。

层间绝缘层 25 形成于具有上电极 23 的衬底上。构图层间绝缘层 25，以形成暴露上电极 23 的多个位线接触孔 25a。位线接触插塞 27 形成于位线接触孔 25a 内，并且诸如金属层的导电层形成于具有位线接触插塞 27 的衬底上。构图导电层以形成覆盖位线接触插塞 27 的多条位线 29a。位线 29a 形成以跨过字线 5a、5b、5c 和 5d（或图 3 中的 WL1，WL2，WL3 和 WL4）。钝

化层 31 形成于具有位线 29a、29b、29c 和 29d 的衬底上。

图 12A 至图 15A 是沿图 3 的 I-I' 线取的横截面图, 并且图 12B 至图 15B 是沿图 3 的 II-II' 线取的横截面图, 用来描述制造根据本发明另一实施例的相变存储器件的单元阵列区的制造方法。因而, 在各个图 12A、12B、13A、13B、14A、14B、15A 和 15B 中, 相变存储器件部分通常分别用参考标号 1200、1250、1300、1350、1400、1450、1500 和 1550 表示。参照图 3、12A 和 12B, 第一成型层 53 形成于第一导电型的半导体衬底 51 上。半导体衬底 51 可以是 P 型单晶半导体衬底, 并且第一成型层 53 可以由诸如氮化硅层和氧化硅层的绝缘层形成。构图第一成型层 53, 以形成暴露半导体衬底 51 的预定区的多个第一开口 53a、53b、53c 和 53d。使用采用由第一开口 53a、53b、53c 和 53d 暴露的半导体衬底 51 作为籽晶层的选择性外延生长技术, 按顺序形成填充第一开口 53a、53b、53c 和 53d 下部的多条缓冲线 54a、54b、54c 和 54d 和多条字线 55a、55b、55c 和 55d (或图 3 中的 WL1、WL2、WL3 和 WL4)。另外, 当半导体衬底 51 是单晶半导体衬底时, 缓冲线 54a、54b、54c 和 54d 和字线 55a、55b、55c 和 55d 也可以是具有单晶结构的半导体图案。

缓冲线 54a、54b、54c 和 54d 用具有第一导电型的杂质掺杂, 字线 55a、55b、55c 和 55d 用具有与第一导电型不同的第二导电型的杂质掺杂。即缓冲线 54a、54b、54c 和 54d 可以用 P 型杂质掺杂, 并且字线 55a、55b、55c 和 55d 可以用 N 型杂质掺杂。缓冲线 54a、54b、54c 和 54d 和字线 55a、55b、55c 和 55d 可以使用原位掺杂技术或离子注入技术掺杂。此外, 字线 55a、55b、55c 和 55d 可以被掺杂以具有高于 1×10^{19} 原子/平方厘米的杂质浓度。

在另一实施例中, 缓冲线 54a、54b、54c 和 54d 和字线 55a、55b、55c 和 55d 可以使用固相外延技术和离子注入技术形成, 如图 9A 和 9B 所述。

通过增加第一成型层 53 的厚度, 可以大大减小字线 55a、55b、55c 和 55d 的电阻。根据这个实施例, 基本上可以避免在字线 55a、55b、55c 和 55d 之间的第一成型层 53 内形成空洞和裂痕。这是因为字线 55a、55b、55c 和 55d 使用上述选择性外延生长技术或固相外延技术形成。另外, 由于缓冲线 54a、54b、54c 和 54d 的存在, 可以改善字线 55a、55b、55c 和 55d 之间的电隔离性能。在形成缓冲线 54a、54b、54c 和 54d 时, 字线 55a、55b、55c 和 55d 的底表面 (如字线 55a、55b、55c 和 55d 和缓冲线 54a、54b、54c 和

54d 之间的第一界面 F1') 可以比第一成型层 53 和半导体衬底 51 中间的界面 F2' 高, 如图 12B 所示。

可以省略形成缓冲线 54a、54b、54c 和 54d 的工艺。在这种情形, 字线 55a、55b、55c 和 55d 的底表面 (如字线 55a、55b、55c 和 55d 和缓冲线 54a、54b、54c 和 54d 之间的第一界面 F1') 可以具有与第一成型层 53 和半导体衬底 51 中间的界面 F2' 基本相同的高度。这是因为不需要任何构图缓冲线 54a、54b、54c 和 54d 和字线 55a、55b、55c 和 55d 的工艺。因此, 对于增加字线 55a、55b、55c 和 55d 的厚度 (即高度) 没有限制。

参照图 3、13A 和 13B, 填充第一开口 53a、53b、53c 和 53d 上区的第二成型层形成于具有字线 55a、55b、55c 和 55d 的衬底上。第二成型层可以由对于第一成型层 53 具有蚀刻选择性的绝缘层形成。例如, 当第一成型层 53 由氧化硅层形成时, 第二成型层可以由氮化硅形成。作为替代, 当第一成型层 53 由氮化硅层形成时, 第二成型层可以由氧化硅层形成。

第二成型层被平坦化, 以暴露第一成型层 53 的顶表面。结果, 在第一开口 53a、53b、53c 和 53d 的上区中形成第二成型层图案 57a、57b、57c 和 57d。例如, 蚀刻掩膜 59 或光致抗蚀剂图案形成于具有第二成型层图案 57a、57b、57c 和 57d 的衬底上。光致抗蚀剂 59 形成以具有跨过字线 55a、55b、55c 和 55d 的多个平行开口 59a、59b、59c 和 59d。

参照图 3、14A 和 14B, 使用光致抗蚀剂图案 59 作为蚀刻掩膜, 选择性地蚀刻第二成型层图案 57a、57b、57c 和 57d, 从而形成暴露字线 55a、55b、55c 和 55d 的预定区的多个第二开口 57d。结果, 一维排列的隔离壁 57a' 形成于各条字线 55a、55b、55c 和 55d 上, 如图 14A 所示。根据本实施例, 第二开口 57d 可以与字线 55a、55b、55c 和 55d 自对准。即第二开口 57d 形成以具有与字线 55a、55b、55c 和 55d 相同的宽度, 如图 14B 所示。然后去除光致抗蚀剂图案 59。

参照图 3、15A 和 15B, 多个单元二极管 D 形成于第二开口 57d 的下区内。单元二极管 D 可以使用如图 10A 和 10B 所述的选择性外延生长技术或固相外延技术形成。结果, 各个单元二极管 D 形成以具有按顺序堆叠的第一半导体图案 61 和第二半导体图案 63。第一半导体图案 61 形成以具有与字线 55a、55b、55c 和 55d 相同的导电类型, 并且第二半导体图案 63 形成以具有与第一半导体图案 61 不同的导电类型。作为替代, 第一和第二半导体图案

61 和 63 可以用具有与字线 55a、55b、55c 和 55d 不同导电类型的杂质掺杂。在这种情形，单元二极管 D 由第一半导体图案 61 和字线 55a、55b、55c 和 55d 构成，第一半导体图案 61 可以形成以具有比第二半导体图案 63 和字线 55a、55b、55c 和 55d 低的杂质浓度。

接着，使用与参考图 10A 和 10B 所述的实施例相同的方法，可以在第二开口 57d 的上区内形成多个金属硅化物层 64 和多个导电插塞 65。可以省略形成金属硅化物的工艺和/或形成导电插塞 65 的工艺。当省略形成金属硅化物的工艺和形成导电插塞 65 的工艺时，单元二极管 D 可以形成以完全填充第二开口 57d。使用与参考图 11A 和 11B 所述相同的方法，还在具有导电插塞 65 的表面上形成多个相变材料图案和多条位线。

根据本公开，使用成型层和选择性外延生长技术将字线和单元二极管形成于半导体衬底上。因此，即便为了减小字线的电阻而增加字线的厚度（即高度），所述技术也可以避免在字线之间产生空洞和裂痕。此外，不需要任何伴随蚀刻工艺的构图工艺来形成字线和单元二极管。因此，该技术可以避免半导体衬底和字线产生凹陷。结果，由于在限定区没有工艺缺陷的情况下可以最小化电阻，所以可以显著地抑制相变单元阵列区内寄生双极晶体管的运行。

虽然已经参照附图在这里描述了示范性实施例，可以理解为本发明不仅限于这些确定的实施例，并且本领域的普通技术人员可以在不脱离本发明的原则和精神的范围的情况下，可以在这些实施例中作出各种改变和修正。所有这样的改变和修正旨在被包括在权力要求阐述的本发明的范围之内。

本申请要求于 2005 年 2 月 24 日在韩国知识产权局提交的韩国专利申请 No. 10-2005-0015564 的优先权，其全部内容引入于此作为参考。

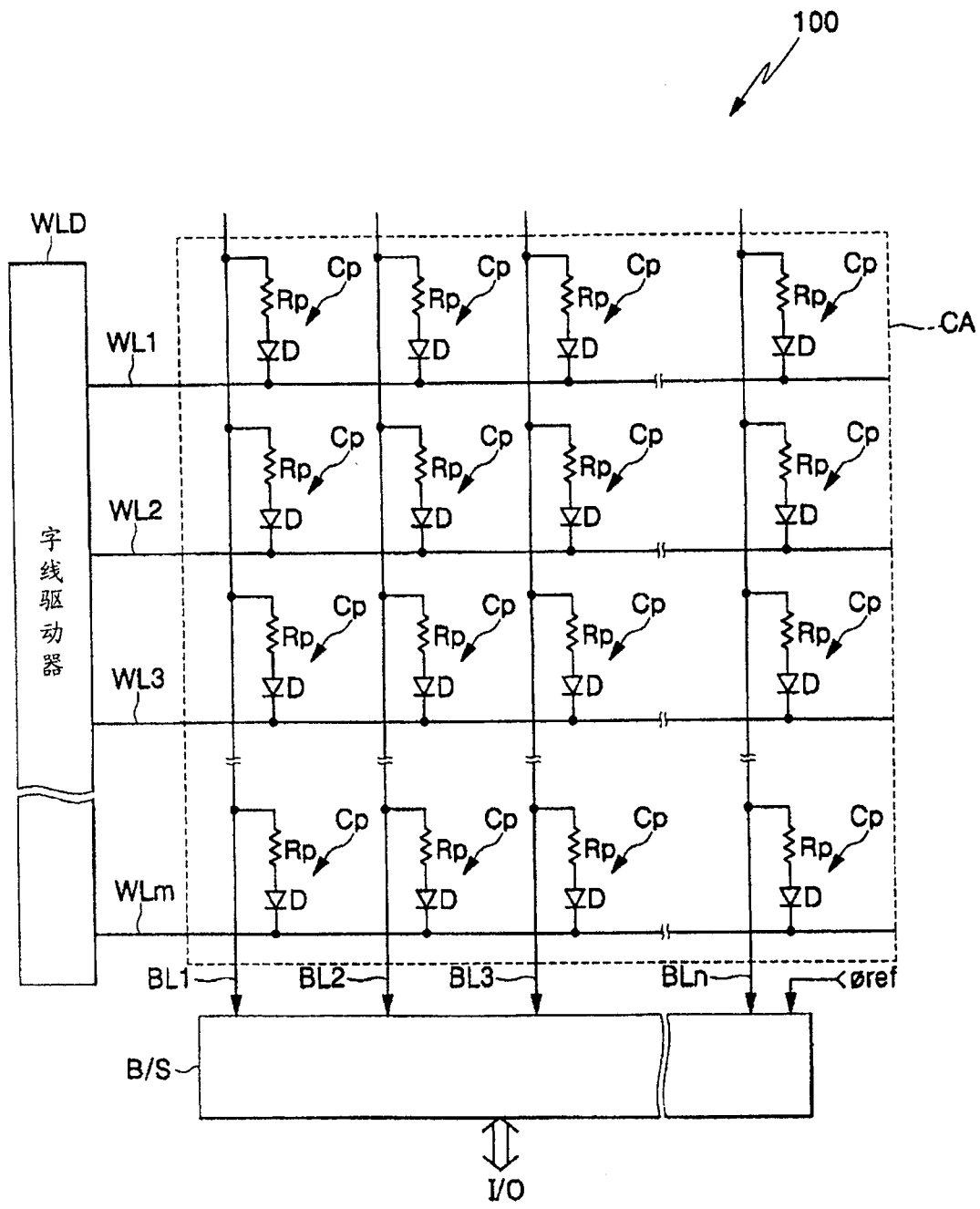


图 1

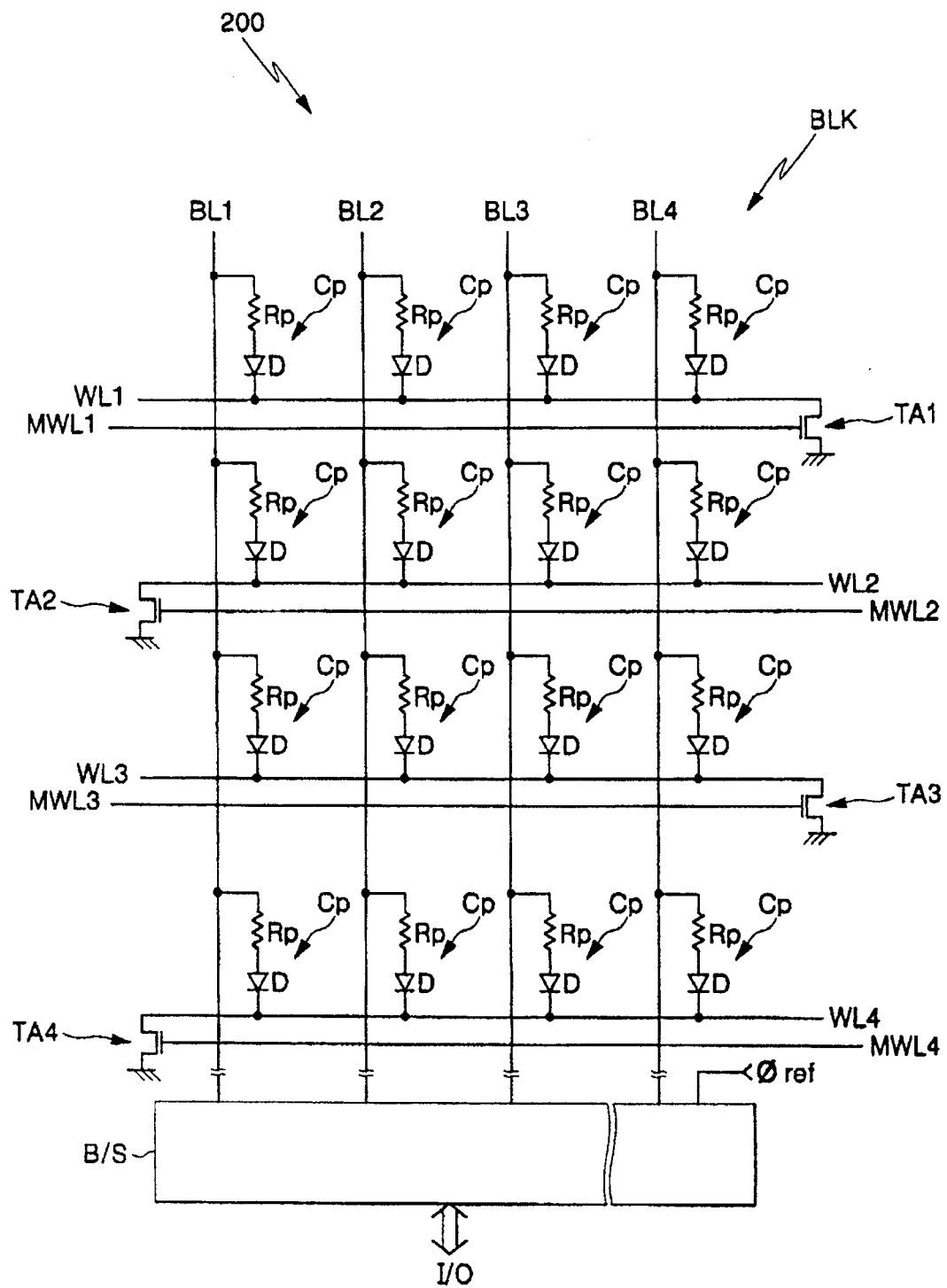


图 2

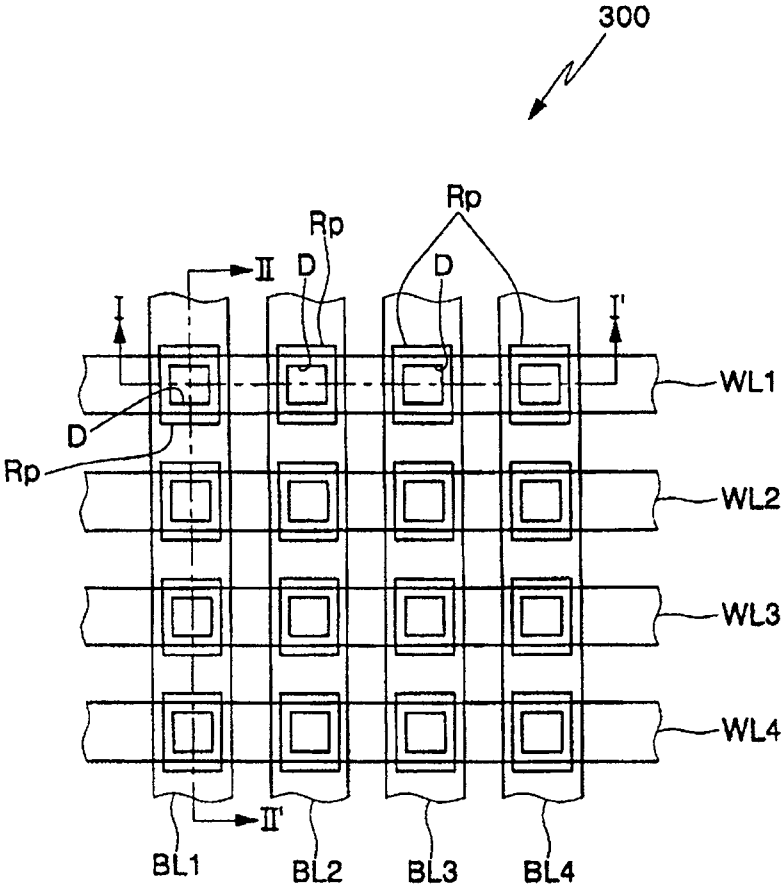


图 3

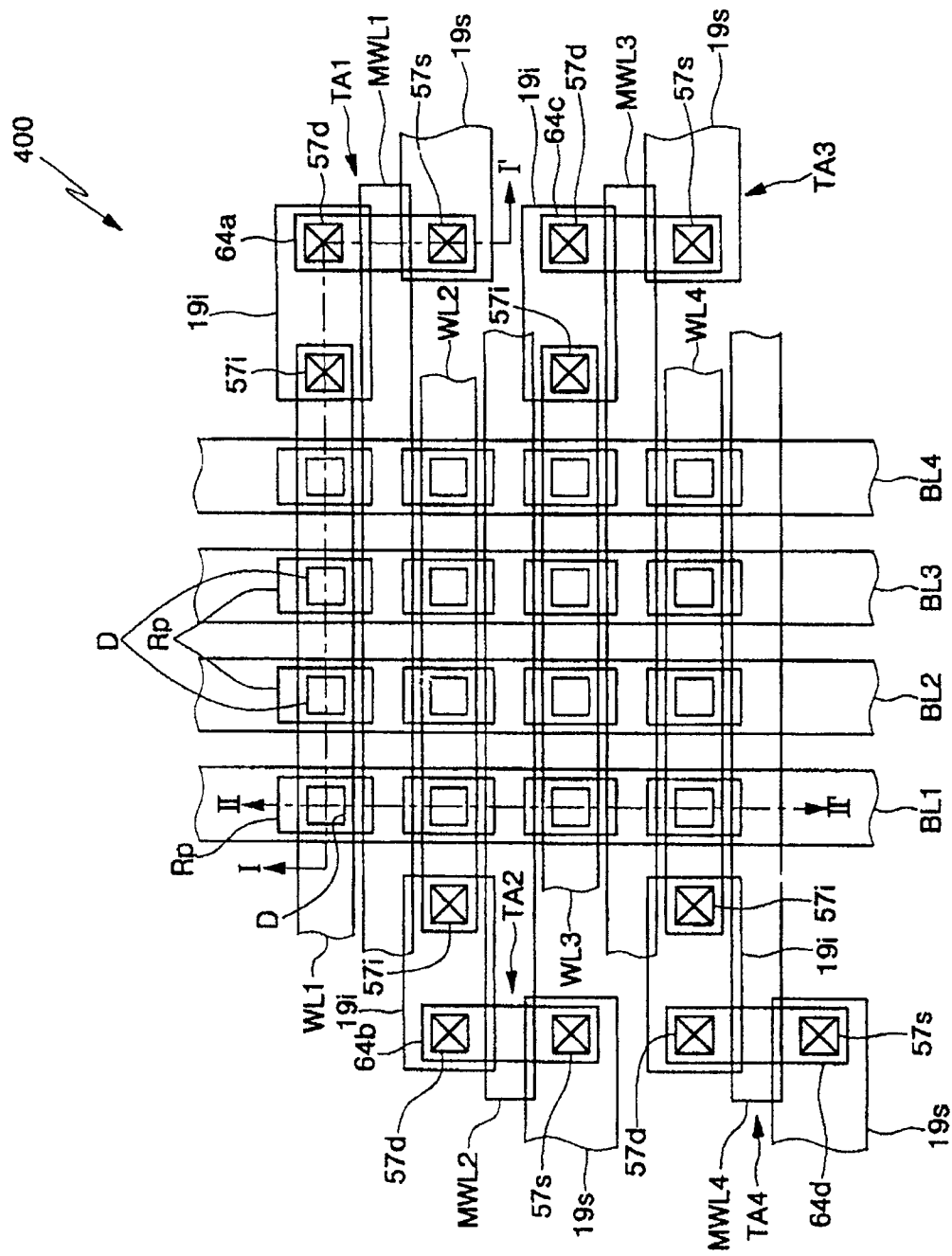


图 4

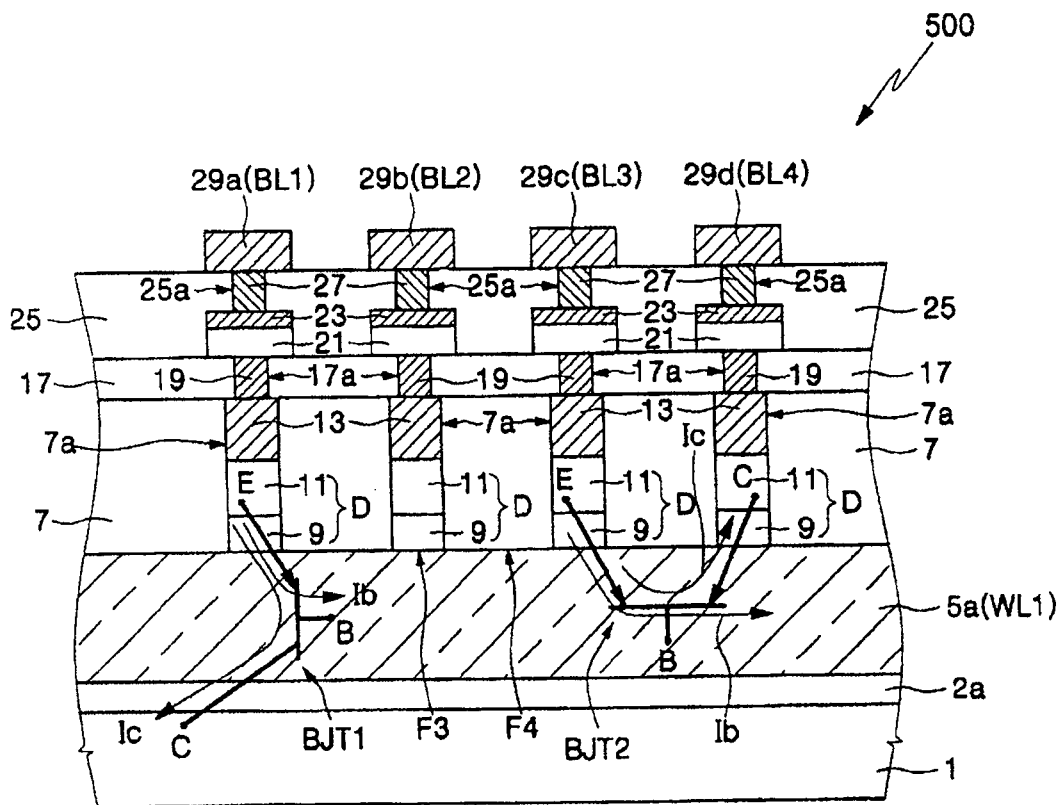


图 5A

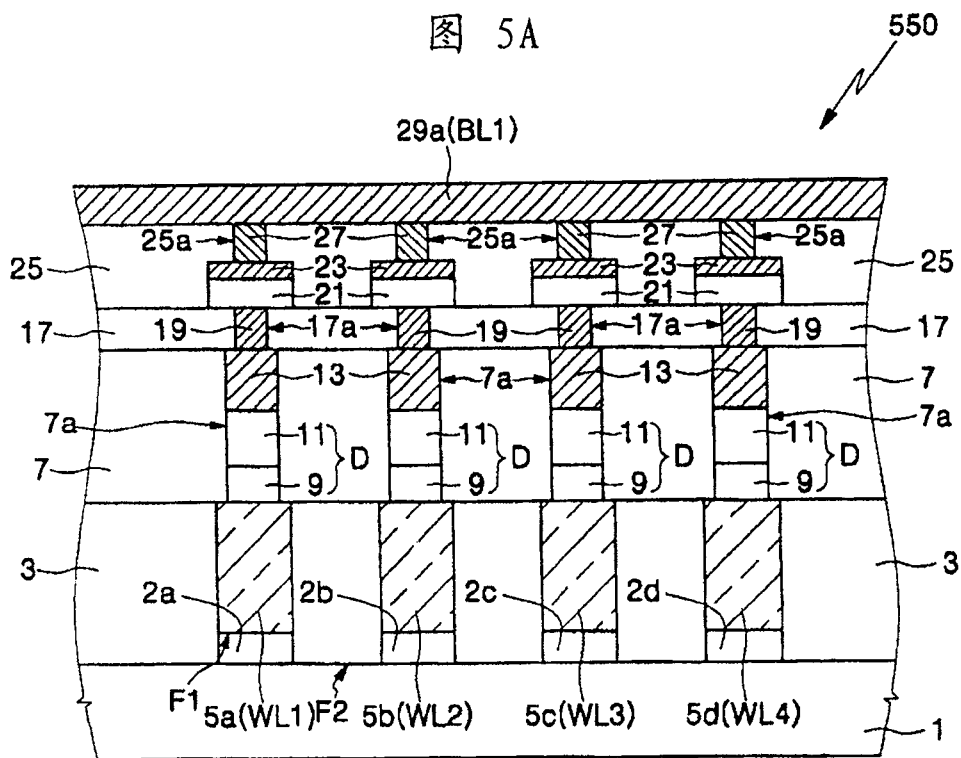


图 5B

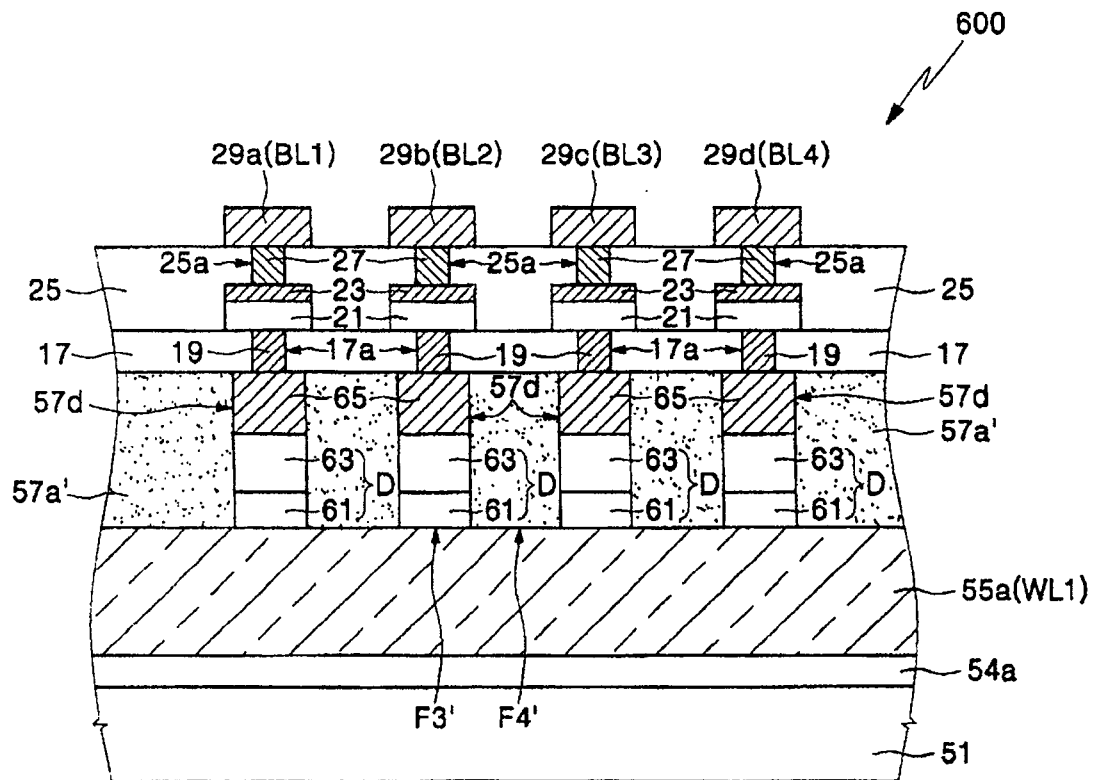


图 6A

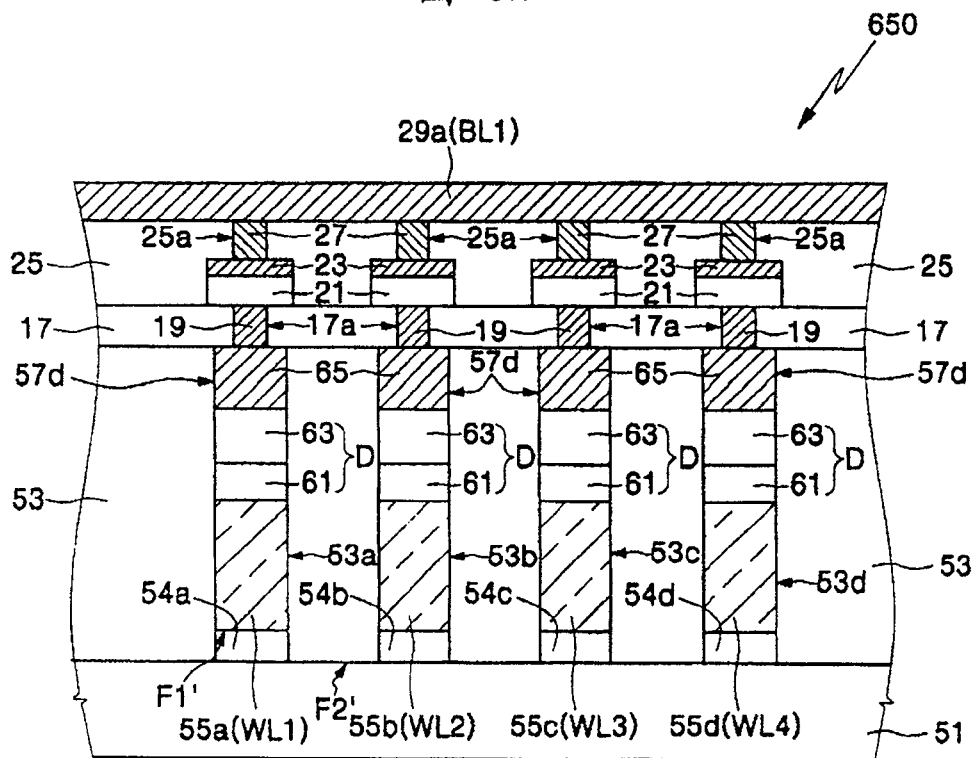


图 6B

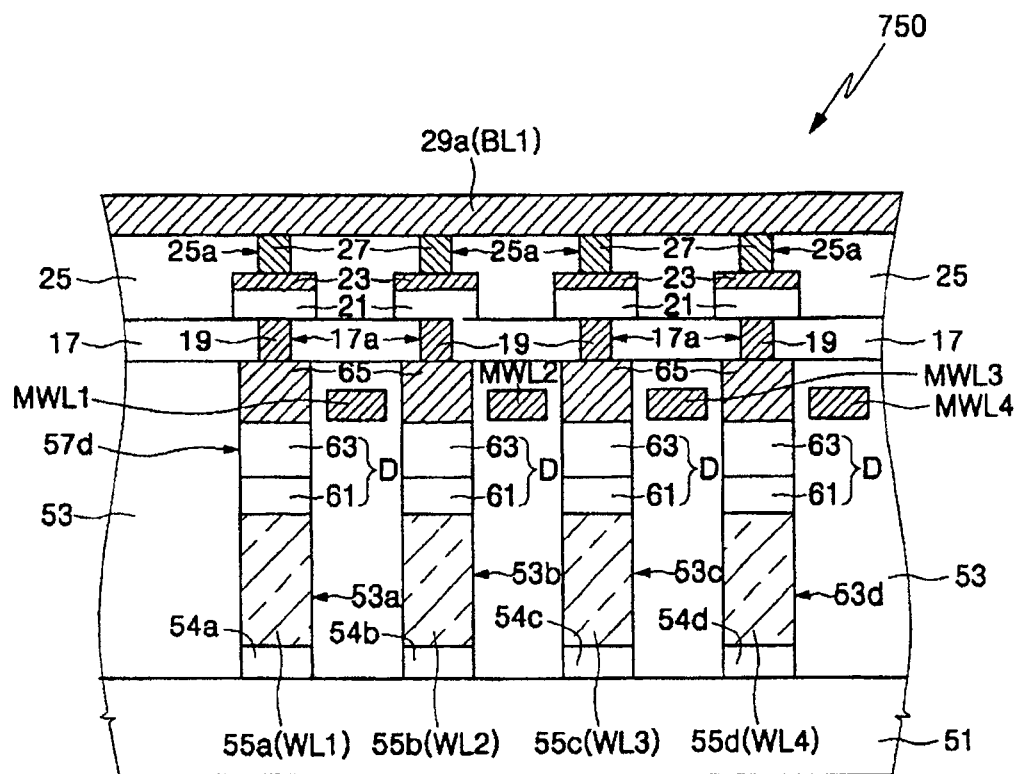


图 7B

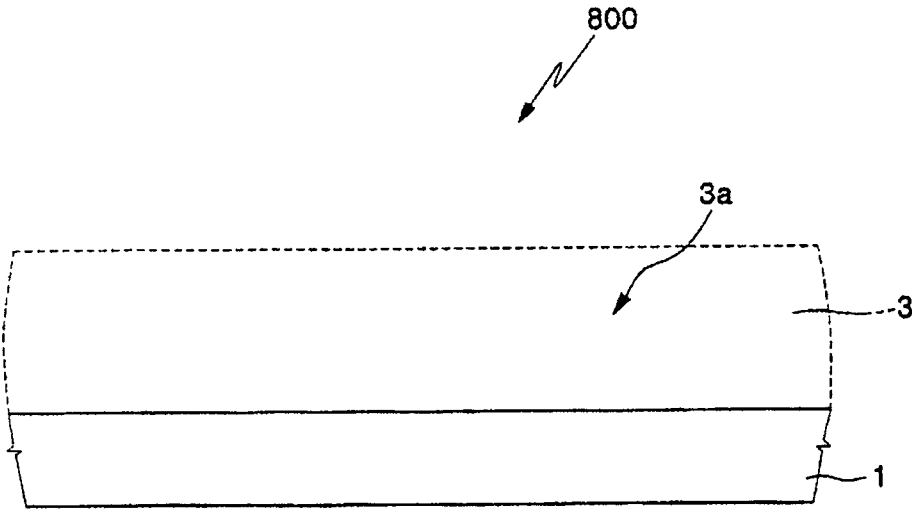


图 8A

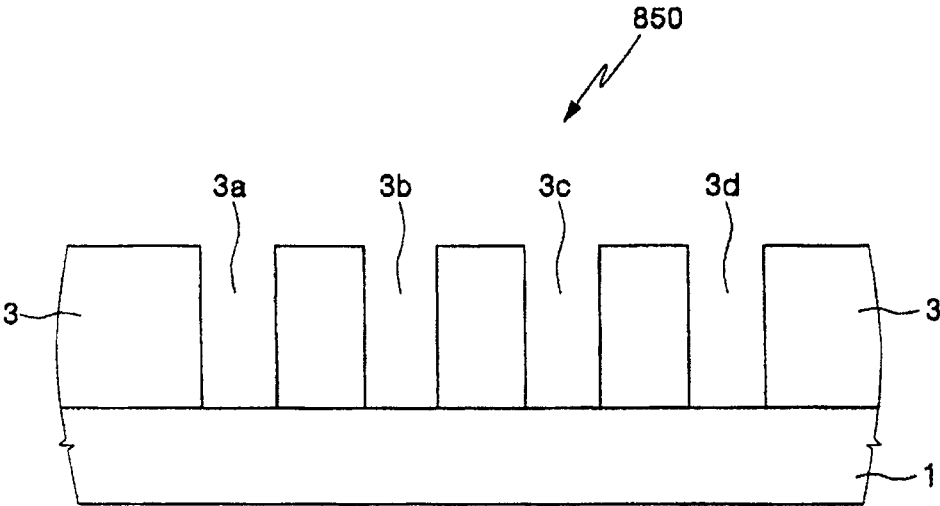


图 8B

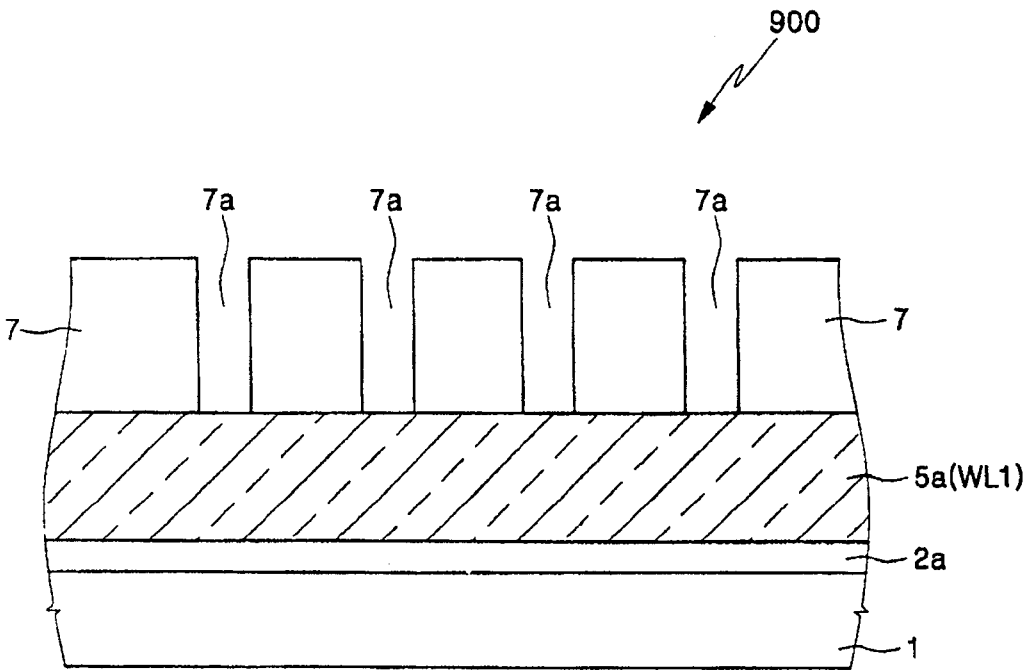


图 9A

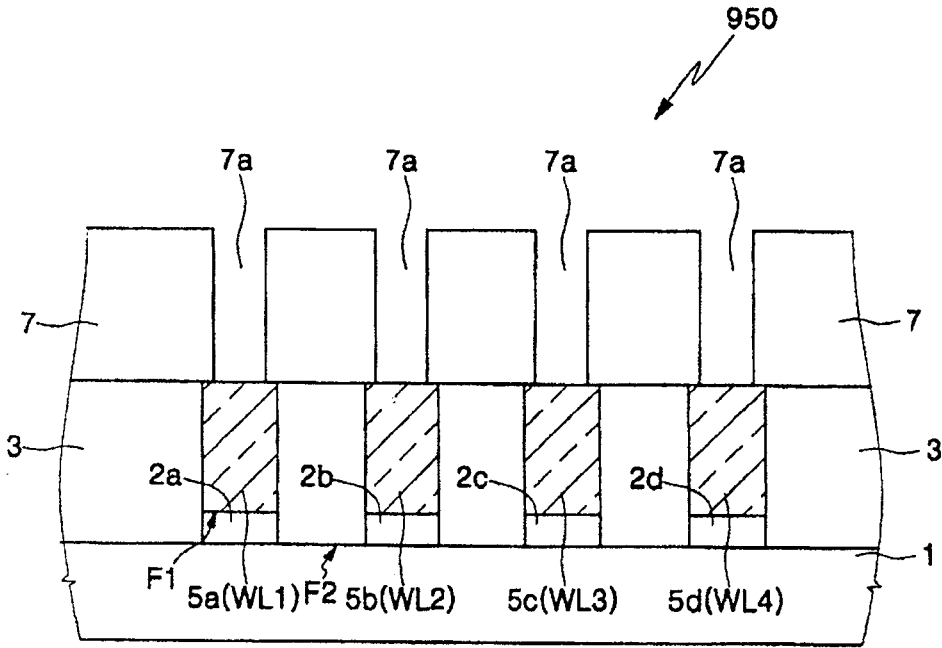


图 9B

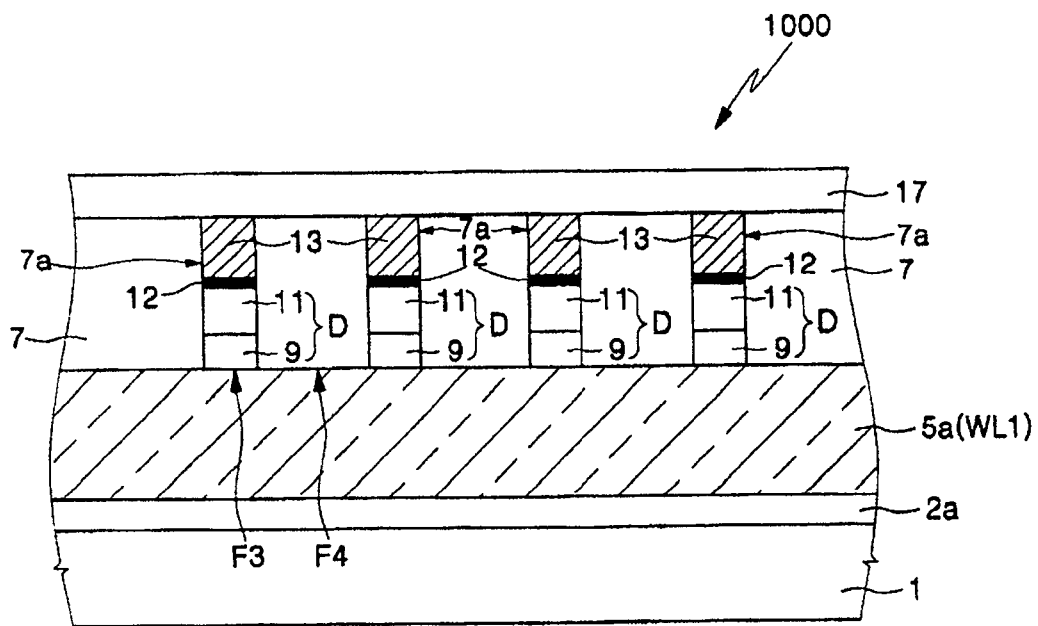


图 10A

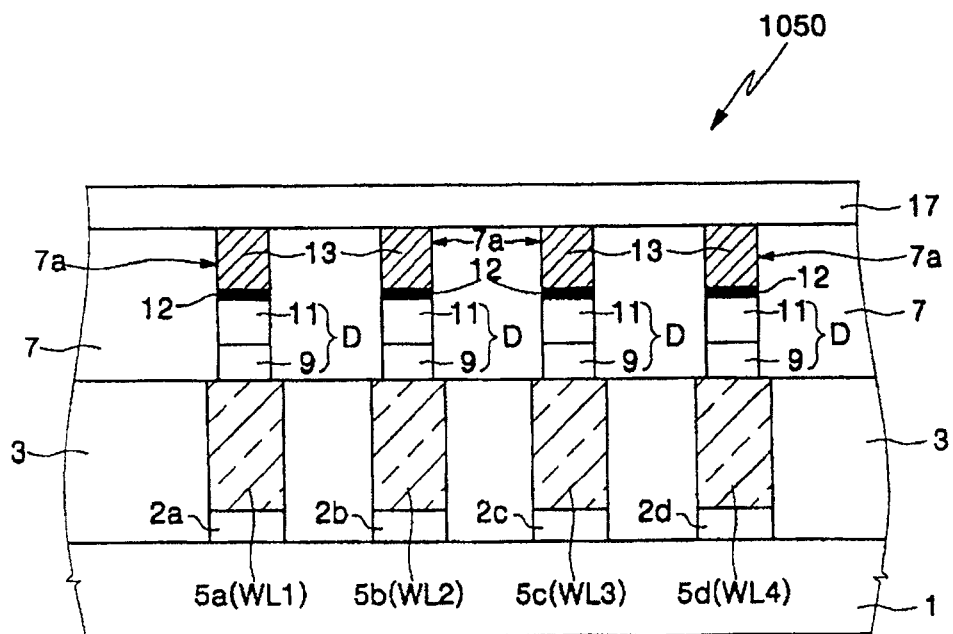


图 10B

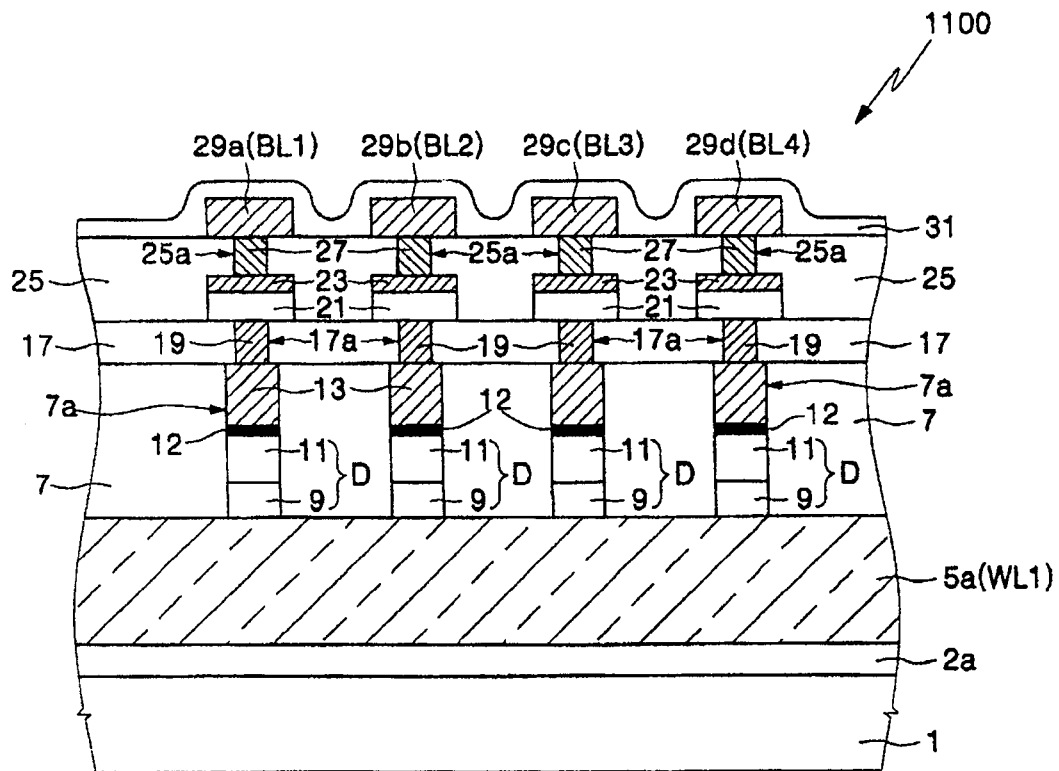


图 11A

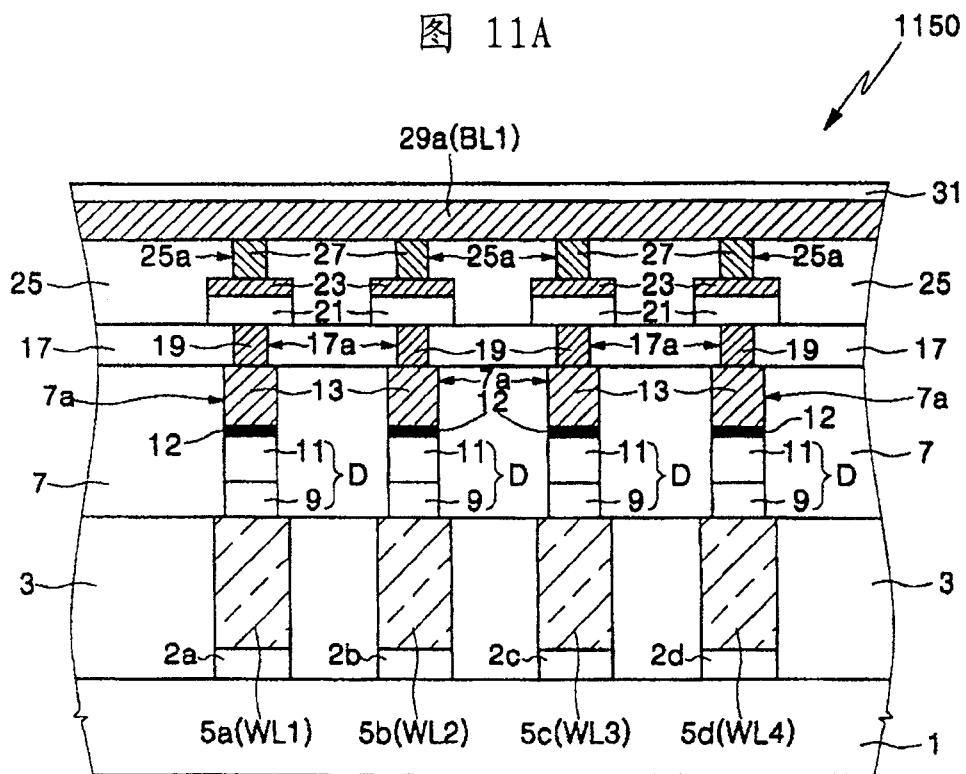


图 11B

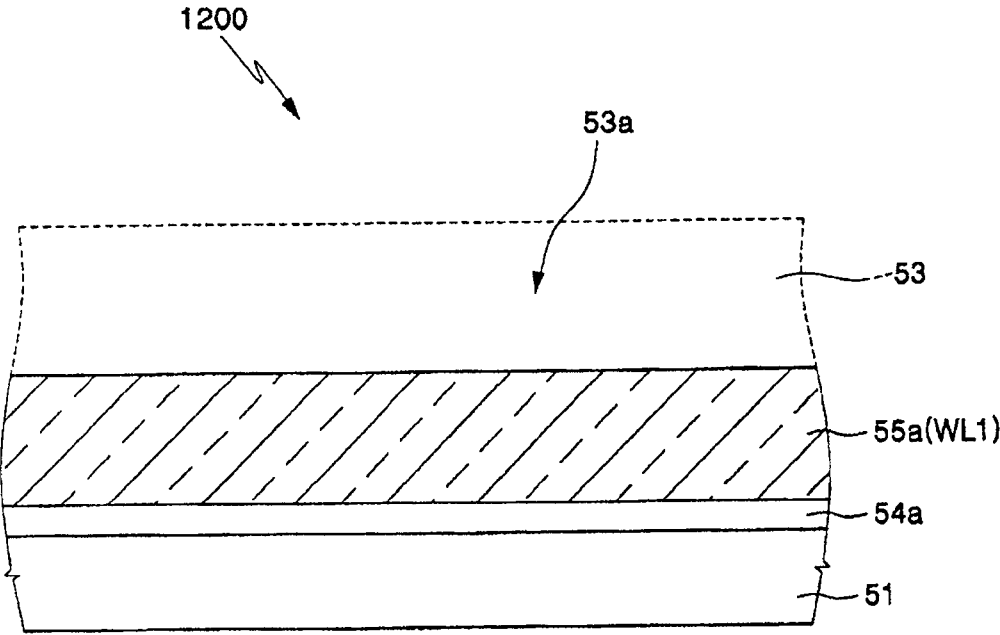


图 12A

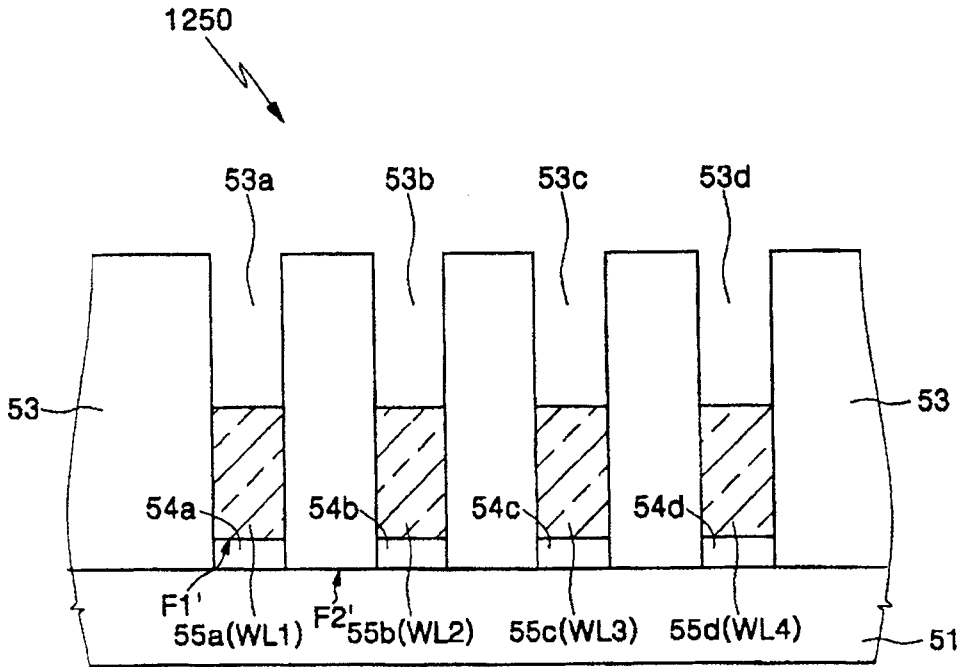


图 12B

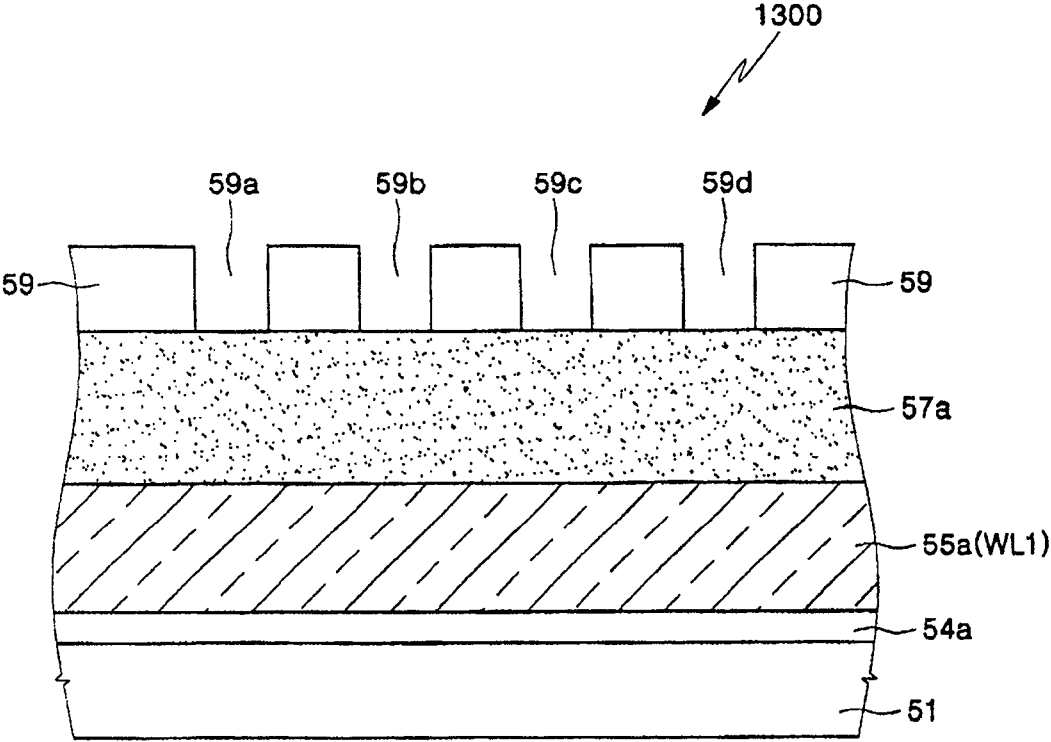


图 13A

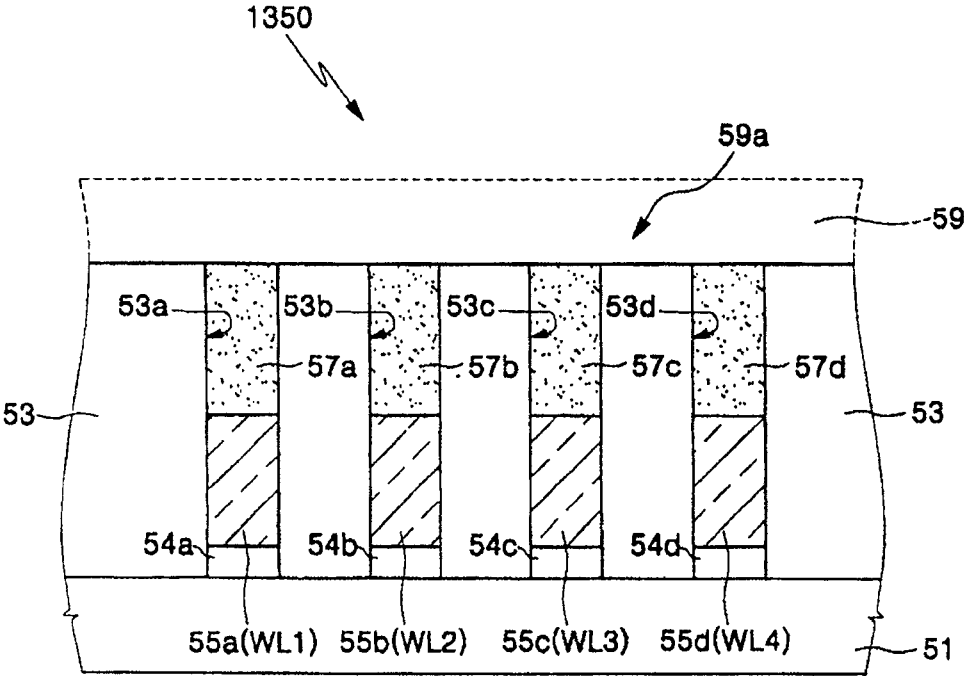


图 13B

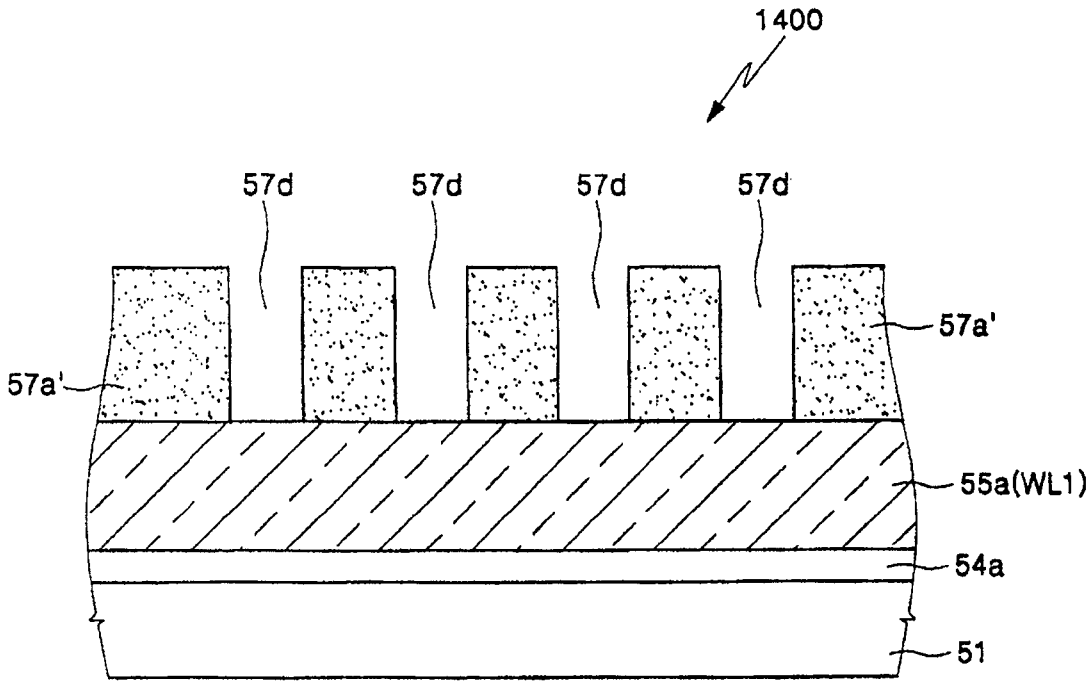


图 14A

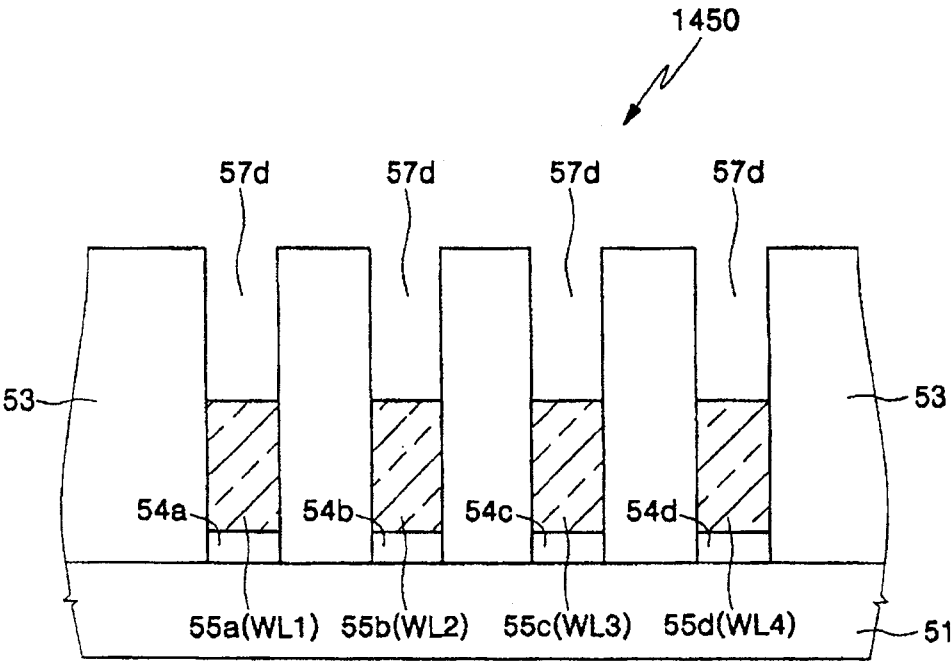


图 14B

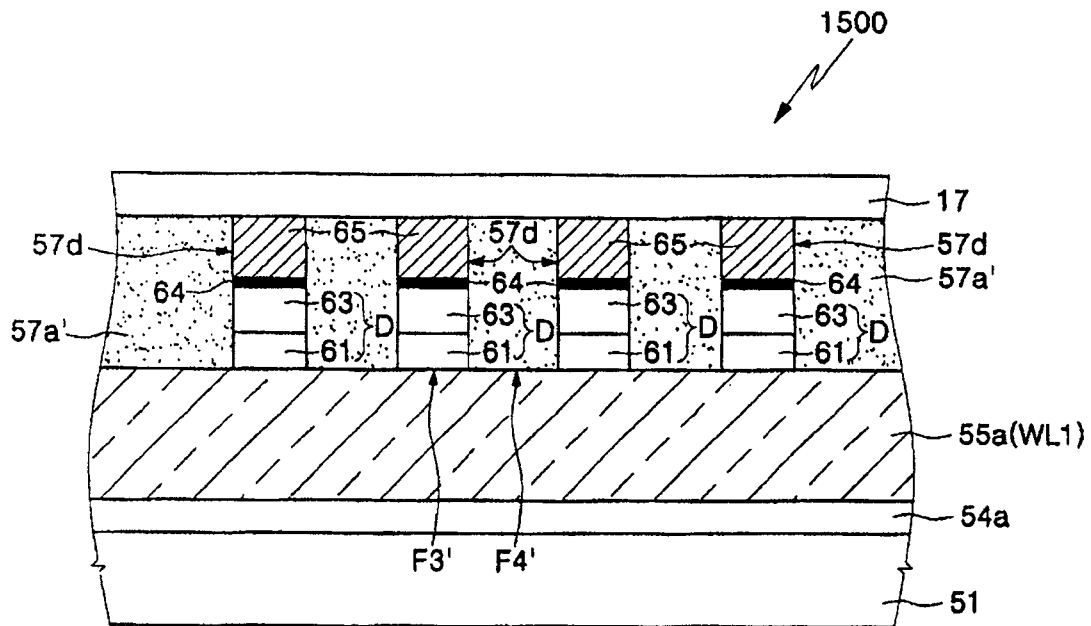


图 15A

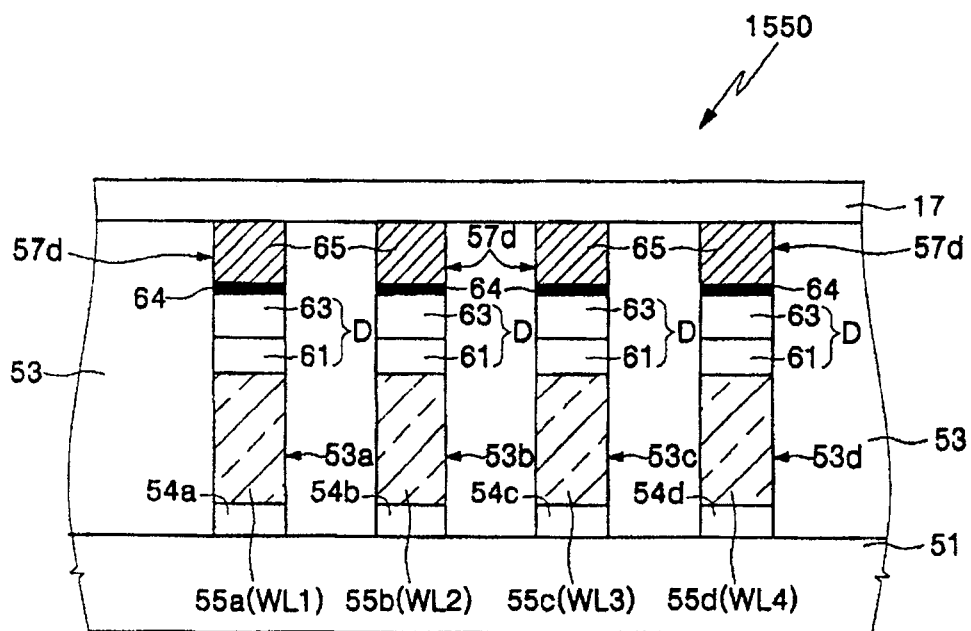


图 15B