(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年8月3日(03.08.2023)

WIPO | PCT

(10) 国際公開番号
WO 2023/145441 A1

(51) 国際特許分類:
H01L 27/146 (2006.01) *H04N 25/70* (2023.01)

(21) 国際出願番号： PCT/JP2023/000519

(22) 国際出願日： 2023年1月12日(12.01.2023)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2022-010132 2022年1月26日(26.01.2022) JP

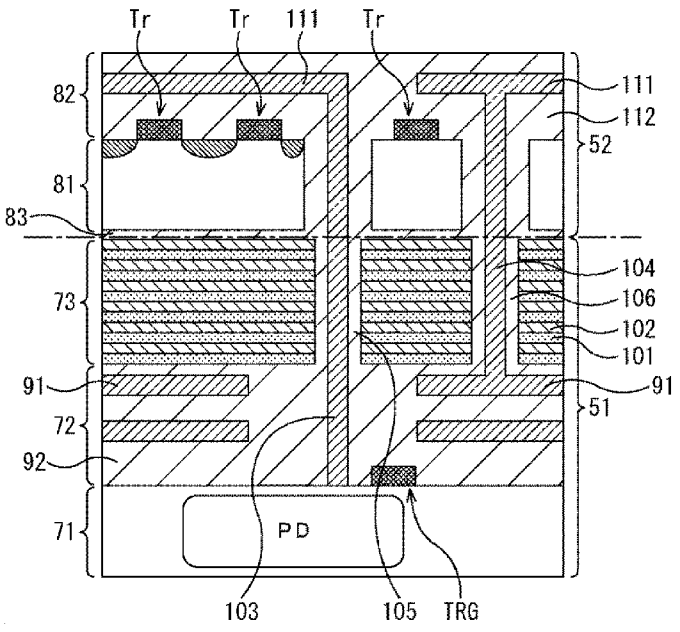
(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目１４番１号 Kanagawa (JP).

(72) 発明者: 椎原 由宇(**SHIIHARA Yu**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 城戸 英男(**KIDO Hideo**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 町田 貴志(**MACHIDA Takashi**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(54) **Title:** LIGHT DETECTION DEVICE

(54) 発明の名称： 光検出装置

FIG. 3



(57) **Abstract:** The present disclosure pertains to a light detection device capable of simultaneously achieving heat resistance and shielding effect for two-floor pixel substrates and capable of reducing parasitic light detection sensitivity in the two-floor pixel substrates. The light detection device comprises: a first substrate including a first semiconductor substrate in which at least a photoelectric conversion unit is formed; a second substrate including a second semiconductor substrate in which an active element is formed; and a dielectric multilayer film that is formed by alternately layering of three or

WO 2023/145441 A1

［続葉有］

(74) 代理人：西 川　孝，外 (NISHIKAWA Takashi et al.)；〒1700013 東京都豊島区東池袋３丁目９番１０号 池袋ＦＮビル４階 Tokyo (JP).

(81) 指定国（表示のない限り、全ての種類の国内保護が可能）：AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国（表示のない限り、全ての種類の広域保護が可能）：ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

— 国際調査報告（条約第21条(3)）

more layers of at least a first film obtained by using a dielectric material having a first refractive index and a second film obtained by using a dielectric material having a second refractive index lower than the first refractive index and that is disposed between the first semiconductor substrate and the second semiconductor substrate. The present disclosure can be applied to, for example, a solid-state imaging device or the like provided with pixels which receive, and photoelectrically convert, incoming light.

(57) 要約：本開示は、２階画素基板への遮蔽効果と耐熱性を両立し、２階画素基板での寄生受光感度を抑制できるようにする光検出装置に関する。 光検出装置は、光電変換部が少なくとも形成された第１半導体基板を含む第１基板と、能動素子が形成された第２半導体基板を含む第２基板と、第１の屈折率を有する誘電体材料を用いた第１の膜と、第１の屈折率よりも低い第２の屈折率を有する誘電体材料を用いた第２の膜とを少なくとも３層以上交互に積層して構成され、第１半導体基板と第２半導体基板との間に配置された誘電体多層膜とを備える。本開示は、例えば入射光を受光して光電変換する画素を備える固体撮像装置等に適用できる。

明　細　書

発明の名称 ： 光検出装置

技術分野

[0001] 本開示は、光検出装置に関し、特に、２階画素基板への遮蔽効果と耐熱性を両立し、２階画素基板での寄生受光感度を抑制できるようにした光検出装置に関する。

背景技術

[0002] 特許文献１には、複数の基板が積層されたCMOSイメージセンサにおいて、上下の基板に形成された素子間での電磁波や熱の伝搬を抑制し、素子の特性劣化を抑制する構造が報告されている。

[0003] 特許文献１に記載されている構造のうち、素子層間に導電性材料を含むシールド層を有する構造によれば、光電変換部を有さない基板(以降、２階画素基板と称する)での寄生受光感度(PLS)抑制や、その他電磁ノイズの伝搬を抑制できることが開示されている。また、絶縁層内に微小サイズの高屈折率の構造物を設けた構造によれば、構造物と絶縁層界面で光が全反射することにより光路長が伸びて光が減衰することで、寄生受光感度を抑制できることが開示されている。また、絶縁層の屈折率とシリコン基板の屈折率の中間の屈折率を有する誘電体膜を反射防止部として利用した構造によれば、シリコン基板での反射による混色ノイズを抑制できることが開示されている。

先行技術文献

特許文献

[0004] 特許文献1：国際公開第２０２０／２６２５８３号

発明の概要

発明が解決しようとする課題

[0005] しかしながら、シールド層に導電性材料として金属を用いた構造では、融点の問題からシールド層形成後に素子形成や活性化のための熱処理ができない。そのため、素子形成後に貼り合わせを行う必要があるが、その場合、リ

ードタイムが長くなるとともに、配線層が増加する。また、シールド層に耐熱性を有する非金属の導電性材料や強磁性体を用いた構造では、反射率および吸収率ともに不十分であり、遮蔽効果が低くなってしまう。微小サイズの高屈折率の構造物で光路長を伸ばした構成では、PLSの抑制効果が不十分であり、反射防止部を設ける構造では、２階画素基板への電磁遮蔽ができない。

[0006] 以上のように、２階画素基板への十分な遮蔽効果と耐熱性を両立するシールド層については、改善の余地がある。

[0007] 本開示は、このような状況に鑑みてなされたものであり、２階画素基板への遮蔽効果と耐熱性を両立し、２階画素基板での寄生受光感度を抑制できるようにするものである。

課題を解決するための手段

[0008] 本開示の第１の側面の光検出装置は、

光電変換部が少なくとも形成された第１半導体基板を含む第１基板と、

能動素子が形成された第２半導体基板を含む第２基板と、

第１の屈折率を有する誘電体材料を用いた第１の膜と、前記第１の屈折率よりも低い第２の屈折率を有する誘電体材料を用いた第２の膜とを少なくとも３層以上交互に積層して構成され、前記第１半導体基板と前記第２半導体基板との間に配置された誘電体多層膜と

を備える。

[0009] 本開示の第１の側面においては、光電変換部が少なくとも形成された第１半導体基板を含む第１基板と、能動素子が形成された第２半導体基板を含む第２基板と、第１の屈折率を有する誘電体材料を用いた第１の膜と、前記第１の屈折率よりも低い第２の屈折率を有する誘電体材料を用いた第２の膜とを少なくとも３層以上交互に積層して構成され、前記第１半導体基板と前記第２半導体基板との間に配置された誘電体多層膜とが設けられる。

[0010] 本開示の第２の側面の光検出装置は、

光電変換部が少なくとも形成された第１半導体基板を含む第１基板と、

能動素子が形成された第２半導体基板を含む第２基板とを積層して構成さ

れ、

前記第２基板は、前記第２半導体基板に遮光膜を有する。

[0011] 本開示の第２の側面においては、光電変換部が少なくとも形成された第１半導体基板を含む第１基板と、能動素子が形成された第２半導体基板を含む第２基板とが積層されて構成され、前記第２基板の前記第２半導体基板には遮光膜が設けられる。

[0012] 光検出装置は、独立した装置であっても良いし、他の装置に組み込まれるモジュールであっても良い。

図面の簡単な説明

[0013] [図1]本開示の技術を適用した固体撮像装置の概略構成を示す図である。

[図2]画素の回路構成例を示す図である。

[図3]第１実施の形態における画素の第１構造例を模式的に示した断面図である。

[図4]誘電体多層膜のシミュレーション結果を説明する図である。

[図5]図４の第１構造例の画素の製造方法を説明する図である。

[図6]図４の第１構造例の画素の製造方法を説明する図である。

[図7]第１実施の形態における画素の第２構造例を模式的に示した断面図である。

[図8]図７の第２構造例の画素の製造方法を説明する図である。

[図9]第１実施の形態における画素の第３構造例を模式的に示した断面図である。

[図10]図９の第３構造例の画素の製造方法を説明する図である。

[図11]第１実施の形態における画素の第４構造例を模式的に示した断面図である。

[図12]第１実施の形態における画素の第５構造例を模式的に示した断面図である。

[図13]第１実施の形態における画素の第６構造例を模式的に示した断面図である。

[図14]第１実施の形態における画素の第７構造例を模式的に示した断面図である。

[図15]第１実施の形態における画素の第８構造例を模式的に示した断面図である。

[図16]第１実施の形態における画素の第９構造例を模式的に示した断面図である。

[図17]図１５の第８構造例及び図１６の第９構造例における画素の製造方法を説明する図である。

[図18]第２実施の形態における画素の第１構造例を模式的に示した図である。

[図19]図１８の第１構造例の画素の製造方法を説明する図である。

[図20]図１８の第１構造例の画素の製造方法を説明する図である。

[図21]図１８の第１構造例の画素の製造方法を説明する図である。

[図22]図１８の第１構造例の画素の製造方法を説明する図である。

[図23]第２実施の形態における画素の第２構造例を模式的に示した断面図である。

[図24]第２実施の形態における画素の第３構造例を模式的に示した断面図である。

[図25]図２４の第３構造例の画素の製造方法を説明する図である。

[図26]図２４の第３構造例の画素の製造方法を説明する図である。

[図27]図２４の第３構造例の画素の製造方法を説明する図である。

[図28]図２４の第３構造例の画素の製造方法を説明する図である。

[図29]第２実施の形態における画素の第４構造例を模式的に示した断面図である。

[図30]第２実施の形態における画素の第５構造例を模式的に示した断面図である。

[図31]第５構造例における増幅トランジスタのゲート電極近傍を拡大した断面図である

[図32]画素のその他の回路構成例を示す図である。

[図33]３枚の基板を積層して構成した場合の固体撮像装置の概略構成例を示す図である。

[図34]イメージセンサの使用例を説明する図である。

[図35]本開示の技術を適用した電子機器としての撮像装置の構成例を示すブロック図である。

[図36]車両制御システムの概略的な構成の一例を示すブロック図である。

[図37]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0014] 以下、添付図面を参照しながら、本開示の技術を実施するための形態（以下、実施の形態という）について説明する。説明は以下の順序で行う。

１．固体撮像装置の概略構成例

２．画素回路構成例

３．画素の第１実施の形態

３．１　第１実施の形態に係る画素の第１構造例

３．２　画素の第１構造例の製造方法

３．３　第１実施の形態に係る画素の第２構造例

３．４　画素の第２構造例の製造方法

３．５　第１実施の形態に係る画素の第３構造例

３．６　画素の第３構造例の製造方法

３．７　第１実施の形態に係る画素の第４構造例

３．８　第１実施の形態に係る画素の第５構造例

３．９　第１実施の形態に係る画素の第６構造例

３．１０　第１実施の形態に係る画素の第７構造例

３．１１　第１実施の形態に係る画素の第８構造例

３．１２　第１実施の形態に係る画素の第９構造例

３．１３　画素の第８構造例及び第９構造例の製造方法

４．第１実施の形態に係る画素のまとめ

５．画素の第２実施の形態
５．１　第２実施の形態に係る画素の第１構造例
５．２　画素の第１構造例の製造方法
５．３　第２実施の形態に係る画素の第２構造例
５．４　第２実施の形態に係る画素の第３構造例
５．５　画素の第３構造例の製造方法
５．６　第２実施の形態に係る画素の第４構造例
５．７　第２実施の形態に係る画素の第５構造例
６．第２実施の形態に係る画素のまとめ
７．画素回路のその他の構成例
８．３層基板構成例
９．イメージセンサの使用例
１０．電子機器への適用例
１１．光検出装置全般への適用
１２．移動体への応用例

[0015] なお、以下の説明で参照する図面において、同一又は類似の部分には同一又は類似の符号を付すことにより重複説明を適宜省略する。図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は実際のものとは異なる。また、図面相互間においても、互いの寸法の関係や比率が異なる部分が含まれている場合がある。

[0016] また、以下の説明における上下等の方向の定義は、単に説明の便宜上の定義であって、本開示の技術的思想を限定するものではない。例えば、対象を９０°回転して観察すれば上下は左右に変換して読まれ、１８０°回転して観察すれば上下は反転して読まれる。

[0017] ＜１．固体撮像装置の概略構成例＞

図１は、本開示の技術を適用した固体撮像装置の概略構成を示す図である。

[0018] 図１の固体撮像装置１は、例えばX-Yアドレス方式の固体撮像装置の一種で

あるCMOSイメージセンサの構成を示している。CMOSイメージセンサとは、CMOSプロセスを応用して、または、部分的に使用して製造されるイメージセンサである。

[0019] 固体撮像装置１は、画素アレイ部１１と周辺回路部とを備える。周辺回路部は、例えば、垂直駆動部１２、カラム処理部１３、水平駆動部１４、及び、システム制御部１５を備える。

[0020] 固体撮像装置１は、さらに、信号処理部１６及びデータ格納部１７を備えている。信号処理部１６及びデータ格納部１７は、画素アレイ部１１、垂直駆動部１２等と同じ基板上に搭載しても構わないし、別の基板上に配置するようにしても構わない。また、信号処理部１６及びデータ格納部１７の各処理は、固体撮像装置１とは別の半導体チップに設けられた外部信号処理部、例えば、DSP（Digital Signal Processor）回路等で実行させてもよい。

[0021] 画素アレイ部１１は、複数の画素２１が行方向及び列方向の行列状に２次元配置された構成となっている。ここで、行方向とは、画素アレイ部１１の画素行、すなわち水平方向の配列方向を言い、列方向とは、画素アレイ部１１の画素列、すなわち垂直方向の配列方向を言う。

[0022] 画素２１は、受光した光量に応じた電荷を生成しかつ蓄積する光電変換部と、複数の画素トランジスタ（いわゆるMOSトランジスタ）を有する。なお、画素２１の具体的回路構成例については、図２を参照して後述する。

[0023] また、画素アレイ部１１において、画素行ごとに行信号線としての画素駆動配線２２が行方向に沿って配線され、画素列ごとに列信号線としての垂直信号線２３が列方向に沿って配線されている。画素駆動配線２２は、画素２１から信号を読み出す際の駆動を行うための駆動信号を伝送する。図１では、画素駆動配線２２について１本の配線として示しているが、１本に限られるものではない。画素駆動配線２２の一端は、垂直駆動部１２の各行に対応した出力端に接続されている。

[0024] 垂直駆動部１２は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部１１の各画素を全画素同時あるいは行単位等で駆動する

。垂直駆動部１２は、システム制御部１５とともに、画素アレイ部１１の各画素の動作を制御する駆動部を構成している。垂直駆動部１２は、具体的な構成については図示を省略するが、一般的に、読出し走査系と掃出し走査系の２つの走査系を有する。

[0025] 読出し走査系は、画素２１から信号を読み出すために、画素アレイ部１１の画素２１を行単位で順に選択走査する。画素２１から読み出される信号はアナログ信号である。掃出し走査系は、読出し走査系によって読出し走査が行われる読出し行に対して、その読出し走査よりも露光時間分だけ先行して掃出し走査を行う。

[0026] この掃出し走査系による掃出し走査により、読出し行の画素２１の光電変換部から不要な電荷が掃き出されることによって各画素２１の光電変換部がリセットされる。そして、この掃出し走査系による不要電荷を掃き出す（リセットする）ことにより、所謂電子シャッタ動作が行われる。ここで、電子シャッタ動作とは、光電変換部の電荷を捨てて、新たに露光を開始する（電荷の蓄積を開始する）動作のことを言う。

[0027] 読出し走査系による読出し動作によって読み出される信号は、その直前の読出し動作または電子シャッタ動作以降に受光した光量に対応するものである。そして、直前の読出し動作による読出しタイミングまたは電子シャッタ動作による掃出しタイミングから、今回の読出し動作による読出しタイミングまでの期間が、画素２１における露光期間となる。

[0028] 垂直駆動部１２によって選択走査された画素行の各画素２１から出力される信号は、画素列ごとに垂直信号線２３の各々を通してカラム処理部１３に入力される。カラム処理部１３は、画素アレイ部１１の画素列ごとに、選択行の各画素２１から垂直信号線２３を通して出力される信号に対して所定の信号処理を行うとともに、信号処理後の画素信号を一時的に保持する。

[0029] 具体的には、カラム処理部１３は、信号処理として少なくとも、ノイズ除去処理、例えばCDS（Correlated Double Sampling；相関二重サンプリング）処理や、DDS（Double Data Sampling）処理を行う。例えば、CDS処理により

、リセットノイズや画素内の増幅トランジスタの閾値ばらつき等の画素固有の固定パターンノイズが除去される。カラム処理部１３にノイズ除去処理以外に、例えば、AD（アナログ－デジタル）変換機能を持たせ、アナログの画素信号をデジタル信号に変換して出力することも可能である。

[0030] 水平駆動部１４は、シフトレジスタやアドレスデコーダなどによって構成され、カラム処理部１３の画素列に対応する単位回路を順番に選択する。この水平駆動部１４による選択走査により、カラム処理部１３において単位回路ごとに信号処理された画素信号が順番に出力される。

[0031] システム制御部１５は、各種のタイミング信号を生成するタイミングジェネレータなどによって構成され、タイミングジェネレータで生成された各種のタイミングを基に、垂直駆動部１２、カラム処理部１３、及び、水平駆動部１４などの駆動制御を行う。

[0032] 信号処理部１６は、少なくとも演算処理機能を有し、カラム処理部１３から出力される画素信号に対して演算処理等の種々の信号処理を行う。データ格納部１７は、信号処理部１６での信号処理に当たって、その処理に必要なデータを一時的に格納する。信号処理部１６において信号処理された画素信号は、所定のフォーマットに変換され、出力部１８から装置外部へ出力される。

[0033] ＜２．画素回路構成例＞

図２は、画素アレイ部１１に設けられた１つの画素２１の回路構成例を示す図である。

[0034] この例では、１つの画素２１は、フォトダイオードPD、転送トランジスタTRG、浮遊拡散領域FD、リセットトランジスタRST、増幅トランジスタAMP、及び、選択トランジスタSELを含むように構成される。転送トランジスタTRG、リセットトランジスタRST、増幅トランジスタAMP、及び、選択トランジスタSELは、例えば、N型のMOSトランジスタ（MOS FET）で構成されている。

[0035] フォトダイオードPDは、画素２１に設けられた光電変換部であり、被写体からの光を受光して、その受光量に応じた電荷を光電変換により生成し、蓄

積する。フォトダイオードPDは、アノード端子が接地されているとともに、カソード端子が転送トランジスタTRGを介して、浮遊拡散領域FDに接続されている。

[0036] 転送トランジスタTRGは、フォトダイオードPDと浮遊拡散領域FDとの間に設けられており、ゲートに供給される転送駆動信号によりオンされたとき、フォトダイオードPDに蓄積されている電荷を浮遊拡散領域FDに転送する。

[0037] 浮遊拡散領域FDは、転送トランジスタTRGを介してフォトダイオードPDから転送されてきた電荷を電気信号、例えば電圧信号に変換して出力する電圧変換部である。浮遊拡散領域FDは、リセットトランジスタRSTのソースと増幅トランジスタAMPのゲートにも接続されている。

[0038] リセットトランジスタRSTは、ゲートに供給されるリセット駆動信号によりオンされたとき、浮遊拡散領域FDに蓄積されている電荷がドレイン（定電圧源VDD）に排出され、浮遊拡散領域FDの電位をリセットする。

[0039] 増幅トランジスタAMPは、浮遊拡散領域FDの電位に応じた画素信号を出力する。すなわち、増幅トランジスタAMPは、垂直信号線２３を介して接続されている定電流源２４とソースフォロワ回路を構成し、浮遊拡散領域FDに蓄積されている電荷に応じたレベルを示す画素信号VSLが、増幅トランジスタAMPから選択トランジスタSELを介してカラム処理部１３（図１）に出力される。定電流源２４は、例えば、カラム処理部１３に設けられている。

[0040] 選択トランジスタSELは、増幅トランジスタAMPのソースと垂直信号線２３との間に接続されており、選択トランジスタSELのゲートには、選択駆動信号が供給される。選択駆動信号により選択トランジスタSELがオンされると、選択トランジスタSELは導通状態となって選択トランジスタSELが設けられている画素２１が選択状態とされる。画素２１が選択状態とされると、増幅トランジスタAMPから出力される画素信号VSLが垂直信号線２３を介してカラム処理部１３に読み出される。

[0041] 転送トランジスタTRG、リセットトランジスタRST、及び選択トランジスタSELのゲートに供給される、転送駆動信号、リセット駆動信号、及び選択駆動

信号は、図１の画素駆動配線２２に対応する行信号線により、垂直駆動部１２から伝送される。転送駆動信号、リセット駆動信号、及び選択駆動信号は、高レベルの状態がアクティブ状態（オンの状態）となり、低レベルの状態が非アクティブ状態（オフの状態）となるパルス信号である。

[0042] 画素２１は、以上のような回路構成を有する。

[0043] なお、図２の回路構成は、画素アレイ部１１に用いることが可能な画素回路の一例であり、他の回路構成を用いることも可能である。例えば、各画素２１は、複数画素で読み出し回路を共有する共有画素構造とすることもできる。画素回路として共有画素構造が採用された場合、例えば、行方向および列方向に２画素ずつの２×２の４画素で、浮遊拡散領域FD、リセットトランジスタRST、増幅トランジスタAMP、及び、選択トランジスタSELを共有し、フォトダイオードPDと転送トランジスタTRGを画素単位に配置する構成を採用することができる。なお、共有単位の画素数は、４画素に限られない。

[0044] 以下では、画素２１部分の基板垂直方向の構造について説明する。

[0045] ＜３．画素の第１実施の形態＞

初めに、画素２１において、屈折率の異なる２種類の誘電体膜を交互に積層して構成される誘電体多層膜を用いた第１実施の形態について説明する。

[0046] ＜３．１　第１実施の形態に係る画素の第１構造例＞

図３は、第１実施の形態における画素２１の第１構造例を模式的に示した断面図である。

[0047] 第１構造例の画素２１は、１階画素基板５１と２階画素基板５２の２枚の基板を積層して構成されている。図３の一点鎖線は、１階画素基板５１と２階画素基板５２との接合面を示している。

[0048] １階画素基板５１は、半導体基板７１、配線層７２、及び、誘電体多層膜７３を積層して構成されている。２階画素基板５２は、半導体基板８１と、半導体基板８１の一方の面に形成された配線層８２と、半導体基板８１の他方の面に形成された絶縁膜８３とを積層して構成されている。

[0049] １階画素基板５１については、配線層７２が形成された半導体基板７１の

上側の面が、半導体基板７１のおもて面であり、配線層７２が形成された面と反対側の面が、半導体基板７１の裏面であり、光が入射される光入射面である。半導体基板７１の裏面には、必要に応じてカラーフィルタ層やオンチップレンズなどを形成することができる。

[0050] ２階画素基板５２については、配線層８２が形成された半導体基板８１の上側の面が、半導体基板８１のおもて面であり、絶縁膜８３が形成された面が、半導体基板８１の裏面である。したがって、１階画素基板５１と２階画素基板５２とは、半導体基板７１のおもて面側と半導体基板８１の裏面側とが貼り合わされた、いわゆるフェイストゥーバックで貼り合わされている。

[0051] 半導体基板７１は、半導体材料として例えばシリコン（Si）を用いた基板である。半導体基板７１には、画素単位にフォトダイオードPDが形成されるとともに、配線層７２との界面に、転送トランジスタTRGが形成されている。１階画素基板５１には、転送トランジスタTRGが少なくとも設けられるが、その他の画素トランジスタも形成されてもよい。図３において、転送トランジスタTRGについてはゲート電極のみが図示されている。

[0052] フォトダイオードPDは、例えば、半導体基板７１を構成するP型の半導体領域（Pウェル層）内に、P型と異なる導電型であるN型の半導体領域を形成することにより構成されている。また、半導体基板７１には、例えば、隣接画素との境界部に、画素内のフォトダイオードPDを含む半導体領域を隣接画素と電気的に分離する画素分離部等が形成されているが、図３では省略されている。

[0053] 配線層７２は、１層以上の配線９１と層間絶縁膜９２とからなる。配線９１は、例えば、銅（Cu）、タングステン（W）、アルミニウム（Al）、金（Ａｕ）などの金属や、ホウ素（B）やリン（P）等を高濃度にドーピングした導電性ポリシリコンなどの材料で形成される。層間絶縁膜９２は、例えば、酸化シリコン（SiO2）などで形成される。図３の例では、配線９１が、配線層７２内に２層形成されているが、配線９１は１層でもよく、３層以上でもよい。

[0054] 誘電体多層膜７３は、第１の屈折率n_1を有する誘電体材料を用いた第１の膜１０１と、第１の屈折率n_1よりも低い第２の屈折率n_2（$n_1 > n_2$）を有する誘電体材料を用いた第２の膜１０２とを交互に積層して構成されている。以下では、簡単のため、屈折率が高い方の第１の膜１０１を高屈折率膜１０１と称し、屈折率が低い方の第２の膜１０２を低屈折率膜１０２と称して説明する。

[0055] 図３の例では、交互に積層された高屈折率膜１０１と低屈折率膜１０２の積層数が１２層であるが、誘電体多層膜７３は、少なくとも３層以上積層されて構成されていればよい。誘電体多層膜７３は、平面方向については、画素アレイ部１１の受光領域全面に形成されている。ただし、誘電体多層膜７３は、１階画素基板５１と２階画素基板５２とを電気的に接続する貫通電極１０３および１０４が配置されている領域については開口されている。

[0056] 高屈折率膜１０１および低屈折率膜１０２の誘電体材料は、例えば、CVD（Chemical Vapor Deposition）法やスパッタ法、メッキ法などで基板上に成膜可能かつ成膜時の膜厚を正確に制御可能な材料であればよい。また、貫通電極１０３および１０４とのショート不良抑制のため、絶縁性材料を用いることが望ましい。高屈折率膜１０１および低屈折率膜１０２の誘電体材料としては、例えば、SiOx, SiN, SiC等のシリコン化合物、ポリシリコン（polySi）、アモルファスシリコン（a-Si）、または、TiO2, Al2O3, TiN等の酸化物もしくは窒化物を含む金属化合物が使用可能である。これらの誘電体材料は、融点が高く、耐熱性を有している。

[0057] なお、本実施の形態では、誘電体多層膜７３は、屈折率の異なる２種類の膜を交互に積層して構成するが、３種類以上の膜を積層して構成してもよい。

[0058] 半導体基板８１は、半導体材料として例えばシリコン（Si）を用いて、例えばP型の半導体領域で構成された基板である。半導体基板８１のおもて面である配線層８２側の面には、複数の画素トランジスタTrが形成されている。これら複数の画素トランジスタTrは、１階画素基板５１に設けられない画素

トランジスタである。例えば、１階画素基板５１に形成される画素トランジスタが転送トランジスタTRGのみである場合、リセットトランジスタRST、増幅トランジスタAMP、及び、選択トランジスタSELそれぞれが、画素トランジスタTrとして２階画素基板５２に形成される。また例えば、１階画素基板５１に転送トランジスタTRG及び増幅トランジスタAMPが形成されている場合、リセットトランジスタRST及び選択トランジスタSELそれぞれが、画素トランジスタTrとして、２階画素基板５２に形成される。

[0059] 貫通電極１０３は、半導体基板８１および誘電体多層膜７３を貫通し、２階画素基板５２の所定の配線１１１と、１階画素基板５１の半導体基板７１の所定の拡散層（不図示）とを接続している。貫通電極１０３と誘電体多層膜７３との間は、絶縁膜１０５で分離されている。貫通電極１０４は、半導体基板８１および誘電体多層膜７３を貫通し、２階画素基板５２の所定の配線１１１と、１階画素基板５１の所定の配線９１とを接続している。貫通電極１０４と誘電体多層膜７３との間は、絶縁膜１０６で分離されている。

[0060] 配線層８２は、１層以上の配線１１１と層間絶縁膜１１２とからなる。図３では、簡単のため、配線１１１の層数を１層としているが、配線層８２内に配線１１１が複数層形成されてもよい。配線１１１は、例えば、銅（Cu）、タングステン（W）、アルミニウム（Al）、金（Ａｕ）などの材料で形成される。層間絶縁膜１１２は、例えば、酸化シリコン（SiO2）などで形成される。

[0061] 半導体基板８１の裏面側（図３の下側）に形成された絶縁膜８３は、例えば、酸化シリコン（SiO2）などで形成される。

[0062] 以上のように、固体撮像装置１は、１階画素基板５１と２階画素基板５２を積層して構成される。１階画素基板５１には、画素単位に設けられるフォトダイオードPDと転送トランジスタTRGが少なくとも形成される。２階画素基板５２には、１階画素基板５１に形成されない他の画素トランジスタTrが形成される。１階画素基板５１に形成される画素トランジスタTrが１つのみである場合、その画素トランジスタTrは転送トランジスタTRGとされ、リセット

トランジスタRST、増幅トランジスタAMP、及び、選択トランジスタSELは、２階画素基板５２に形成される。

[0063] 第１実施の形態の画素２１の第１構造例においては、１階画素基板５１の半導体基板７１と２階画素基板５２の半導体基板８１との間に、高屈折率膜１０１と低屈折率膜１０２を少なくとも３層以上積層して構成した誘電体多層膜７３が配置されている。誘電体多層膜７３は、光入射面である半導体基板７１の裏面（図３の下面）から入射され、配線層７２を通過して２階画素基板５２へ抜けようとする光を反射させる。

[0064] 図４は、有効フレネル係数法を用いて誘電体多層膜７３の光反射率を簡易的に見積もった結果を示している。

[0065] 発明者は、高屈折率膜１０１として酸化チタン（TiO2）を用いて、低屈折率膜１０２として酸化シリコン（SiO2）を用いて、図４の左側の積層構造図に示されるようにN層（N＞２）で誘電体多層膜７３を構成し、光が垂直に入射した場合の波長ごとの反射率を計算した。なお、屈折率nは波長に依存しないと仮定する。また、高屈折率膜１０１の膜厚は７０nmとし、酸化チタン（TiO2）の屈折率n_1は約２．７である。低屈折率膜１０２の膜厚は１４０nmとし、酸化シリコン（SiO2）の屈折率n_2は約１．５である。誘電体多層膜７３の上下の膜は、低屈折率膜１０２と同じ酸化シリコン（SiO2）とした。

[0066] 図４の右側のグラフは、波長ごとの反射率を計算したシミュレーション結果を示している。

[0067] シミュレーション結果では、シリコンに吸収されにくく２階画素基板５２へ透過しやすい長波長の光、具体的には７３０nm以上の光に対して、高い反射率が得られている。例えば、層数N=9では98%程度、N=11では99%以上の反射率が得られている。すなわち、膜厚と屈折率の組み合わせを制御することで光学バンドギャップが発生し、誘電体多層膜７３が長波長の光に対して高反射率ミラーとして機能することがわかる。なお、高屈折率膜１０１と低屈折率膜１０２の誘電体材料および膜厚の組み合わせは、この限りではない。

[0068] このように、誘電体多層膜７３は、光入射面である半導体基板７１の裏面

（図３の下面）から入射され、配線層７２を通過して２階画素基板５２へ抜けようとする光を反射させることができる。これにより、２階画素基板５２への光の透過率を低減させることができるので、２階画素基板５２での寄生受光感度(PLS)を抑制することができる。また、誘電体多層膜７３を構成する誘電体材料は耐熱性を有していることから、遮蔽効果と耐熱性を両立したシールド層を形成することができる。

[0069] ＜３．２　画素の第１構造例の製造方法＞

次に、図５および図６を参照して、図４に示した第１構造例の画素２１の製造方法について説明する。

[0070] 初めに、図５のAに示されるように、P型の半導体領域で形成された半導体基板７１に対して、N型の半導体領域を形成することによりフォトダイオードPDを形成した後、転送トランジスタTRGが形成される。そして、転送トランジスタTRGを形成した面上に、デュアルダマシン法等を用いて配線９１と層間絶縁膜９２とを交互に積層することにより、配線層７２が形成される。

[0071] 次に、図５のBに示されるように、配線層７２の上面に、高屈折率膜１０１および低屈折率膜１０２を交互に積層することにより、誘電体多層膜７３が形成される。高屈折率膜１０１および低屈折率膜１０２の積層数は３層以上とされる。高屈折率膜１０１および低屈折率膜１０２の形成方法としては、例えば、CVD法やスパッタ法、メッキ法など、基板上に成膜可能で、成膜時の膜厚を正確に制御できる方法が採用される。誘電体多層膜７３の上面に、２階画素基板５２の半導体基板８１と接合するための絶縁膜をさらに形成してもよい。

[0072] 図５のBに示される状態により、１階画素基板５１が完成する。

[0073] 次に、図５のCに示されるように、基板の一方の面に絶縁膜８３が形成された半導体基板８１が用意される。そして、半導体基板８１の絶縁膜８３と、１階画素基板５１の誘電体多層膜７３とが、例えばプラズマ接合などにより接合された後、図５のDに示されるように、半導体基板８１が薄肉化される。なお、半導体基板８１としてSOI（Silicon on Insulator）基板を用いた場合

には、薄肉化の工程は省略される。

[0074] 上述した例では、１階画素基板５１側の半導体基板７１の配線層７２の上に誘電体多層膜７３を形成したが、図５のEに示されるように、２階画素基板５２側の半導体基板８１の絶縁膜８３の上に誘電体多層膜７３を形成し、１階画素基板５１と接合してもよい。この場合、１階画素基板５１と２階画素基板５２の接合面は、図５のDに示される状態の、誘電体多層膜７３と配線層７２とが接する面となる。

[0075] 次に、図６のAに示されるように、１階画素基板５１に貼り合わせた半導体基板８１の上面（おもて面）に、複数の画素トランジスタTrが形成される。これらの画素トランジスタTrは、例えば、リセットトランジスタRST、増幅トランジスタAMP、または、選択トランジスタSELなどに相当する。

[0076] 次に、図６のBに示されるように、半導体基板８１及び誘電体多層膜７３を少なくとも貫通する貫通孔１５１および１５２が形成される。貫通孔１５１および１５２は、それぞれ貫通電極１０３および１０４を形成する領域に対応しており、半導体基板８１、誘電体多層膜７３、配線層７２等をエッチングすることにより形成される。例えば、貫通孔１５１は、１階画素基板５１の半導体基板７１に到達する深さまで形成され、貫通孔１５２は、１階画素基板５１の配線層７２の配線９１に到達する深さまで形成される。

[0077] 次に、図６のCに示されるように、形成された貫通孔１５１および１５２の内部と、半導体基板８１の画素トランジスタTr形成面の上部に、絶縁膜１１２Aが形成された後、平坦化される。

[0078] 次に、図６のDに示されるように、貫通電極１０３および１０４に対応する領域に、絶縁膜１１２Aの上面からドライエッチング等を行うことにより、貫通孔１６１および１６２が形成される。貫通孔１６１および１６２の外周に残った絶縁膜１１２Aの部分が、それぞれ、絶縁膜１０５および１０６に相当する。

[0079] 次に、図６のEに示されるように、形成された貫通孔１６１および１６２それぞれの内部に、デュアルダマシン法等を用いて、貫通電極１０３および１

０４となる金属材料、例えば、タングステン（W）や銅（Cu）などが埋め込まれるとともに、貫通孔１６１および１６２それぞれと接続される配線１１１が、絶縁膜１１２Aの上面に形成される。

[0080] 最後に、配線１１１の上面に絶縁膜を形成し、配線１１１と層間絶縁膜１１２とからなる配線層８２が形成されることにより、２階画素基板５２が完成し、図４に示した画素構造が完成する。

[0081] 以上の第１実施の形態の第１構造例の画素２１の製造方法によれば、誘電体多層膜７３を構成する誘電体材料が耐熱性を有していることから、誘電体多層膜７３を形成した後に、画素トランジスタTr等の能動素子を２階画素基板５２に形成することができる。これにより、プロセスの自由度を向上させることができ、固体撮像装置１を短時間で効率的に製造することができる。

[0082] ＜３．３ 第１実施の形態に係る画素の第２構造例＞

図７は、第１実施の形態における画素２１の第２構造例を模式的に示した断面図である。

[0083] 図７において、図３に示した第１構造例と対応する部分については同一の符号を付してあり、その部分の説明は適宜省略し、相違する部分に着目して説明する。以下で後述する第３構造例以降についても同様とする。

[0084] 図３に示した第１構造例においては、貫通電極１０３および１０４の外周に、それぞれ、絶縁膜１０５および１０６が形成されていた。

[0085] これに対して、図７の第２構造例では、貫通電極１０３の外周には絶縁膜１０５が形成されておらず、貫通電極１０３と誘電体多層膜７３とが接触して構成されている。貫通電極１０４についても同様に、貫通電極１０４の外周には絶縁膜１０６が形成されておらず、貫通電極１０４と誘電体多層膜７３とが接触して構成されている。

[0086] 第２構造例のその他の構造は、上述した第１構造例と同様である。

[0087] 以上の画素２１の第２構造例によれば、貫通電極１０３または１０４と、誘電体多層膜７３との間に挿入される絶縁膜１０５および１０６が省略されたことにより、２階画素基板５２への光の進入をさらに防止することができ

るので、２階画素基板５２での寄生受光感度抑制の効果をさらに高めることができる。

[0088] ＜３．４　画素の第２構造例の製造方法＞

次に、図８を参照して、図７に示した第２構造例の画素２１の製造方法について説明する。

[0089] 図８のAに示される状態は、第１構造例の画素２１の製造方法で説明した図６のAの状態と同一であり、この状態までは、第１構造例の製造方法と同様に形成される。図８のAに示される状態は、１階画素基板５１が形成された後、半導体基板８１と１階画素基板５１が貼り合わされ、半導体基板８１の上面に、複数の画素トランジスタTrが形成された状態である。

[0090] 次に、図８のBに示されるように、半導体基板８１を貫通する貫通孔１７１および１７２が形成される。貫通孔１７１および１７２は、それぞれ貫通電極１０３および１０４を形成する領域に対応し、１階画素基板５１の誘電体多層膜７３に到達する深さまで形成される。

[0091] 次に、図８のCに示されるように、形成された貫通孔１７１および１７２の内部と、半導体基板８１の画素トランジスタTr形成面の上部に、絶縁膜１１２Aが形成された後、平坦化される。

[0092] 次に、図８のDに示されるように、貫通電極１０３および１０４に対応する領域に、絶縁膜１１２Aの上面からドライエッチング等を行うことにより、貫通孔１８１および１８２が形成される。

[0093] 次に、図８のEに示されるように、形成された貫通孔１８１および１８２それぞれの内部に、デュアルダマシン法等を用いて、貫通電極１０３および１０４となる金属材料、例えば、タングステン（W）や銅（Cu）などが埋め込まれるとともに、貫通孔１８１および１８２それぞれと接続される配線１１１が絶縁膜１１２Aの上面に形成される。

[0094] 最後に、配線１１１の上面に絶縁膜を形成し、配線１１１と層間絶縁膜１１２とからなる配線層８２が形成されることにより、２階画素基板５２が完成し、図７に示した画素構造が完成する。

[0095] 以上の第１実施の形態の第２構造例の画素２１の製造方法においても、誘電体多層膜７３を形成した後に、画素トランジスタTr等の能動素子を２階画素基板５２に形成することができる。これにより、プロセスの自由度を向上させることができ、固体撮像装置１を短時間で効率的に製造することができる。

[0096] ＜３．５　第１実施の形態に係る画素の第３構造例＞

図９は、第１実施の形態における画素２１の第３構造例を模式的に示した断面図である。

[0097] 図９の第３構造例では、誘電体多層膜７３内の所定の深さ位置に、配線２０１乃至２０３が埋め込まれている点が、図３に示した第１構造例と異なる。これにより、図３の第１構造例における貫通電極１０３は、貫通電極１０３Aに変更されている。貫通電極１０３Aは、半導体基板８１を貫通して配線２０１に接続されている。同様に、図３の第１構造例における貫通電極１０４は、貫通電極１０４Aに変更されている。貫通電極１０４Aは、半導体基板８１を貫通して配線２０２に接続されている。

[0098] 誘電体多層膜７３の層では、貫通電極１０３Aの外周には絶縁膜１０５が形成されておらず、貫通電極１０３Aと誘電体多層膜７３とが接触して構成されている。貫通電極１０４Aについても同様に、貫通電極１０４Aの外周には絶縁膜１０６が形成されておらず、貫通電極１０４Aと誘電体多層膜７３とが接触して構成されている。

[0099] 配線２０１は、コンタクト配線２１１により、半導体基板７１の所定の拡散層（不図示）にも接続されている。配線２０２は、コンタクト配線２１２により、配線層７２内の所定の配線９１にも接続されている。

[0100] 第３構造例のその他の構造は、上述した第１構造例と同様である。

[0101] 以上の画素２１の第３構造例によれば、第１構造例と同様に、２階画素基板５２の半導体基板８１と１階画素基板５１の半導体基板７１との間に誘電体多層膜７３を配置したことにより、寄生受光感度の抑制効果および電磁遮蔽効果を奏することができる。

[0102] また、誘電体多層膜７３内に配線２０１乃至２０３を設けたことにより、貫通電極１０３Aおよび１０４Aのアスペクト比が低減されるので、貫通電極形成の難易度を低下させることができる。さらに、貫通電極１０３Aおよび１０４Aの径を細くすることができるので、面積効率を向上させることができ、固体撮像装置１全体としての総厚を薄くすることができる。

[0103] ＜３．６ 画素の第３構造例の製造方法＞

次に、図１０を参照して、図９に示した第３構造例の画素２１の製造方法について説明する。

[0104] 図１０のAに示されるように、フォトダイオードPD、転送トランジスタTRGが形成された半導体基板７１の配線層７２の上に、最終的に形成される誘電体多層膜７３の一部に相当する誘電体多層膜７３Xが形成される。図８のAの例では、最終的な誘電体多層膜７３全体が１２層で形成されるのに対して、誘電体多層膜７３Xは７層で形成されている。

[0105] 次に、図１０のBに示されるように、配線２０１乃至２０３が形成される誘電体多層膜７３Xの領域がエッチングされ、掘り込み部２３１乃至２３３が形成される。

[0106] 次に、図１０のCに示されるように、デュアルダマシン法等を用いて、コンタクト配線２１１および２１２と配線２０１乃至２０３が形成される。

[0107] 次に、図１０のDに示されるように、配線２０１乃至２０３が形成された層より上面に、残りの高屈折率膜１０１および低屈折率膜１０２が交互に形成され、１階画素基板５１が完成する。

[0108] １階画素基板５１を形成した後の工程は、上述した第１構造例の製造方法と同様である。具体的には、図５のCの工程から図６のEの工程までと同様の工程が実行される。

[0109] 以上の第３構造例の画素２１の製造方法においても、誘電体多層膜７３を形成した後に、画素トランジスタTr等の能動素子を２階画素基板５２に形成することができる。これにより、プロセスの自由度を向上させることができ、効率的に短時間で製造することができる。

[0110] ＜３．７　第１実施の形態に係る画素の第４構造例＞

図１１は、第１実施の形態における画素２１の第４構造例を模式的に示した断面図である。

[0111] 図３に示した第１構造例においては、１階画素基板５１が、半導体基板７１の上に配線層７２が形成され、配線層７２の上に誘電体多層膜７３が形成されていた。換言すれば、半導体基板７１と誘電体多層膜７３との間に、配線層７２が配置される構成とされていた。

[0112] これに対して、図１１の第４構造例においては、１階画素基板５１が、半導体基板７１の上に絶縁膜２４１を介して誘電体多層膜７３が形成され、誘電体多層膜７３の上に配線層７２が形成されている。換言すれば、半導体基板７１と配線層７２との間に、誘電体多層膜７３が配置されている。誘電体多層膜７３と半導体基板７１との間には、絶縁膜２４１が挿入されている。

[0113] 図３の第１構造例における貫通電極１０３および１０４は、図１１では貫通電極１０３Aおよび１０４Aに変更されている。貫通電極１０３Aは、２階画素基板５２の半導体基板８１を貫通し、配線層７２の所定の配線９１に接続されている点は共通するが、第４構造例では配線層７２が誘電体多層膜７３よりも２階画素基板５２側に配置されたことにより、貫通電極１０３Aおよび１０４Aのアスペクト比が、第１構造例の貫通電極１０３および１０４よりも低減されている。

[0114] 第４構造例では、１階画素基板５１の誘電体多層膜７３を貫通する貫通電極２５１および２５２が設けられている。貫通電極２５１および２５２は、それぞれ、貫通電極１０３Aおよび１０４Aが接続された配線９１とは異なる配線９１と、１階画素基板５１の半導体基板７１とを接続している。

[0115] 第４構造例のその他の構造は、上述した第１構造例と同様である。

[0116] 以上の画素２１の第４構造例によれば、第１構造例と同様に、２階画素基板５２の半導体基板８１と１階画素基板５１の半導体基板７１との間に誘電体多層膜７３を配置したことにより、寄生受光感度の抑制効果および電磁遮蔽効果を奏することができる。

[0117] また、第４構造例では、貫通電極１０３Aおよび１０４Aのアスペクト比が低減されたことにより、径を細くすることができるので、面積効率を向上させることができる。また、貫通電極形成の難易度を低下させることができる。

[0118] さらに、誘電体多層膜７３が１階画素基板５１の半導体基板７１により近い位置に配置されたことにより、図１１において矢印で示されるように、誘電体多層膜７３による反射が半導体基板７１により近い位置で起こるため、隣接画素への光の漏れ込みを防止し、混色を防止することができる。

[0119] ＜３．８ 第１実施の形態に係る画素の第５構造例＞

図１２は、第１実施の形態における画素２１の第５構造例を模式的に示した断面図である。

[0120] 図１１に示した第４構造例においては、図３の第１構造例と比較して１階画素基板５１の配線層７２と誘電体多層膜７３の配置が入れ替えられ、誘電体多層膜７３が、半導体基板７１と配線層７２との間に形成されていた。

[0121] これに対して、図１２の第５構造例においては、１階画素基板５１に、第１の配線層７２Aと第２の配線層７２Bとが形成され、誘電体多層膜７３が、第１の配線層７２Aと第２の配線層７２Bとの間に形成されている。第１の配線層７２Aは、１層以上の配線９１Aと層間絶縁膜９２Aとを含み、半導体基板７１と誘電体多層膜７３との間に配置されている。第２の配線層７２Bは、１層以上の配線９１Bと層間絶縁膜９２Bとを含み、誘電体多層膜７３と２階画素基板５２の半導体基板８１との間に形成されている。

[0122] 貫通電極１０３Aは、２階画素基板５２の所定の配線１１１と、１階画素基板５１の第２の配線層７２Bの所定の配線９１Bとを接続している。貫通電極１０４Aは、２階画素基板５２の所定の配線１１１と、１階画素基板５１の第２の配線層７２Bの所定の配線９１Bとを接続している。貫通電極１０４Aが接続する配線１１１および９１Bは、貫通電極１０３Aが接続する配線１１１および９１Bとは異なる配線である。

[0123] １階画素基板５１には、誘電体多層膜７３を貫通する貫通電極２７１が設

けられている。貫通電極２７１は、第１の配線層７２Aの所定の配線９１Aと、第２の配線層７２Bの所定の配線９１Bとを接続している。

[0124] 第５構造例においては、画素トランジスタとして、転送トランジスタTRGだけではなく、増幅トランジスタAMPも、１階画素基板５１側に形成されている。図１２では、転送トランジスタTRGの図示は省略されており、増幅トランジスタAMPが図示されている。増幅トランジスタAMPのゲート電極は、第１の配線層７２A内に形成された所定の配線２８１により、半導体基板７１に形成された浮遊拡散領域FD（不図示）と接続されている。

[0125] 第５構造例のその他の構造は、上述した第４構造例と同様である。

[0126] 以上の画素２１の第５構造例によれば、第４構造例と同様に、２階画素基板５２の半導体基板８１と１階画素基板５１の半導体基板７１との間に誘電体多層膜７３を配置したことにより、寄生受光感度の抑制効果および電磁遮蔽効果を奏することができる。

[0127] また、第５構造例では、貫通電極１０３Aおよび１０４Aのアスペクト比が低減されたことにより、径を細くすることができるので、面積効率を向上させることができる。また、貫通電極形成の難易度を低下させることができる。

[0128] さらに、１階画素基板５１側に、転送トランジスタTRGだけではなく、増幅トランジスタAMPも配置したことにより、半導体基板７１に形成された浮遊拡散領域FDと、増幅トランジスタAMPのゲート電極との配線２８１の配線長を短くすることができるので、光電変換効率を高くすることができる。

[0129] ＜３．９　第１実施の形態に係る画素の第６構造例＞

図１３は、第１実施の形態における画素２１の第６構造例を模式的に示した断面図である。

[0130] 図１３の第６構造例では、図３に示した第１構造例において１階画素基板５１に形成された配線層７２が絶縁膜２４１に置き換えられている。すなわち、第６構造例では、１階画素基板５１が、配線層７２を含まずに、半導体基板７１と誘電体多層膜７３との間に絶縁膜２４１を配置して構成されてい

る。

[0131] 貫通電極１０３は、半導体基板８１および誘電体多層膜７３を貫通し、２階画素基板５２の所定の配線１１１と、１階画素基板５１の半導体基板７１の拡散層３０１とを接続している。貫通電極１０３と誘電体多層膜７３との間には絶縁膜１０５が形成されず、貫通電極１０３と誘電体多層膜７３とが接触している。

[0132] 貫通電極１０４は、半導体基板８１および誘電体多層膜７３を貫通し、２階画素基板５２の所定の配線１１１と、１階画素基板５１の転送トランジスタTRGのゲート電極とを接続している。貫通電極１０４と誘電体多層膜７３との間には絶縁膜１０６が形成されず、貫通電極１０４と誘電体多層膜７３とが接触している。

[0133] 第６構造例のその他の構造は、上述した第１構造例と同様である。

[0134] 以上の画素２１の第６構造例によれば、第１構造例と同様に、２階画素基板５２の半導体基板８１と１階画素基板５１の半導体基板７１との間に誘電体多層膜７３を配置したことにより、寄生受光感度の抑制効果および電磁遮蔽効果を奏することができる。

[0135] また、２階画素基板５２の半導体基板８１と１階画素基板５１の半導体基板７１との間に、誘電体多層膜７３と絶縁膜２４１を有し、配線層７２については省略したことにより、固体撮像装置１全体としての総厚を薄くすることができる。

[0136] ＜３．１０　第１実施の形態に係る画素の第７構造例＞

図１４は、第１実施の形態における画素２１の第７構造例を模式的に示した断面図である。

[0137] 図１４の第７構造例では、１階画素基板５１の半導体基板７１上に絶縁膜２４１が形成され、絶縁膜２４１の上に第１の誘電体多層膜７３Aおよび第１の配線層７２Aが形成され、第１の配線層７２Aの上に第２の誘電体多層膜７３Bおよび第２の配線層７２Bが形成されている。１階画素基板５１の第２の配線層７２Bと、２階画素基板５２の半導体基板８１の裏面の絶縁膜８３とが

接合されている。

[0138] すなわち、上述した第１構造例等においては１層で形成されていた誘電体多層膜７３が、図１４の第７構造例では、第１の誘電体多層膜７３Aと第２の誘電体多層膜７３Bの２層に変更されている。また、上述した第１構造例等においては１層で形成されていた配線層７２が、図１４の第７構造例では、第１の配線層７２Aと第２の配線層７２Bの２層に変更されている。第１の誘電体多層膜７３Aは、半導体基板７１と第１の配線層７２Aとの間に配置され、第２の誘電体多層膜７３Bは、第１の配線層７２Aと第２の配線層７２Bとの間に配置されている。第１の誘電体多層膜７３Aと第２の誘電体多層膜７３Bのそれぞれは、高屈折率膜１０１と低屈折率膜１０２を少なくとも３層以上積層して構成されている。

[0139] 貫通電極１０３Aは、２階画素基板５２の所定の配線１１１と、１階画素基板５１の第２の配線層７２Bの所定の配線９１Bとを接続している。貫通電極１０４Aは、２階画素基板５２の所定の配線１１１と、１階画素基板５１の第２の配線層７２Bの所定の配線９１Bとを接続している。貫通電極１０４Aが接続する配線１１１および９１Bは、貫通電極１０３Aが接続する配線１１１および９１Bとは異なる配線である。

[0140] 第１の誘電体多層膜７３Aを貫通する貫通電極３２１は、１階画素基板５１の半導体基板７１の所定の拡散層（不図示）と、第１の配線層７２Aの所定の配線９１Aとを接続している。貫通電極３２１と第１の誘電体多層膜７３Aとの間には絶縁膜が形成されず、貫通電極３２１と第１の誘電体多層膜７３Aとが接触している。

[0141] 第１の誘電体多層膜７３Aを貫通する貫通電極３２２は、１階画素基板５１の半導体基板７１の所定の拡散層（不図示）と、第１の配線層７２Aの所定の配線９１Aとを接続している。貫通電極３２２と第１の誘電体多層膜７３Aとの間には絶縁膜が形成されず、貫通電極３２２と第１の誘電体多層膜７３Aとが接触している。貫通電極３２１が接続する配線９１Aは、貫通電極３２２が接続する配線９１Aとは異なる配線である。

[0142] 第２の誘電体多層膜７３Bを貫通する貫通電極３２３は、第１の配線層７２Aの所定の配線９１Aと、第２の配線層７２Bの所定の配線９１Bとを接続している。貫通電極３２３と第２の誘電体多層膜７３Bとの間には絶縁膜が形成されず、貫通電極３２３と第２の誘電体多層膜７３Bとが接触している。

[0143] 第７構造例のその他の構造は、上述した第１構造例と同様である。

[0144] 以上の画素２１の第７構造例によれば、第１構造例と同様に、２階画素基板５２の半導体基板８１と１階画素基板５１の半導体基板７１との間に第１の誘電体多層膜７３A及び第２の誘電体多層膜７３Bの２層を配置したことにより、寄生受光感度の抑制効果および電磁遮蔽効果を奏することができる。

[0145] 第７構造例においては、誘電体多層膜を第１の誘電体多層膜７３A及び第２の誘電体多層膜７３Bの２層に分けて配置したことにより、第１の誘電体多層膜７３A及び第２の誘電体多層膜７３Bを貫通する貫通電極３２１乃至３２３のアスペクト比が低減される。これにより、貫通電極３２１乃至３２３の径を細くすることができるので、面積効率を向上させることができる。また、貫通電極形成の難易度を低下させることができる。

[0146] ＜３．１１　第１実施の形態に係る画素の第８構造例＞

図１５は、第１実施の形態における画素２１の第８構造例を模式的に示した断面図である。

[0147] 図３に示した第１構造例においては、誘電体多層膜７３が、画素アレイ部１１の受光領域全面に形成されていた。

[0148] これに対して、図１５の第８構造例においては、誘電体多層膜７３が、平面方向に関して画素アレイ部１１の各画素２１の一部、より具体的には、各画素２１において光入射を抑制したい領域のみに形成されている。光入射を抑制したい領域とは、例えば、２階画素基板５２の半導体基板８１に形成された拡散層に対応する領域などが挙げられる。受光領域全面に形成された第１構造例と比較して、誘電体多層膜７３が形成されていない領域には、配線層７２の層間絶縁膜９２が形成されている。

[0149] 第８構造例のその他の構造は、上述した第１構造例と同様である。

[0150] 以上の画素２１の第８構造例によれば、第１構造例と同様に、２階画素基板５２の半導体基板８１と１階画素基板５１の半導体基板７１との間の光入射を抑制したい領域に誘電体多層膜７３を配置したことにより、寄生受光感度の抑制効果および電磁遮蔽効果を奏することができる。

[0151] 光入射を抑制しなくてもよい領域には誘電体多層膜７３を配置せずに、光を反射させない（２階画素基板５２の半導体基板８１へ透過させる）。これにより、隣接画素への光の漏れ込みを防止し、混色を防止することができる。

[0152] ＜３．１２ 第１実施の形態に係る画素の第９構造例＞

図１６は、第１実施の形態における画素２１の第９構造例を模式的に示した断面図である。

[0153] 図１６の第９構造例は、図１５に示した第８構造例の変形例に相当する。

[0154] 図１５に示した第８構造例においては、誘電体多層膜７３が、平面方向に関して画素アレイ部１１の受光領域の一部、より具体的には、画素アレイ部１１の各画素２１において光入射を抑制したい領域のみに対して形成されていた。光入射を抑制しなくてもよい領域については層間絶縁膜９２が形成されていた。

[0155] これに対して、図１６の第９構造例では、各画素２１の光入射を抑制したい領域と、光入射を抑制しなくてもよい領域とで誘電体多層膜７３の積層数が異なり、誘電体多層膜７３が、平面方向に関して、異なる積層数の２つの領域を有している。各画素２１の光入射を抑制しなくてもよい領域では、光入射を抑制したい領域よりも少ない積層数（この例では４層）で誘電体多層膜７３が形成されている。光入射を抑制したい領域よりも少ない積層数で形成された誘電体多層膜７３上の領域には絶縁膜３４１が形成されることにより、積層数の違いによる段差が埋められている。

[0156] 第９構造例のその他の構造は、上述した第１構造例と同様である。

[0157] 以上の画素２１の第９構造例によれば、第１構造例と同様に、２階画素基板５２の半導体基板８１と１階画素基板５１の半導体基板７１との間の光入

射を抑制したい領域に誘電体多層膜７３を配置したことにより、寄生受光感度の抑制効果および電磁遮蔽効果を奏することができる。

[0158] 光入射を抑制しなくてもよい領域には、光入射を抑制したい領域よりも少ない積層数で誘電体多層膜７３が配置される。これにより、隣接画素への光の漏れ込みを防止し、混色を防止することができる。

[0159] ＜３．１３ 画素の第８構造例及び第９構造例の製造方法＞

次に、図１７を参照して、図１５の第８構造例及び図１６の第９構造例における画素２１の製造方法について説明する。

[0160] 初めに、図１５の第８構造例における画素２１の製造方法について説明する。

[0161] 図１７のAに示される状態は、第１構造例の画素２１の製造方法で説明した図５のBの状態と同一であり、この状態までは、第１構造例の製造方法と同様に形成される。図１７のAに示される状態は、１階画素基板５１の半導体基板７１上に、配線層７２と誘電体多層膜７３が形成された状態である。誘電体多層膜７３の高屈折率膜１０１および低屈折率膜１０２の積層数は、例えば１２層である。

[0162] 次に、図１７のBに示されるように、ドライエッチング等を用いて、各画素２１の光入射を抑制したい領域以外の誘電体多層膜７３が除去される。その除去された領域に、図１７のCに示されるように、例えばCVD法を用いて層間絶縁膜９２がさらに積層される。誘電体多層膜７３の上面にも層間絶縁膜９２が形成され、平坦化されることにより、１階画素基板５１が形成される。

[0163] １階画素基板５１が形成された後は、第１構造例の画素２１の製造方法と同様に製造することができる。具体的には、第１構造例で説明した図５のC以降の工程が実行される。例えば、図５のCの工程では、１階画素基板５１の配線層７２の層間絶縁膜９２と、２階画素基板５２側の半導体基板８１の絶縁膜８３とが接合される。２階画素基板５２側の半導体基板８１を接合後、複数の画素トランジスタTr、貫通電極１０３および１０４などが形成され、第８構造例の画素２１が完成する。

[0164] 図１６の第９構造例における画素２１を製造する場合には、光入射を十分に抑制可能な積層数の誘電体多層膜７３を、配線層７２上の全面に形成した図１７のAに示される状態から、図１７のDに示される工程が実行される。

[0165] 図１７のDに示される工程では、ドライエッチング等を用いて、各画素２１の光入射を抑制したい領域以外の誘電体多層膜７３の一部が部分的に除去される。例えば、誘電体多層膜７３として交互に積層された高屈折率膜１０１および低屈折率膜１０２の１２層のうちの上側の８層が、光入射を抑制したい領域以外の領域において除去される。その除去された領域に、図１７のEに示されるように、例えばプラズマCVD法により、絶縁膜３４１が形成される。１２層で形成された誘電体多層膜７３の上面にも絶縁膜３４１が形成され、平坦化されることにより、１階画素基板５１が形成される。

[0166] １階画素基板５１が形成された後は、第１構造例の画素２１の製造方法と同様に製造することができる。具体的には、第１構造例で説明した図５のC以降の工程が実行される。例えば、１階画素基板５１の誘電体多層膜７３上面の絶縁膜３４１と、２階画素基板５２側の半導体基板８１の絶縁膜８３とが接合される。接合後、複数の画素トランジスタTr、貫通電極１０３および１０４などが形成され、第９構造例の画素２１が完成する。

[0167] 以上の第１実施の形態の第８構造例及び第９構造例の画素２１の製造方法においても、誘電体多層膜７３を形成した後に、画素トランジスタTr等の能動素子を２階画素基板５２に形成することができるので、プロセスの自由度を向上させることができ、固体撮像装置１を短時間で効率的に製造することができる。

[0168] ＜４．第１実施の形態に係る画素のまとめ＞

上述した第１実施の形態に係る画素２１は、画素単位に設けられるフォトダイオードPDが少なくとも形成された半導体基板７１を含む１階画素基板５１（第１基板）と、画素トランジスタTr等の能動素子が形成された半導体基板８１を含む２階画素基板５２（第２基板）とを積層して構成される。また、画素２１は、２階画素基板５２の半導体基板８１と１階画素基板５１の半

導体基板７１との間であって、各画素２１の少なくとも光入射を抑制したい領域に、誘電体多層膜７３を有する。誘電体多層膜７３を構成する誘電体材料は耐熱性を有していることから、誘電体多層膜７３によって、遮蔽効果と耐熱性を両立したシールド層を形成することができる。すなわち、２階画素基板５２での寄生受光感度を抑制することができる。

[0169] ＜５．画素の第２実施の形態＞

次に、画素２１において、上述した誘電体多層膜７３とは異なる構造を用いてシールド層を形成した第２実施の形態について説明する。

[0170] 第２実施の形態では、半導体基板にシールド層を設けることにより、２階画素基板での寄生受光感度を抑制できるようにした画素構造が採用される。

[0171] ＜５．１ 第２実施の形態に係る画素の第１構造例＞

図１８は、第２実施の形態における画素２１の第１構造例を模式的に示した図である。

[0172] 図１８の右側には、第１構造例の画素２１の断面図が示されており、図１８の左側には、断面図のX-X’線における平面図（以下、X-X’平面図と称する。）と、Y-Y’線における平面図（以下、Y-Y’平面図と称する。）が示されている。

[0173] 第１構造例の画素２１は、１階画素基板４０１と２階画素基板４０２の２枚の基板を積層して構成されている。図１８の一点鎖線は、１階画素基板４０１と２階画素基板４０２との接合面を示している。

[0174] １階画素基板４０１は、半導体基板４２１と配線層４２２を積層して構成されている。２階画素基板４０２は、半導体基板４３１と配線層４３２を積層して構成されている。

[0175] １階画素基板４０１については、断面図において配線層４２２が形成された半導体基板４２１の上側の面が、半導体基板４２１のおもて面であり、配線層４２２が形成された面と反対側の面（図１８の下面）が、半導体基板４２１の裏面であり、光が入射される光入射面である。半導体基板４２１の裏面には、必要に応じてカラーフィルタ層やオンチップレンズなどを形成する

ことができる。

[0176] ２階画素基板４０２については、断面図において配線層４３２が形成された半導体基板４３１の上側の面が、半導体基板４３１のおもて面であり、１階画素基板５１と接合された面が、半導体基板４３１の裏面である。したがって、１階画素基板４０１と２階画素基板４０２とは、半導体基板４２１のおもて面側と半導体基板４３１の裏面側とが貼り合わされた、いわゆるフェイストゥーバックで貼り合わされている。

[0177] 半導体基板４２１は、半導体材料として例えばシリコン（Si）を用いた基板である。半導体基板４２１には、第１導電型の半導体領域であるP型半導体領域（Pウェル層）４４１内に、P型と異なる第２導電型の半導体領域であるN型半導体領域４４２を形成することにより、PN接合を利用したフォトダイオードPDが画素単位に形成されている。

[0178] 断面図及びY-Y’平面図に示されるように、半導体基板４２１の隣接画素との境界近傍の画素２１の外周部には、隣接画素と電気的に分離する画素分離部４４３が形成されている。画素分離部４４３は、例えば、酸化シリコン（SiO2）などの絶縁膜、銅（Cu）、タングステン（W）、アルミニウム（Al）等の金属材料で構成される。

[0179] 半導体基板４２１のおもて面である配線層４２２との界面には、高濃度のN型不純物領域であるN型拡散層４４４、および、高濃度のP型不純物領域であるP型拡散層４４５が形成されている。また、転送トランジスタTRGも形成されている。転送トランジスタTRGは、縦型ゲート電極４４６を有する。縦型ゲート電極４４６は、半導体基板４２１の深部に形成されたN型半導体領域４４２に到達する深さまで掘り込まれて形成されている。

[0180] N型拡散層４４４は、浮遊拡散領域FDの一部として機能し、転送トランジスタTRGによって転送された、フォトダイオードPDで生成された電荷が、N型拡散層４４４を介して、２階画素基板４０２へ読み出される。

[0181] P型拡散層４４５は、コンタクト電極４４７を介してP型半導体領域（Pウェル層）４４１に固定電位（例えば、グランドまたは負バイアス）を供給する

ウェルコンタクトである。

[0182] 配線層４２２には、転送トランジスタTRGの縦型ゲート電極４４６やコンタクト電極４４７の他、１層以上の配線と層間絶縁膜４５１とが含まれる。層間絶縁膜４５１は、例えば、シリコン酸化膜（SiO2）などで形成される。図１８では、スペースの都合上、１層以上の配線が省略されている。

[0183] ２階画素基板４０２の半導体基板４３１は、半導体材料として例えばシリコン（Si）を用いて、例えばP型の半導体領域で構成された基板である。X-X’平面図に示されるように、半導体基板４３１のおもて面である配線層４３２側の面には、リセットトランジスタRST、増幅トランジスタAMP、及び、選択トランジスタSELそれぞれが形成されている。リセットトランジスタRST、増幅トランジスタAMP、及び、選択トランジスタSELそれぞれの周辺は、STI(Shallow Trench Isolation)４７１により分離されている。

[0184] 半導体基板４３１の所定の深さには、例えば、銅（Cu）、タングステン（W）、アルミニウム（Al）等の金属材料を用いて形成された遮光膜４８１が埋め込まれている。遮光膜４８１は、半導体基板４３１のおもて面側に形成された、MIM(Metal-Insulator-Metal)容量素子等の電荷保持部や、増幅トランジスタAMP等の画素トランジスタを含む素子を覆う位置の平面領域に形成されている。遮光膜４８１は、１階画素基板４０１の半導体基板４２１を通過して、半導体基板４３１に入射されてきた光を遮断する。遮光膜４８１の上下には、絶縁膜４８２が配置されている。絶縁膜４８２は、例えば、酸化シリコン、酸化ハフニウム、酸化ジルコン、酸化アルミニウム、酸化チタン、酸化タンタルなどを用いた、単層または多層の酸化膜で構成される。

[0185] 半導体基板４３１のおもて面側に形成された素子と干渉しない領域には縦トレンチ４８３が形成されており、縦トレンチ４８３内の埋め込み金属部４８４および絶縁膜４８５が、それぞれ、半導体基板４３１内の遮光膜４８１および絶縁膜４８２と接続されている。

[0186] 半導体基板４３１内の遮光膜４８１は、縦トレンチ４８３に埋め込まれた埋め込み金属部４８４と、その上部のコンタクト配線４９３を介して、配線

４９１Aに接続されており、配線４９１Aから遮光膜４８１に所定の電圧が印加されている。

[0187] 縦トレンチ４８３は、X-X’平面図に示されるように直線状に形成され、コンタクト配線４９３と接続される埋め込み金属部４８４を除く内部が絶縁膜４８５で埋め込まれている。

[0188] ２階画素基板４０２の配線層４３２は、複数層の配線４９１と層間絶縁膜４９２とで構成されている。図１８の例では、配線層４３２は、配線４９１A乃至４９１Dを含む４層の配線４９１と層間絶縁膜４９２とで構成されているが、配線４９１の層数は４層に限られない。

[0189] 配線層４３２内の最下層の所定の領域に形成された配線４９１A’は、貫通ビア５０１を介して１階画素基板４０１の半導体基板４２１のN型拡散層４４４と接続されるとともに、コンタクト配線５０２を介して２階画素基板４０２の半導体基板４３１のN型拡散層４８６と接続されている。配線４９１A’を介して電気的に接続されたN型拡散層４４４及びN型拡散層４８６は、浮遊拡散領域FDを構成する。

[0190] 以上のように、固体撮像装置１は、１階画素基板４０１と２階画素基板４０２を積層して構成される。１階画素基板４０１には、画素単位に設けられるフォトダイオードPDと転送トランジスタTRGが少なくとも形成される。２階画素基板４０２には、１階画素基板４０１に形成されない他の画素トランジスタTr、具体的には、リセットトランジスタRST、増幅トランジスタAMP、及び、選択トランジスタSELが形成される。

[0191] 第２実施の形態の画素２１の第１構造例においては、２階画素基板４０２の半導体基板４３１内に遮光膜４８１が配置されている。遮光膜４８１は、光入射面である半導体基板４２１の裏面（図１８の下面）から入射され、２階画素基板４０２の半導体基板４３１へ入射された光を遮断する。これにより、半導体基板４３１のおもて面側に形成された素子、特に、浮遊拡散領域FDとしてのN型拡散層４８６や、MIM容量素子等の電荷保持部への光の入射を遮断することができ、寄生受光感度(PLS)を抑制することができる。また、遮光

膜４８１は金属材料を用いて形成されていることから、サージ等のノイズ、熱、電磁気も遮断することができるので、素子の動作を安定させることができる。

[0192] 例えば、背景技術の特許文献１に記載されている構造のように、フェイストゥーバックで貼り合わせた１階画素基板の半導体基板と２階画素基板の半導体基板との間に、ほぼ一面全部にベタレイアウトにより、金属材料を用いてシールド層を形成した構造では、シールド層が、１階画素基板の配線層内の配線と寄生容量を持ちやすくなる。寄生容量が発生した配線が、例えば、転送トランジスタTRGの制御配線である場合には、寄生容量により、読み出しスピードが低下する。また例えば、寄生容量が発生した配線が、浮遊拡散領域FDの接続配線である場合には、寄生容量により、光電変換効率が低下する。

[0193] 第２実施の形態の画素２１の第１構造例においては、２階画素基板４０２の半導体基板４３１の内部に遮光膜４８１が配置されているため、１階画素基板４０１の配線層４２２との寄生容量を気にすることがなく、１階画素基板４０１の配線層４２２について自由な配線設計が可能となる。

[0194] ＜５．２ 画素の第１構造例の製造方法＞

次に、図１９乃至図２２を参照して、図１８に示した第１構造例の画素２１の製造方法について説明する。

[0195] 初めに、図１９のAに示される１階画素基板４０１が製造される。具体的には、P型半導体領域４４１で形成された半導体基板４２１に対して、N型半導体領域４４２を形成することによりフォトダイオードPDを形成した後、転送トランジスタTRG、N型拡散層４４４、および、P型拡散層４４５等が形成される。半導体基板４２１のおもて面には、図１８では図示が省略されていた絶縁膜５５１が形成されている。絶縁膜５５１の上面には、１層以上の配線５５２と層間絶縁膜４５１とを含む配線層４２２が形成される。層間絶縁膜４５１は、例えば、シリコン酸化膜（SiO2）などで形成される。

[0196] 次に、図１９のBに示されるように、例えばプラズマ接合などを用いて、２

階画素基板４０２の半導体基板４３１が、１階画素基板４０１の配線層４２２の上面に貼り合わされる。そして図１９のCに示されるように、半導体基板４３１が所定の厚みまで薄肉化される。

[0197] 次に、図１９のDに示されるように、薄肉化された半導体基板４３１の上面（おもて面）に、リセットトランジスタRST、増幅トランジスタAMP、選択トランジスタSEL等の画素トランジスタTrが形成される。各画素トランジスタTrの周囲にはSTI４７１が形成され、各画素トランジスタTrが分離される。

[0198] 次に、図１９のEに示されるように、半導体基板４３１を貫通して１階画素基板４０１と電気的に接続する貫通ビア５０１の形成位置に、貫通孔５６１が、ドライエッチング等を用いて形成される。

[0199] 次に、図１９のFに示されるように、貫通孔５６１の内部に例えばCVD法を用いて絶縁膜４９２Aが埋め込まれるとともに、半導体基板４３１の上側にも絶縁膜４９２Aが所定の厚みで形成される。半導体基板４３１上の絶縁膜４９２Aは、例えばSiO2膜であり、配線層４３２を構成する層間絶縁膜４９２の一部に相当する。半導体基板４３１上層の絶縁膜４９２Aは、CMP（Chemical Mechanical Polishing）により平坦化される。

[0200] 次に、図２０のAに示されるように、平坦化された絶縁膜４９２Aの上面全面に、シリコン窒化膜（SiN）５７１およびシリコン酸化膜（SiO2）５７２を積層した後、レジスト５７３が、縦トレンチ４８３の形成位置を開口させるようにパターニングされる。そして、パターニングされたレジスト５７３をマスクとしてドライエッチングを行うことにより、縦トレンチ５７４が、半導体基板４３１の所定の深さまで形成される。

[0201] 次に、図２０のBに示されるように、レジスト５７３が剥離された後、縦トレンチ５７４の半導体基板４３１内の側壁に、熱酸化法等により酸化膜４８５Aが形成される。

[0202] 次に、図２０のCに示されるように、縦トレンチ５７４の側壁に、サイドウォール５７５が形成され、サイドウォール５７５をマスクとしてドライエッチングを行うことにより、縦トレンチ５７４の底面が、所定の深さまでさら

に掘り込まれる。サイドウォール５７５は、例えば、シリコン窒化膜（SiN）で形成される。

[0203] 次に、図２０のDに示されるように、縦トレンチ５７４のサイドウォール５７５より深い部分の側壁を、半導体基板４３１の平面方向と平行な方向、すなわち横方向へエッチングすることにより、横トレンチ５８１が形成される。この横方向のエッチングは、例えば、縦トレンチ５７４にアルカリ水溶液を注入し、半導体基板４３１の結晶面方位に応じてエッチングレートが異なる性質を利用した結晶異方性エッチング（ウェットエッチング）により行うことができる。例えば、半導体基板４３１としてシリコン（１１１）基板を用い、面方位（１１１）よりも面方位（１１０）のエッチングレートが十分に高くなる結晶異方性エッチングを行うことにより、横トレンチ５８１を形成することができる。アルカリ水溶液としては、無機溶液であればＫＯＨ，ＮａＯＨ，またはＣｓＯＨなどが適用可能であり、有機溶液であればＥＤＰ（エチレンジアミンピロカテコール水溶液），N2H4（ヒドラジン），ＮＨ4ＯＨ（水酸化アンモニウム），またはＴＭＡＨ（水酸化テトラメチルアンモニウム）などが適用可能である。横方向のエッチングは、貫通孔５６１内の絶縁膜４９２Aがストッパとなって停止する。不図示の横トレンチ５８１の左端についても同様である。

[0204] 次に、図２０のEに示されるように、縦トレンチ５７４のサイドウォール５７５が、ウェットエッチング等を用いて除去される。

[0205] 次に、図２０のFに示されるように、横トレンチ５８１の内周面（側面）に絶縁膜４８２を形成するとともに、縦トレンチ５７４の内周面（側面）に絶縁膜４８５を形成した後、さらにその内側の空洞部に、ポリシリコン５８２が埋め込まれる。

[0206] 図２０のFの例では、横トレンチ５８１の内周面の絶縁膜４８２が、例えばISSG酸化法を用いた酸化膜４８２Aと、原子層堆積（ALD：Atomic Layer Deposition）法を用いた酸化膜４８２Bの２層で構成されている。酸化膜４８２Aは、例えば、シリコン酸化膜（SiO2）とされ、酸化膜４８２Bは、例えば、ハ

フニウム酸化膜（HfO2）とされる。絶縁膜４８２の構成としては、その他の酸化膜および成膜方法を用いてもよいし、単層膜でもよい。絶縁膜４８５も、酸化膜４８５Aおよび４８５Bの２層で構成され、酸化膜４８５Aは、例えば、シリコン酸化膜とされ、酸化膜４８５Bは、例えば、ハフニウム酸化膜とされる。

[0207] 次に、図２１のAに示されるように、絶縁膜４９２Aの上面に形成されていたシリコン酸化膜５７２がCMPにより除去され、シリコン窒化膜５７１の上面が平坦化される。

[0208] 次に、図２１のBに示されるように、縦トレンチ５７４の半導体基板４３１より上方の空洞に、絶縁膜４９２Bが埋め込まれる。絶縁膜４９２Bは、例えば、HDP（High Density Plasma）酸化膜とされる。

[0209] 次に、図２１のCに示されるように、絶縁膜４９２A上のシリコン窒化膜５７１がウェットエッチング等を用いて除去された後、図２１のDに示されるように、縦トレンチ５７４に埋め込まれた絶縁膜４９２Bを超える厚みとなるまで絶縁膜が積み増しされることにより、絶縁膜４９２Cが形成される。

[0210] 次に、図２１のEに示されるように、絶縁膜４９２Cの上面にレジスト５９１が塗布され、縦トレンチ５７４の形成位置が開口されるようにパターニングされる。そして、パターニングされたレジスト５９１をマスクとして、縦トレンチ５７４内のポリシリコン５８２が露出する深さまでエッチングされ、貫通孔５９２が形成される。

[0211] 次に、図２１のFに示されるように、縦トレンチ５７４及び横トレンチ５８１内のポリシリコン５８２が除去される。

[0212] 次に、図２２のAに示されるように、ポリシリコン５８２が除去された後の縦トレンチ５７４及び横トレンチ５８１内の空洞に、銅（Cu）、タングステン（W）、アルミニウム（Al）等の金属材料が埋め込まれる。本実施の形態においては、例えば、タングステンが、縦トレンチ５７４及び横トレンチ５８１内に埋め込まれる。金属材料が埋め込まれることにより、半導体基板４３１内の横トレンチ５８１には遮光膜４８１が形成され、縦トレンチ５７４

には埋め込み金属部４８４が形成される。縦トレンチ５７４の半導体基板４３１内部分は、図１８の縦トレンチ４８３に相当する。半導体基板４３１より上側の絶縁膜４９２C内の金属材料は、コンタクト配線４９３となる。

[0213] 次に、図２２のBに示されるように、貫通ビア５０１の形成位置を開口させるようにレジスト（不図示）をパターニングした後、ドライエッチングを行うことにより、１階画素基板４０１の半導体基板４２１のN型拡散層４４４まで貫通孔５９３が形成される。

[0214] 次に、図２２のCに示されるように、貫通孔５９３に、例えばタングステン（W）等の金属材料が埋め込まれることにより、貫通ビア５０１が形成される。さらに、絶縁膜４９２Cの上に、デュアルダマシン法等を用いて配線４９１A乃至４９１Dや層間絶縁膜４９２をさらに形成することにより配線層４３２が完成し、２階画素基板４０２が完成する。

[0215] 以上により、１階画素基板４０１と２階画素基板４０２の２枚の基板を積層して構成された図１８の画素２１が完成する。

[0216] 以上の第２実施の形態の第１構造例の画素２１の製造方法によれば、１階画素基板４０１に２階画素基板４０２の半導体基板４３１を貼り合わせ、半導体基板４３１上に、増幅トランジスタAMP、選択トランジスタSEL等の画素トランジスタTrを形成した後に、遮光膜４８１が形成される。これにより、遮光したい素子と遮光膜４８１の位置ずれを防止することができる。

[0217] 逆に言えば、遮光膜４８１を形成した後に、画素トランジスタTr等の素子を形成した半導体基板４３１を貼り合わせると、貼り合わせのずれにより、遮光したい素子と遮光膜４８１の位置ずれが起こり、遮光性が弱くなることがある。上述した製造方法によれば、そのような位置ずれを防止し、遮光性能劣化を回避することができる。

[0218] ＜５．３　第２実施の形態に係る画素の第２構造例＞

図２３は、第２実施の形態における画素２１の第２構造例を模式的に示した断面図である。

[0219] 図２３において、図１８に示した第１構造例と対応する部分については同

一の符号を付してあり、その部分の説明は適宜省略し、相違する部分に着目して説明する。以下で後述する第３構造例以降についても同様とする。

[0220] 図１８に示した第１構造例では、２階画素基板４０２の遮光膜４８１と、その上下の絶縁膜４８２とからなる層が、半導体基板４３１内に埋め込まれて形成されていた。換言すれば、遮光膜４８１と、その上下の絶縁膜４８２とからなる層は、その上側と下側の両面が同一の半導体基板４３１に接するように配置されていた。

[0221] これに対して、図２３の第２構造例においては、遮光膜４８１と、その上下の絶縁膜４８２とからなる層は、半導体基板４３１の下部に形成されている。換言すれば、遮光膜４８１と、その上下の絶縁膜４８２とからなる層は、その上側は半導体基板４３１に接し、下側は１階画素基板４０１の配線層４２２の層間絶縁膜４５１に接するように配置されている。

[0222] 遮光膜４８１を半導体基板４３１の下部に配置した場合、半導体基板４３１の厚みを薄くすることができる。これにより、２階画素基板４０２全体の厚みを薄くすることができるので、半導体基板４３１を貫通して１階画素基板４０１と電気的に接続する貫通ビア５０１の長さ（深さ）を短くすることができる。

[0223] 第２構造例のその他の構造は、上述した第１構造例と同様である。

[0224] 図２３の第２構造例によれば、第１構造例と同様に、２階画素基板４０２の半導体基板４３１の下部に配置された遮光膜４８１により、寄生受光感度を抑制することができる。また、遮光膜４８１は金属材料を用いて形成されていることから、サージ等のノイズ、熱、電磁気も遮断することができるので、素子の動作を安定させることができる。

[0225] また、遮光膜４８１を２階画素基板４０２の半導体基板４３１の下部に配置したことにより、半導体基板４３１の厚みを薄く構成することができ、貫通ビア５０１の長さ（深さ）が短くなるので、光電変換効率を向上させることができる。

[0226] ＜５．４　第２実施の形態に係る画素の第３構造例＞

図２４は、第２実施の形態における画素２１の第３構造例を模式的に示した断面図である。

[0227] 図２４において、図１８に示した第１構造例と対応する部分については同一の符号を付してあり、その部分の説明は適宜省略し、相違する部分に着目して説明する。

[0228] 図１８に示した第１構造例では、２階画素基板４０２の半導体基板４３１のおもて面側から縦トレンチ４８３が形成され、縦トレンチ４８３内の埋め込み金属部４８４および絶縁膜４８５が、半導体基板４３１の内部に形成された遮光膜４８１および絶縁膜４８２に接続されていた。縦トレンチ４８３は、第１構造例の製造方法で説明したように、遮光膜４８１が埋め込まれる横トレンチ５８１を形成するための横方向のエッチングに利用された。

[0229] これに対して、図２４の第３構造例においては、縦トレンチ４８３と、その内部に埋め込まれる金属部４８４および絶縁膜４８５が省略されている。配線層４３２の最下層に位置する配線４９１Aは、貫通ビア６０１を介して、ウェルコンタクトであるP型拡散層４４５と接続されている。

[0230] 第３構造例の製造方法については後述するが、遮光膜４８１と、その上下の絶縁膜４８２とからなる層が埋め込まれる空洞は、貫通ビア５０１を形成するために開口される貫通孔を利用した横方向のエッチングにより形成される。

[0231] 第３構造例のその他の構造は、上述した第１構造例と同様である。

[0232] 図２４の第３構造例によれば、第１構造例と同様に、２階画素基板４０２の半導体基板４３１内に配置された遮光膜４８１により、寄生受光感度を抑制することができる。また、遮光膜４８１は金属材料を用いて形成されていることから、サージ等のノイズ、熱、電磁気も遮断することができるので、素子の動作を安定させることができる。

[0233] また、２階画素基板４０２の半導体基板４３１の内部に遮光膜４８１が配置されているため、１階画素基板４０１の配線層４２２との寄生容量を気にする必要がない。これにより、１階画素基板４０１の配線層４２２について

自由な配線設計が可能となる。

[0234] ＜５．５　画素の第３構造例の製造方法＞

次に、図２５乃至図２８を参照して、図２４に示した第３構造例の画素２１の製造方法について説明する。

[0235] 図２５のAに示される状態、即ち、１階画素基板４０１の上に接合された半導体基板４３１の上面に、増幅トランジスタAMP等の画素トランジスタTrが形成されている状態までの製造方法は、第１構造例と同様である。具体的には、図１９のA乃至Dで説明した各工程により、１階画素基板４０１が形成された後、１階画素基板４０１と接合された半導体基板４３１に、画素トランジスタTrが形成される。第１構造例の図１９のAでは、P型拡散層４４５の上にコンタクト電極４４７が形成されていたが、図２５のAでは、コンタクト電極４４７は形成されない。

[0236] 次に、図２５のBに示されるように、貫通ビア５０１および６０１の形成位置に、それぞれ、トレンチ６６１および６６２が形成される。トレンチ６６１および６６２は、例えばドライエッチングにより、半導体基板４３１を貫通しない所定の深さで形成される。

[0237] 次に、図２５のCに示されるように、トレンチ６６１および６６２の内部に例えばCVD法を用いて絶縁膜４９２Aが埋め込まれるとともに、半導体基板４３１の上側にも絶縁膜４９２Aが所定の厚みで形成される。半導体基板４３１上の絶縁膜４９２Aは、例えばSiO2膜であり、配線層４３２を構成する層間絶縁膜４９２の一部に相当する。半導体基板４３１上層の絶縁膜４９２Aは、CMPにより平坦化される。

[0238] 次に、図２５のDに示されるように、平坦化された絶縁膜４９２Aの上面全面に、シリコン窒化膜５７１およびシリコン酸化膜５７２を積層した後、レジスト５７３が、貫通ビア５０１の形成位置を開口させるようにパターニングされる。そして、パターニングされたレジスト５７３をマスクとして、ドライエッチングにより半導体基板４３１の所定の深さまで掘り込まれ、縦トレンチ６７１が形成される。

[0239] 次に、図２５のEに示されるように、レジスト５７３が剥離された後、縦トレンチ６７１の半導体基板４３１内の側壁に、熱酸化法等により酸化膜４８５Aが形成される。

[0240] 次に、図２５のFに示されるように、縦トレンチ６７１の側壁に、サイドウォール６７２が形成され、サイドウォール６７２をマスクとしてドライエッチングを行うことにより、縦トレンチ６７１の底面が、所定の深さまでさらに掘り込まれる。サイドウォール６７２は、例えば、シリコン窒化膜（SiN）で形成される。

[0241] 次に、図２６のAに示されるように、縦トレンチ６７１のサイドウォール６７２より深い部分の側壁を、半導体基板４３１の平面方向と平行な方向、すなわち横方向へエッチングすることにより、横トレンチ６８１が形成される。この横方向のエッチングは、第１構造例の製造方法と同様に、結晶面方位に応じてエッチングレートが異なる性質を利用した結晶異方性エッチングにより行うことができる。横方向のエッチングは、トレンチ６６２内の絶縁膜４９２Aがストッパとなって停止する。不図示の横トレンチ６８１の右端についても同様である。

[0242] 次に、図２６のBに示されるように、縦トレンチ６７１のサイドウォール６７２が、ウェットエッチング等を用いて除去される。

[0243] 次に、図２６のCに示されるように、横トレンチ６８１の内周面（側面）に絶縁膜４８２を形成するとともに、縦トレンチ６７１の内周面（側面）に絶縁膜４８５を形成した後、さらにその内側の空洞部に、ポリシリコン６８２が埋め込まれる。

[0244] 図２６のCの例では、横トレンチ６８１の内周面の絶縁膜４８２が、例えばISSG酸化法を用いた酸化膜４８２Aと、原子層堆積法を用いた酸化膜４８２Bの２層で構成されている。酸化膜４８２Aは、例えばシリコン酸化膜とされ、酸化膜４８２Bは、例えばハフニウム酸化膜とされる。絶縁膜４８２の構成としては、その他の酸化膜および成膜方法を用いてもよいし、単層膜でもよい。絶縁膜４８５も、酸化膜４８５Aおよび４８５Bの２層で構成され、酸化膜

４８５Aは、例えばシリコン酸化膜とされ、酸化膜４８５Bは、例えばハフニウム酸化膜とされる。

[0245] 次に、図２６のDに示されるように、絶縁膜４９２Aの上面に形成されていたシリコン酸化膜５７２がCMPにより除去され、シリコン窒化膜５７１の上面が平坦化される。

[0246] 次に、図２６のEに示されるように、縦トレンチ６７１の半導体基板４３１より上方の空洞に、絶縁膜４９２Bが埋め込まれる。絶縁膜４９２Bは、例えば、HDP酸化膜とされる。

[0247] 次に、図２６のFに示されるように、絶縁膜４９２A上のシリコン窒化膜５７１がウェットエッチング等を用いて除去された後、図２７のAに示されるように、縦トレンチ６７１に埋め込まれた絶縁膜４９２Bを超える厚みとなるまで絶縁膜が積み増しされることにより、絶縁膜４９２Cが形成される。

[0248] 次に、図２７のBに示されるように、レジスト６９１が絶縁膜４９２Cの上面に塗布され、縦トレンチ６７１の形成位置が開口されるようにパターニングされる。そして、パターニングされたレジスト６９１をマスクとして、縦トレンチ６７１内のポリシリコン５８２が露出する深さまでエッチングされ、貫通孔６９２が形成される。

[0249] 次に、図２７のCに示されるように、縦トレンチ６７１及び横トレンチ６８１内のポリシリコン５８２が除去される。

[0250] 次に、図２７のDに示されるように、ポリシリコン５８２が除去された後の空洞に、銅、タングステン、アルミニウム等の金属材料が埋め込まれる。本実施の形態においては、例えば、タングステンが、縦トレンチ６７１及び横トレンチ６８１内の空洞に埋め込まれる。金属材料が埋め込まれることにより、半導体基板４３１内の横トレンチ６８１には遮光膜４８１が形成され、縦トレンチ６７１には埋め込み金属部４８４が形成される。

[0251] 次に、図２７のEに示されるように、絶縁膜４９２Cの上にレジスト７０１が塗布され、貫通ビア５０１および６０１の形成位置が開口されるようにパターニングされる。そして、パターニングされたレジスト７０１をマスクと

してドライエッチングを行うことにより、１階画素基板４０１の配線層４２２まで貫通する貫通孔７０２および７０３が形成される。貫通孔７０２の形成により、縦トレンチ６７１の埋め込み金属部４８４および絶縁膜４８５が除去される。

[0252] 次に、図２７のFに示されるように、貫通孔７０２および７０３それぞれの内部に、例えばCVD法を用いて絶縁膜が埋め込まれ、絶縁膜４９２Cの上面がCMPにより平坦化される。

[0253] 次に、図２８のAに示されるように、絶縁膜４９２Cの上にレジスト７１１が塗布され、貫通ビア５０１および６０１の形成位置が開口されるようにパターニングされる。そして、パターニングされたレジスト７１１をマスクとしてドライエッチングを行うことにより、１階画素基板４０１の半導体基板４２１のN型拡散層４４４およびP型拡散層４４５が露出するまで貫通孔７１２および７１３が形成される。

[0254] 次に、図２８のBに示されるように、貫通孔７１２および７１３に、例えばタングステン等の金属材料が埋め込まれることにより、貫通ビア５０１および６０１が形成される。さらに、絶縁膜４９２Cの上に、配線４９１A乃至４９１Dや層間絶縁膜４９２をさらに形成することにより配線層４３２が完成し、２階画素基板４０２が完成する。

[0255] 以上により、１階画素基板４０１と２階画素基板４０２の２枚の基板を積層して構成された図２４の画素２１が完成する。

[0256] 以上の第２実施の形態の第３構造例の画素２１の製造方法によれば、１階画素基板４０１に２階画素基板４０２の半導体基板４３１を貼り合わせ、半導体基板４３１上に、増幅トランジスタAMP、選択トランジスタSEL等の画素トランジスタTrを形成した後に、遮光膜４８１が形成される。これにより、遮光したい素子と遮光膜４８１の位置ずれを防止することができる。

[0257] 第３構造例の画素２１の製造方法によれば、遮光膜４８１が埋め込まれる横トレンチ６８１を形成するための縦トレンチを設けずに、貫通ビア５０１形成用の貫通孔を用いて横トレンチ６８１を形成し、遮光膜４８１を形成す

ることができる。

[0258] ＜５．６　第２実施の形態に係る画素の第４構造例＞

図２９は、第２実施の形態における画素２１の第４構造例を模式的に示した断面図である。

[0259] 図２９において、図１８に示した第１構造例と対応する部分については同一の符号を付してあり、その部分の説明は適宜省略し、相違する部分に着目して説明する。

[0260] 図１８に示した第１構造例では、２階画素基板４０２の半導体基板４３１のおもて面側において、リセットトランジスタRST、増幅トランジスタAMP、選択トランジスタSEL等の素子を分離するSTI４７１が、同一深さ（厚み）で形成されていた。

[0261] これに対して、図２９の第４構造例においては、STI４７１XとSTI４７１Yの２つの領域が形成されており、STI４７１XとSTI４７１Yとは深さが異なる。深さが深い方のSTI４７１Yは、遮光膜４８１と、その上下の絶縁膜４８２とからなる層よりも深い位置まで形成され、STI４７１Yの側面には、遮光膜４８１とその上下の絶縁膜４８２とからなる層が接している。

[0262] 第４構造例のその他の構造は、上述した第１構造例と同様である。

[0263] 図２９の第４構造例によれば、第１構造例と同様に、２階画素基板４０２の半導体基板４３１の下部に配置された遮光膜４８１により、寄生受光感度を抑制することができる。また、遮光膜４８１は金属材料を用いて形成されていることから、サージ等のノイズ、熱、電磁気も遮断することができるので、素子の動作を安定させることができる。

[0264] また、２階画素基板４０２の半導体基板４３１の内部に遮光膜４８１が配置されているので、１階画素基板４０１の配線層４２２との寄生容量を気にすることがなく、１階画素基板４０１の配線層４２２について自由な配線設計が可能となる。

[0265] 第４構造例の画素２１は、基本的に第１構造例と同様の製造方法で製造することができる。第１構造例の製造方法で説明した図２０のDの工程、すなわ

ち、半導体基板４３１の横方向へのエッチングにより、横トレンチ５８１を形成する工程において、エッチングは、STI４７１Yにより停止する。第４構造例においては、STI４７１Yを、横トレンチ５８１を形成するエッチングのストッパとして利用することができる。

[0266] ＜５．７　第２実施の形態に係る画素の第５構造例＞

図３０は、第２実施の形態における画素２１の第５構造例を模式的に示した断面図である。

[0267] 図３０において、図１８に示した第１構造例と対応する部分については同一の符号を付してあり、その部分の説明は適宜省略し、相違する部分に着目して説明する。

[0268] 図３０の第５構造例は、２階画素基板４０２の半導体基板４３１のおもて面側に形成される増幅トランジスタAMPの構造が、図１８に示した第１構造例と異なる。そのため、図３０右側の断面図の半導体基板４３１のおもて面側には、リセットトランジスタRSTと増幅トランジスタAMPが示されている。

[0269] 第１構造例において増幅トランジスタAMPの構造については特に言及しなかったが、第１構造例の増幅トランジスタAMPは、例えば、平面型のゲート電極を有するMOSトランジスタで構成することができる。

[0270] これに対して、第５構造例における増幅トランジスタAMPは、掘り込み構造のゲート電極７５１を有するMOSトランジスタで構成される。これにより、X-X’平面図に示されるように、増幅トランジスタAMP、及び、選択トランジスタSELの平面配置も、第１構造例から変更されている。

[0271] 図３１は、第５構造例における増幅トランジスタAMPのゲート電極７５１近傍を拡大した断面図である。

[0272] 増幅トランジスタAMPのゲート電極７５１は、半導体基板４３１上面の平面ゲート部７５１Aと、半導体基板４３１内に掘り込まれた複数の掘り込み部７５１Bとで構成される。掘り込み部７５１Bの側面および底面にはゲート絶縁膜７５２が形成され、半導体基板４３１のおもて面と平面ゲート部７５１Aとの間には、絶縁膜７５３が形成されている。ゲート絶縁膜７５２および絶縁

膜７５３は、例えば、シリコン酸化膜（SiO2）で形成される。

[0273] このような掘り込み構造のゲート電極７５１を有する増幅トランジスタAMPは、絶縁膜７５３の界面から離れたところに電流パスをつくることで実効ゲート幅Wを増大させることができ、低ノイズを実現することができる。

[0274] 第５構造例のその他の構造は、上述した第１構造例と同様である。

[0275] 図３０および図３１の第５構造例によれば、第１構造例と同様に、２階画素基板４０２の半導体基板４３１内に配置された遮光膜４８１により、寄生受光感度を抑制することができる。また、遮光膜４８１は金属材料を用いて形成されていることから、サージ等のノイズ、熱、電磁気も遮断することができるので、素子の動作を安定させることができる。

[0276] また、２階画素基板４０２の半導体基板４３１の内部に遮光膜４８１が配置されているため、１階画素基板４０１の配線層４２２との寄生容量を気にする必要がない。これにより、１階画素基板４０１の配線層４２２について自由な配線設計が可能となる。

[0277] さらに、増幅トランジスタAMPとして、掘り込み構造のゲート電極７５１を有するMOSトランジスタを採用したことにより、画素信号のノイズをより低減することができる。

[0278] ＜６．第２実施の形態に係る画素のまとめ＞

上述した第２実施の形態に係る画素２１は、画素単位に設けられるフォトダイオードPDが少なくとも形成された半導体基板４２１を含む１階画素基板４０１（第１基板）と、増幅トランジスタAMP等の能動素子が形成された半導体基板４３１を含む２階画素基板４０２（第２基板）とを積層して構成される。また、画素２１は、２階画素基板４０２の半導体基板４３１に遮光膜４８１を有する。この遮光膜４８１により、寄生受光感度を抑制することができる。また、遮光膜４８１は金属材料を用いて形成されていることから、サージ等のノイズ、熱、電磁気も遮断することができるので、素子の動作を安定させることができる。１階画素基板４０１の配線層４２２との寄生容量を気にすることがなく、１階画素基板４０１の配線層４２２について自由な配

線設計が可能となる。

[0279] ＜７．画素回路のその他の構成例＞

図３２は、画素アレイ部１１の画素２１として採用可能なその他の回路構成例を示している。

[0280] 図３２の画素２１は、対となる２つの容量素子を画素毎に設け、それらの一対の容量素子に、AD変換の対象となるリセットレベルおよび信号レベルの２つの信号を保持させる構成を有する。

[0281] 具体的には、画素２１は、フォトダイオードPD、転送トランジスタTRG、浮遊拡散領域FD、リセットトランジスタRST、増幅トランジスタAMP、排出トランジスタOFG、及び、選択トランジスタSELを含むように構成される。これらの素子は、例えば、１階画素基板に形成される。

[0282] また、画素２１は、電流源トランジスタ８０１、電流源スイッチトランジスタ８０２、容量素子８０３及び８０４、容量選択トランジスタ８０５及び８０６、後段リセットトランジスタ８０７、後段増幅トランジスタ８０８、並びに、後段選択トランジスタ８０９を含むように構成される。これらの素子は、例えば、２階画素基板に形成される。

[0283] なお、画素２１内の各種の画素トランジスタには、例えば、N型のMOSトランジスタ（MOS FET）を用いることができる。この場合、ゲートに供給される駆動信号により画素トランジスタがオンされたときは、ドレインとソースが接続される閉状態である。

[0284] フォトダイオードPDは、画素２１に設けられた光電変換部であり、被写体からの光を受光して、その受光量に応じた電荷を光電変換により生成し、蓄積する。フォトダイオードPDは、アノード端子が接地されているとともに、カソード端子が転送トランジスタTRGを介して、浮遊拡散領域FDに接続されている。

[0285] 転送トランジスタTRGは、フォトダイオードPDと浮遊拡散領域FDとの間に設けられており、ゲートに供給される転送駆動信号によりオンされたとき、フォトダイオードPDに蓄積されている電荷を浮遊拡散領域FDに転送する。

[0286] 浮遊拡散領域FDは、転送トランジスタTRGを介してフォトダイオードPDから転送されてきた電荷を電気信号、例えば電圧信号に変換して出力する電圧変換部である。浮遊拡散領域FDは、切替トランジスタFDGのソースと増幅トランジスタAMPのゲートにも接続されている。

[0287] 排出トランジスタOFGは、電源電圧VDDとフォトダイオードPDとの間に設けられており、ゲートに供給される排出信号によりオンされたとき、フォトダイオードPDに蓄積されている不要電荷をドレイン（定電圧源VDD）に排出する。

[0288] リセットトランジスタRSTは、ゲートに供給されるリセット駆動信号によりオンされたとき、浮遊拡散領域FDに蓄積されている電荷がドレイン（定電圧源VDD）に排出され、浮遊拡散領域FDの電位をリセットする。なお、リセットトランジスタRSTがオンされるときには、切替トランジスタFDGも同時にオンされ、付加容量subFDもリセットされる。

[0289] 切替トランジスタFDGは、ゲートに供給される容量切替信号にしたがい、浮遊拡散領域FDと付加容量subFDとの接続をオンオフし、変換効率を切り替える。具体的には、垂直駆動部１２は、例えば、入射光の光量が多い高照度のとき、切替トランジスタFDGをオンさせ、浮遊拡散領域FDと付加容量subFDを接続する。これにより、高照度時に、より多くの電荷を蓄積することができる。一方、入射光の光量が少ない低照度のときには、垂直駆動部１２は、切替トランジスタFDGをオフして、付加容量subFDを浮遊拡散領域FDから切り離す。これにより、変換効率を上げることができる。

[0290] 増幅トランジスタAMPは、浮遊拡散領域FDの電位に応じた信号を出力する。すなわち、増幅トランジスタAMPは、電流源トランジスタ８０１とソースフォロワ回路を構成し、浮遊拡散領域FDに蓄積されている電荷に応じたレベルを示す信号が、増幅トランジスタAMPから選択トランジスタSELを介して容量入力ノード８１０に出力される。増幅トランジスタAMPのドレインには、全画素同時に実行される露光期間中は電源電圧VDDが供給され、一対の容量素子８０３及び８０４に保持された信号を読み出す読み出し期間中は電圧（VDD-Vft-V

gs）が供給される。電圧Vftは、リセットトランジスタRSTのリセットフィードスルーの変動量であり、電圧Vgsは、増幅トランジスタAMPのゲート－ソース間電圧である。電源電圧VDDと電圧（VDD-Vft-Vgs）とを切り替えるスイッチ８１２は、例えば、垂直駆動部１２に設けられている。

[0291] 選択トランジスタSELは、電流源スイッチトランジスタ８０２のドレインと容量入力ノード８１０との接続点と、増幅トランジスタAMPのソースとの間に接続されており、選択トランジスタSELのゲートには、接続選択信号SWが供給される。接続選択信号SWにより選択トランジスタSELがオンされると、選択トランジスタSELは導通状態となって、容量素子８０３及び８０４等の後段回路と接続される。選択トランジスタSELは、露光期間終了直前から各画素行の読み出し開始直前までオンに制御され、１階画素基板に形成された前段回路と２階画素基板に形成された後段回路とを接続する。一方、一対の容量素子８０３及び８０４に保持された信号を読み出す読み出し期間中は選択トランジスタSELがオフに制御され、１階画素基板に形成された前段回路が、後段回路から切り離される。

[0292] 電流源トランジスタ８０１は、増幅トランジスタAMPとともに前段のソースフォロワ回路を構成する電流源となるトランジスタであり、ゲートには、所定のバイアス電圧VBが供給される。

[0293] 電流源スイッチトランジスタ８０２は、ゲートに供給されるスイッチ信号PCにより、前段のソースフォロワ回路の電流源をオンオフするためのトランジスタである。電流源スイッチトランジスタ８０２は、全画素同時に実行されるグローバルシャッタ動作中、具体的には、露光動作とリセットレベルおよび信号レベルの２つの信号を一対の容量素子８０３及び８０４に保持（サンプルホールド）させる保持動作の期間中、オンに制御され、前段のソースフォロア回路がオン状態とされる。一方、一対の容量素子８０３及び８０４に保持された信号を読み出す読み出し期間中は、電流源スイッチトランジスタ８０２がオフに制御され、前段のソースフォロア回路がオフ状態とされる。

[0294] 容量素子８０３および８０４それぞれの一端は、容量入力ノード８１０に

共通に接続されている。容量素子８０３の他端は容量選択トランジスタ８０５に接続され、容量素子８０４の他端は容量選択トランジスタ８０６に接続されている。容量素子８０３および８０４は、増幅トランジスタAMPから出力される所定の電圧レベルを保持する。容量素子８０３の蓄積容量をC1、容量素子８０４の蓄積容量をC2とする。

[0295] 容量選択トランジスタ８０５は、容量素子８０３を選択して後段と接続し、容量選択トランジスタ８０６は、容量素子８０４を選択して後段と接続する。より具体的には、容量選択トランジスタ８０５は、垂直駆動部１２からの選択信号Φrによりオンされたとき、容量素子８０３と後段増幅トランジスタノード８１１とを接続する。容量選択トランジスタ８０６は、垂直駆動部１２からの選択信号Φsによりオンされたとき、容量素子８０４と後段増幅トランジスタノード８１１とを接続する。

[0296] 後段リセットトランジスタ８０７は、垂直駆動部１２からの後段リセット信号rstbによりオンされたとき、後段増幅トランジスタノード８１１のレベルを所定の電位VREGに初期化する。電位VREGには、電源電圧VDDと異なる電位（例えば、電源電圧VDDより低い電位）が設定される。

[0297] 後段増幅トランジスタ８０８は、垂直信号線２３を介して接続されている定電流源２４とソースフォロワ回路を構成し、後段増幅トランジスタノード８１１に供給される電圧レベルを増幅して、後段選択トランジスタ８０９を介して垂直信号線２３に出力する。後段選択トランジスタ８０９は、垂直駆動部１２からの後段選択信号selbによりオンされたとき、後段増幅トランジスタ８０８により増幅された電圧レベルの信号を画素信号VSLとして垂直信号線２３に出力する。

[0298] 図３２の画素２１の動作について、簡単に説明する。

[0299] 初めに、画素アレイ部１１の全画素２１が、同時にグローバルシャッタ動作を行う。具体的には、排出トランジスタOFGをオンしてフォトダイオードPDの不要電荷をリセットした後、露光が開始され、受光量に応じた電荷がフォトダイオードPDに生成、蓄積される。次に、転送トランジスタTRGをオンして

フォトダイオードPDの蓄積電荷を転送する前に、リセットトランジスタRSTおよび切替トランジスタFDGがオンされ、浮遊拡散領域FDおよび付加容量subFDがリセットされる。浮遊拡散領域FDのリセットとともに容量選択トランジスタ８０５がオンされて、浮遊拡散領域FDの電位が読み出され、リセットレベル（P相データ）の信号として容量素子８０３に保持される（サンプルホールドされる）。次に、転送トランジスタTRGおよび容量選択トランジスタ８０６がオンされて、フォトダイオードPDの蓄積電荷が浮遊拡散領域FDに転送され、浮遊拡散領域FDの電位が、信号レベル（D相データ）の信号として容量素子８０４に保持される（サンプルホールドされる）。

[0300] 次に、画素アレイ部１１の行単位に各画素２１が選択され、各画素２１の容量素子８０３および８０４に保持されたリセットレベル及び信号レベルの信号が、行単位に、カラム処理部１３へ読み出される。

[0301] 上述した画素２１の第１実施の形態では、容量素子８０３および８０４が２階画素基板５２に形成され、誘電体多層膜７３によって、容量素子８０３および８０４への光入射が抑制される。画素２１の第２実施の形態では、容量素子８０３および８０４が２階画素基板４０２に形成され、遮光膜４８１によって、容量素子８０３および８０４への光入射が抑制される。従って、第１および第２実施の形態のいずれにおいても、寄生受光感度が抑制される。

[0302] ＜８．３層基板構成例＞

上述した第１および第２実施の形態では、固体撮像装置１が、第１基板としての１階画素基板５１または４０１と、第２基板としての２階画素基板５２または４０２の、２枚の基板を積層して構成されていた。

[0303] しかしながら、固体撮像装置１は、３枚の基板を積層して構成することもできる。

[0304] 図３３は、３枚の基板を積層して構成した場合の固体撮像装置１の概略構成例を示している。

[0305] 固体撮像装置１は、第１基板９０１、第２基板９０２、および、第３基板

９０３の３枚の基板を積層して構成されている。

[0306] 第１基板９０１には、中央部分に、複数のセンサ画素９１２を含む画素領域９１３が形成されており、画素領域９１３の周囲に、垂直駆動部１２が形成されている。センサ画素９１２は、例えば、図３２に示した画素回路のうち、１階画素基板に形成される回路に相当する。

[0307] 第２基板９０２には、中央部分に、複数の読み出し回路９２２を含む読み出し回路領域９２３が形成されており、読み出し回路領域９２３の周囲に、垂直駆動部１２が形成されている。読み出し回路９２２は、例えば、図３２に示した画素回路のうち、２階画素基板に形成される回路に相当する。なお、垂直駆動部１２は、第１基板９０１のみに形成されても、第２基板９０２のみに形成されてもよい。

[0308] 第３基板９０３には、カラム処理部１３、水平駆動部１４、及び、システム制御部１５が形成されている。第１基板９０１と第２基板９０２、および、第２基板９０２と第３基板９０３は、例えば、貫通ビアやCu-Cuの金属結合により電気的に接続される。

[0309] 以上のように３枚の基板を積層して構成することにより、画素数または画素回路が増大した場合でも、今までと同等のチップサイズで固体撮像装置１を形成することができる。あるいはまた、今までと同等の画素数または画素回路の場合には、チップサイズをより縮小した固体撮像装置１を提供することができる。

[0310] ＜９．イメージセンサの使用例＞

図３４は、上述の固体撮像装置１を用いたイメージセンサの使用例を示す図である。

[0311] 上述の固体撮像装置１は、イメージセンサとして、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる。

[0312] ・ディジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアーコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0313] ＜１０．電子機器への適用例＞

本開示の技術は、固体撮像装置への適用に限られるものではない。即ち、本開示の技術は、デジタルスチルカメラやビデオカメラ等の撮像装置や、撮像機能を有する携帯端末装置や、画像読取部に固体撮像装置を用いる複写機など、画像取込部（光電変換部）に固体撮像装置を用いる電子機器全般に対して適用可能である。固体撮像装置は、ワンチップとして形成された形態であってもよいし、撮像部と信号処理部または光学系とがまとめてパッケージングされた撮像機能を有するモジュール形態であってもよい。

[0314] 図３５は、本開示の技術を適用した電子機器としての、撮像装置の構成例を示すブロック図である。

[0315] 図３５の撮像装置１０００は、レンズ群などからなる光学部１００１、図１の固体撮像装置１の構成が採用される固体撮像装置（撮像デバイス）１００２、およびカメラ信号処理回路であるDSP(Digital Signal Processor)回路

１００３を備える。また、撮像装置１０００は、フレームメモリ１００４、表示部１００５、記録部１００６、操作部１００７、および電源部１００８も備える。DSP回路１００３、フレームメモリ１００４、表示部１００５、記録部１００６、操作部１００７および電源部１００８は、バスライン１００９を介して相互に接続されている。

[0316] 光学部１００１は、被写体からの入射光（像光）を取り込んで固体撮像装置１００２の撮像面上に結像する。固体撮像装置１００２は、光学部１００１によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。この固体撮像装置１００２として、上述した第１実施の形態または第２実施の形態に係る画素２１を有する固体撮像装置１、即ち、誘電体多層膜７３または遮光膜４８１を有することにより寄生受光感度を抑制した画素２１を有する固体撮像装置を用いることができる。

[0317] 表示部１００５は、例えば、LCD(Liquid Crystal Display)や有機EL(Electro Luminescence)ディスプレイ等の薄型ディスプレイで構成され、固体撮像装置１００２で撮像された動画または静止画を表示する。記録部１００６は、固体撮像装置１００２で撮像された動画または静止画を、ハードディスクや半導体メモリ等の記録媒体に記録する。

[0318] 操作部１００７は、ユーザによる操作の下に、撮像装置１０００が持つ様々な機能について操作指令を発する。電源部１００８は、DSP回路１００３、フレームメモリ１００４、表示部１００５、記録部１００６および操作部１００７の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0319] 上述したように、固体撮像装置１００２として、上述し第１実施の形態または第２実施の形態を適用した固体撮像装置１を用いることで、寄生受光感度を抑制することができる。従って、ビデオカメラやデジタルスチルカメラ、さらには携帯電話機等のモバイル機器向けカメラモジュールなどの撮像装置１００においても、サージ等のノイズ、熱、電磁気を遮断し、撮像画像の高画質化を図ることができる。

[0320] ＜１１．光検出装置全般への適用＞

上述した例では、本開示の技術を、画像信号を出力する固体撮像装置へ適用した例について説明したが、本開示の技術は、固体撮像装置だけではなく、入射光を受光して光電変換する画素を備える光検出装置全般に適用することができる。例えば、アクティブ光として照射された赤外光を受光し、direct ToF方式またはindirect ToF方式により被写体までの距離を測定する測距システムの受光装置（測距センサ）にも適用することができる。また、CMOS型の固体撮像装置に限らず、CCD(Charge Coupled Device)型の固体撮像装置にも適用することができる。

[0321] ＜１２．移動体への応用例＞

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0322] 図３６は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0323] 車両制御システム１２０００は、通信ネットワーク１２００１を介して接続された複数の電子制御ユニットを備える。図３６に示した例では、車両制御システム１２０００は、駆動系制御ユニット１２０１０、ボディ系制御ユニット１２０２０、車外情報検出ユニット１２０３０、車内情報検出ユニット１２０４０、及び統合制御ユニット１２０５０を備える。また、統合制御ユニット１２０５０の機能構成として、マイクロコンピュータ１２０５１、音声画像出力部１２０５２、及び車載ネットワークＩ／Ｆ（ｉｎｔｅｒｆａｃｅ）１２０５３が図示されている。

[0324] 駆動系制御ユニット１２０１０は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット１２０１０は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆

動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0325] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0326] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0327] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0328] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状

態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0329] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ（Ａｄｖａｎｃｅｄ　Ｄｒｉｖｅｒ　Ａｓｓｉｓｔａｎｃｅ　Ｓｙｓｔｅｍ）の機能実現を目的とした協調制御を行うことができる。

[0330] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0331] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０２０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0332] 音声画像出力部１２０５２は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図３６の例では、出力装置として、オーディオスピーカ１２０６１、表示部１２０６２及びインストルメントパネル１２０６３が例示されている。表示部１２０６２は、例えば、オンボード

ディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

[0333] 図３７は、撮像部１２０３１の設置位置の例を示す図である。

[0334] 図３７では、車両１２１００は、撮像部１２０３１として、撮像部１２１０１，１２１０２，１２１０３，１２１０４，１２１０５を有する。

[0335] 撮像部１２１０１，１２１０２，１２１０３，１２１０４，１２１０５は、例えば、車両１２１００のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部１２１０１及び車室内のフロントガラスの上部に備えられる撮像部１２１０５は、主として車両１２１００の前方の画像を取得する。サイドミラーに備えられる撮像部１２１０２，１２１０３は、主として車両１２１００の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部１２１０４は、主として車両１２１００の後方の画像を取得する。撮像部１２１０１及び１２１０５で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0336] なお、図３７には、撮像部１２１０１ないし１２１０４の撮影範囲の一例が示されている。撮像範囲１２１１１は、フロントノーズに設けられた撮像部１２１０１の撮像範囲を示し、撮像範囲１２１１２，１２１１３は、それぞれサイドミラーに設けられた撮像部１２１０２，１２１０３の撮像範囲を示し、撮像範囲１２１１４は、リアバンパ又はバックドアに設けられた撮像部１２１０４の撮像範囲を示す。例えば、撮像部１２１０１ないし１２１０４で撮像された画像データが重ね合わせられることにより、車両１２１００を上方から見た俯瞰画像が得られる。

[0337] 撮像部１２１０１ないし１２１０４の少なくとも１つは、距離情報を取得する機能を有していてもよい。例えば、撮像部１２１０１ないし１２１０４の少なくとも１つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0338] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を基に、撮像範囲１２１１１ないし１２１１４内における各立体物までの距離と、この距離の時間的変化（車両１２１００に対する相対速度）を求めることにより、特に車両１２１００の進行路上にある最も近い立体物で、車両１２１００と略同じ方向に所定の速度（例えば、０ｋｍ／ｈ以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ１２０５１は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0339] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を元に、立体物に関する立体物データを、２輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ１２０５１は、車両１２１００の周辺の障害物を、車両１２１００のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ１２０５１は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ１２０６１や表示部１２０６２を介してドライバに警報を出力することや、駆動系制御ユニット１２０１０を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0340] 撮像部１２１０１ないし１２１０４の少なくとも１つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部１２１０１ないし１２１０４の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパ

ターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ１２０５１が、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部１２０５２は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部１２０６２を制御する。また、音声画像出力部１２０５２は、歩行者を示すアイコン等を所望の位置に表示するように表示部１２０６２を制御してもよい。

[0341] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部１２０３１に適用され得る。具体的には、撮像部１２０３１として、上述した第１実施の形態または第２実施の形態に係る画素２１を有する固体撮像装置１を適用することができる。撮像部１２０３１に本開示に係る技術を適用することにより、小型化しつつも、より見やすい撮影画像を得ることができたり、距離情報を取得することができる。また、得られた撮影画像や距離情報を用いて、ドライバの疲労を軽減したり、ドライバや車両の安全度を高めることが可能になる。

[0342] 上述した例では、第１導電型をP型、第２導電型をN型として、電子を信号電荷とした固体撮像装置について説明したが、本開示は正孔を信号電荷とする固体撮像装置にも適用することができる。すなわち、第１導電型をN型とし、第２導電型をP型として、前述の各半導体領域を逆の導電型の半導体領域で構成することができる。

[0343] また、本開示は、可視光の入射光量の分布を検知して画像として撮像する固体撮像装置への適用に限らず、赤外線やX線、あるいは粒子等の入射量の分布を画像として撮像する固体撮像装置や、広義の意味として、圧力や静電容量など、他の物理量の分布を検知して画像として撮像する指紋検出センサ等の固体撮像装置（物理量分布検知装置）全般に対して適用可能である。

[0344] また、本開示の技術は、固体撮像装置に限らず、他の半導体集積回路を有する半導体装置全般に対して適用可能である。

[0345] 本開示の実施の形態は、上述した実施の形態に限定されるものではなく、本開示の技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0346] 例えば、上述した複数の実施の形態の全てまたは一部を組み合わせた形態を採用することができる。

[0347] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、本明細書に記載されたもの以外の効果があってもよい。

[0348] なお、本開示の技術は、以下の構成を取ることができる。

（１）

光電変換部が少なくとも形成された第１半導体基板を含む第１基板と、

能動素子が形成された第２半導体基板を含む第２基板と、

第１の屈折率を有する誘電体材料を用いた第１の膜と、前記第１の屈折率よりも低い第２の屈折率を有する誘電体材料を用いた第２の膜とを少なくとも３層以上交互に積層して構成され、前記第１半導体基板と前記第２半導体基板との間に配置された誘電体多層膜と

を備える光検出装置。

（２）

前記第１基板は、第１の配線層をさらに含み、

前記誘電体多層膜は、前記第１の配線層と前記第１半導体基板との間に配置されて構成される

前記（１）に記載の光検出装置。

（３）

前記第１基板は、前記第１半導体基板と前記誘電体多層膜との間に絶縁膜を有し、前記第１半導体基板と前記誘電体多層膜との間に配線層を含まずに構成される

前記（１）に記載の光検出装置。

（４）

前記第１基板は、第１の配線層と第２の配線層とをさらに含み、

前記誘電体多層膜は、前記第１の配線層と前記第２の配線層との間に配置

されて構成される

前記（１）に記載の光検出装置。

（５）

前記誘電体多層膜は、第１の誘電体多層膜と第２の誘電体多層膜の少なくとも２層を含む

前記（１）に記載の光検出装置。

（６）

前記第１基板は、第１の配線層と第２の配線層とをさらに含み、

前記第１の誘電体多層膜は、前記第１半導体基板と前記第１の配線層との間に配置され、

前記第２の誘電体多層膜は、前記第１の配線層と前記第２の配線層との間に配置されて構成される

前記（１）に記載の光検出装置。

（７）

前記第２基板は、AD変換の対象となる２つの信号を保持する２つの容量素子を画素毎に有する

前記（１）乃至（６）のいずれかに記載の光検出装置。

（８）

前記誘電体多層膜は、平面方向に関して、各画素の受光領域の一部のみに形成されている

前記（１）に記載の光検出装置。

（９）

前記誘電体多層膜は、平面方向に関して、異なる積層数の２つの領域を有する

前記（１）に記載の光検出装置。

（１０）

前記第１の膜と前記第２の膜の誘電体材料は、絶縁性材料である

前記（１）乃至（９）のいずれかに記載の光検出装置。

（１１）

前記誘電体多層膜を貫通する貫通電極をさらに備え、

前記貫通電極は、前記誘電体多層膜と接触して構成されている

前記（１）に記載の光検出装置。

（１２）

前記誘電体多層膜内の所定の深さ位置に配線をさらに備え、

前記配線は、前記誘電体多層膜と接触して構成されている

前記（１）に記載の光検出装置。

（１３）

前記第１の膜と前記第２の膜の誘電体材料は、シリコン化合物、ポリシリコン、アモルファスシリコン、または、酸化物もしくは窒化物を含む金属化合物のいずれかで構成される

前記（１）乃至（１２）のいずれかに記載の光検出装置。

（１４）

光電変換部が少なくとも形成された第１半導体基板を含む第１基板と、

能動素子が形成された第２半導体基板を含む第２基板とを積層して構成され、

前記第２基板は、前記第２半導体基板に遮光膜を有する

光検出装置。

（１５）

前記遮光膜は、前記第２半導体基板内に配置されている

前記（１４）に記載の光検出装置。

（１６）

前記遮光膜は、前記第２半導体基板の下部に前記第１基板の層間絶縁膜と接するように配置されている

前記（１４）に記載の光検出装置。

（１７）

前記遮光膜は、結晶異方性エッチングにより形成された横トレンチに金属

材料が埋め込まれて構成される

前記（１４）乃至（１６）のいずれかに記載の光検出装置。

（１８）

前記横トレンチは、前記第１基板と前記第２基板とを貼り合わせ、前記能動素子を形成した後に前記第２半導体基板に形成された縦トレンチから、前記結晶異方性エッチングにより形成される

前記（１７）に記載の光検出装置。

（１９）

前記第２基板は、前記能動素子として増幅トランジスタを有し、

前記増幅トランジスタは、掘り込み構造のゲート電極構造を有する

前記（１４）乃至（１８）のいずれかに記載の光検出装置。

（２０）

前記第２基板は、AD変換の対象となる２つの信号を保持する２つの容量素子を画素毎に有する

前記（１４）乃至（１９）のいずれかに記載の光検出装置。

符号の説明

[0349] １　固体撮像装置，　１１　画素アレイ部，　２１　画素，　７２　配線層，　７２A　第１の配線層，　７２B　第２の配線層，　７３　誘電体多層膜，　７３A　第１の誘電体多層膜，　７３B　第２の誘電体多層膜，　８１　半導体基板，　８２　配線層，　８３　絶縁膜，　９１(９１A,９１B)　配線，　９２(９２A,９２B)　層間絶縁膜，　１００　撮像装置，　１０１　第１の膜（高屈折率膜），　１０２　第２の膜（低屈折率膜），　１０３,１０３A　貫通電極，　１０４,１０４A　貫通電極，　１０５　絶縁膜，　１０６　絶縁膜，　１１１　配線，　１１２　層間絶縁膜，　１５１,１５２,１６１,１７１,１８１　貫通孔，　２０１　配線，　２０２　配線，　２１１　コンタクト配線，　２１２　コンタクト配線，　２３１　込み部，　２４１　絶縁膜，　２５１,２７１　貫通電極，　２８１　配線，　３０１　拡散層，　３２１乃至３２３　貫通電極，　３４１　絶縁膜，　４２１　半導体基

板，　４２２　配線層，　４３１　半導体基板，　４３２　配線層，　４４２　N型半導体領域，　４４３　画素分離部，　４４４　N型拡散層，　４４５　P型拡散層，　４４６　縦型ゲート電極，　４４７　コンタクト電極，　４５１　層間絶縁膜，　４８１　遮光膜，　４８２　絶縁膜，　４８２A　酸化膜，　４８２B　酸化膜，　４８３　縦トレンチ，　４８４　埋め込み金属部，　４８５　絶縁膜，　４８５A　酸化膜，　４８５B　酸化膜，　４８６　N型拡散層，　４９１　配線，　４９１A,４９１A’　配線，　４９２　層間絶縁膜，　４９３　コンタクト配線，　５０１　貫通ビア，　５０２　コンタクト配線，　５５１　絶縁膜，　５５２　配線，　５６１　貫通孔，　５７１　シリコン窒化膜，　５７２　シリコン酸化膜，　５７４　縦トレンチ，　５７５　サイドウォール，　５８１　横トレンチ，　５８２　ポリシリコン，　５９２　貫通孔，　５９３　貫通孔，　６０１　貫通ビア，　６６１　トレンチ，　６６２　トレンチ，　６７１　縦トレンチ，　６７２　サイドウォール，　６８１　横トレンチ，　６８２　ポリシリコン，　６９２　貫通孔，　７０２　貫通孔，　７１２　貫通孔，　７５１　ゲート電極，　７５１A　平面ゲート部，　７５１B　掘り込み部，　１０００　撮像装置，　１００２　固体撮像装置

請求の範囲

[請求項1] 光電変換部が少なくとも形成された第１半導体基板を含む第１基板と、

能動素子が形成された第２半導体基板を含む第２基板と、

第１の屈折率を有する誘電体材料を用いた第１の膜と、前記第１の屈折率よりも低い第２の屈折率を有する誘電体材料を用いた第２の膜とを少なくとも３層以上交互に積層して構成され、前記第１半導体基板と前記第２半導体基板との間に配置された誘電体多層膜と

を備える光検出装置。

[請求項2] 前記第１基板は、第１の配線層をさらに含み、

前記誘電体多層膜は、前記第１の配線層と前記第１半導体基板との間に配置されて構成される

請求項１に記載の光検出装置。

[請求項3] 前記第１基板は、前記第１半導体基板と前記誘電体多層膜との間に絶縁膜を有し、前記第１半導体基板と前記誘電体多層膜との間に配線層を含まずに構成される

請求項１に記載の光検出装置。

[請求項4] 前記第１基板は、第１の配線層と第２の配線層とをさらに含み、

前記誘電体多層膜は、前記第１の配線層と前記第２の配線層との間に配置されて構成される

請求項１に記載の光検出装置。

[請求項5] 前記誘電体多層膜は、第１の誘電体多層膜と第２の誘電体多層膜の少なくとも２層を含む

請求項１に記載の光検出装置。

[請求項6] 前記第１基板は、第１の配線層と第２の配線層とをさらに含み、

前記第１の誘電体多層膜は、前記第１半導体基板と前記第１の配線層との間に配置され、

前記第２の誘電体多層膜は、前記第１の配線層と前記第２の配線層

との間に配置されて構成される

請求項５に記載の光検出装置。

[請求項7] 前記第２基板は、AD変換の対象となる２つの信号を保持する２つの容量素子を画素毎に有する

請求項１に記載の光検出装置。

[請求項8] 前記誘電体多層膜は、平面方向に関して、各画素の受光領域の一部のみに形成されている

請求項１に記載の光検出装置。

[請求項9] 前記誘電体多層膜は、平面方向に関して、異なる積層数の２つの領域を有する

請求項１に記載の光検出装置。

[請求項10] 前記第１の膜と前記第２の膜の誘電体材料は、絶縁性材料である

請求項１に記載の光検出装置。

[請求項11] 前記誘電体多層膜を貫通する貫通電極をさらに備え、

前記貫通電極は、前記誘電体多層膜と接触して構成されている

請求項１に記載の光検出装置。

[請求項12] 前記誘電体多層膜内の所定の深さ位置に配線をさらに備え、

前記配線は、前記誘電体多層膜と接触して構成されている

請求項１に記載の光検出装置。

[請求項13] 前記第１の膜と前記第２の膜の誘電体材料は、シリコン化合物、ポリシリコン、アモルファスシリコン、または、酸化物もしくは窒化物を含む金属化合物のいずれかで構成される

請求項１に記載の光検出装置。

[請求項14] 光電変換部が少なくとも形成された第１半導体基板を含む第１基板と、

能動素子が形成された第２半導体基板を含む第２基板とを積層して構成され、

前記第２基板は、前記第２半導体基板に遮光膜を有する

光検出装置。

[請求項15] 前記遮光膜は、前記第２半導体基板内に配置されている

請求項１４に記載の光検出装置。

[請求項16] 前記遮光膜は、前記第２半導体基板の下部に前記第１基板の層間絶縁膜と接するように配置されている

請求項１４に記載の光検出装置。

[請求項17] 前記遮光膜は、結晶異方性エッチングにより形成された横トレンチに金属材料が埋め込まれて構成される

請求項１４に記載の光検出装置。

[請求項18] 前記横トレンチは、前記第１基板と前記第２基板とを貼り合わせ、前記能動素子を形成した後に前記第２半導体基板に形成された縦トレンチから、前記結晶異方性エッチングにより形成される

請求項１７に記載の光検出装置。

[請求項19] 前記第２基板は、前記能動素子として増幅トランジスタを有し、

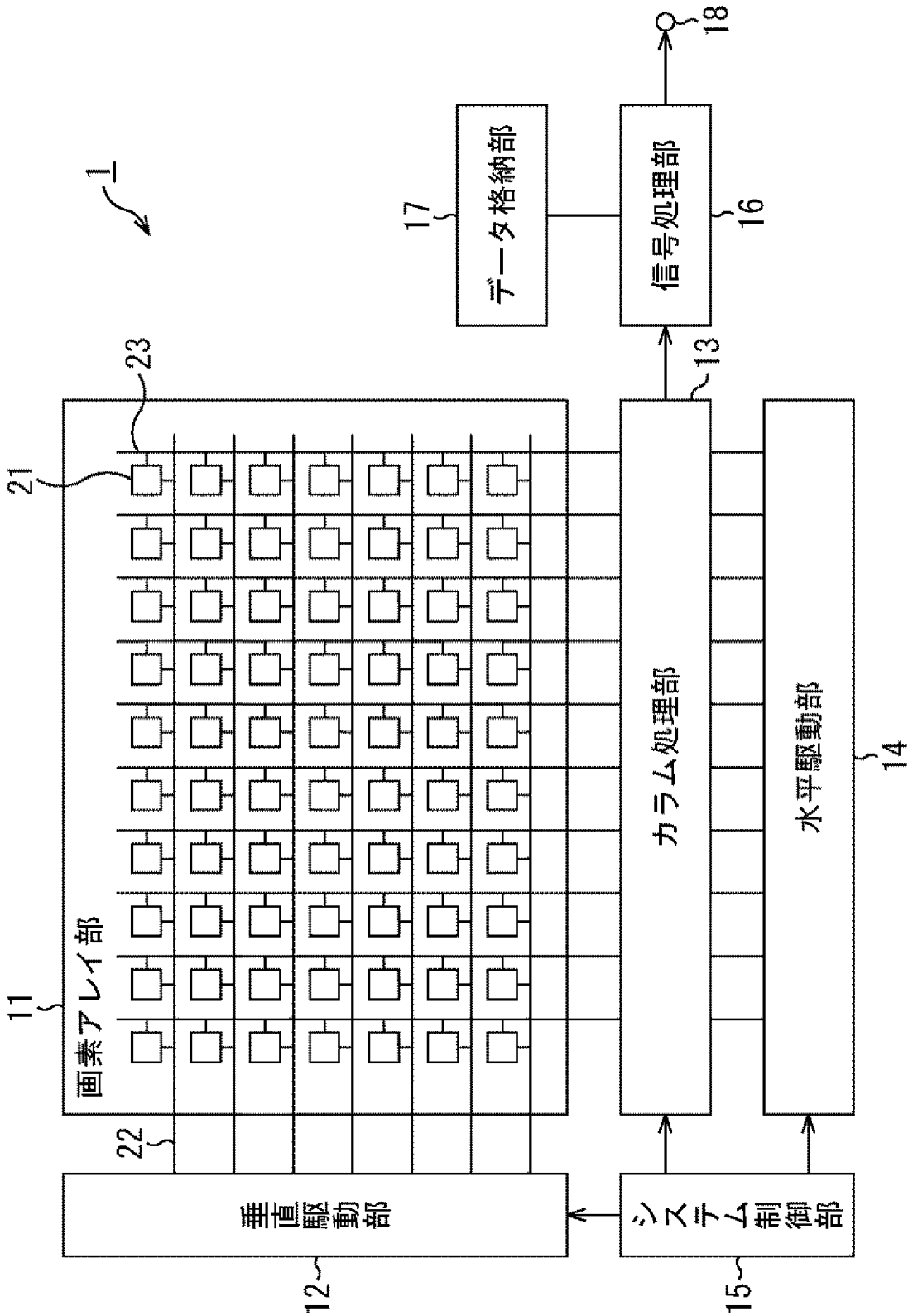
前記増幅トランジスタは、掘り込み構造のゲート電極構造を有する

請求項１４に記載の光検出装置。

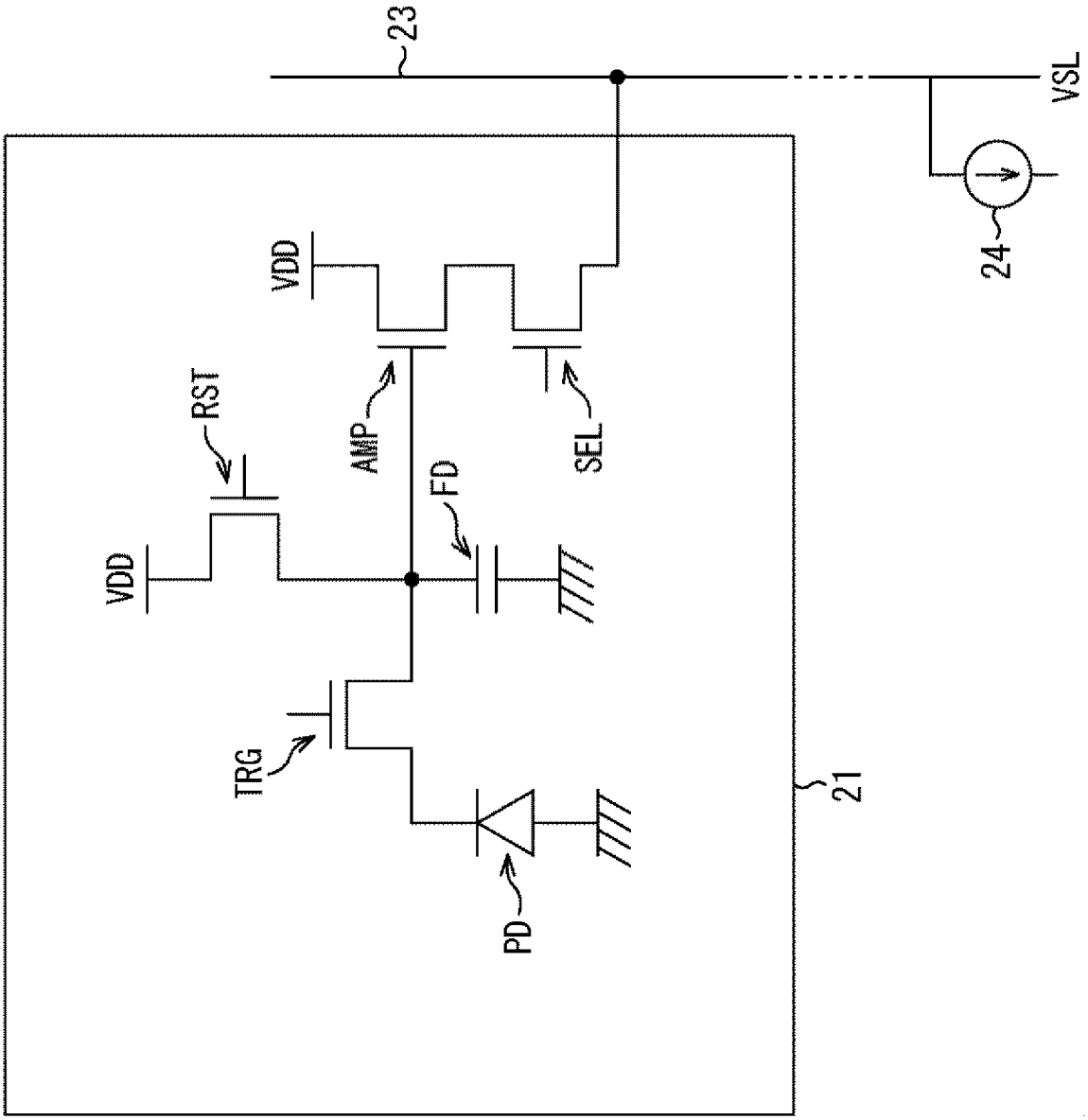
[請求項20] 前記第２基板は、AD変換の対象となる２つの信号を保持する２つの容量素子を画素毎に有する

請求項１４に記載の光検出装置。

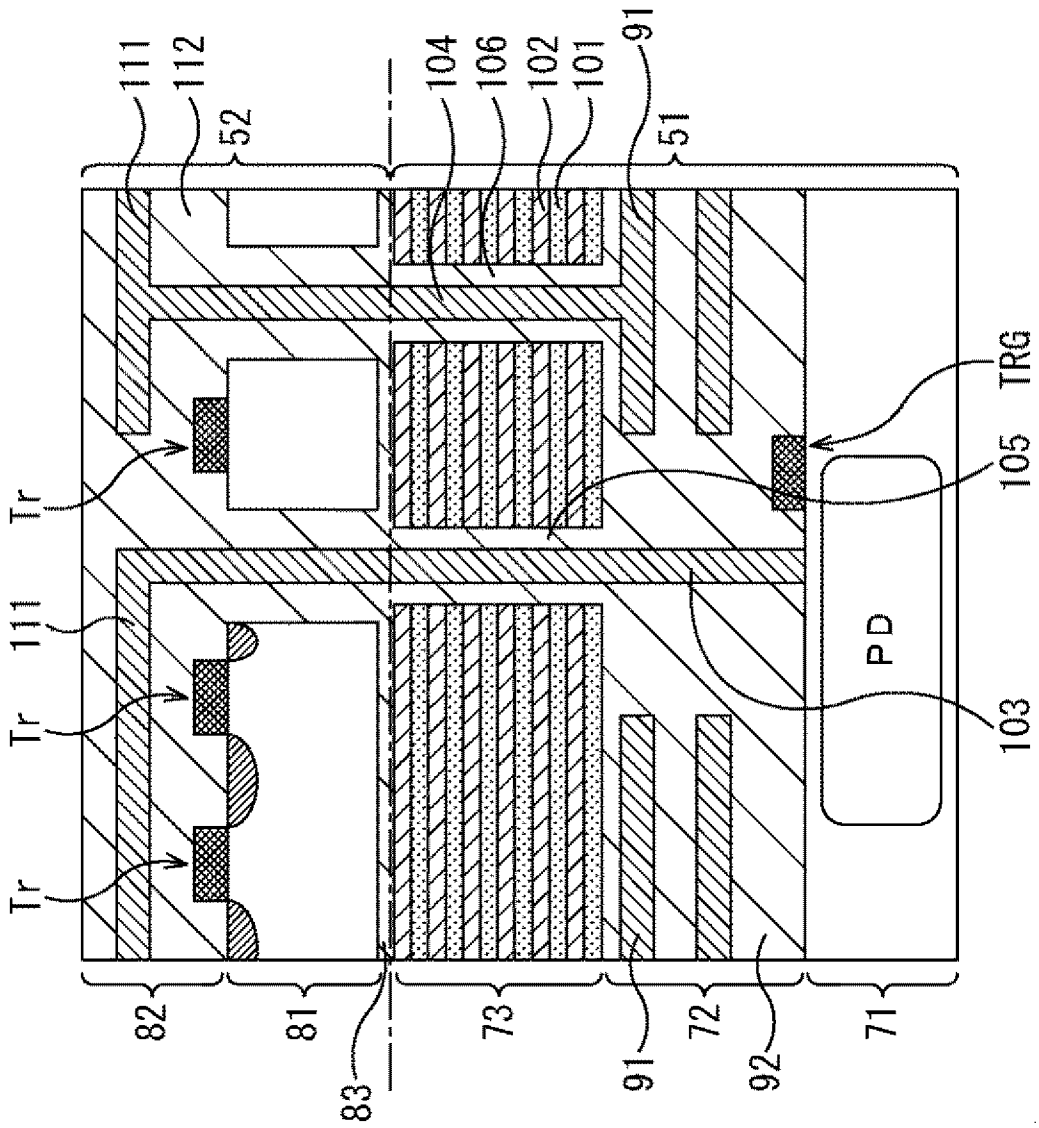
[図1]
FIG. 1


1
11
画素アレイ部
12
垂直駆動部
13
カラム処理部
14
水平駆動部
15
システム制御部
16
信号処理部
17
データ格納部
18
21
22
23

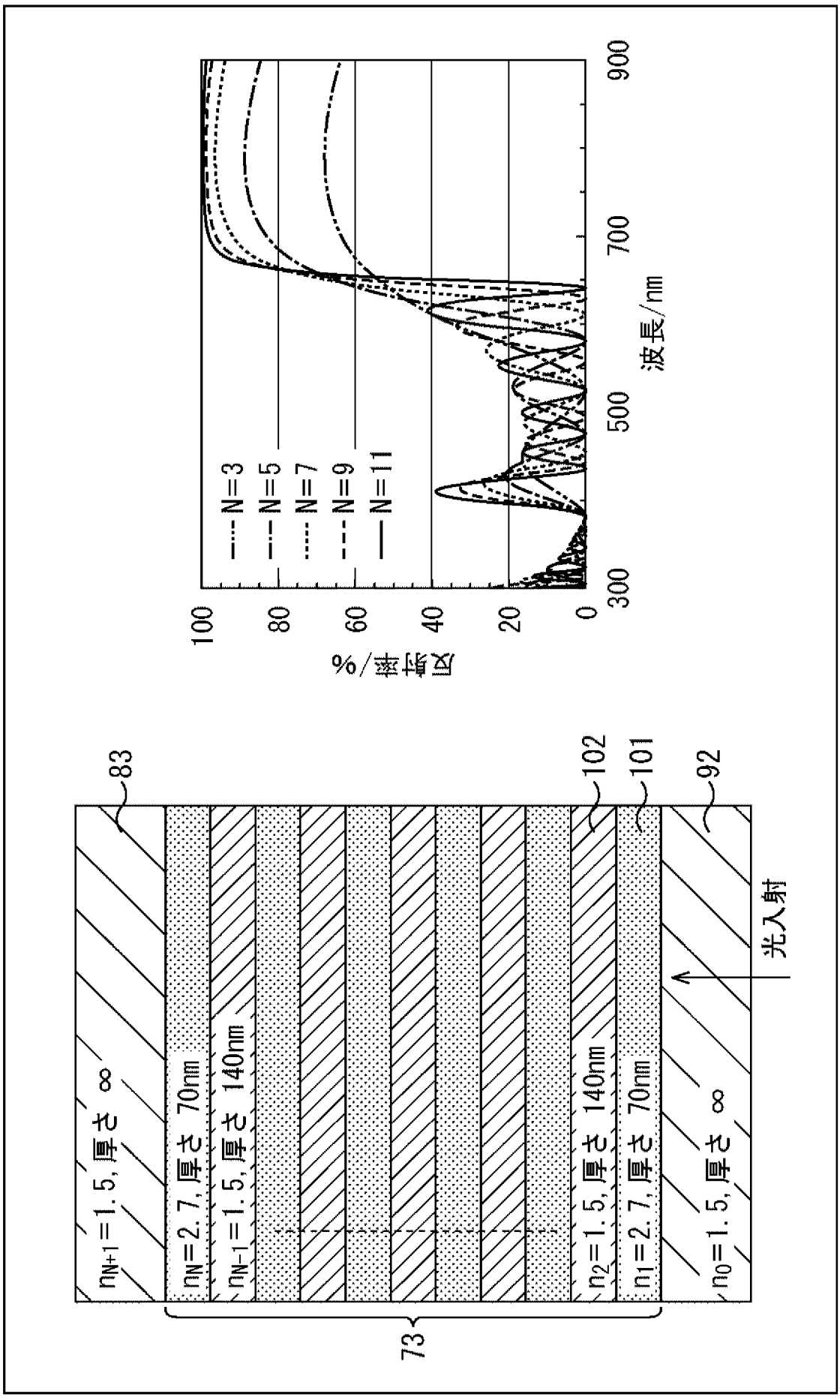
[図2]
FIG. 2



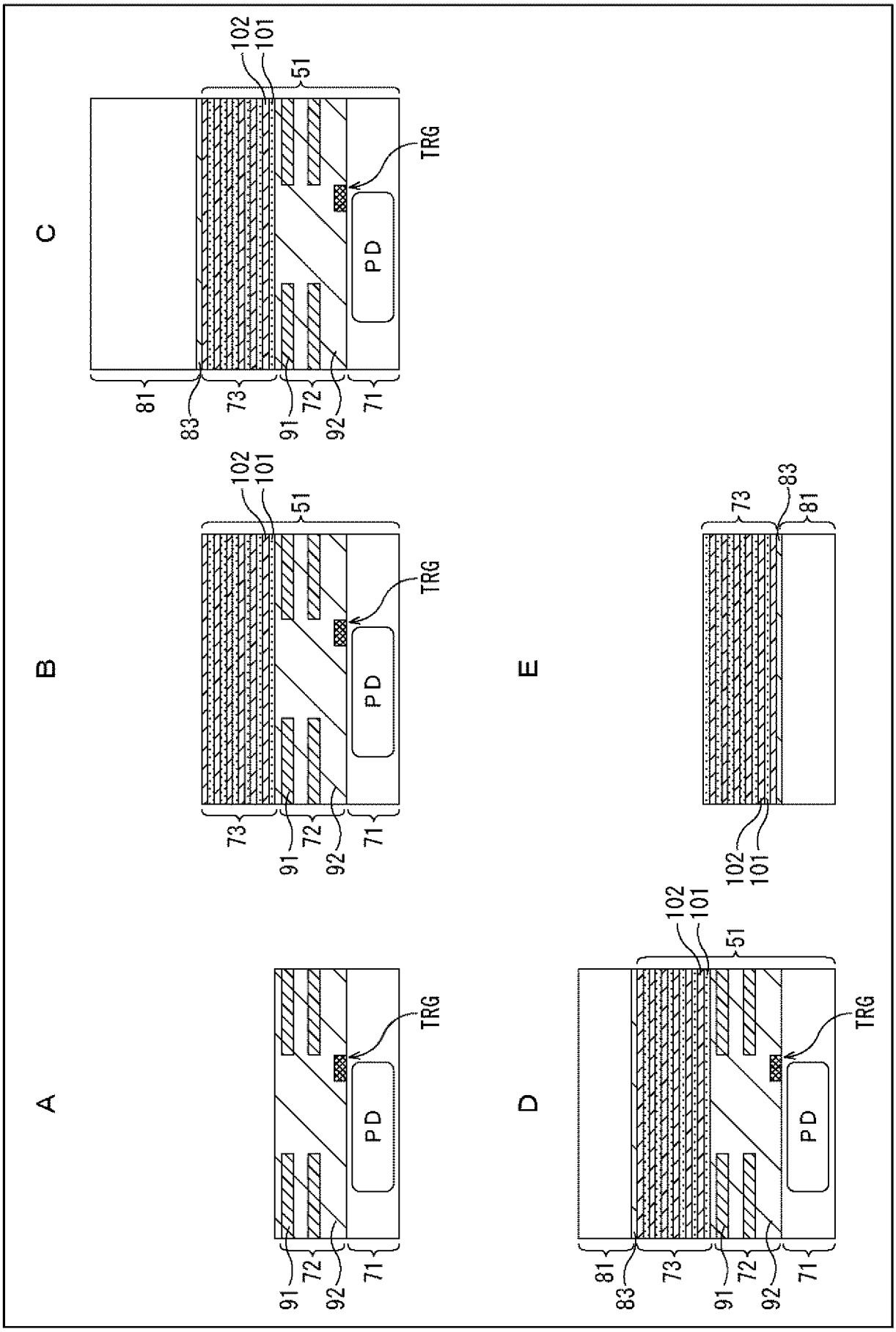
[図3]
FIG. 3


111
112
52
104
106
102
101
91
51
TRG
105
Tr
111
Tr
Tr
PD
103
82
81
83
73
91
72
92
71

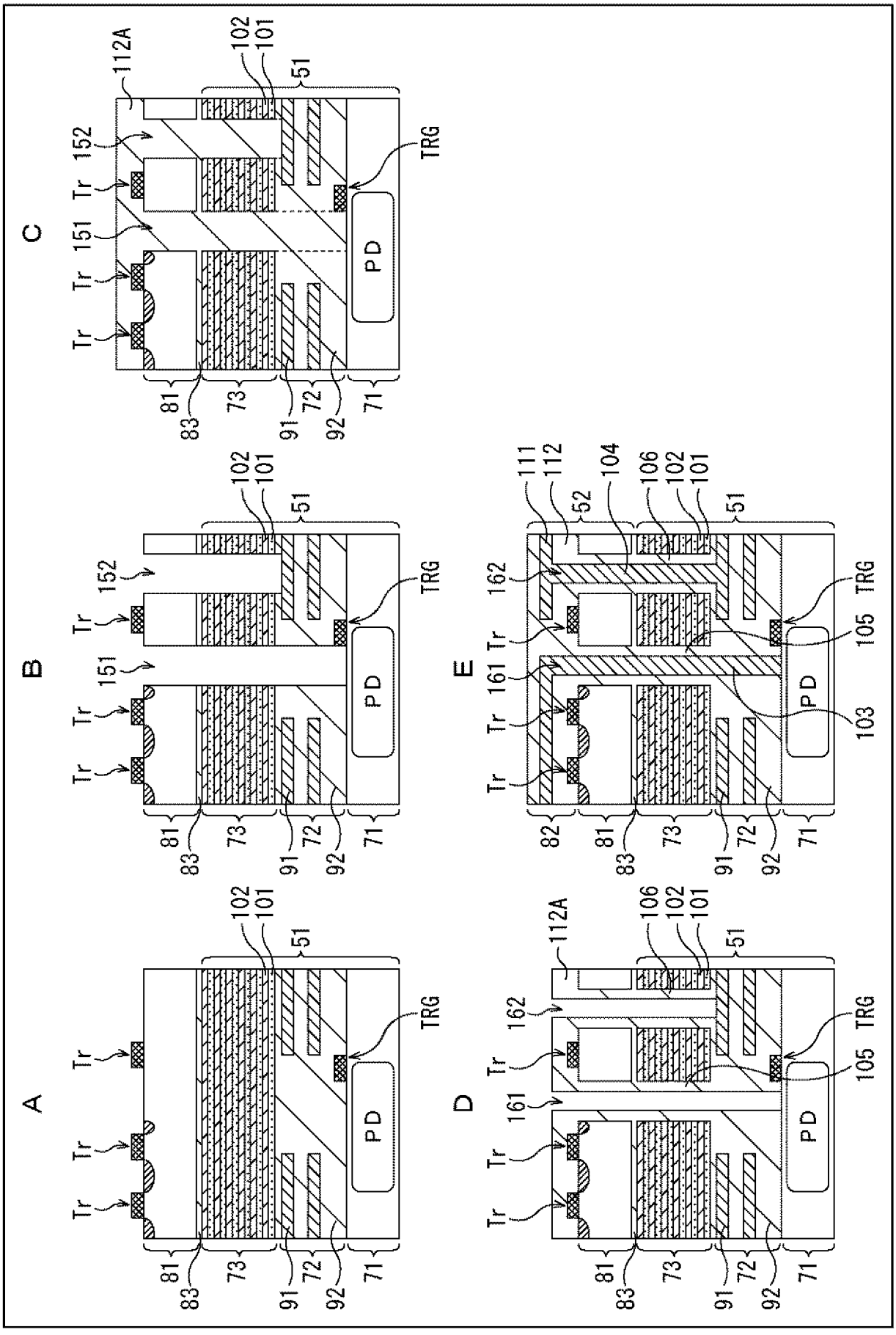
[図4]
FIG. 4


反射率/%
0
20
40
60
80
100
300
500
700
900
波長/nm
N=3
N=5
N=7
N=9
N=11
83
102
101
92
n_{N+1}=1.5, 厚さ ∞
n_N=2.7, 厚さ 70nm
n_{N-1}=1.5, 厚さ 140nm
n_2=1.5, 厚さ 140nm
n_1=2.7, 厚さ 70nm
n_0=1.5, 厚さ ∞
73
光入射

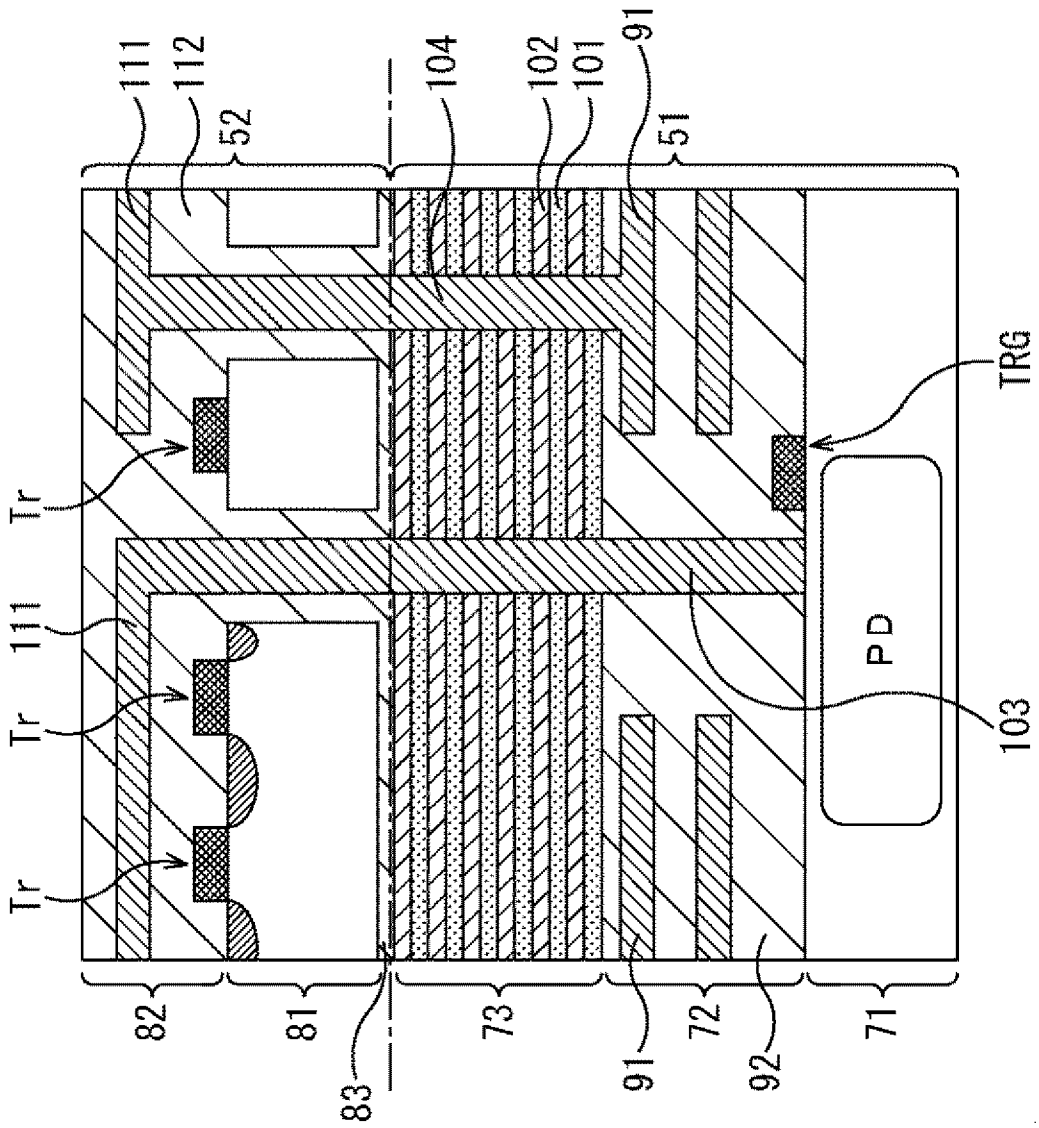
[図5]
FIG. 5



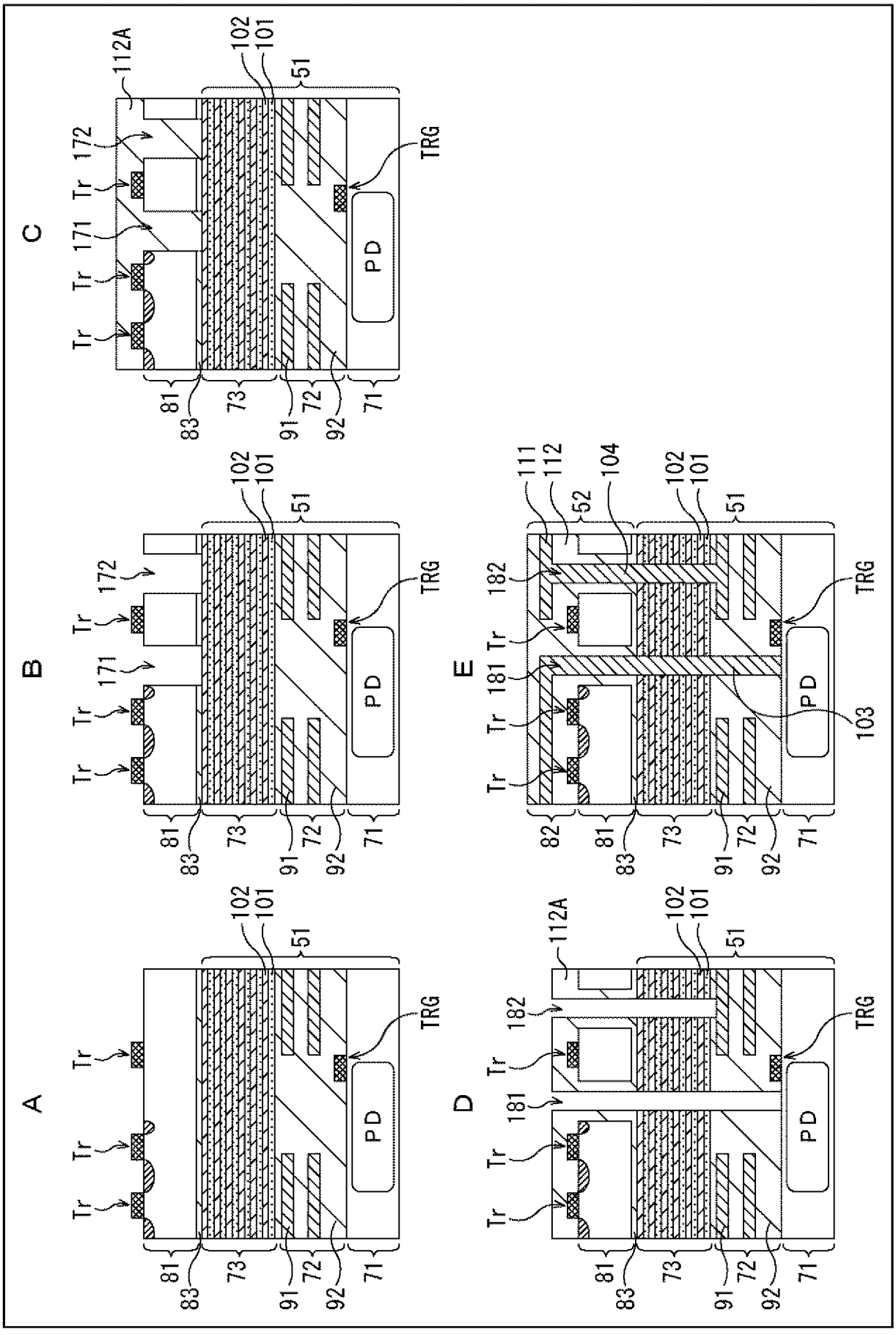
[図6]
FIG. 6


A
B
C
D
E
Tr
TRG
PD
51
101
102
104
105
106
111
112
112A
151
152
161
162
81
82
83
71
72
73
91
92

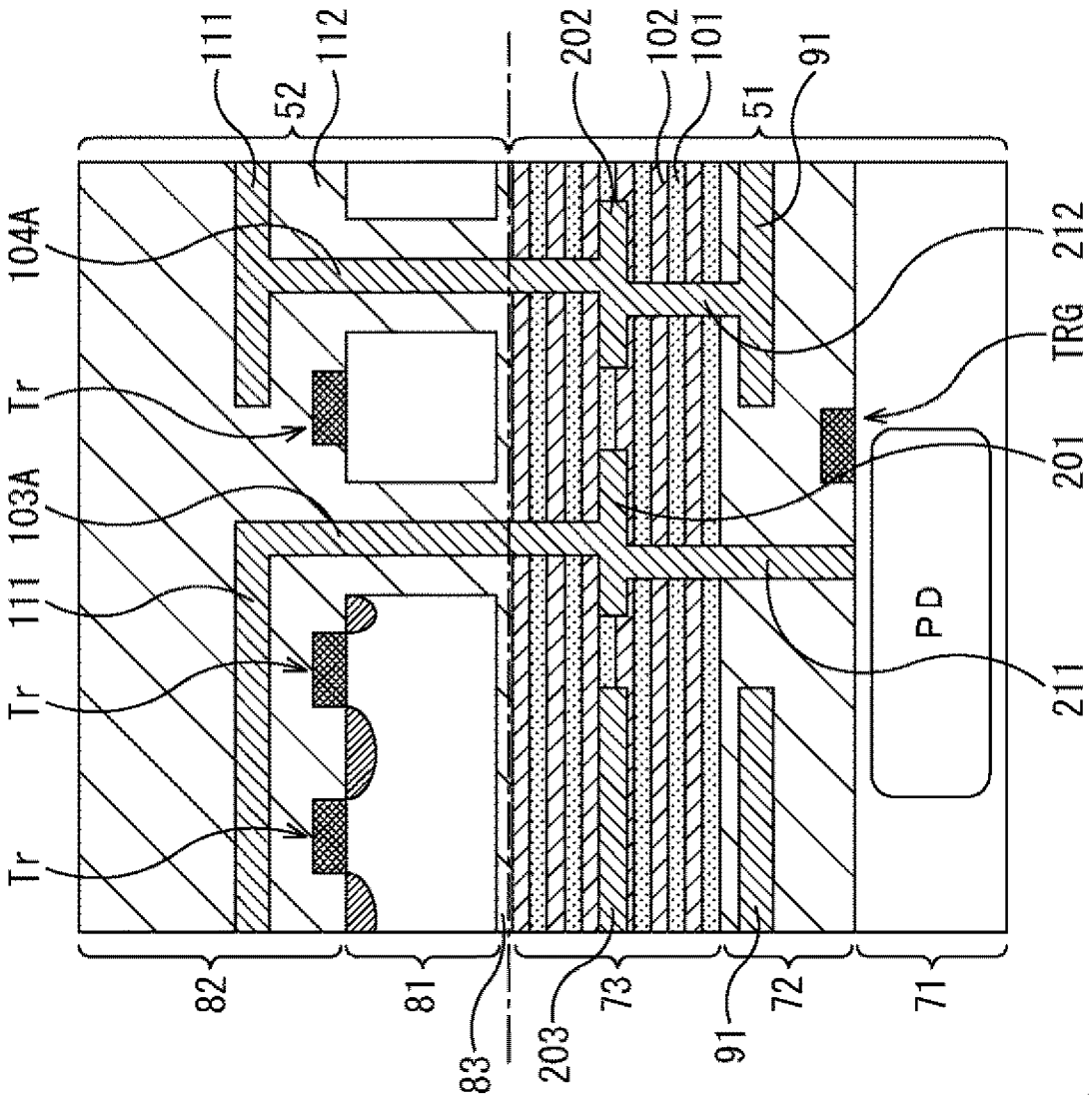
[図7]
FIG. 7


111
112
52
104
102
101
91
51
TRG
Tr
111
Tr
Tr
PD
103
82
81
83
73
91
72
92
71

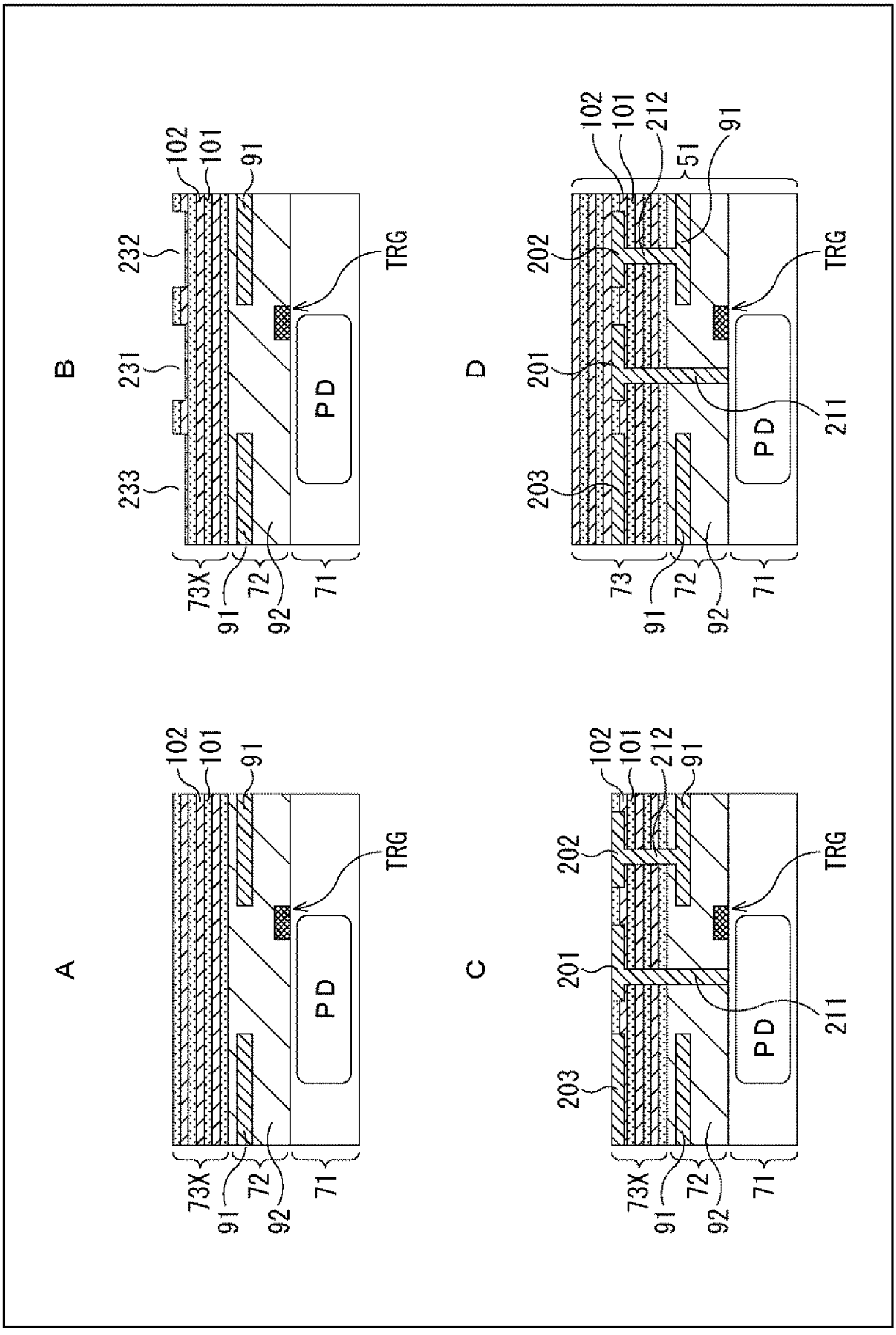
[図8]
FIG. 8


A
B
C
D
E
Tr
PD
TRG
51
101
102
71
72
73
81
82
83
91
92
111
112
112A
52
104
103
171
172
181
182

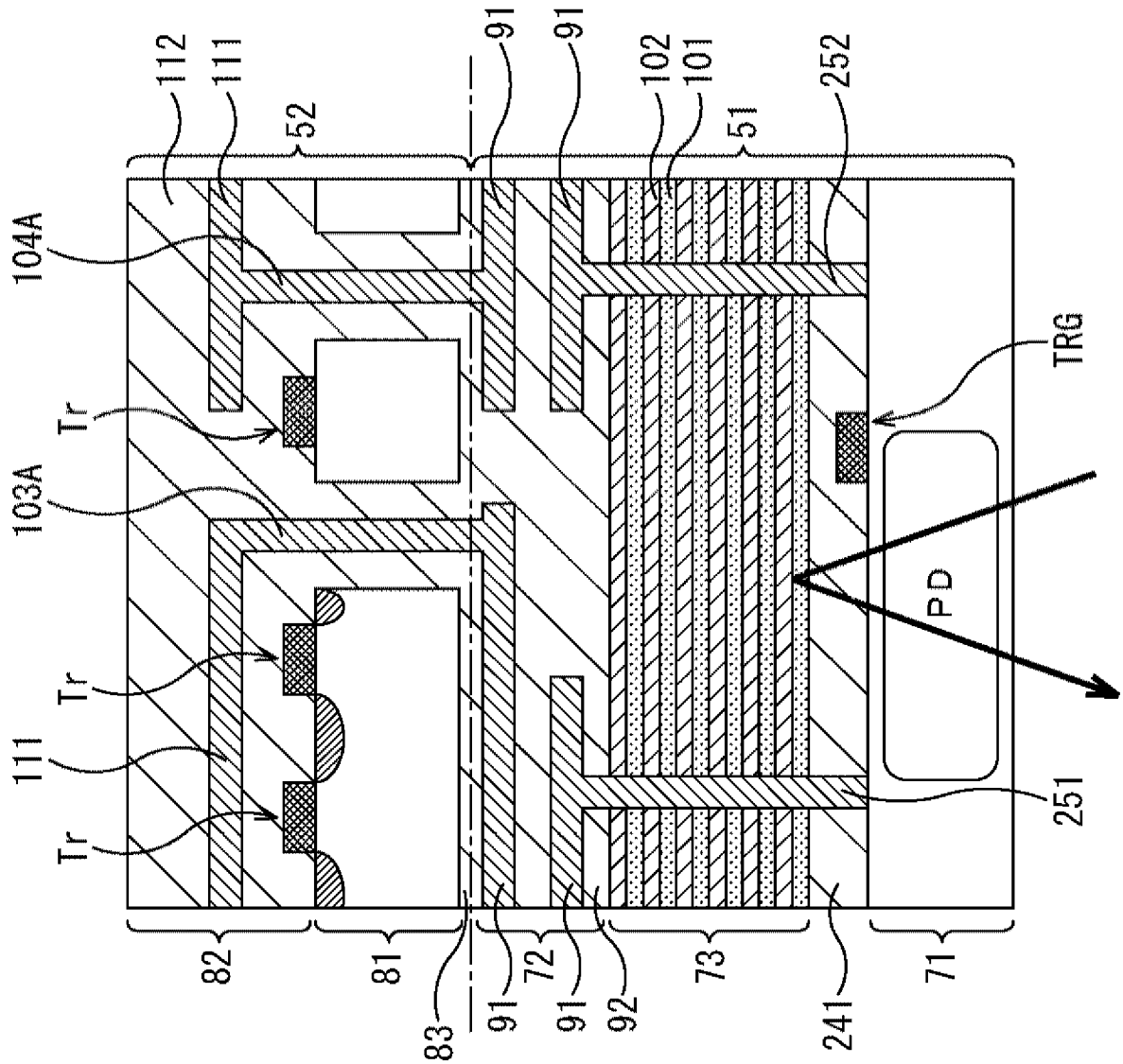
[図9]
FIG. 9


111
112
52
202
102
101
51
91
104A
212
Tr
TRG
201
103A
111
Tr
211
PD
Tr
82
81
83
203
73
91
72
71

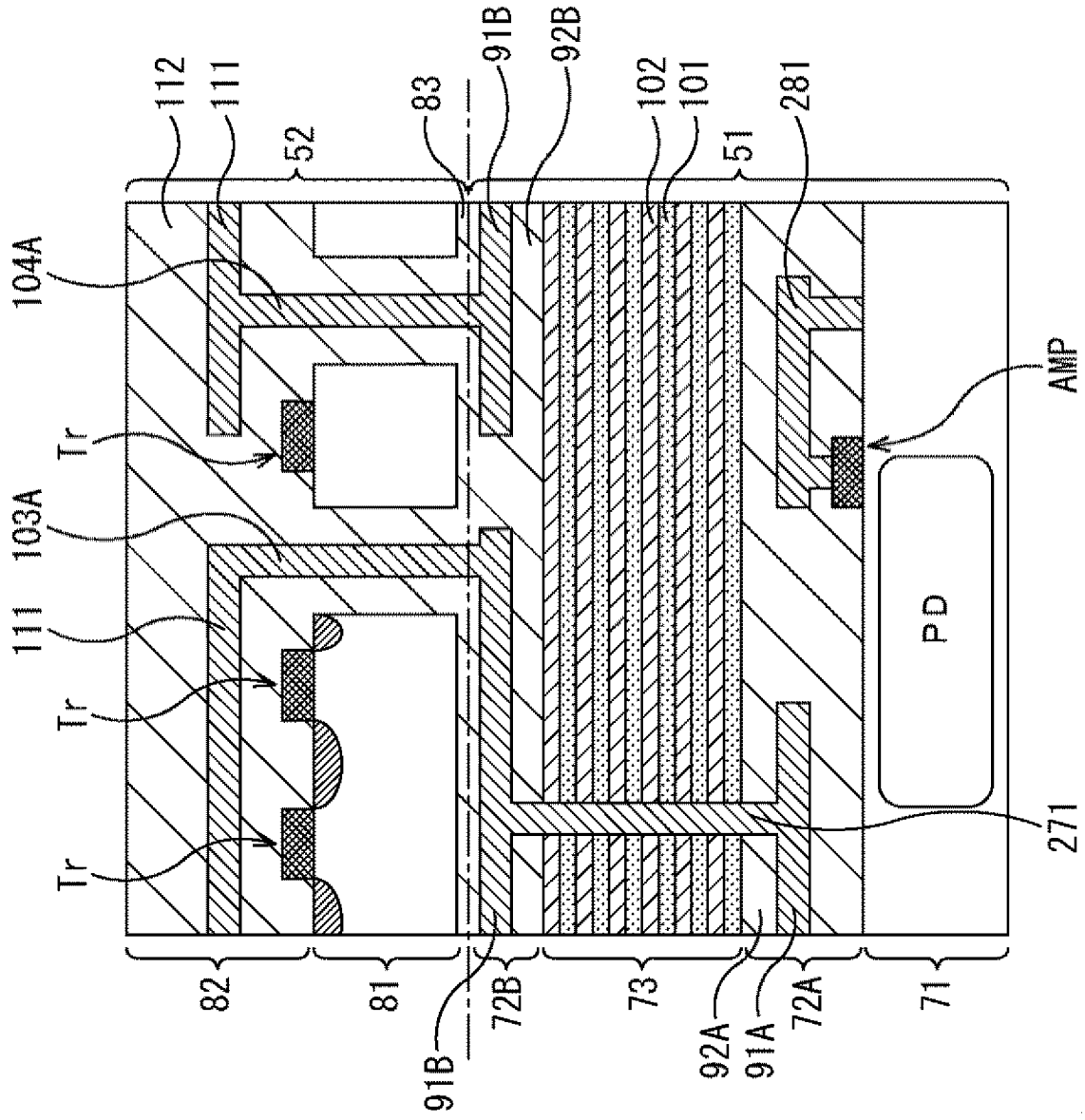
[図10]
FIG. 10


A
B
C
D
102
101
91
212
51
232
231
233
202
201
203
TRG
211
PD
73X
73
72
71
91
92

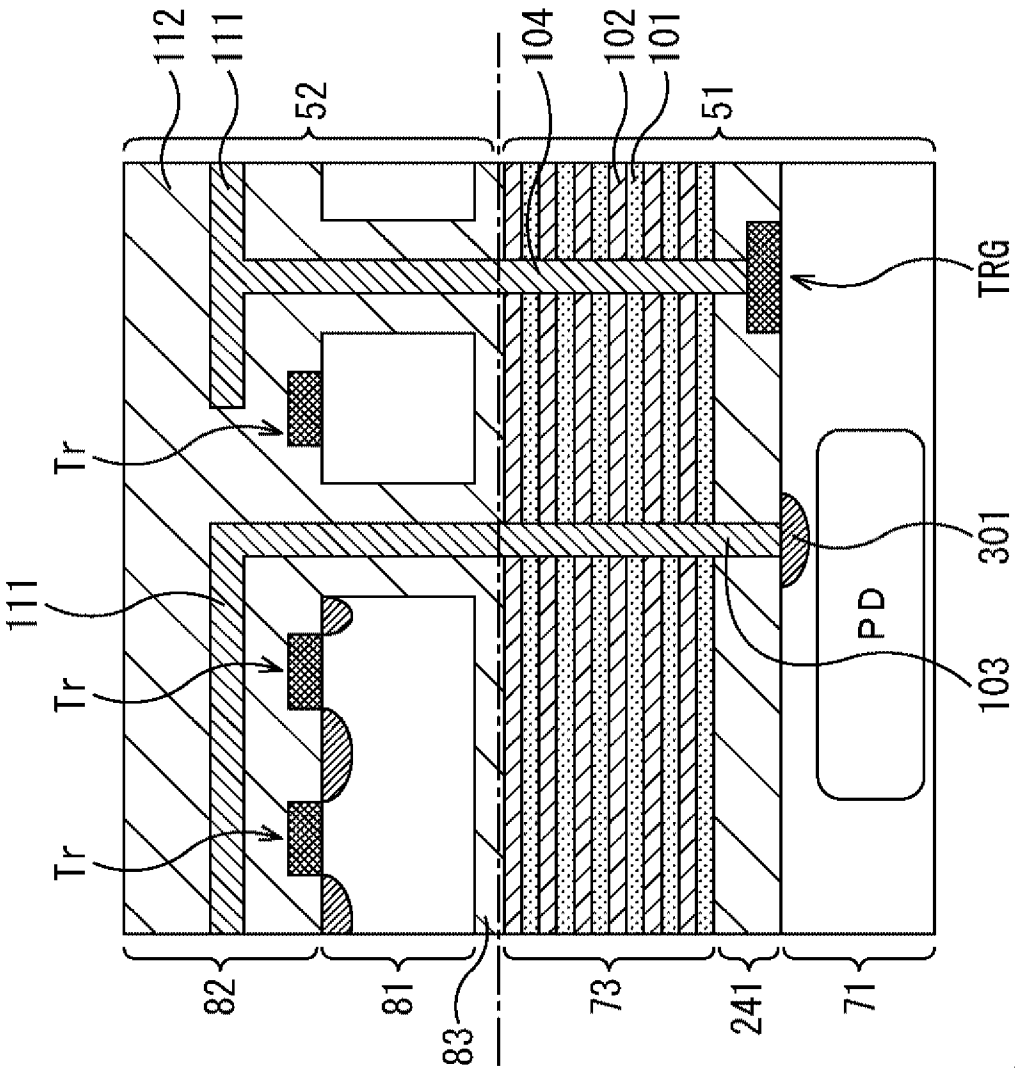
[図11]
FIG. 11


112
111
52
91
91
102
101
51
252
104A
Tr
103A
Tr
111
Tr
TRG
PD
251
82
81
83
91
72
91
92
73
241
71

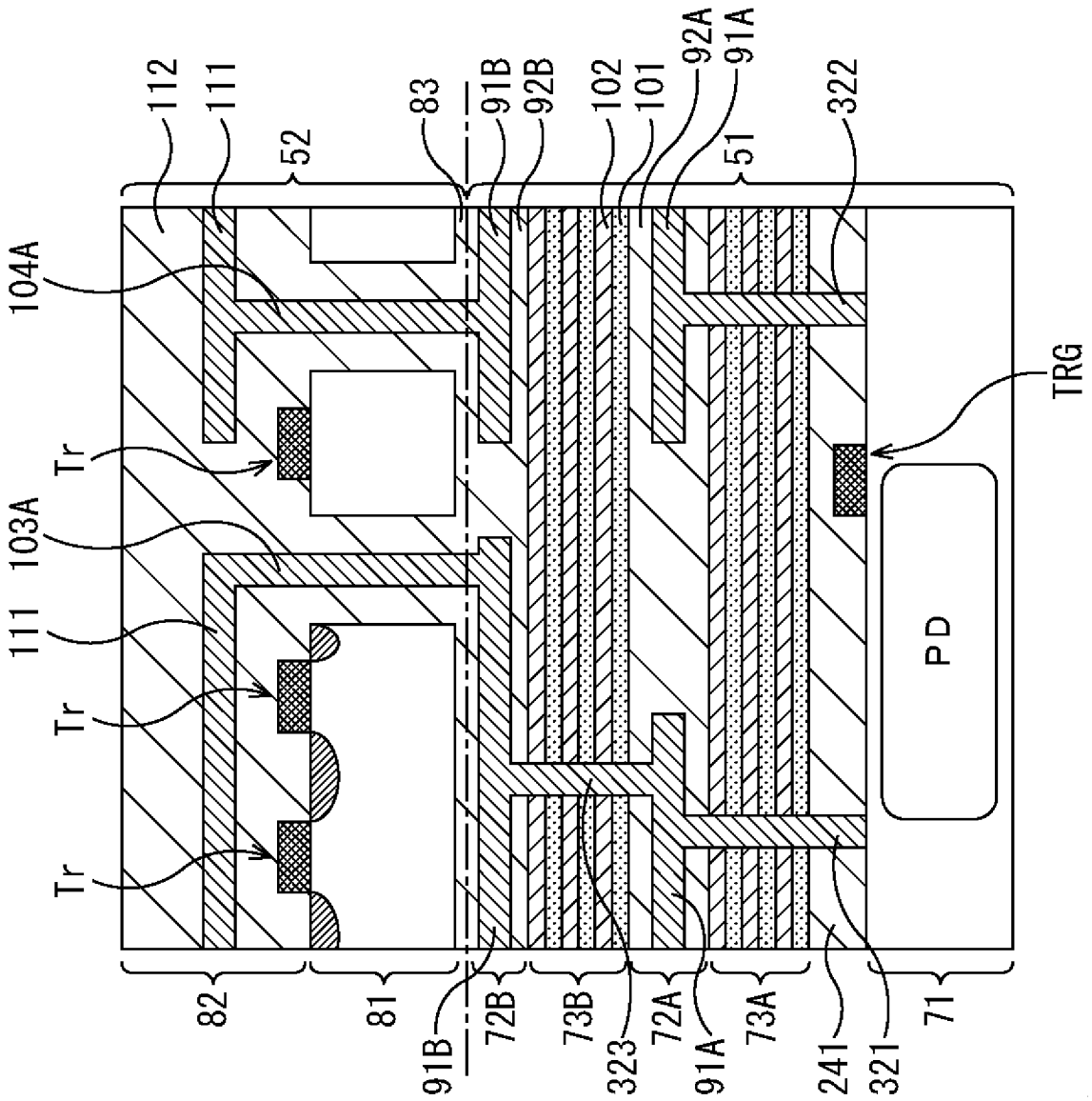
[図12]
FIG. 12


112
111
52
83
91B
92B
102
101
51
281
104A
AMP
Tr
103A
111
Tr
Tr
PD
271
82
81
72B
73
92A
91A
72A
71
91B

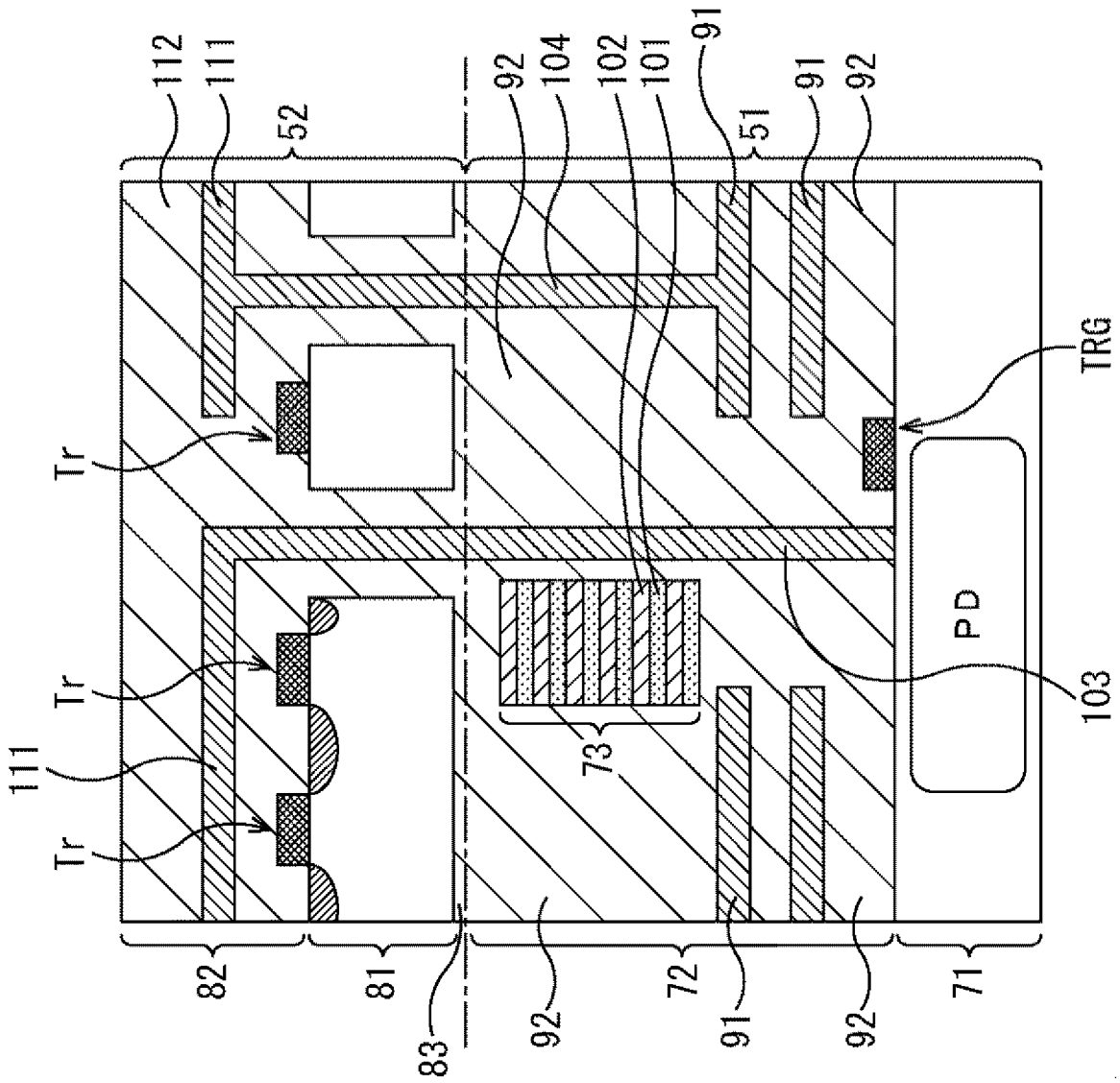
[図13]
FIG. 13


112
111
52
104
102
101
51
TRG
Tr
111
Tr
Tr
301
PD
103
82
81
83
73
241
71

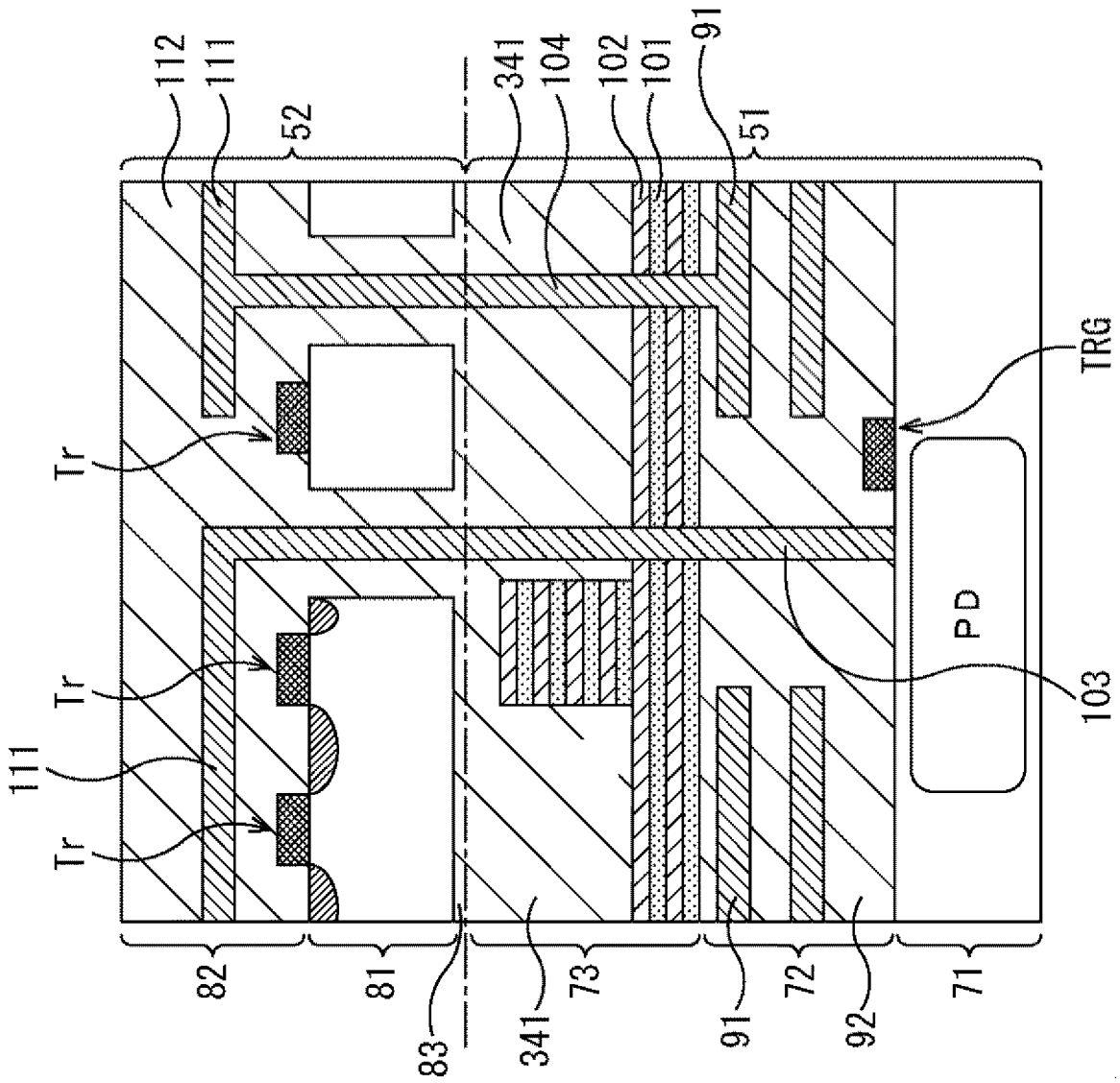
[図14]
FIG. 14


112
111
52
83
91B
92B
102
101
92A
91A
51
322
104A
Tr
103A
111
Tr
Tr
TRG
PD
82
81
91B
72B
73B
323
72A
91A
73A
241
321
71

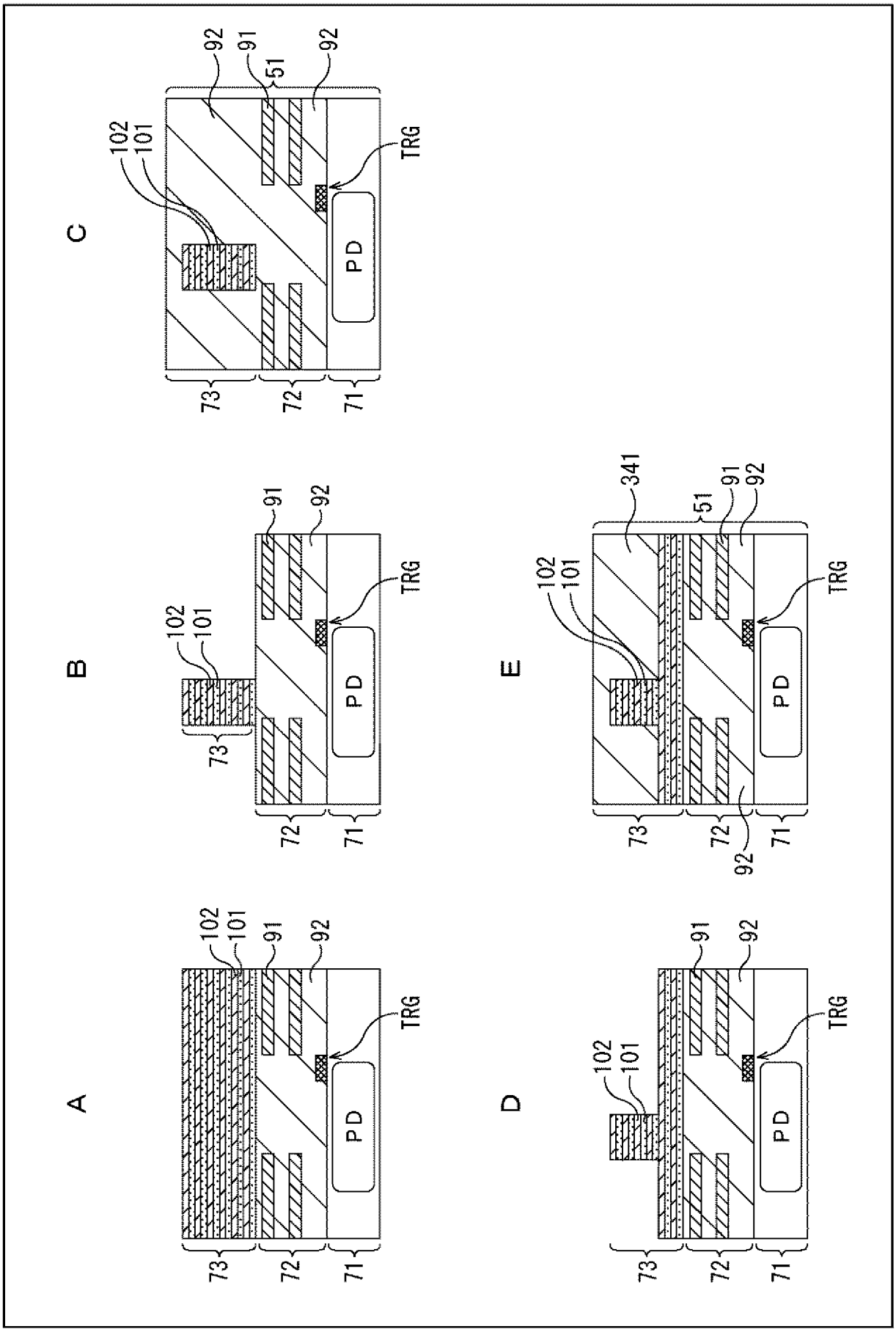
[図15]
FIG. 15


112
111
52
92
104
102
101
91
51
91
92
TRG
Tr
Tr
Tr
111
PD
103
73
82
81
83
92
72
91
92
71

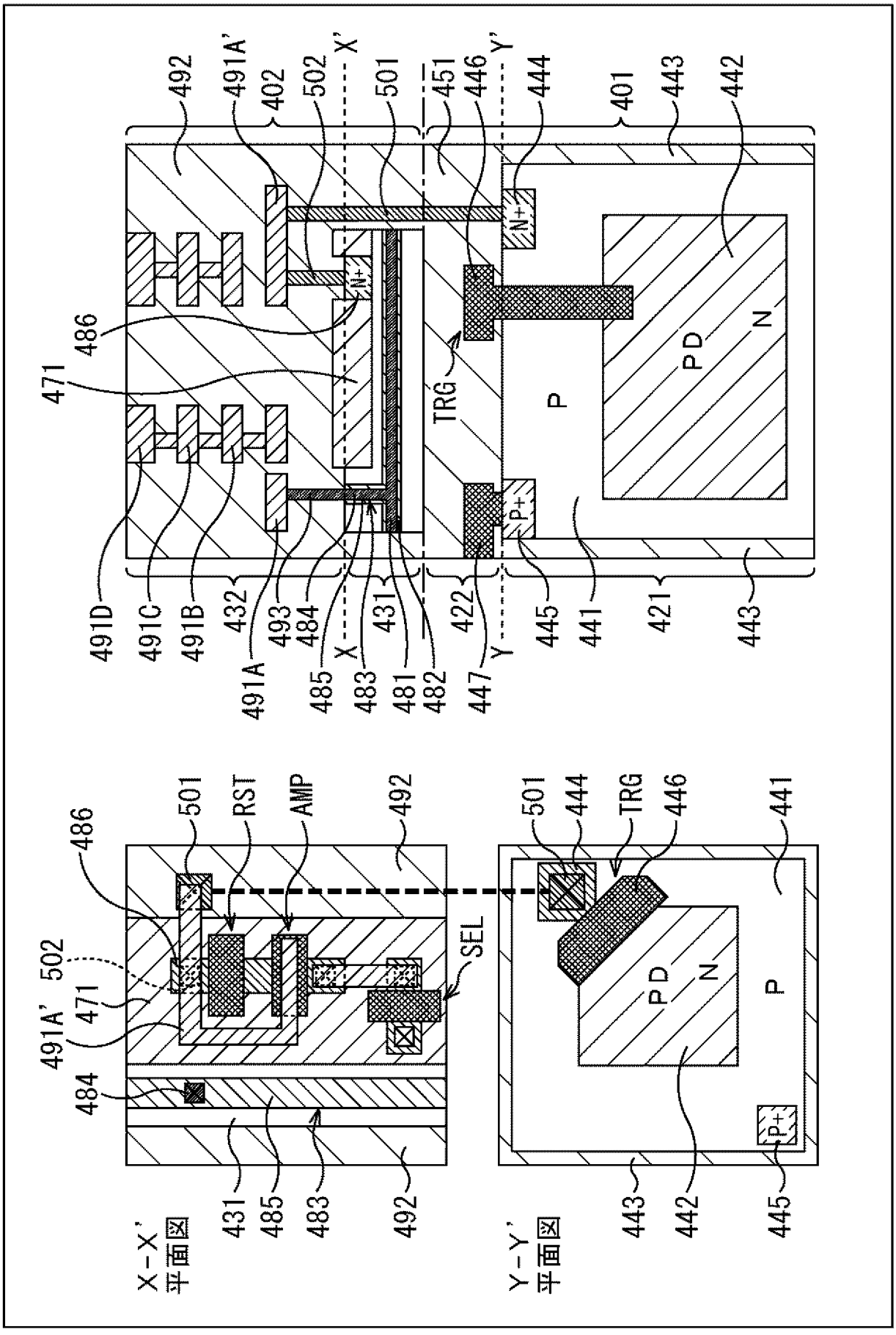
[図16]
FIG. 16


112
111
52
341
104
102
101
91
51
TRG
Tr
Tr
Tr
111
PD
103
82
81
83
341
73
91
72
92
71

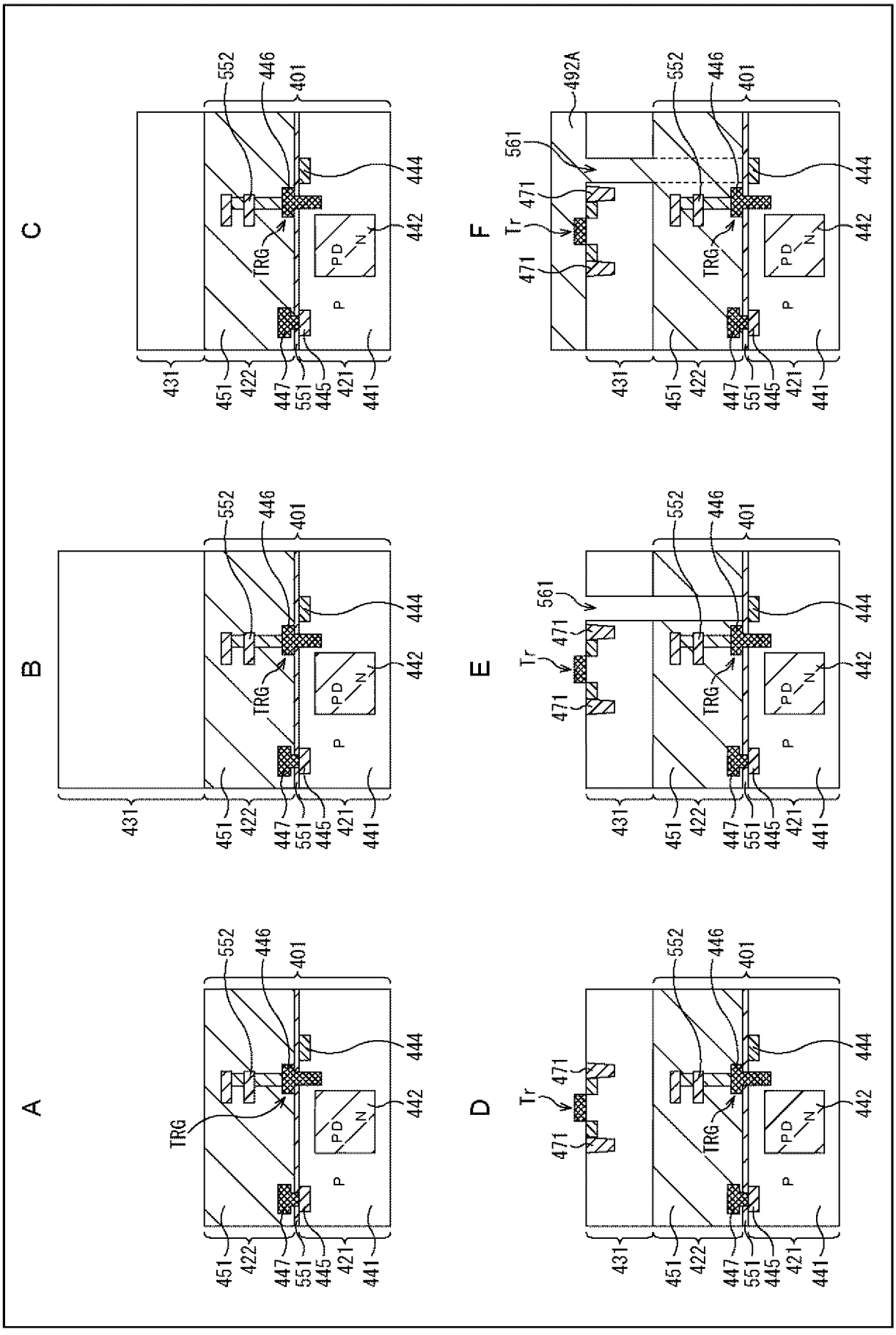
[図17]
FIG. 17



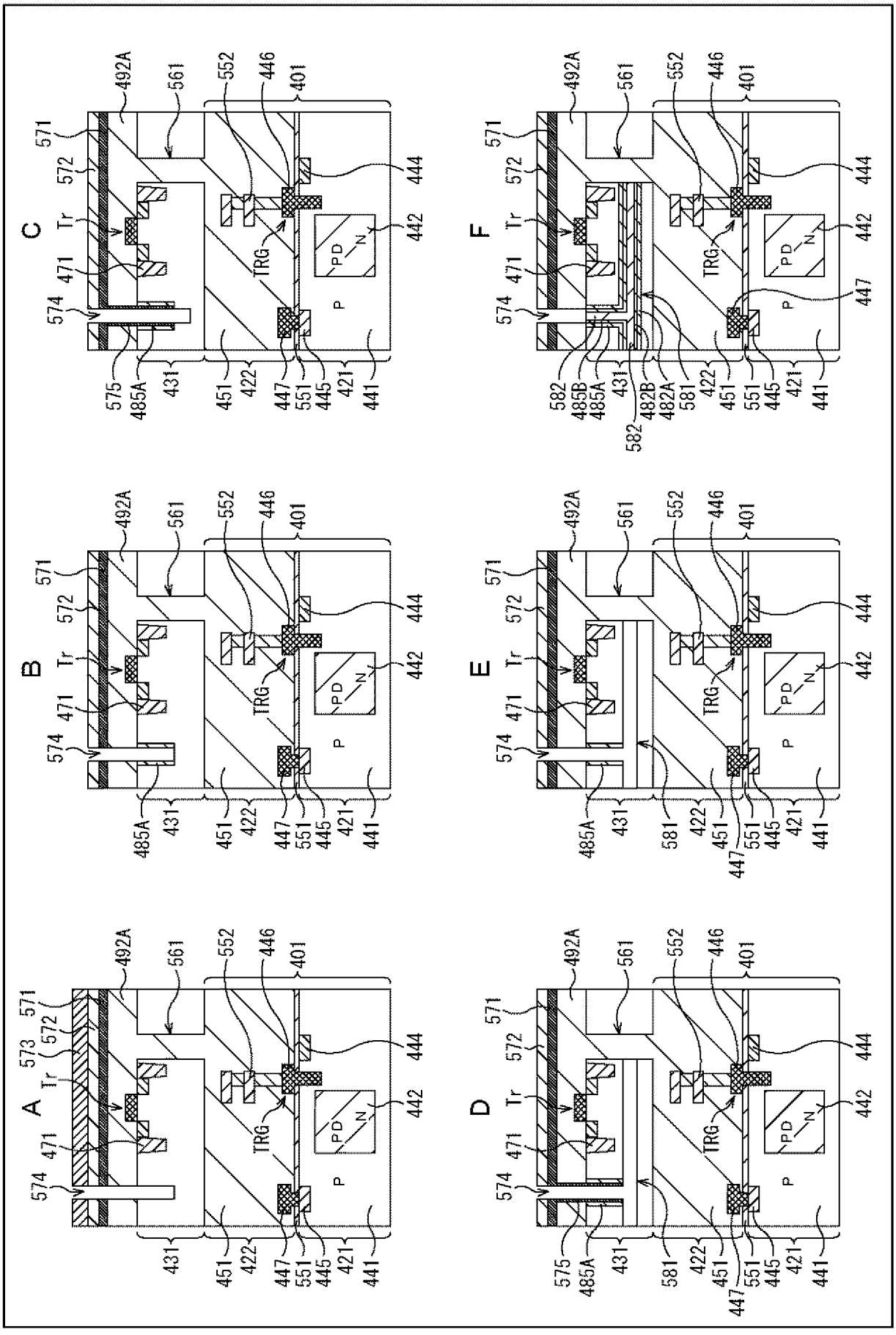
[図18]
FIG. 18


492
491A'
402
502
X'
501
451
446
Y'
444
401
443
442
N+
486
471
TRG
P
PD
N
491D
491C
491B
432
493
484
431
422
445
441
421
443
491A
485
X
483
481
482
447
Y
P+
501
RST
AMP
492
501
444
TRG
446
441
SEL
502
491A'
471
484
PD
N
P
P+
431
485
483
492
443
442
445
X-X'
平面図
Y-Y'
平面図

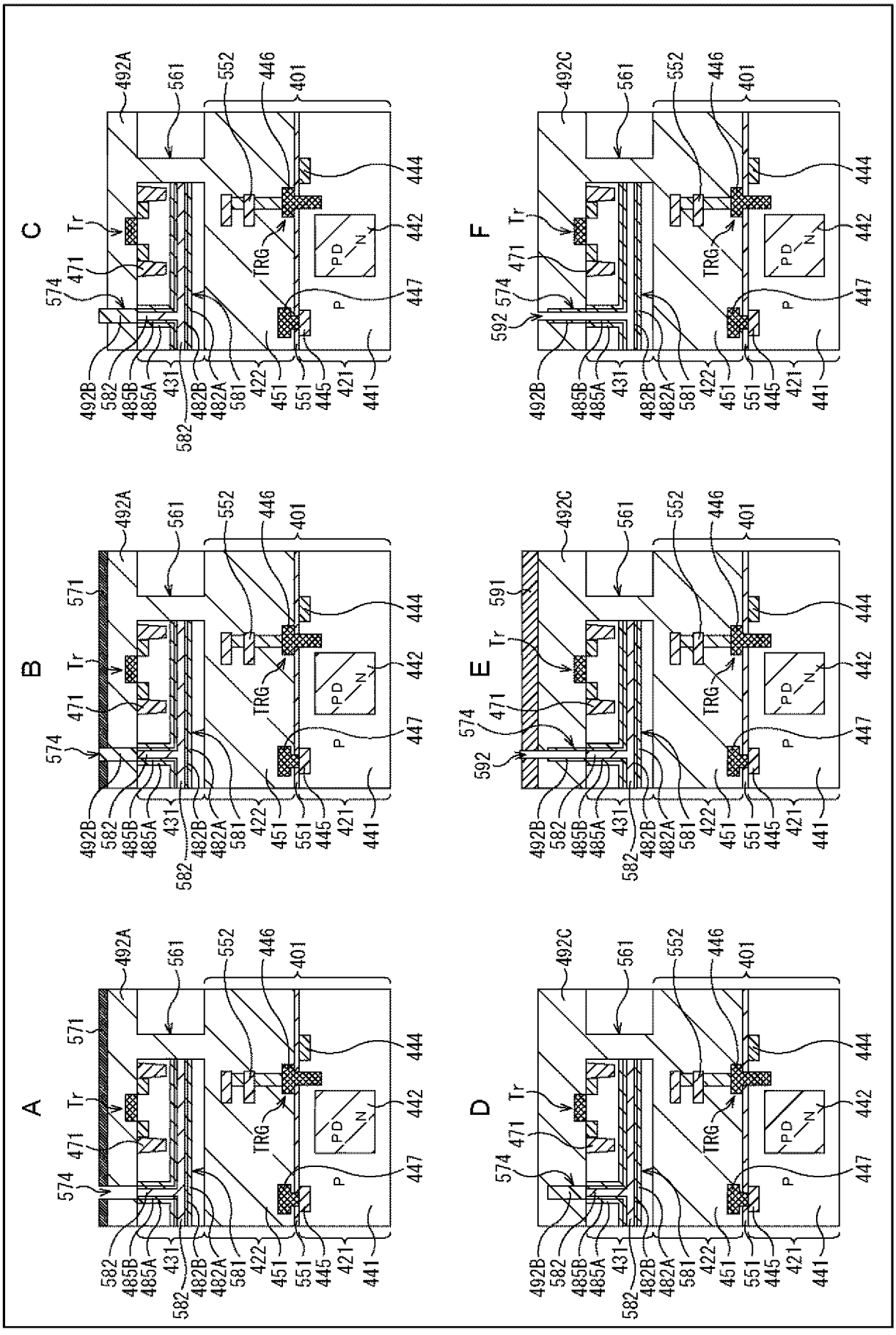
[図19]
FIG. 19


A
B
C
D
E
F
TRG
Tr
PD
N
P
401
421
422
431
441
442
444
445
446
447
451
471
492A
551
552
561

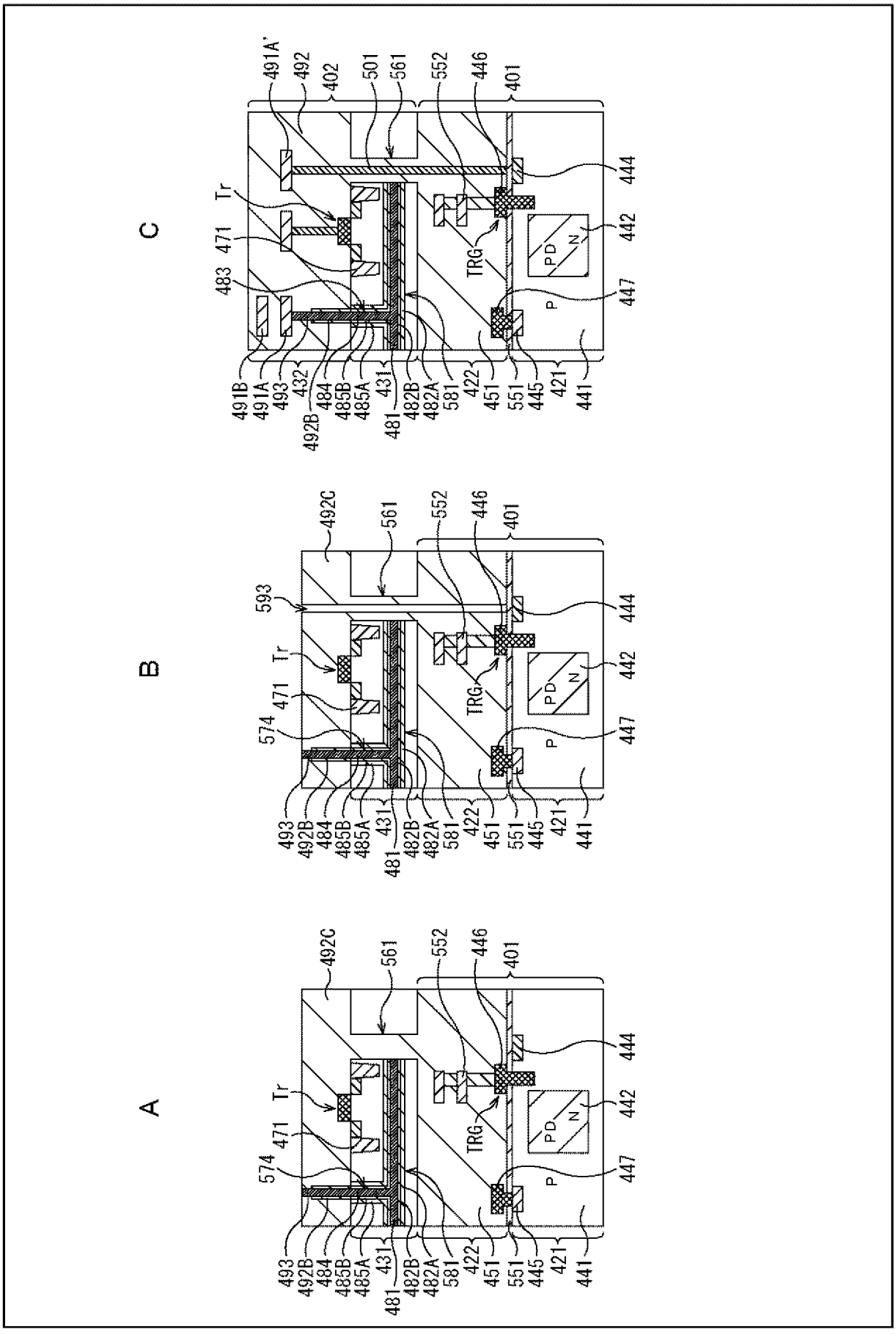
[図20]
FIG. 20


A
B
C
D
E
F
492A
561
552
446
401
571
572
573
Tr
471
574
TRG
PD
N
P
444
442
575
485A
431
451
422
447
551
445
421
441
582
485B
482B
482A
581

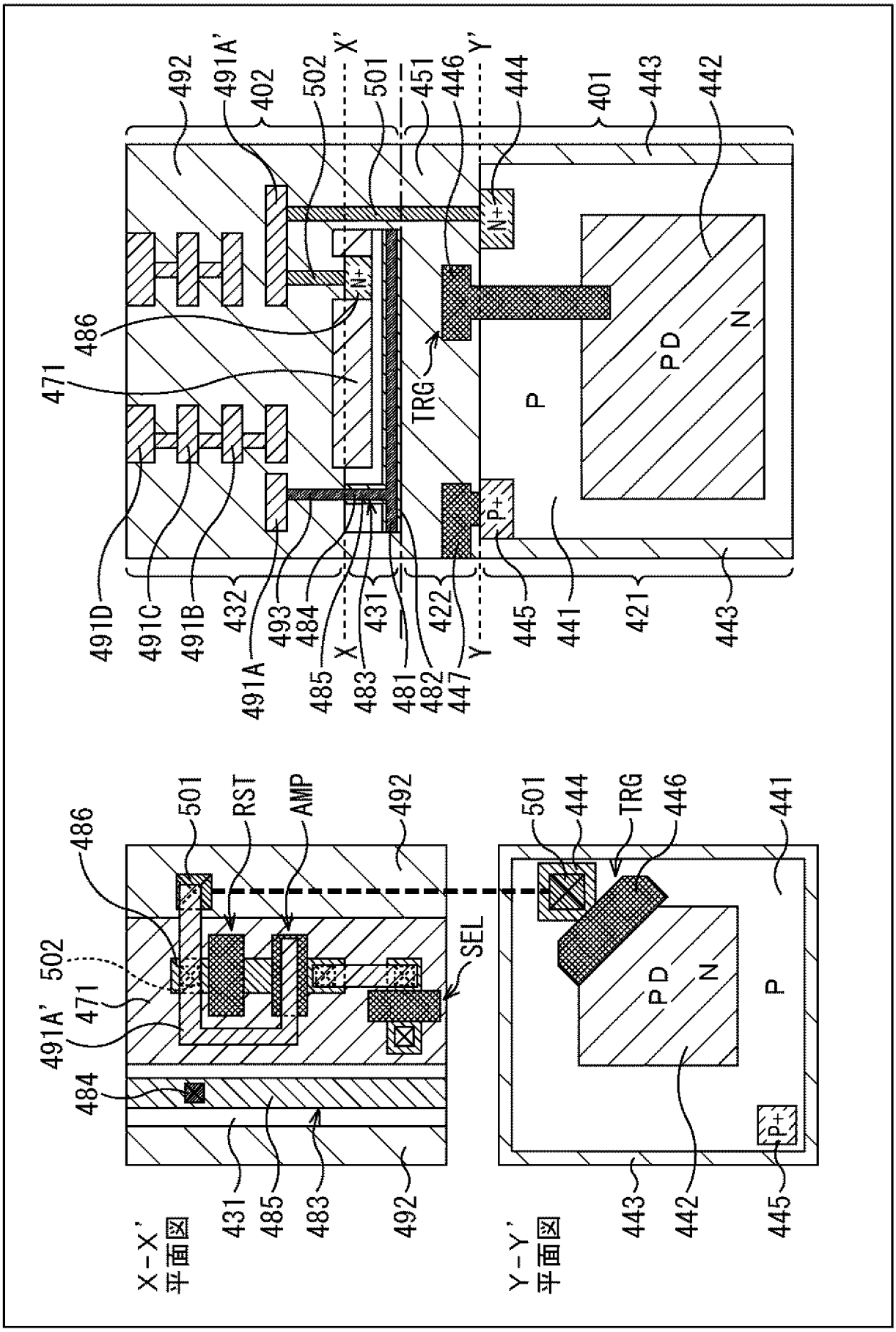
[図21]
FIG. 21


A
B
C
D
E
F
Tr
TRG
PD
N
P
571
574
592
591
492A
492B
492C
561
552
446
401
444
442
447
471
482A
482B
485A
485B
431
422
451
551
445
421
441
581
582

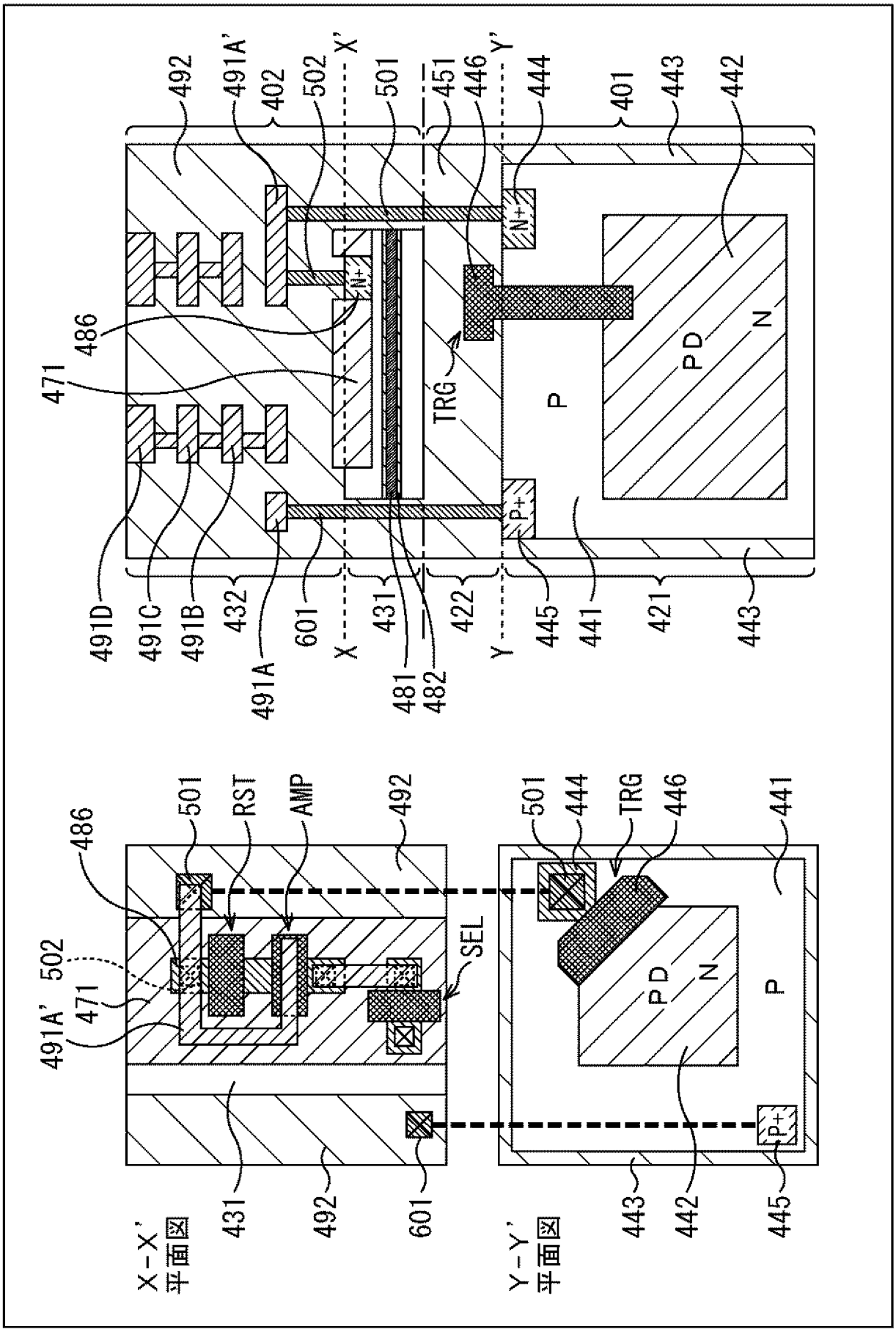
[図22]
FIG. 22


A
B
C
Tr
TRG
PD
N
P
401
402
441
442
444
446
447
451
471
481
482A
482B
483
484
485A
485B
491A
491A'
491B
492
492B
492C
493
501
551
552
561
574
581
593
421
422
431
432
445

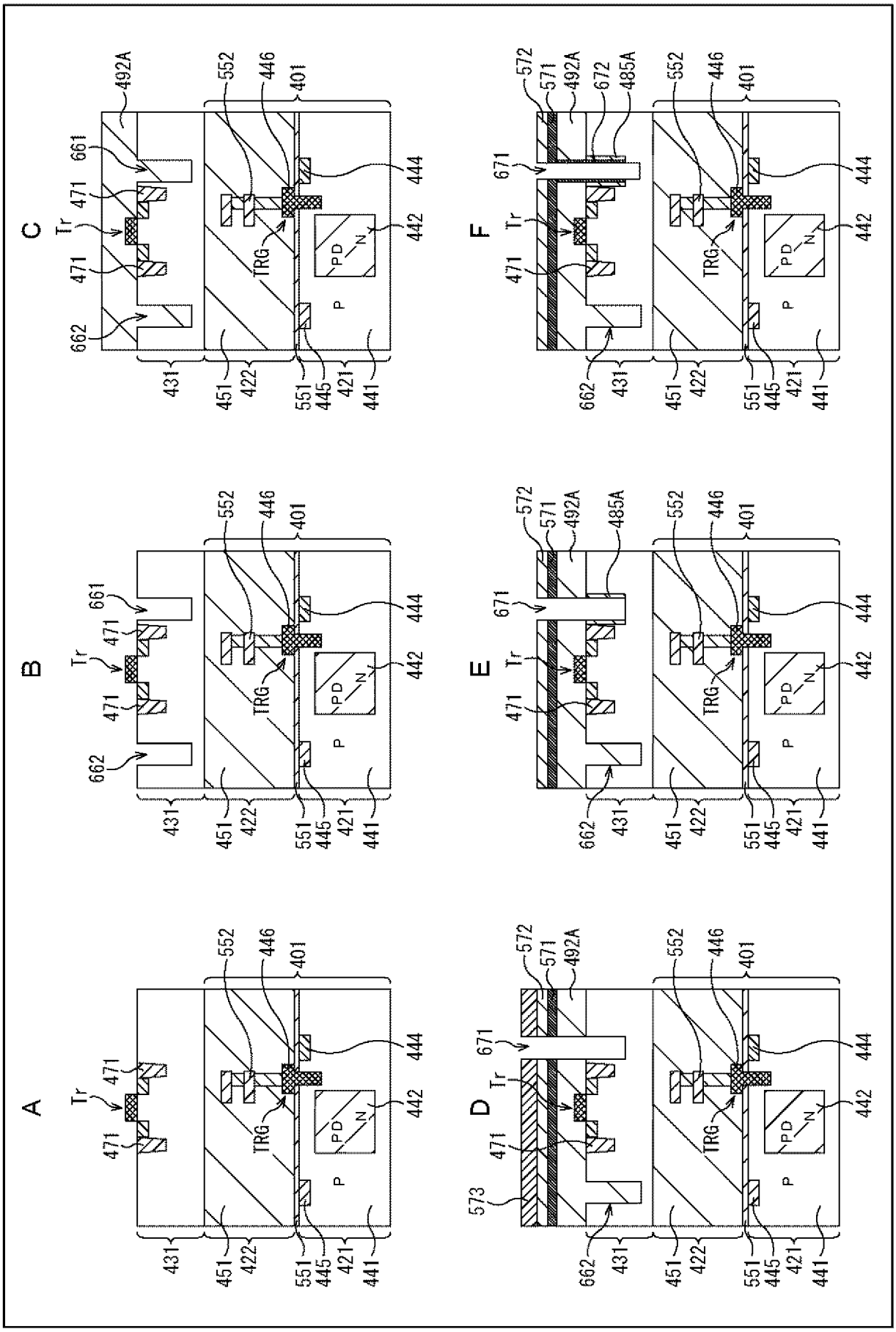
[図23]
FIG. 23


492
491A'
402
502
X'
501
451
446
Y'
444
401
443
442
N+
486
471
TRG
P
PD
N
491D
491C
491B
432
493
484
X
431
422
Y
445
441
421
443
491A
485
483
481
482
447
P+
501
RST
AMP
492
SEL
502
491A'
471
484
431
485
483
492
X-X'
平面図
501
444
TRG
446
441
PD
N
P
443
442
445
Y-Y'
平面図

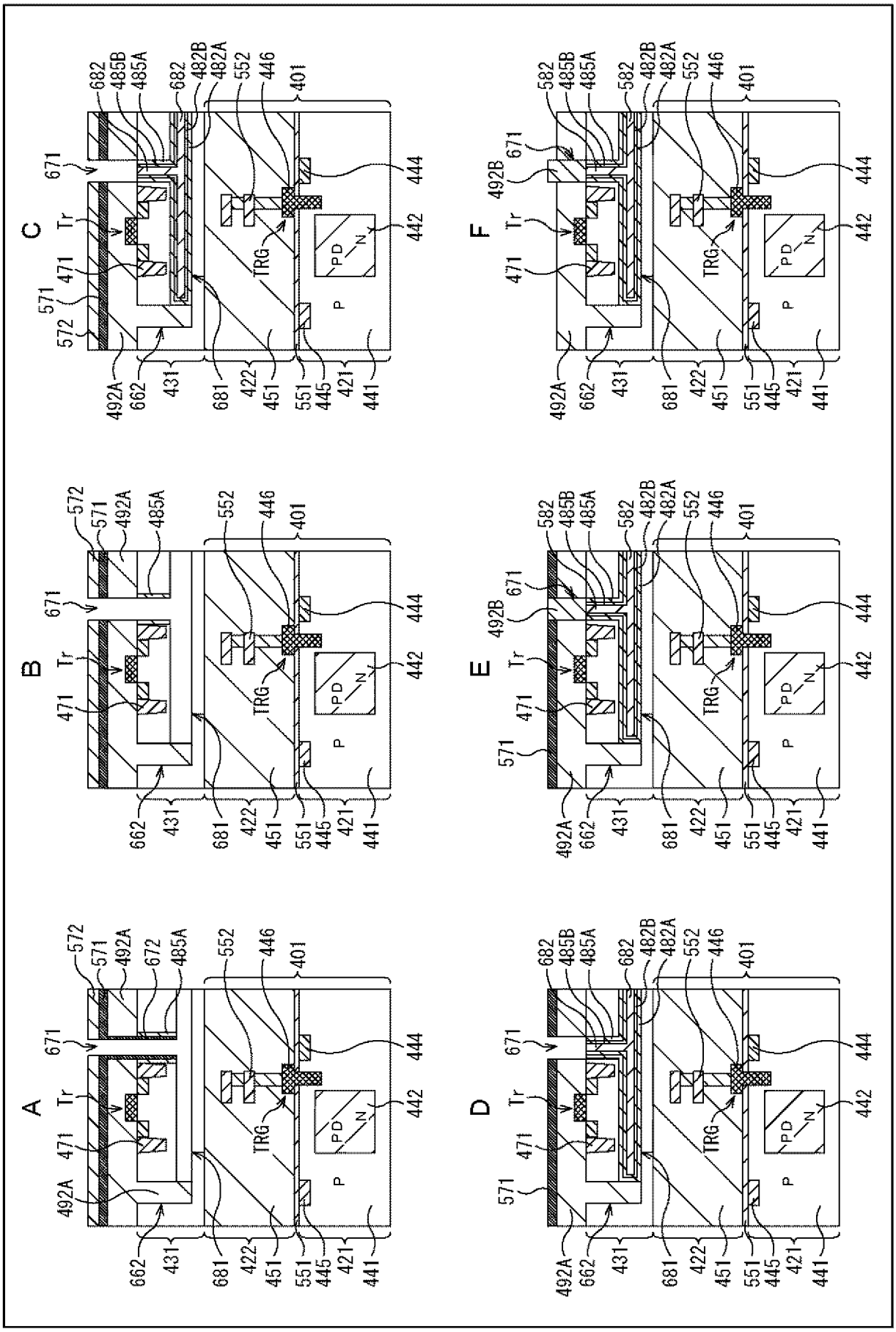
[図24]
FIG. 24


492
491A'
402
502
X'
501
451
446
Y'
444
401
443
442
N+
486
471
TRG
P
PD
N
P+
491D
491C
491B
432
601
X
431
422
Y
445
441
421
443
491A
481
482
501
RST
AMP
492
501
444
TRG
446
441
502
SEL
PD
N
P
X-X'
平面図
Y-Y'
平面図

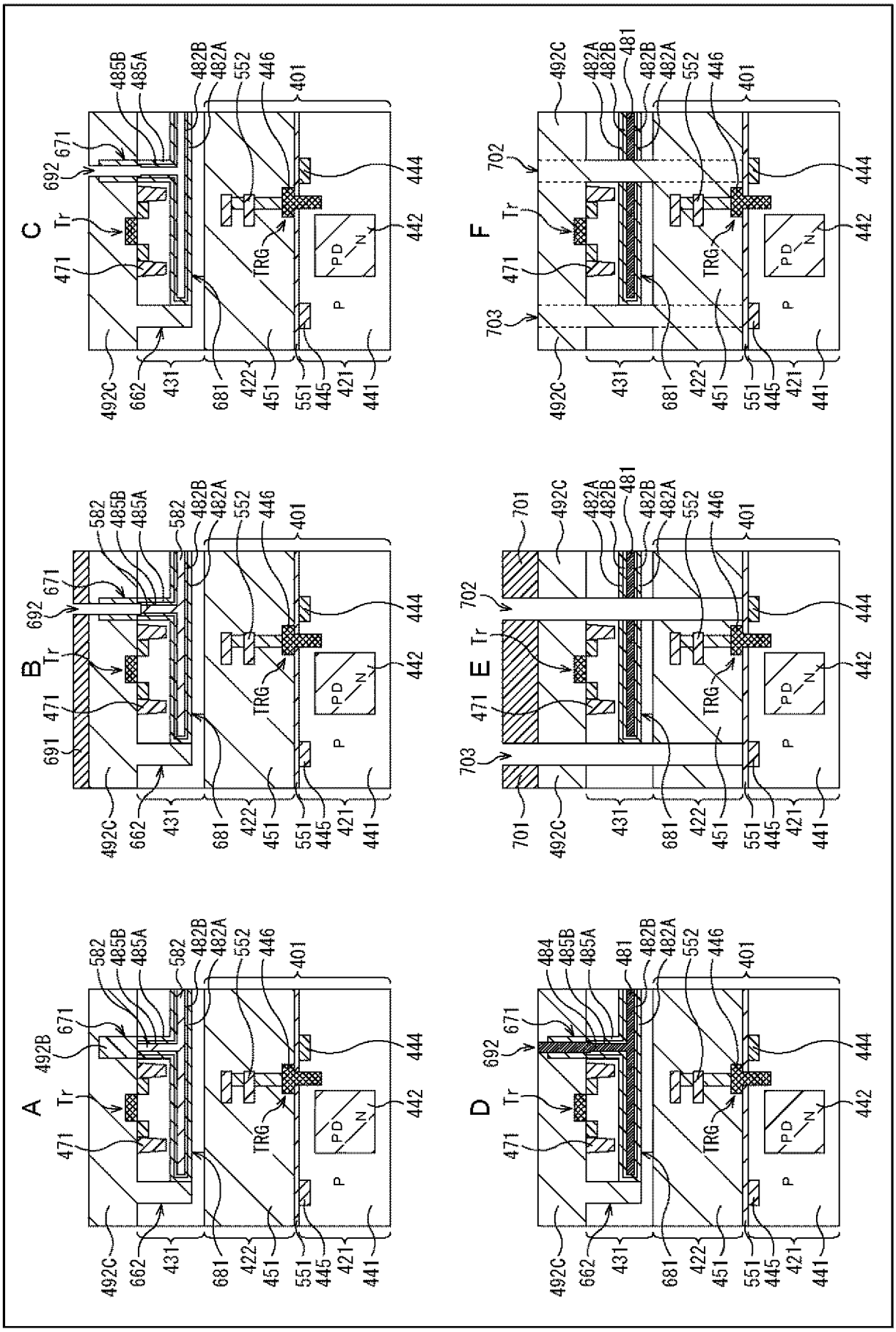
[図25]
FIG. 25


A
B
C
D
E
F
Tr
TRG
PD
N
P
401
421
422
431
441
442
444
445
446
451
471
485A
492A
551
552
571
572
573
661
662
671
672

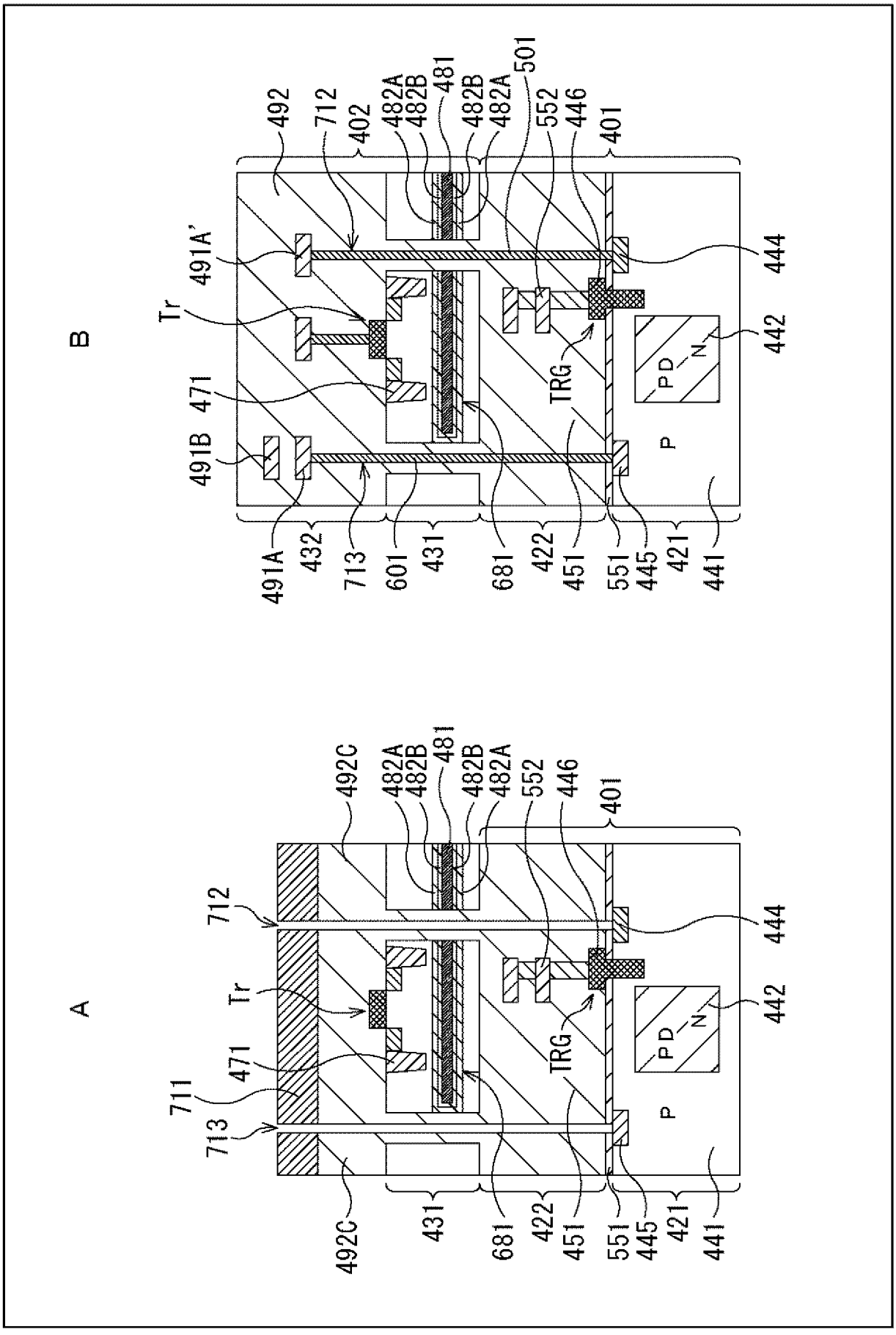
[図26]
FIG. 26


A
B
C
D
E
F
Tr
TRG
PD
N
P
401
441
442
444
446
451
552
571
572
582
662
671
672
681
682
482A
482B
485A
485B
492A
492B
421
422
431
445
471
551

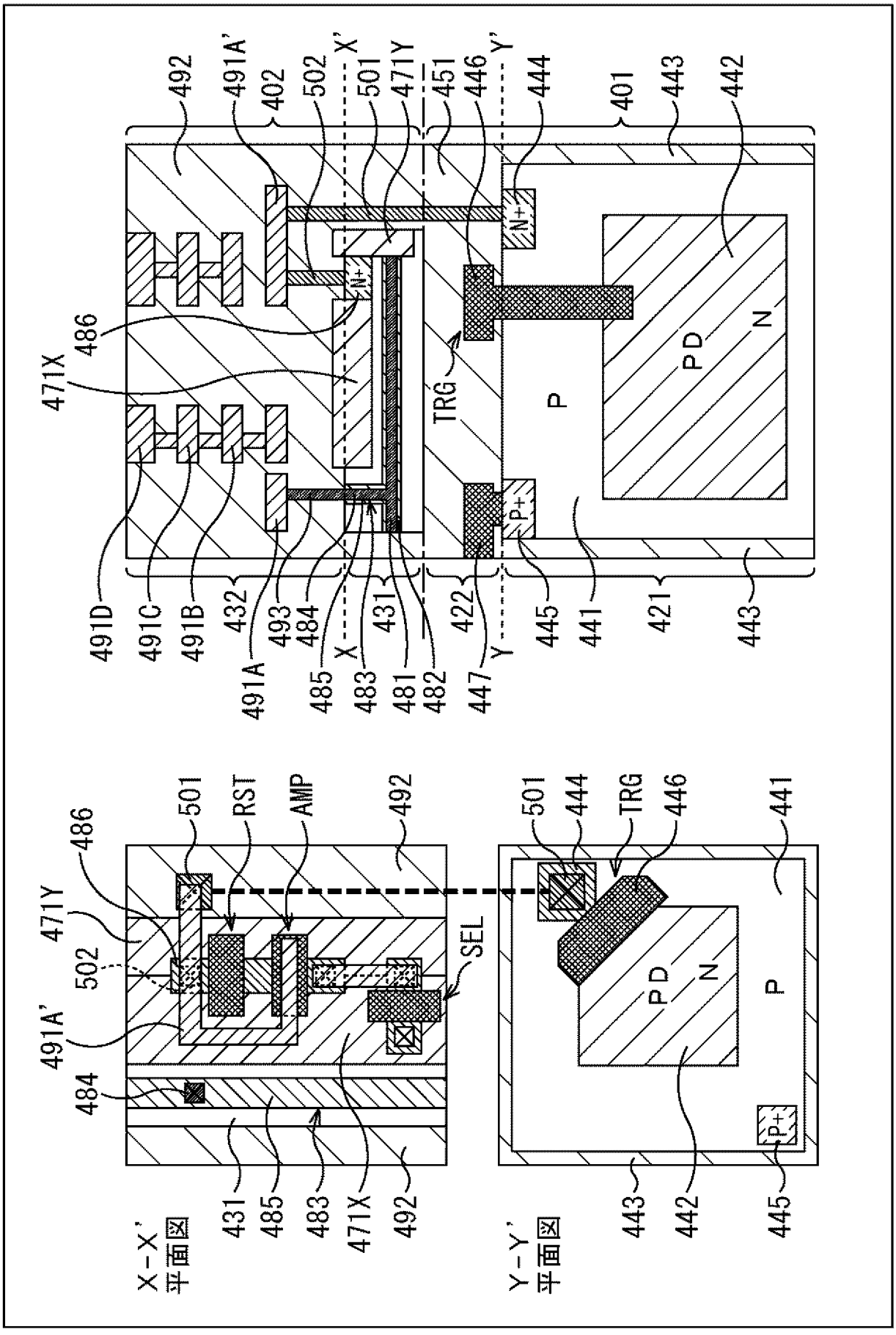
[図27]
FIG. 27


A
B
C
D
E
F
Tr
TRG
PD
N
P
401
421
422
431
441
442
444
445
446
451
471
492B
492C
551
552
582
662
671
681
691
692
701
702
703
481
482A
482B
484
485A
485B

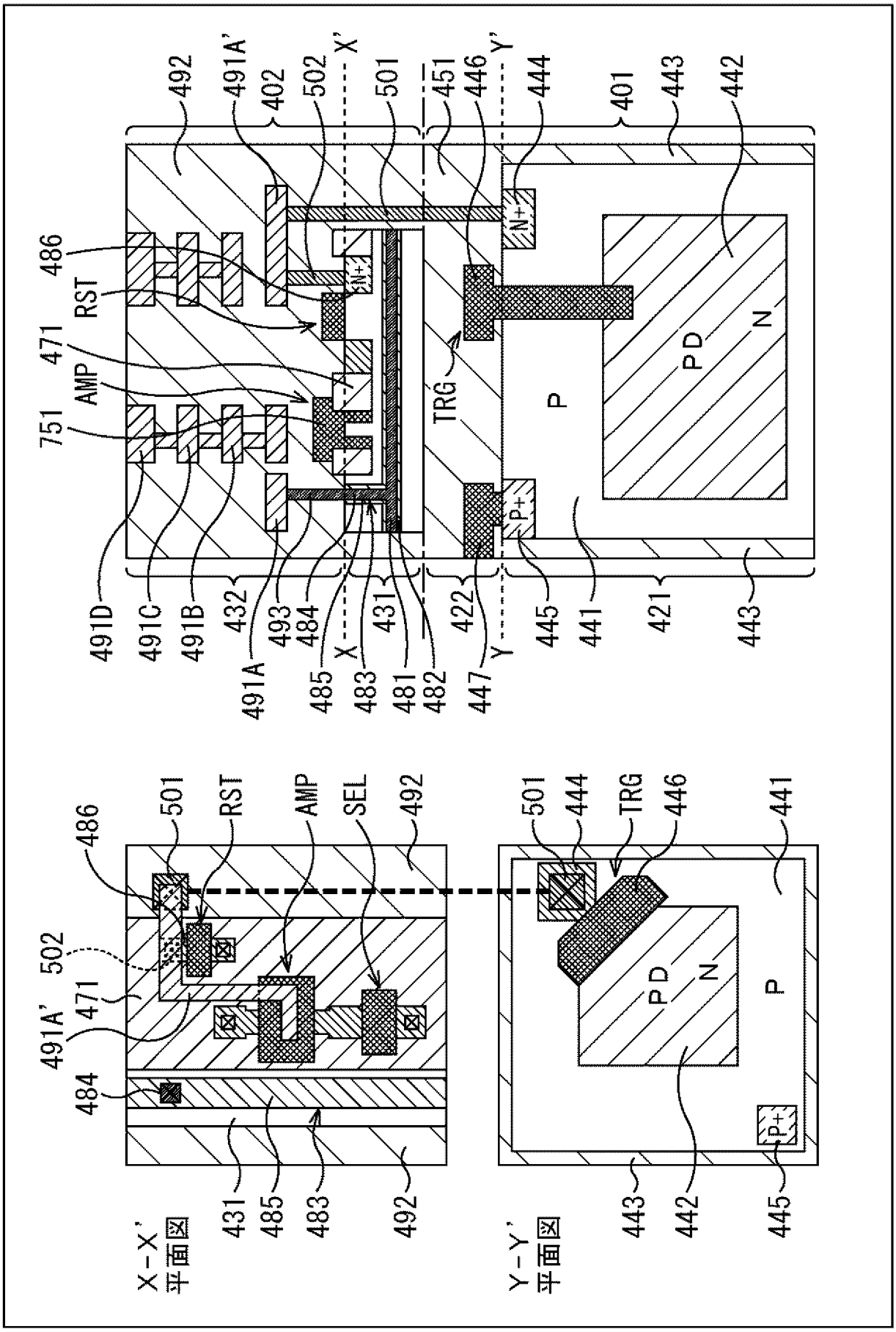
[図28]
FIG. 28


A
B
Tr
TRG
P
PD
N
492
492C
402
401
481
482A
482B
501
552
446
444
442
491A'
491A
491B
471
432
713
601
431
681
422
451
551
445
421
441
711
712

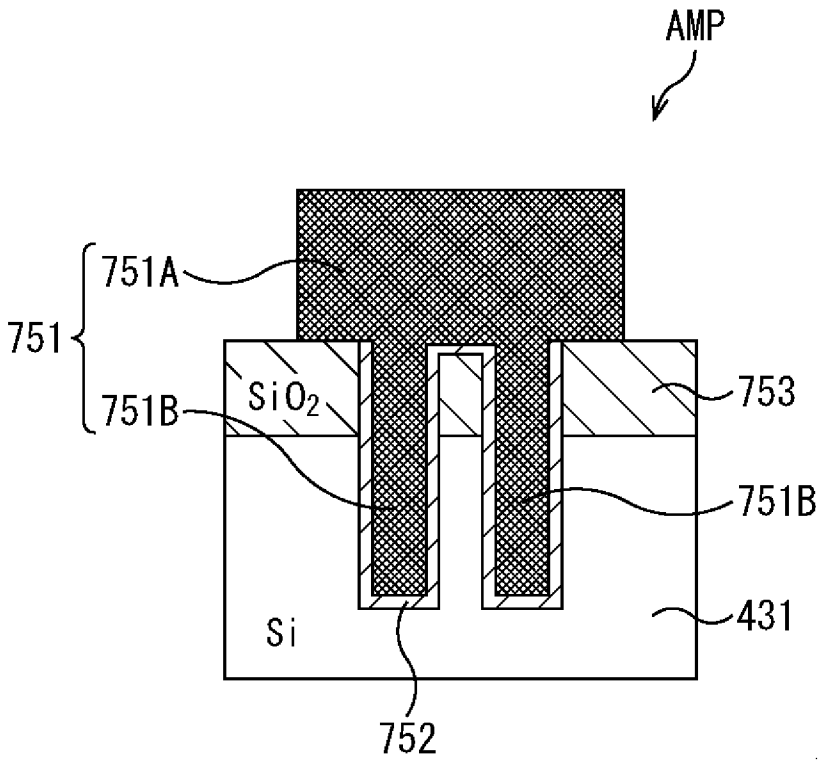
[図29]
FIG. 29


492
491A'
402
502
X'
501
471Y
451
446
Y'
444
401
443
442
N+
486
471X
TRG
P
PD
N
P+
491D
491C
491B
432
493
484
X
431
422
Y
445
441
421
443
491A
485
483
481
482
447
501
RST
AMP
492
501
444
TRG
446
441
471Y
502
SEL
PD
N
P
491A'
484
P+
431
485
483
471X
492
443
442
445
X-X'
平面図
Y-Y'
平面図

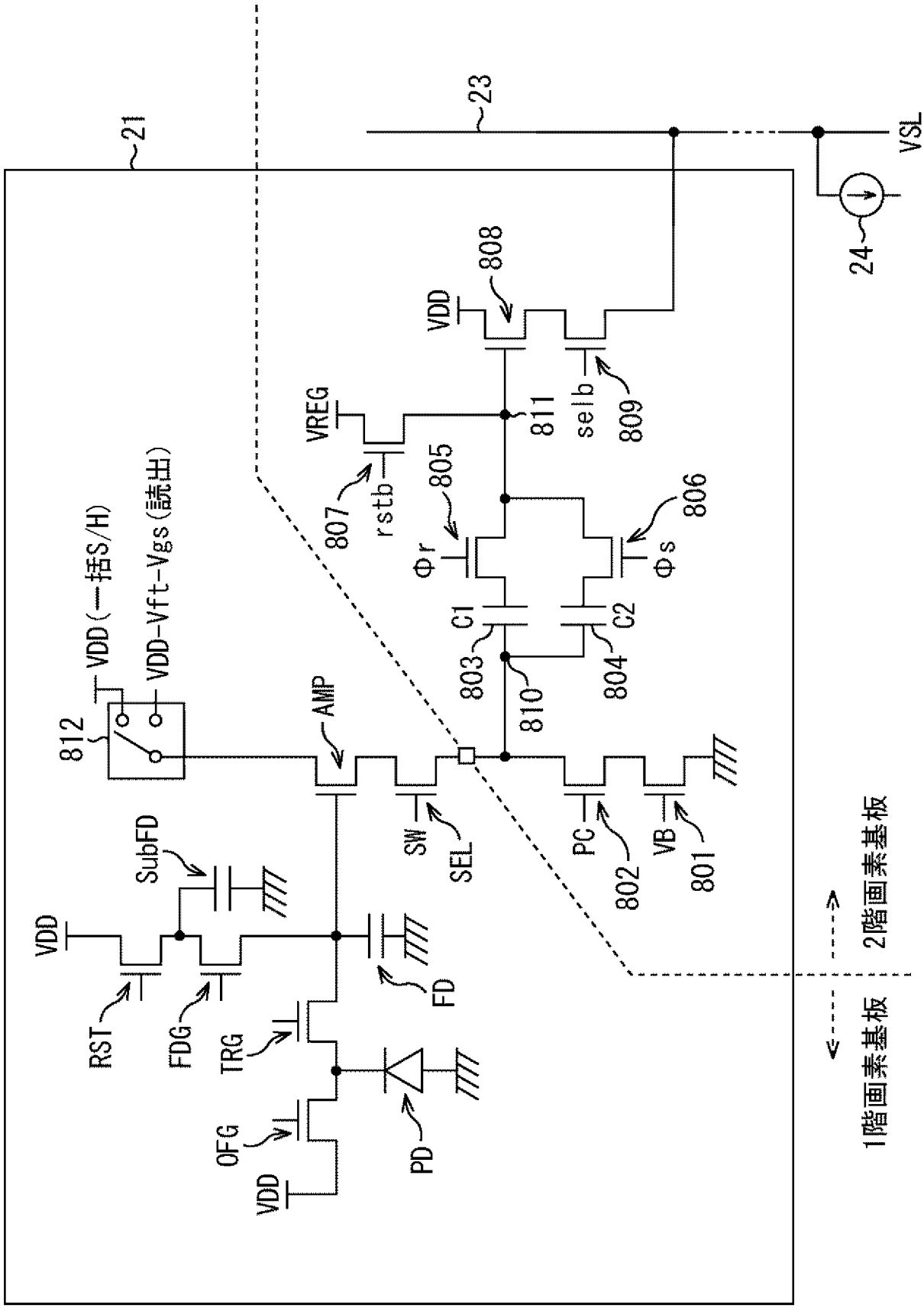
[図30]
FIG. 30


492
491A'
402
502
X'
501
451
446
Y'
444
401
443
442
486
RST
471
AMP
751
N+
TRG
P
PD
N
P+
491D
491C
491B
432
493
484
491A
485
X
483
431
481
482
422
447
Y
445
441
421
443
501
RST
AMP
SEL
492
501
444
TRG
446
441
502
491A'
471
484
PD
N
P
P+
431
485
483
492
443
442
445
X-X'
平面図
Y-Y'
平面図

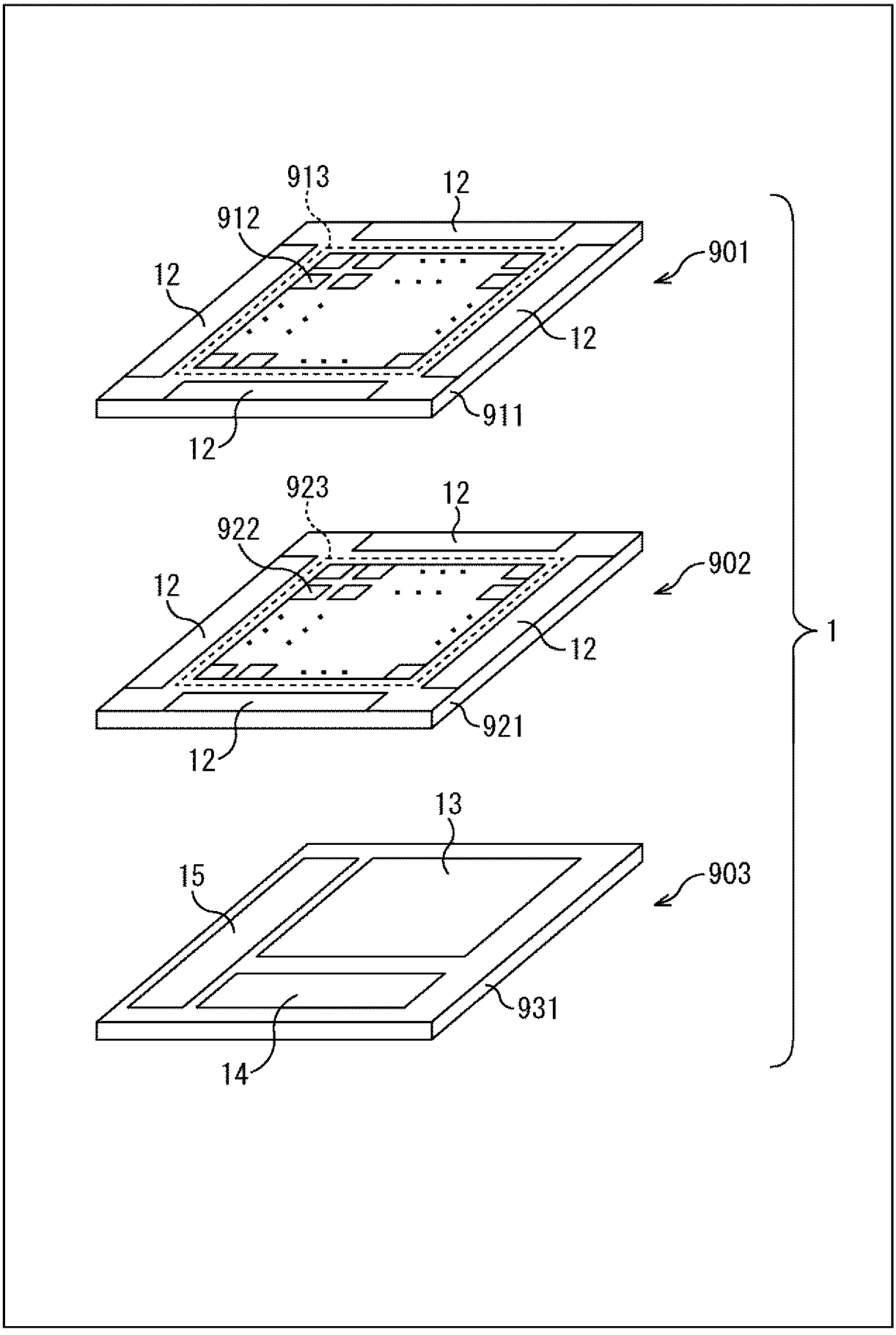
[図31]
FIG. 31



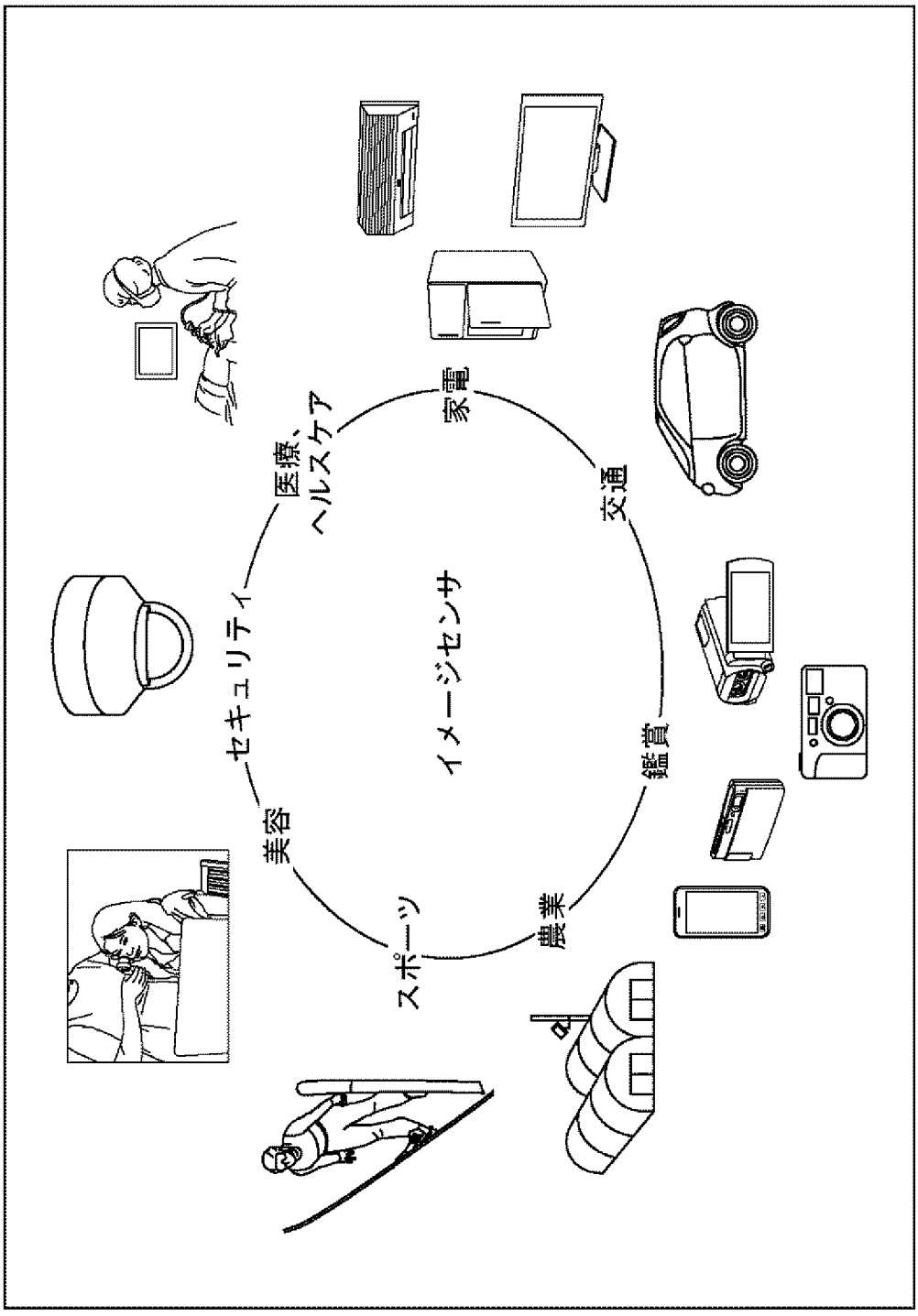
[図32]
FIG. 32


21
23
VSL
24
VDD
808
VREG
811
selb
809
807
rstb
805
Φr
806
Φs
C1
C2
803
804
810
812
VDD(一括S/H)
VDD-Vft-Vgs(読出)
AMP
SubFD
SW
SEL
PC
VB
802
801
VDD
RST
FDG
TRG
FD
OFG
VDD
PD
1階画素基板
2階画素基板

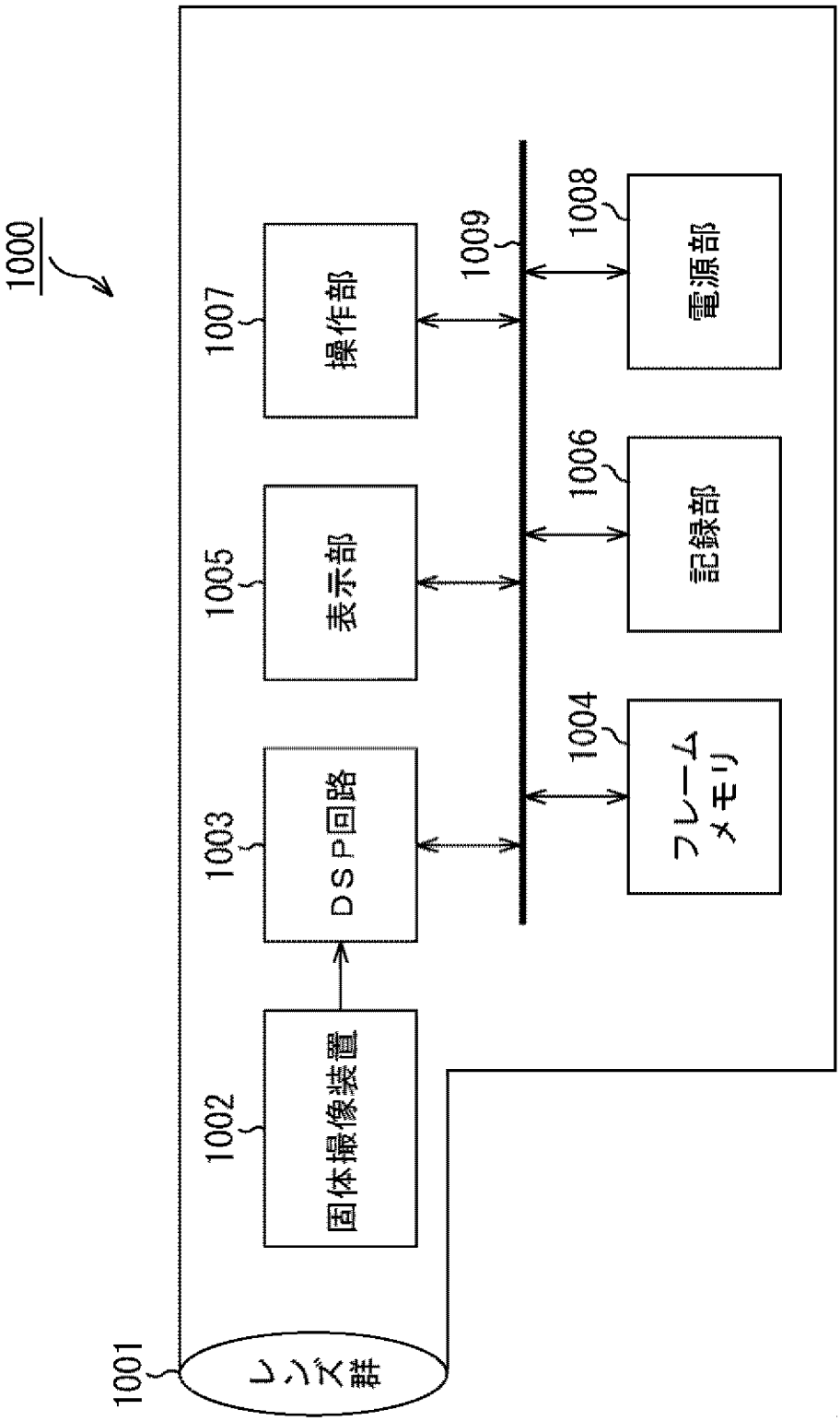
[図33]
FIG. 33


913
12
912
901
12
12
911
12
923
12
922
902
12
12
921
12
13
15
903
931
14
1

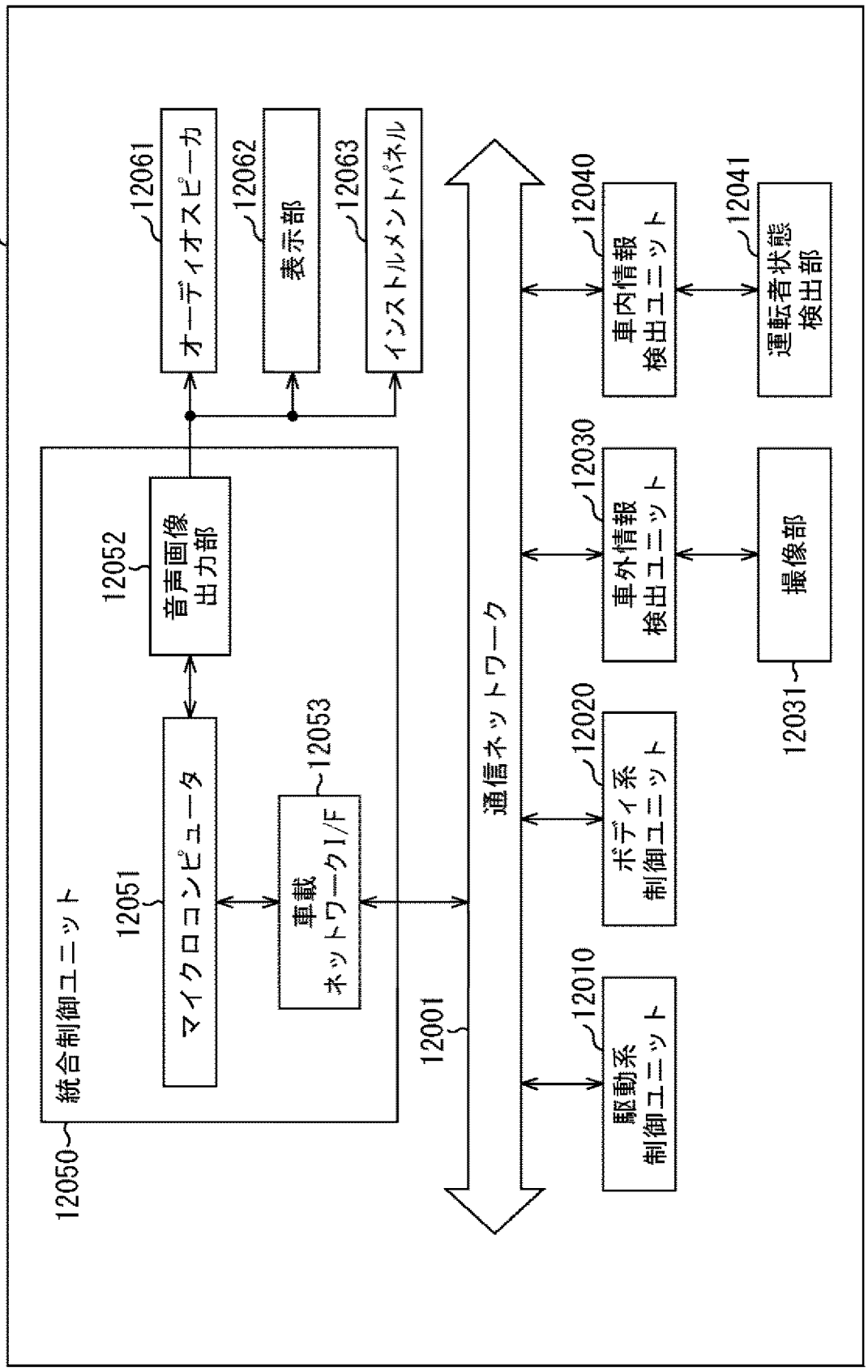
[図34]



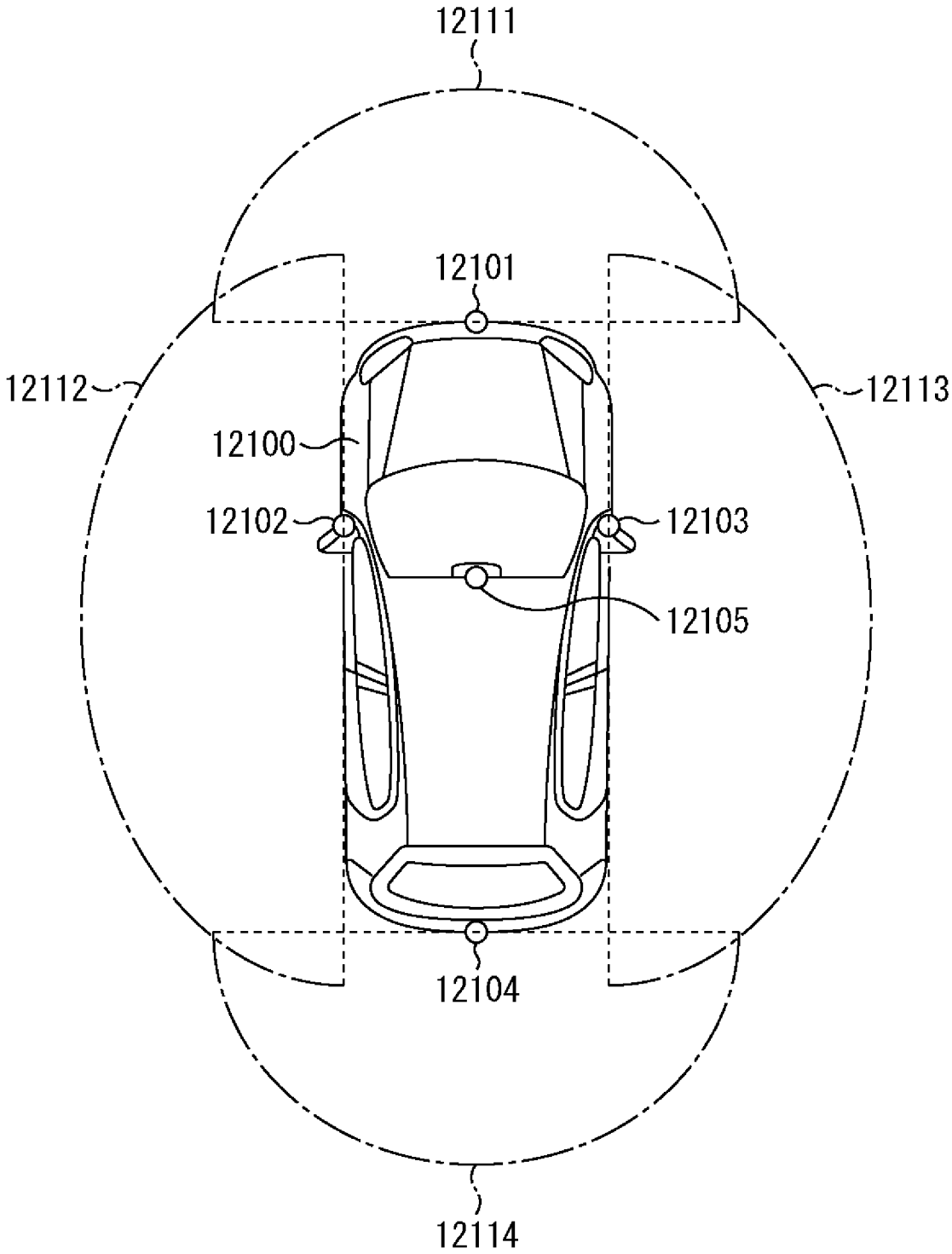
[図35]


1000
1001
レンズ群
1002
固体撮像装置
1003
DSP回路
1004
フレームメモリ
1005
表示部
1006
記録部
1007
操作部
1008
電源部
1009

[図36]


12000
12061
オーディオスピーカ
12062
表示部
12063
インストルメントパネル
12040
車内情報
検出ユニット
12041
運転者状態
検出部
12052
音声画像
出力部
12030
車外情報
検出ユニット
撮像部
12031
12051
マイクロコンピュータ
12053
車載
ネットワークI/F
通信ネットワーク
12020
ボディ系
制御ユニット
12001
12010
駆動系
制御ユニット
12050
統合制御ユニット

[図37]


12111
12101
12112
12113
12100
12102
12103
12105
12104
12114

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2023/000519

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/146(2006.01)i; ***H04N 25/70***(2023.01)i
FI: H01L27/146 D; H01L27/146 F; H04N25/70

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146; H04N25/70

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2020/262583 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP) 30 December 2020 (2020-12-30) paragraphs [0104]-[0121], fig. 18, 19	1-20
Y	JP 2003-158291 A (MATSUSHITA ELECTRIC IND CO LTD) 30 May 2003 (2003-05-30) paragraphs [0035]-[0042], fig. 1	1-13
Y	WO 2021/241019 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP) 02 December 2021 (2021-12-02) paragraphs [0011]-[0084], fig. 1, 23	2, 3, 8, 9, 12, 13
Y	JP 2005-065074 A (UNIV SHIZUOKA) 10 March 2005 (2005-03-10) paragraph [0012], fig. 8	7, 20
Y	WO 2021/010182 A1 (CANON KK) 21 January 2021 (2021-01-21) paragraphs [0063]-[0076], fig. 8, 9	14-20
Y	WO 2021/095668 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP) 20 May 2021 (2021-05-20) paragraphs [0038]-[0131], fig. 2	15, 17, 18

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
22 March 2023	**04 April 2023**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2023/000519

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2021/171798 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP) 02 September 2021 (2021-09-02) paragraphs [0058]-[0063], fig. 1, 11	19

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/000519

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2020/262583 A1	30 December 2020	US 2022/0352226 A1 paragraphs [0244]-[0261], fig. 18, 19 CN 113892181 A TW 202118026 A	
JP 2003-158291 A	30 May 2003	(Family: none)	
WO 2021/241019 A1	02 December 2021	TW 202147594 A	
JP 2005-065074 A	10 March 2005	US 2005/0040485 A1 paragraphs [0040]-[0043], fig. 8 EP 1509038 A2	
WO 2021/010182 A1	21 January 2021	US 2022/0139987 A1 paragraphs [0074]-[0088], fig. 8, 9 CN 114127941 A	
WO 2021/095668 A1	20 May 2021	US 2022/0392936 A1 paragraphs [0070]-[0164], fig. 2 EP 4060740 A1 CN 114556575 A TW 202137528 A	
WO 2021/171798 A1	02 September 2021	JP 2021-136366 A	

国際調査報告

国際出願番号
PCT/JP2023/000519

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 27/146(2006.01)i; H04N 25/70(2023.01)i
FI: H01L27/146 D; H01L27/146 F; H04N25/70

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L27/146; H04N25/70

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２３年
日本国実用新案登録公報	１９９６－２０２３年
日本国登録実用新案公報	１９９４－２０２３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	WO 2020/262583 A1（ソニーセミコンダクタソリューションズ株式会社）30.12.2020 (2020-12-30) [0104]-[0121],図18,19	1-20
Y	JP 2003-158291 A（松下電器産業株式会社）30.05.2003 (2003-05-30) [0035]-[0042],図1	1-13
Y	WO 2021/241019 A1（ソニーセミコンダクタソリューションズ株式会社）02.12.2021 (2021-12-02) [0011]-[0084],図1,23	2,3,8,9,12,13
Y	JP 2005-065074 A（静岡大学長）10.03.2005 (2005-03-10) [0012],図8	7,20
Y	WO 2021/010182 A1（キヤノン株式会社）21.01.2021 (2021-01-21) [0063]-[0076],図8,9	14-20
Y	WO 2021/095668 A1（ソニーセミコンダクタソリューションズ株式会社）20.05.2021 (2021-05-20) [0038]-[0131],図2	15,17,18

☑ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
22.03.2023	04.04.2023

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

加藤　俊哉 5F 9554

電話番号 03-3581-1101 内線 3516

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	WO 2021/171798 A1 (ソニーセミコンダクタソリューションズ株式会社) 02.09.2021 (2021-09-02) [0058]-[0063],図1,11	19

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2023/000519

引用文献	公表日	パテントファミリー文献	公表日
WO 2020/262583 A1	30.12.2020	US 2022/0352226 A1 [0244]-[0261],FIGS.18,19 CN 113892181 A TW 202118026 A	
JP 2003-158291 A	30.05.2003	（ファミリーなし）	
WO 2021/241019 A1	02.12.2021	TW 202147594 A	
JP 2005-065074 A	10.03.2005	US 2005/0040485 A1 [0040]-[0043],FIG.8 EP 1509038 A2	
WO 2021/010182 A1	21.01.2021	US 2022/0139987 A1 [0074]-[0088],FIGS.8,9 CN 114127941 A	
WO 2021/095668 A1	20.05.2021	US 2022/0392936 A1 [0070]-[0164],FIG.2 EP 4060740 A1 CN 114556575 A TW 202137528 A	
WO 2021/171798 A1	02.09.2021	JP 2021-136366 A	