

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 29/78 (2006.01)

H01L 21/336 (2006.01)



[12] 发明专利说明书

专利号 ZL 03156727.4

[45] 授权公告日 2006 年 4 月 19 日

[11] 授权公告号 CN 1252834C

[22] 申请日 2003.9.8 [21] 申请号 03156727.4

[30] 优先权

[32] 2002. 9. 13 [33] JP [31] 268970/2002

[71] 专利权人 株式会社东芝

地址 日本东京都

[72] 发明人 出羽光明 饭沼俊彦 须黑恭一

审查员 张媛媛

[74] 专利代理机构 北京市中咨律师事务所

代理人 陈海红 段承恩

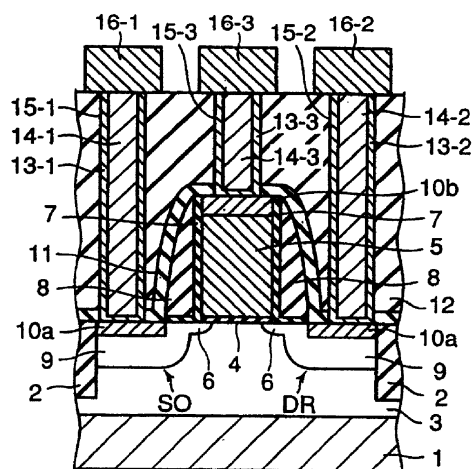
权利要求书 3 页 说明书 8 页 附图 5 页

[54] 发明名称

用自对准硅化物工艺形成的 MOSFET 及其制造方法

[57] 摘要

半导体器件具备 MOSFET。该 MOSFET，具备源/漏区、栅绝缘膜、栅电极和第 1、第 2、第 3 金属硅化物膜。源/漏区在半导体衬底的主表面区域中形成。栅绝缘膜在源/漏区间的沟道区上形成。栅电极，包括在上述栅绝缘膜上形成， $\text{Ge}/(\text{Si} + \text{Ge})$ 组成比 x ($0 < x < 0.2$) 的 $\text{poly-Si}_{1-x}\text{Ge}_x$ 层。第 1 金属硅化物膜，在上述栅电极上形成，由 $\text{NiSi}_{1-y}\text{Ge}_y$ 构成。第 2、第 3 金属硅化物膜，分别在上述源/漏区上形成，由 NiSi 构成。



1. 一种具备 MOSFET 的半导体器件, 上述 MOSFET 包括:
在半导体衬底的主表面区域中形成的源区和漏区;
在上述源区和漏区间的沟道区上形成的栅绝缘膜;
该半导体器件的特征在于包括:
在上述栅绝缘膜上形成, 含有 Ge/(Si+Ge) 组成比为 x 的多晶 $\text{Si}_{1-x}\text{Ge}_x$ 层的栅电极, 其中 $0 < x < 0.2$;
在上述栅电极上形成, 由 $\text{NiSi}_{1-y}\text{Ge}_y$ 构成的第 1 金属硅化物膜, 其中 $0 < y < 0.2$, ; 和分别在上述源区和漏区上形成, 由 NiSi 构成的第 2、第 3 金属硅化物膜。
2. 根据权利要求 1 所述的半导体器件, 上述 Ge / (Si + Ge) 组成比, 更为理想的是在 $0.04 \leq x \leq 0.16$ 的范围内。
3. 根据权利要求 1 所述的半导体器件, 还具备: 在上述 MOSFET 上形成的层间绝缘膜; 在上述层间绝缘膜的上述栅电极上形成的第 1 接触孔内形成的第 1 金属插针; 存在于上述第 1 金属插针和上述第 1 金属硅化物膜间的第 1 势垒金属层; 分别在上述层间绝缘膜的上述源区和漏区上形成的第 2、第 3 接触孔内形成的第 2、第 3 金属插针; 和存在于上述第 2、第 3 金属插针与上述第 2 金属硅化物膜之间的第 2、第 3 势垒金属层。
4. 根据权利要求 3 所述的半导体器件, 其中上述第 1 到第 3 金属插针是钨, 上述第 1 到第 3 势垒金属层包括 TiN。
5. 根据权利要求 1 所述的半导体器件, 其中上述栅电极中的多晶 $\text{Si}_{1-x}\text{Ge}_x$ 层的膜厚, 是上述第 1 金属硅化物膜的膜厚的至少 2 倍。
6. 根据权利要求 1 所述的半导体器件, 还具备在上述半导体衬底中形成的阱区, 上述源区和漏区在上述阱区中形成, 而且, 上述源区和漏区是具有源区和漏区扩展的构造, 具有高浓度的第 1、第 2 杂质扩散区, 和上述第 1、第 2 杂质扩散区中的沟道区侧设置的低浓度的第 3、第 4 杂质扩散区。
7. 一种半导体器件的制造方法, 包括:

在半导体衬底上形成栅绝缘膜;

其特征在于包括:

在上述栅绝缘膜上形成含有 Ge/(Si+Ge) 组成比为 x 的多晶 $\text{Si}_{1-x}\text{Ge}_x$ 层的栅电极, 其中 $0 < x < 0.2$;

向上述半导体衬底的主表面区域中导入杂质形成源区和漏区,

在上述栅电极上和上述源区和漏区上形成 Ni 膜,

进行热处理把上述栅电极上的 Ni 膜转换成 $\text{NiSi}_{1-y}\text{Ge}_y$ 膜, 其中 $0 < y < 0.2$, 而且把上述源区和漏区上的 Ni 膜转换成 NiSi 膜。

8. 根据权利要求 7 所述的半导体器件的制造方法, 其中上述 Ge / (Si + Ge) 组成比, 更为理想的是在 $0.04 < x < 0.16$ 的范围内。

9. 根据权利要求 7 所述的半导体器件的制造方法, 还具备:

在上述 $\text{NiSi}_{1-y}\text{Ge}_y$ 膜上和上述 NiSi 膜上形成层间绝缘膜, 在与上述层间绝缘膜上述栅电极上和上述源区和漏区上对应的位置上, 分别形成第 1 到第 3 接触孔,

在上述第 1 到第 3 接触孔内形成第 1 到第 3 势垒金属层, 和

向上述第 1 到第 3 接触孔内上述第 1 到第 3 势垒金属层上埋入形成第 1 到第 3 金属插针。

10. 根据权利要求 7 所述的半导体器件的制造方法, 其中在形成上述栅绝缘膜之前, 还具备:

在上述半导体衬底的主表面上形成元件隔离构造, 和

在被上述元件隔离构造划分成区的有源元件区域上形成阱区。

11. 根据权利要求 7 所述的半导体器件的制造方法, 其中,

形成上述源区和漏区, 包括:

以上述栅电极为掩模, 向上述半导体衬底的主表面区域中离子注入杂质, 形成低浓度的第 1、第 2 杂质扩散区,

在上述栅电极的侧壁部上形成侧壁绝缘膜,

以上述栅电极和上述侧壁绝缘膜为掩模, 向上述半导体衬底的主表面区域内离子注入杂质, 形成高浓度的第 3、第 4 杂质扩散区。

12. 根据权利要求 9 所述的半导体器件的制造方法, 其中,

形成上述层间绝缘膜，包括：

向上述半导体衬底的主表面上和上述栅电极上表面和侧壁部分上淀积形成氮化硅膜，和

向上述氮化硅膜上，淀积形成氧化硅膜。

13. 根据权利要求9所述的半导体器件的制造方法，其中，形成上述第1到第3势垒金属层，包括：

在上述层间绝缘膜上和上述第1到第3接触孔内形成Ti膜，和通过使上述Ti膜氮化，至少使一部分变成为TiN膜。

14. 根据权利要求9所述的半导体器件的制造方法，其中，埋入形成上述第1到第3金属插针，包括：

在上述层间绝缘膜上和上述第1到第3接触孔内，用CVD法形成钨，和

通过进行CMP以进行平坦化，使上述钨残存在上述第1到第3接触孔内，形成第1到第3金属插针。

用自对准硅化物工艺形成的 MOSFET 及其制造方法

技术领域

本发明涉及半导体器件及其制造方法。特别是涉及使用自对准硅化物工艺形成的晶体管(MOSFET)及其制造方法,是一种可在栅电极和源/漏区与它们的引出电极之间的接触部分中应用的技术。

背景技术

近些年来,作为 MOSFET 的栅电极的材料,为了抑制耗尽化,人们正在进行导入多晶硅锗(poly-SiGe)的研究。但是,现在,作为接触材料主要使用着的 CoSi_2 , 虽然在第 1 低温 RTA (400℃左右)下会形成 $\text{Co}(\text{Si}_{1-y}\text{Ge}_y)$, 但是,在第 2 高温 RTA (700℃左右)下却因吐出 Ge 而形成富锗的岛状的 SiGe 层和 CoSi_2 。其结果是出现表面电阻的显著上升(例如,参看 Z. Wang, D. B. Aldrich, Y. L. Chen, D. E. Sayers and R. J. Nemanich, Thin Solid Films, Vol. 270 (1995) 555-560)。为此,人们知道:在栅电极使用 poly-SiGe 的情况下,就必须向与 CoSi_2 之间的界面上导入多晶硅顶盖层。

此外,在栅长度为 50nm 产品代以后的 MOSFET 中,作为目的为适用自对准硅化物工艺的接触材料人们正在研究 NiSi。作为该 NiSi 的缺点,与迄今为止一直使用着的 TiSi_2 或 CoSi_2 比,可以举出耐热性低的缺点。但是,在 poly-SiGe 上作为接触材料使用 NiSi 的情况下,却不会产生在上述 CoSi_2 中表现出来的这样的与 poly-SiGe 之间的激烈的不匹配。为了进一步提高耐热性,人们提出了(例如参看日本国特许公开公报 H11-214680 号)‘在引出电极 28 的下层侧使用 $\text{Si}_x(\text{Ge}_y\text{C}_{1-y})_{1-x}$ 化合物层 28a’ 这样的方案。

在该日本国特许公开公报中讲述的发明的要旨,是采用减小与栅电极或源/漏扩散层之间的界面不匹配的办法,抑制后热工序后的肖特基势垒变化、与之相伴的接触电阻的变化。

然而,人们知道除上述耐热性之外,还存在着在高温的热工序后 Ni 硅

化物的表面电阻增加的问题。作为其原因，人们认为是高电阻率的 NiSi_2 的形成(相转移)或凝集。

作为其对策，有向 Ni/Si 和 Ni/SiGe 界面内导入 Co 中间层的报告(例如参看：J-S. Maa, D.J. Tweet, Y. Ono, L. Stecker and S.T. Hsu, Mat. Res. Soc. Symp. Proc. Vol. 670, K6.9.1 (2001))。但是，结果却成为会增加制造工艺等的在集成化方面的课题。

发明内容

本发明的一个方面，提供一种具备 MOSFET 的半导体器件，上述 MOSFET 包括：在半导体衬底的主表面区域中形成的源区和漏区；在上述源区和漏区间的沟道区上形成的栅电极膜；在栅绝缘膜上形成，含有 $\text{Ge}/(\text{Si}+\text{Ge})$ 组成比为 x ($0 < x < 0.2$) 的 poly(多晶) $\text{Si}_{1-x}\text{Ge}_x$ 层的栅电极；在上述栅电极上形成，由 $\text{NiSi}_{1-y}\text{Ge}_y$ 构成的第 1 金属硅化物膜；和分别在上述源区和漏区上形成，由 NiSi 构成的第 2、第 3 金属硅化物膜。

本发明的另一个方面，提供一种半导体器件的制造方法，包括：在半导体衬底上形成栅绝缘膜；在上述栅绝缘膜上形成含有 $\text{Ge}/(\text{Si}+\text{Ge})$ 组成比为 x ($0 < x < 0.2$) 的多晶 $\text{Si}_{1-x}\text{Ge}_x$ 层的栅电极；在上述半导体衬底的主表面区域上导入杂质形成源区和漏区；在上述栅电极上和上述源区和漏区上形成 NiSi 膜，和进行热处理把上述栅电极上的 Ni 膜转换成 $\text{NiSi}_{1-y}\text{Ge}_y$ 膜，而且把上述源区和漏区上的 Ni 膜转换成 NiSi 膜。

附图说明

图 1 是 MOSFET 的剖面构成图，用来对本发明的实施方案的半导体器件进行说明。

图 2 的第 1 工序剖面图，示出了图 1 的 MOSFET 的制造工序，用来说明本发明的实施方案的半导体器件的制造方法。

图 3 是接在图 2 后边的第 2 工序剖面图，示出了图 1 的 MOSFET 的制造工序，用来说明本发明的实施方案的半导体器件的制造方法。

图 4 是接在图 3 后边的第 3 工序剖面图，示出了图 1 的 MOSFET 的制造

工序，用来说明本发明的实施方案的半导体器件的制造方法。

图 5 是接在图 4 后边的第 4 工序剖面图，示出了图 1 的 MOSFET 的制造工序，用来说明本发明的实施方案的半导体器件的制造方法。

图 6 是接在图 5 后边的第 5 工序剖面图，示出了图 1 的 MOSFET 的制造工序，用来说明本发明的实施方案的半导体器件的制造方法。

图 7 的特性图示出了在 p 沟型 MOSFET 的掺硼栅电极上形成的金属硅化物膜的 Ge 浓度与表面电阻之间的关系。

图 8A 的模式图用来说明实际的器件中的 p 型和 n 型的杂质的重叠注入部分的概念。

图 8B 的模式图用来说明实际的器件中的因 PEP 的套刻偏差等产生的非掺杂部分的概念，和

图 9 的特性图示出了具有非掺杂部分的栅电极上的金属硅化物膜中的 Ge 浓度与表面电阻之间的关系。

具体实施方式

图 1 是 MOSFET 的剖面构成图，用来对本发明的实施方案的半导体器件进行说明。

衬底 1，是 N 型硅衬底或 P 型硅衬底，在该衬底 1 的主表面上例如借助于埋入元件隔离法等形成有元件隔离构造 2。此外，在被该元件隔离构造 2 分区的衬底 1 的有源元件区域中，形成有 P 型或 N 型的阱区 3。在该阱区 3 内，使之把沟道区夹在之间那样地形成源/漏区 S0、DR。该源/漏区 S0、DR，是具有源/漏扩展的构造，用高浓度的杂质扩散区 9、9，和在这些扩散区 9、9 中靠近沟道区侧设置的低浓度的杂质扩散区 6、6 形成。在该源/漏区 S0、DR 中上述高浓度的杂质扩散区 9、9 上，用自对准硅化物工艺形成有金属硅化物膜 (NiSi) 10a。

在上述源/漏区 S0、DR 间的沟道区上，形成有栅绝缘膜 4。该栅绝缘膜 4 的材料，虽然也可以是氧化硅膜，但是理想的是含有氮化硅膜。在上述栅绝缘膜 4 上，形成有栅电极 5。该栅电极 5，成为 poly-Si_{0.88}Ge_{0.12} 层的一层构造，或在 poly-Si 层上叠层上 poly-Si_{0.88}Ge_{0.12} 层的二层构造。该

poly-Si_{0.88}Ge_{0.12}层,使其 Ge/(Si+Ge)组成比为 x ($0 < x < 0.2$, 更为理想的是 $0.04 \leq x \leq 0.16$) 的 poly-Si_{1-x}Ge_x是合适的,在这里,作为其一个例子使用的是 poly-Si_{0.88}Ge_{0.12}。

在上述栅电极 5 上,用自对准硅化物工艺形成金属硅化物 (NiSi_{1-y}Ge_y (y 和 x 大体上相等),例如 NiSi_{0.88}Ge_{0.12}) 10b。在上述栅电极 5 的侧壁部分上,设置作为后氧化膜 7、7 的氧化硅膜和侧壁绝缘膜 8、8。上述侧壁绝缘膜 8、8,是为了形成上述那样的源/漏区 S0、DR,在制造工艺上必须的构造,例如可以用氮化硅膜和氧化硅膜形成。另外,在上述栅电极 5 的侧壁部分上,也可以设置补偿(offset)衬垫。

在上述 MOSFET 上,形成含有氮化硅膜 11 和氧化硅膜 12 的层间绝缘膜。在与该层间绝缘膜的上述源/漏区 S0、DR (金属硅化物 10a、10a) 对应的位置和与栅电极 5 (金属硅化物 10b) 对应的位置上,形成接触孔 15-1、15-2、15-3。在这些接触孔 15-1、15-2、15-3 内,中间存在着 TiN 或把 TiN 和 Ti 叠层起来的势垒金属层 13-1、13-2、13-3 地埋入形成钨(W) 插针 14-1、14-2、14-3。

然后,在上述层间绝缘膜上,在已分别与上述 W 插针 14-1、14-2、14-3 电连起来的状态下,形成源布线 16-1、漏布线 16-2 和栅布线 16-3 等的引出电极。

就如在本实施方案中所示的那样,MOSFET 的栅电极材料,由于使用 x ($0 < x < 0.2$, 更为理想的是 $0.04 \leq x \leq 0.16$) 的 poly-Si_{1-x}Ge_x层,故可以抑制栅电极 5 上的金属硅化物 10b 表面电阻上升。因此,可以减小晶体管的寄生电阻,可以使开关速度高速化。

然而,如上所述虽然作为栅电极 5,可以使用 poly-Si_{1-x}Ge_x的一层构造,或 poly-Si_{1-x}Ge_x / poly-Si 这样的 2 层构造 (poly-Si 与栅绝缘膜之间界面侧),但是如果这时的 poly-Si_{1-x}Ge_x层的膜厚薄,则 Ni 将穿透 Si_{1-x}Ge_x 优先地与 Si 进行反应。在 Ni 的情况下,归因于反应而消耗的基底 Si_{1-x}Ge_x 的膜厚,与反应前的 Ni 膜厚是同等程度的膜厚。此外,当考虑 Ni Si_{1-y}Ge_y / Si_{1-x}Ge_x界面的表面坡度不平整的宽余度时,膜厚是反应前的 Ni 膜厚的至少 2 倍左右是理想的。

另外,根据本发明人等的实验,在 $\text{Si}_{1-x}\text{Ge}_x$ 的膜厚薄的时候,出现表面电阻上升,在进行剖面 TEM 观察时,得知 Ni 硅化物因穿过 $\text{Si}_{1-x}\text{Ge}_x$ 与 Si 反应而凝集起来。这被认为是比起 Ni-Ge 的化学键来 Ni-Si 的化学键这一方在能量上是稳定的,故比起 Ni $\text{Si}_{1-y}\text{Ge}_y$ 来更易于向 NiSi 进展。

倘采用上述那样的构成,在作为接触材料使用 NiSi 的情况下,因避免了归因于高温的后热工序使得源/漏区或与栅电极之间的界表面电阻上升或表面电阻上升等的耐热性的问题而可以使晶体管的开关速度高速化。

其次,对在上述图 1 中所示的 MOSFET 的制造方法进行说明。图 2 到图 6 的剖面图按照工序顺序分别示出了上述图 1 所示的 MOSFET 的制造方法。

首先,如图 2 所示,在 P 型硅衬底或 N 型硅衬底 1 上,用例如埋入元件隔离法等,形成深度 300nm 左右的元件隔离构造 2。然后,进行热氧化在有源元件区域上形成 10nm 左右的氧化硅膜,隔着该氧化膜地向上述衬底 1 中离子注入杂质,形成阱区 3 和沟道阻挡层。作为这时的典型的离子注入条件,例如,在要形成 P 阱区的情况下,注入硼(B)的条件为加速能量为 260keV、剂量为 $2.0 \times 10^{13} \text{cm}^{-2}$,在 n 阱区的情况下注入磷(P)的条件为加速能量为 500keV、剂量为 $2.5 \times 10^{13} \text{cm}^{-2}$ 。

然后,如图 3 所示,在有源元件区域上,以 1~5nm 的厚度形成栅绝缘膜 4 (Si_3Ni_4 、 $\text{SiO}_2 + \text{Si}_3\text{Ni}_4$ 、或 $\text{SiO}_x\text{Ni}_y + \text{Si}_3\text{Ni}_4$)。接着,在该栅绝缘膜 4 上,使例如 poly- $\text{Si}_{0.88}\text{Ge}_{0.12}$ (或以 poly-Si、poly- $\text{Si}_{0.88}\text{Ge}_{0.12}$ 的顺序)成膜并借助于图形化形成栅电极 5。接着,进行后氧化工序在上述衬底 1 的主表面上,在上述栅电极 5 上表面和侧壁上分别形成后氧化膜 7。其次,根据需要,在上述栅电极 5 的侧壁上形成了补偿衬垫(未画出来)后,以上述栅电极 5 为掩模,向衬底 1 的主表面区域中进行离子注入,形成源/漏扩展区域(低浓度的杂质扩散区域 6、6)。用来形成上述扩展区域的典型的离子注入条件,在 N 型的情况下,注入砷(As)的条件为:加速能量为 10keV、剂量为 $5 \times 10^{14} \text{cm}^{-2}$,在 P 型的情况下注入 BF_3 的条件为:加速能量为 7keV、剂量为 $5 \times 10^{14} \text{cm}^{-2}$ 。

其次,如图 4 所示,在实施了 800℃左右的激活化 RTA (快速热退火处理)之后,用 CVD 法、各向异性刻蚀法等的技术,形成含有氮化硅膜和氧

化硅膜的侧壁绝缘膜 8、8。然后,采用以上述栅电极 5 和侧壁绝缘膜 8、8 为掩模,向衬底 1 的主表面区域中进行离子注入的办法,形成深的结部分(高浓度的杂质扩散区域 9、9),用来形成该深的结部分的典型的离子注入条件,在 N 型的情况下,注入 As 的条件为:加速能量为 50keV、剂量为 $7 \times 10^{15} \text{cm}^{-2}$,在 P 型的情况下,注入 B 的条件为:加速能量为 5keV、剂量为 $4 \times 10^{15} \text{cm}^{-2}$ 。然后,采用实施 1000℃ 左右的激活化 RTA 的办法,进行作为源/漏区 S0、DR 起作用的杂质扩散层的杂质的激活化。

其次,如果在源/漏区 S0、DR 上和栅电极 5 上残存有上述后氧化膜 7,则要借助于药液处理进行剥离。然后,用溅射法(或 CVD 法)在整个面上成膜 Ni 膜。该 Ni 膜的膜厚,定为 10 到 15nm 左右。如果把 Ni 膜的膜厚形成得越厚,虽然可以抑制因凝集而产生的表面电阻上升,但是,反过来由于结反向漏流等级会上升,故作成为上述 10 到 15nm 左右是理想的。其次,借助于 500℃ 的 RTA,分别把源/漏区 S0、DR 上和栅电极 5 上的 Ni 膜,转换成金属硅化物膜(NiSi)10a 和金属硅化物膜($\text{NiSi}_{0.88}\text{Ge}_{0.12}$)10b。在 RTA 温度低到 450℃ 以下的情况下,反应不能充分地进行,在 $\text{NiSi}_{0.88}\text{Ge}_{0.12}$ 表面上 $\text{Ni}_{2}\text{Si}_{0.88}\text{Ge}_{0.12}$ 残存下来。如果在该 $\text{Ni}_{2}\text{Si}_{0.88}\text{Ge}_{0.12}$ 残存下来的状态下,进行含有 HCl 和 H_2O_2 或 O_3 的药液处理,则会因过剩的 Ni 与药液反应而产生膜剥离。此外,若对剥离部分进行分析,则因该地方的 Ni 消失,而可观察到 SiO_2 层。接着,当用选择刻蚀除去未反应的金属(Ni 膜)后,就变成成为图 5 所示的那样。

然后,如图 6 所示,在整个面上作为层间绝缘膜淀积形成氮化硅膜 11 和氧化硅膜 12 之后,借助于 CMP 处理进行表面的平坦化。接着,借助于 RIE,形成用来形成源/漏区 S0、DR 和栅电极 5 的引出电极的接触孔 15-1、15-2、15-3 的开口。然后,在 CVD 成膜之后,采用在 N_2 气氛(或 NH_3 气氛、或 FG(含有 3%的 H_2 的 N_2)气氛)中用 550℃ 左右的温度实施 60 分钟的退火以使之氮化的办法形成至少使一部分变成为 TiN 的势垒金属层 13-1、13-2、13-3。该退火,就变成为金属硅化物 10a、10b 形成后的最高温度热工序。此外,用 CVD 法,埋入形成钨(W)插针 14-1、14-2、14-3,采用进行 CMP 的办法,使层间绝缘膜的表面平坦化。

然后,在蒸镀上铝等的金属后,使之图形化形成源布线 16-1、漏布线 16-2 和栅布线 16-3 等的引出电极,形成图 1 所示的那样的 MOSFET。

在本实施方案中重要的是作为栅电极材料的 $\text{poly-Si}_{1-x}\text{Ge}_x$ 的 $\text{Ge}/(\text{Si}+\text{Ge})$ 组成比。图 7 示出了在 P 沟型 MOSFET 的掺硼(B)栅电极 ($\text{poly-Si}_{1-x}\text{Ge}_x$) 上形成的金属硅化物 ($\text{NiSi}_{1-y}\text{Ge}_y$) 膜的 Ge 浓度与栅电极上的金属硅化物的表面电阻之间的关系。换句话说,示出了表面电阻对 $\text{Ge}/(\text{Si}+\text{Ge})$ 组成比的依赖性。由图 7 可知,虽然组成比 $\text{Ge}/(\text{Si}+\text{Ge})$ 在 0 到 0.16 (0~16%) 的范围内,表面电阻几乎不变化,但是,在 0.2 (20%) 以上却会出现表面电阻的急剧地上升。

该倾向,在 n 沟型 MOSFET 的掺磷(P)或掺砷(As)的栅电极 $\text{poly-Si}_{1-x}\text{Ge}_x$ 上的金属硅化物中,也是同样的。

然而,在实际的器件中,存在着图 8A 所示的那样的 p 型和 n 型杂质的重叠注入部分,或图 8B 所示的那样的 PEP 的套刻偏差等产生的非掺杂部分。

图 9 示出了在具有相当于上述图 8B 的非掺杂部分的栅电极 ($\text{poly-Si}_{1-x}\text{Ge}_x$) 上的金属硅化物 ($\text{NiSi}_{1-y}\text{Ge}_y$) 膜中的 Ge 浓度与表面电阻之间的关系。就是说,示出了表面电阻对 $\text{Ge}/(\text{Si}+\text{Ge})$ 组成比的依赖性。在该情况下,倾向与图 7 所示的情况完全不同,在栅电极 ($\text{poly-Si}_{1-x}\text{Ge}_x$) 的 $\text{Ge}/(\text{Si}+\text{Ge})$ 组成比与 0 对应的栅电极 (poly-Si) 中出现了表面电阻上升。作为物理解析,进行剖面 SEM 观察和 EDX 分析,观测到了在含有 poly-Si 层的栅电极上的 NiSi 膜中伴随着向 NiSi_2 膜进行的相转移产生了凝集。另一方面,在本实施方案中使用的含有 $\text{poly-Si}_{0.88}\text{Ge}_{0.12}$ 层的栅电极上的 $\text{NiSi}_{0.88}\text{Ge}_{0.12}$ 膜中,则未观测到相转移。

在这里,图 9 所示的 poly-Si 和 $\text{poly-Si}_{1-x}\text{Ge}_x$ 的晶粒直径,使用的是大体上相同的晶粒。作为耐热性的倾向,该晶粒直径越大就越易于进行凝集,表面电阻也越上升。此外,在晶粒直径小的情况下,虽然难于进行凝集,但是却易于产生向 NiSi_2 进行的相转移,会出现伴随于此的表面电阻上升。

就如在上述实施方案中所示的那样,采用选择含有 $\text{Ge}/(\text{Si}+\text{Ge})$ 组成比为 x ($0 < x < 0.2$, 更为理想的是 $0.04 < x < 0.16$) 的 $\text{poly-Si}_{1-x}\text{Ge}_x$ 层的栅电极

材料的办法,就可以抑制含有掺入了上述杂质的 $\text{poly-Si}_{1-x}\text{Ge}_x$ 层的栅电极,和由非掺杂的 $\text{poly-Si}_{1-x}\text{Ge}_x$ 构成的栅电极这双方的表面电阻上升。

因此,在在金属硅化物形成后已实施了热工序的 MOSFET 中,就可以抑制栅电极上的金属硅化物的表面电阻上升。得益于该表面电阻上升的抑制,就可以实现伴随于此的因晶体管的寄生电阻的减小得到的开关速度的高速化。而且,由于也可以抑制种种的图形部分处,例如,在因 PEP 的套刻偏差产生的非掺杂部分处的表面电阻上升,故可以改善制造成品率和可靠性。

另外,在上所说的实施方案中,对栅电极说明了 Ni 与 SiGe 的组合。但是,除此之外,还对在源/漏区的 Si 衬底上外延生长 Si 或 SiGe,形成结深的尝试进行了研究。对于该情况,采用与栅电极上同样使 Ge 浓度变成上所说的那样的低浓度的办法,就可以抑制 Ni 硅化物的凝集和向 NiSi_2 的相转移。

如上所述,倘采用本发明的一个方面,在作为接触材料使用 NiSi 的情况下,可以得到因避免由高温的后热工序产生的栅电极的表面电阻上升这样的耐热性的问题而可以使晶体管的开关速度高速化的半导体器件。

此外,还可以得到可以提高制造成品率和可靠性的半导体器件的制造方法。

对于那些本专业的技术人员来说还存在着另外一些优点和变形。因此,本发明就其更为广阔的形态来说并不限于上述详述和实施方案所示。此外,就如所附技术方案及其等同物所限定的那样,还可以有许多变形而不偏离总的发明的宗旨。

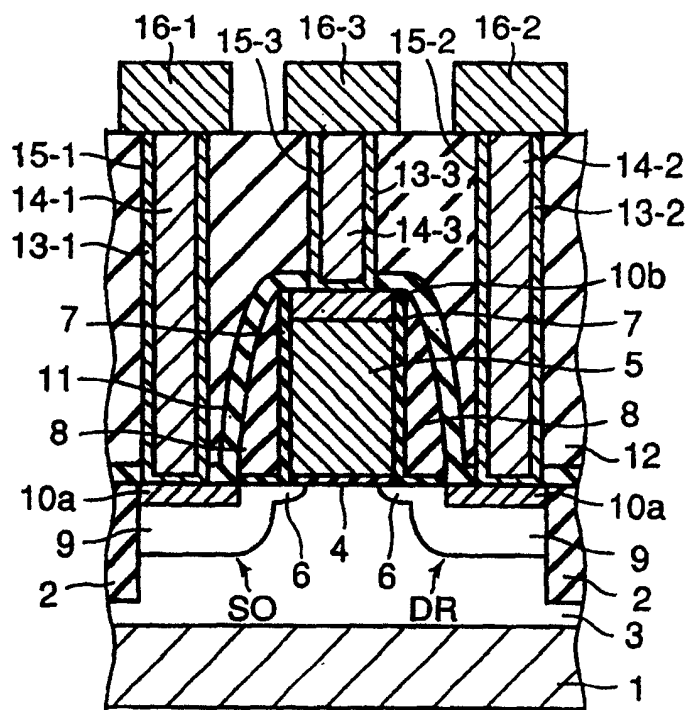


图1

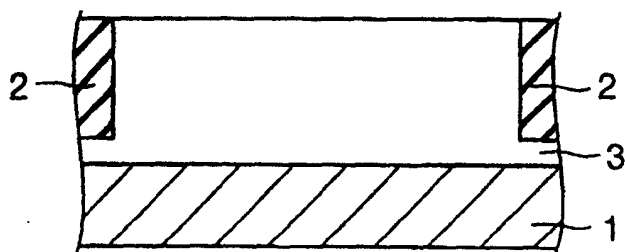


图2

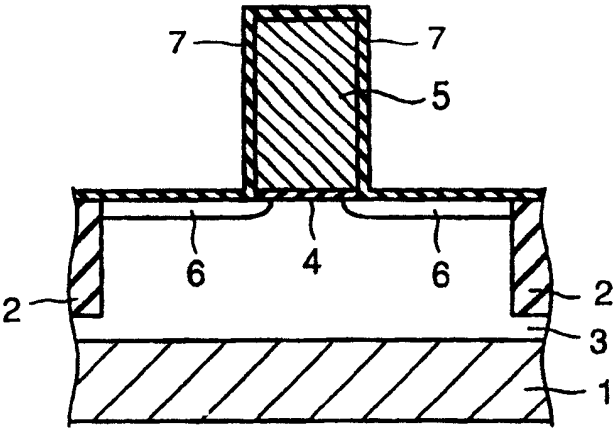


图3

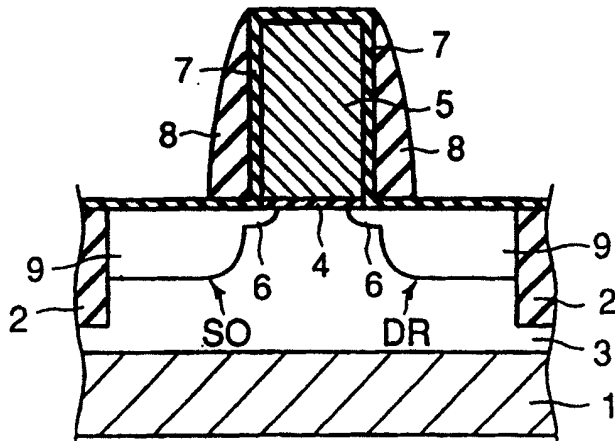


图4

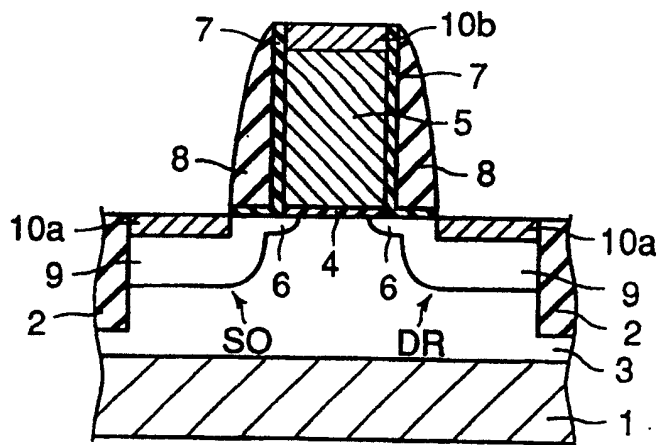


图5

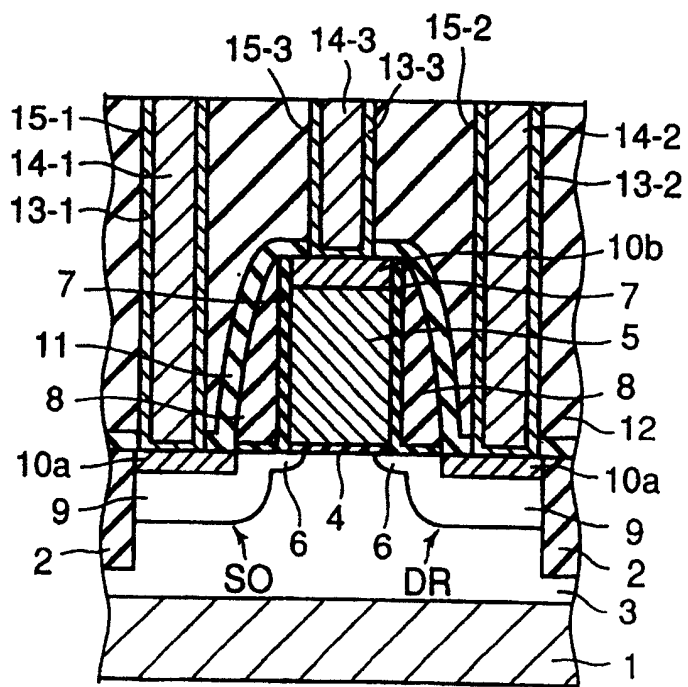


图6

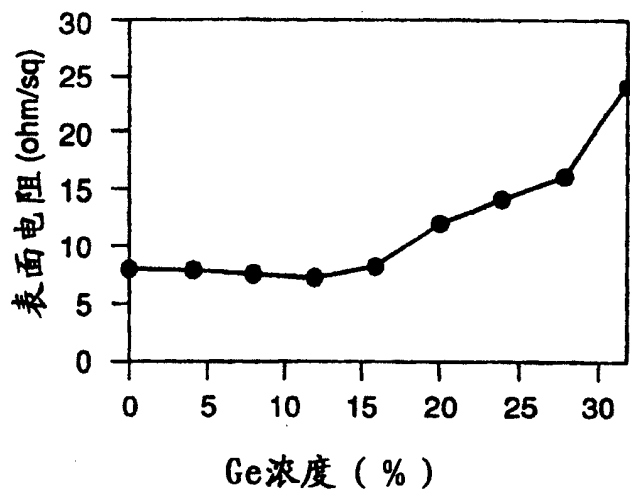
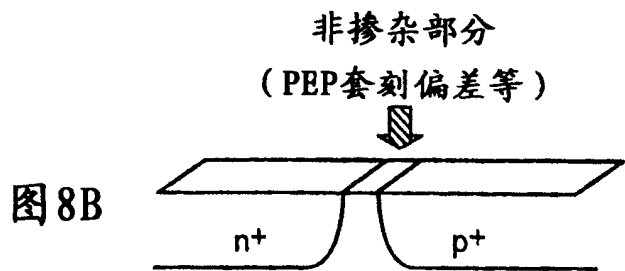
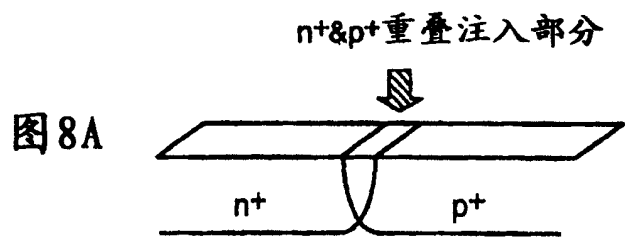


图 7



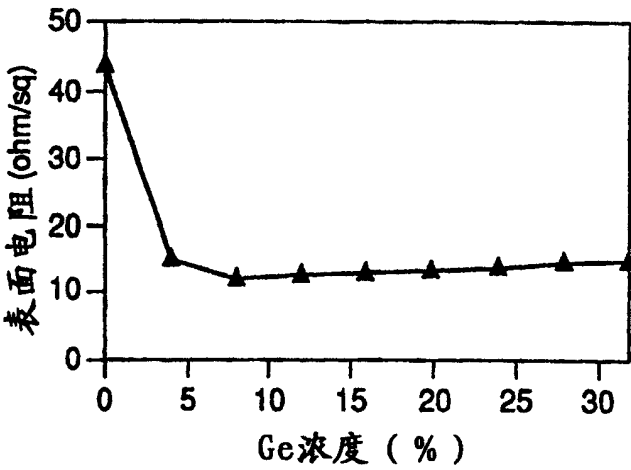


图9