

發明專利說明書 200529154

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93/23374

※申請日期：93.8.4

※IPC 分類：

G06F 3/00, 3/00

一、發明名稱：(中文/英文)

液晶顯示裝置

LIQUID CRYSTAL DISPLAY DEVICE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商東芝松下顯示技術股份有限公司

TOSHIBA MATSUSHITA DISPLAY TECHNOLOGY CO., LTD.

代表人：(中文/英文)

米澤 敏夫

YONEZAWA, TOSHIO

住居所或營業所地址：(中文/英文)

日本國東京都港區港南 4 丁目 1 番 8 號

1-8, KONAN 4-CHOME, MINATO-KU, TOKYO 108-0075, JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 木谷 正克
KITANI, MASAKATSU
2. 宮武 正樹
MIYATAKE, MASAKI

國 籍：(中文/英文)

- 1.2.均日本 JAPAN

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本；2003 年 08 月 14 日；特願 2003-293318

2. 日本；2004 年 02 月 17 日；特願 2004-040128

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於主動式矩陣液晶顯示裝置。

【先前技術】

在字組處理器、個人電腦、便攜式TV及其類似物中，廣泛使用薄且輕便之顯示裝置。特定言之，因為易於實現具有低功率消耗之薄且輕便之液晶顯示裝置，所以已廣泛開發液晶顯示裝置。因此，可以相對低的價格獲取具有高解析度及大型螢幕之液晶顯示裝置。

在液晶顯示裝置中，主動式矩陣液晶顯示裝置在彩色複製方面為極好的且具有較少後影像(afterimage)，在該種顯示裝置中薄膜電晶體(TFT)安置於複數條訊號線與複數條掃描線之間的各別相交處。因而，認為主動式矩陣液晶顯示裝置在將來將成為主流。

在習知主動式矩陣液晶顯示裝置中，驅動訊號線及掃描線之驅動電路形成於不同於上方安置有訊號線及掃描線之陣列基板的基板上。因而，不可能小型化整體液晶顯示裝置。因此，廣泛開發了在陣列基板上積體形成驅動電路之製造過程。

在使用非晶矽TFT之液晶顯示裝置中，驅動IC(積體電路)自陣列基板外提供視訊訊號至訊號線，TCP(帶式載體封裝)藉由使用TAB(帶式自動黏結)方法而安裝於驅動IC之上。然而，隨同高清晰度像素之實現，陣列基板上用以連接驅動IC至陣列基板的連接線路的數目增加了。因而，難以確保

此等連接線路之間的足夠間距。

同時，在使用多晶矽TFT之液晶顯示裝置中，掃描線驅動電路及訊號線驅動電路可積體形成於陣列基板上。因而，可減少外部連接零件之數目。此外，可達成成本降低及連接線路數目之減少。作為藉由進一步減少外部連接零件之數目而實現成本降低的技術，舉例而言，日本專利特許公開申請案第2001-312255號中描述了訊號線選擇性驅動。此技術意欲以如下方式縮減驅動IC之規模：將自驅動IC延伸之視訊輸出線之數目減少一半，允許每一視訊輸出線對應陣列基板上之兩條訊號線，且兩條訊號線之任一條選擇性地進行交換並連接至視訊輸出線。

此外，作為驅動將視訊訊號寫入像素之訊號線的方法，V線反轉驅動方法(V line inversion drive method)及H/V反轉驅動方法為已知。在V線反轉驅動方法中，每一垂直掃描週期提供至訊號線之視訊訊號的極性在正與負之間進行交換，且具有相反極性之視訊訊號提供至鄰近的訊號線。在H/V線反轉驅動方法中，每一水平掃描週期提供至訊號線之視訊訊號的極性在正與負之間進行交換且具有相反極性之視訊訊號提供至鄰近的訊號線。

然而，當將V線反轉驅動方法應用至訊號線選擇性驅動時，存在對整體像素之極性分佈中引起的偏差。因而，存在一問題：易於發生稱為串擾(crosstalk)之顯示故障，其在顯示視窗圖案時沿視窗圖案具有一尾(tail)。

此外，當將H/V反轉驅動方法應用於訊號線選擇性驅動

時，因為視訊訊號之反轉週期較短，所以除了諸如增加之功率消耗的習知問題之外，存在以下問題。具體言之，在半色調(half-tone)光柵顯示中，當視訊訊號提供至所選訊號線時，視訊訊號分別藉由其自身像素與其自身訊號線之間的、其自身像素與鄰近訊號線之間的及其自身訊號線與鄰近訊號線之間的耦合電容來改變處於浮動狀態之鄰近訊號線的電位。因而，存在一問題：對每一訊號線在至像素之寫入電位中存在差異且出現不均勻顯示。

【發明內容】

本發明之一目的為提供能夠縮減驅動IC之規模且在採用訊號線選擇性驅動的情況下防止不均勻顯示之液晶顯示裝置。

本發明之第一態樣為液晶顯示裝置，其包括：一像素顯示零件，其中像素安置於複數條掃描線與複數條訊號線的各別相交處；驅動IC，其經由視訊輸出線而提供視訊訊號；交換電路，每一交換電路對於來自驅動IC之每一視訊輸出線對應N條訊號線的每一群將選自N條訊號線(N為3或大於3之整數)的訊號線連接至視訊輸出線；及一控制電路，其對於每一群經由訊號線將視訊訊號寫入第L條掃描線中之各別像素時，首先選擇提供有極性在第L-1條線(L為不小於1之整數)與第L條線之間進行反轉的視訊訊號之訊號線，並稍後選擇提供有極性不進行反轉的視訊訊號之訊號線。

在本發明中，對於每一視訊輸出線對應N條訊號線之每一群，所選之訊號線連接至視訊輸出線。因而，視訊輸出線

之數目減少至 $1/N$ 且縮減了驅動IC之規模。

此外，關於第L條掃描線，對每一群，首先選擇提供有極性在第L-1條掃描線與第L條掃描線之間進行反轉之視訊訊號的訊號線，且稍後選擇提供有極性不進行反轉之視訊訊號的訊號線。具體言之，極性不反轉之視訊訊號不具有電位變化且鄰近訊號線不受電位變化的影響。因而，稍後提供該視訊訊號至訊號線。因此，所有訊號線均可將視訊訊號寫入像素而不受電位變化之影響。

如上所述，根據本發明，藉由縮減驅動IC之規模，可達成成本降低且可抑制功率消耗。此外，因為所有訊號線均不受電位變化之影響，所以各別像素之電位不發生改變。因此，可防止不均勻顯示。因而，可實現能進行高品質影像顯示之液晶顯示裝置。

本發明之第二態樣為控制電路如此控制每一群中待首先選擇之複數條訊號線之選擇次序，及待稍後選擇之複數條訊號線之選擇次序以使各別像素之寫入條件(write conditions)均勻分佈於整個顯示螢幕，寫入條件與關於每一訊號線在第L-1條線與第L條線之間的視訊訊號之極性反轉的存在有關，且與選擇為第S-1(S為不小於1之整數)條訊號線之訊號線與選擇為第S條訊號線之訊號線之間的視訊訊號之極性反轉的存在有關。

在本發明中，控制訊號線之選擇次序以關於所有訊號線而均勻分佈視訊訊號之寫入條件。因而，由寫入缺陷所引起之不均勻顯示可以是難以看見的。

本發明之第三態樣為對於訊框間具有固定間隔的每一訊框，控制電路改變每一群中待首先選擇之訊號線的選擇次序，及待稍後選擇之訊號線的選擇次序。

在本發明中，可在複數個訊框之間達成各別像素中之有效電位之平均均衡。因此，當以整個螢幕來看時，平均有效電位為規則排列的。因而，可使不均勻顯示成為難以看見的。

【實施方式】

第一實施例

如圖1之電路方塊圖中所示，此實施例之液晶顯示裝置包括：一在玻璃陣列基板1上之像素顯示零件2；掃描線驅動電路3a及3b，其安置於像素顯示零件2之左端及右端處；及一訊號線驅動電路4，其安置於像素顯示零件2之上端處。此外，該液晶顯示裝置包括位於陣列基板1之外的一外部驅動電路21及驅動IC 23a及23b。

在像素顯示零件2中，來自掃描線驅動電路3之複數條掃描線Y1至Y768及來自訊號線驅動電路4之複數條訊號線S1至S3072排列成彼此相交。在各別相交處，安置有像素，每一像素包括一薄膜電晶體11、液晶電容12及輔助電容13。薄膜電晶體11為(例如)MOS-TFT，其汲極端子連接至液晶電容12及輔助電容13，其源極端子連接至訊號線S且其閘極端子連接至掃描線Y。

此處將XGA顯示面板假定為一實例。具體言之，像素顯示零件2包括 $1024 \times 3(\text{RGB}) = 3072$ 條訊號線，768條掃描線及

1024×3(RGB)×768個像素。

掃描線驅動電路3分別驅動掃描線Y1至Y768。訊號線驅動電路4分別驅動訊號線S1至S3072。訊號線驅動電路4包括交換電路5a及5b。交換電路5a驅動訊號線S1至S1536，且交換電路5b驅動訊號線S1537至S3072。

外部驅動電路21產生用以控制掃描線驅動電路3a及3b之掃描線驅動電路控制訊號，及用以控制訊號線驅動電路4中之交換電路5a及5b的訊號線驅動電路控制訊號，且分別經由驅動IC 23a及23b將此等控制訊號傳輸至掃描線驅動電路3a及3b及交換電路5a及5b。此外，外部驅動電路21分別經由驅動IC 23a及23b將視訊訊號傳輸至交換電路5a及5b。

上述之掃描線驅動電路控制訊號包括一起動脈衝及一時脈衝。該訊號線驅動電路控制訊號包括用以控制交換電路5a及5b之交換控制訊號ASW1U、ASW2U、ASW3U及ASW4U。此等控制訊號由外部驅動電路21中之控制電路22產生。

驅動IC 23a及23b具有藉由使用TAB方法而安裝於其上之TCP。來自驅動IC 23a及23b之各別視訊輸出線經由交換電路5a及5b連接至各別訊號線。

對於每一視訊輸出線對應N條訊號線(N為3或大於3之整數)之每一群，每一交換電路5a及5b在N條訊號線中選擇待連接至視訊輸出線之訊號線並交換且連接該訊號線至視訊輸出線。

在此實施例中，舉例而言假定N值為4。在此狀況下，4

條訊號線對於每一視訊輸出線而在其中進行交換並連接至視訊輸出線。因此，視訊輸出線之數目為訊號線之數目的 $1/4$ 。關於交換電路5a，需要384條視訊輸出線用於1536條訊號線。因此，在具有3072條訊號線之整個XGA顯示面板中，僅需要兩個均具有384個視訊輸出線之輸出端子的驅動IC 23。

若不執行上述之該交換連接，則需要 $3072/384 = 8$ 個相同的驅動IC。另一方面，此實施例之液晶顯示裝置僅需要兩個驅動IC。因而，可顯著縮減其規模。

驅動IC 23a將視訊訊號D1至D384傳輸至交換電路5a。驅動IC 23b將視訊訊號D385至D768傳輸至交換電路5b。

如圖2之電路方塊圖中所示，交換電路5a及5b包括基本交換電路25，每一交換電路對應兩條訊號輸出線。具體言之，每一交換電路5a及5b包括 $384/2 = 192$ 個基本交換電路25。

如圖3之電路圖中所示，在輸入視訊訊號D1及D2之基本交換電路25中，傳輸視訊訊號D1之視訊輸出線分支成4條線。視訊輸出線分別經由類比交換器ASW1至ASW4連接至訊號線S1至S4。此處將訊號線S1至S4稱為第一群。

同樣地，傳輸視訊訊號D2之視訊輸出線亦分支為四條線。視訊輸出線分別經由類比交換器ASW5至ASW8連接至訊號線S5至S8。此處將訊號線S5至S8稱為第二群。

傳輸交換控制訊號ASW1U之控制線連接至各別類比交換器ASW1及ASW7之閘極端子。交換控制訊號ASW2U之控制線連接至各別類比交換器ASW2及ASW8之閘極端子。交

換控制訊號 ASW3U 之控制線連接至各別類比交換器 ASW3 及 ASW5 之閘極端子。交換控制訊號 ASW4U 之控制線連接至各別類比交換器 ASW4 及 ASW6 之閘極端子。

所有類比交換器 ASW1 至 ASW8 均為 p-通道 TFT。當交換控制訊號 ASW1U 具有低電位時，接通 ASW1 及 ASW7 且提供視訊訊號至訊號線 S1 及 S7。當交換控制訊號 ASW2U 具有低電位時，接通 ASW2 及 ASW8 且提供視訊訊號至訊號線 S2 及 S8。當交換控制訊號 ASW3U 具有低電位時，接通 ASW3 及 ASW5 且提供視訊訊號至訊號線 S3 及 S5。當交換控制訊號 ASW4U 具有低電位時，接通 ASW4 及 ASW6 且提供視訊訊號至訊號線 S4 及 S6。其他基本交換電路具有與上述相同之組態。

下一步，將描述用以驅動訊號線之方法。在用以選擇並驅動訊號線之方法中，當將視訊訊號提供至所選訊號線時，視訊訊號分別藉由位於其自身像素與其自身訊號線之間、其自身像素與鄰近訊號線之間及其自身訊號線與鄰近訊號線之間的耦合電容而改變沒有視訊訊號傳播之處的處於浮動狀態之鄰近訊號線的電位。因而，存在一問題：對每一訊號線在至像素之寫入電位中存在差異且出現不均勻顯示。

因此，為不導致寫入中之該不均勻顯示，此實施例集中注意於，當提供至訊號線之視訊訊號之極性發生反轉時，鄰近訊號線受電位變化之影響，且當視訊訊號之極性不發生轉時，鄰近訊號線不受電位變化之影響。

更具體言之，在將視訊訊號經由訊號線寫入第L(L為1或大於1之整數)條掃描線之各別像素時，對於一條視訊輸出線對應N條訊號線之每一群，控制電路22控制選擇訊號線之次序以首先選擇提供有極性在第L-1條線與第L條線之間進行反轉的視訊訊號之訊號線，並稍後選擇提供有極性不在第L-1條線與第L條線之間進行反轉的視訊訊號之訊號線。

具體言之，稍後選擇極性不反轉之訊號線使得在寫入中完成寫入處的處於浮動狀態之訊號線不受鄰近訊號線之電位變化的影響。

下文將描述上述控制方法之一實例。此處將2H2V反轉驅動方法作為一實例，其中假定N值為4，將每2個水平掃描週期提供至訊號線之視訊訊號的極性進行交換並將每第三條線中極性發生反轉之視訊訊號提供至鄰近訊號線。

如圖4中左側之視圖中所示，關於第n個訊框(n為正整數)，在提供有視訊訊號D1之訊號線S1之行中的各別像素之極性自Y1至Y4次序為(++--++--...)，且各別像素之極性每2個水平掃描週期進行反轉。在訊號線S2之行中的各別像素之極性的次序為(+--+--+...)，在訊號線S3之行中的各別像素之極性的次序為(--++--++...)，且在訊號線S4之行中的各別像素之極性的次序為(-++--++-)。上述所有各別像素之極性均每2個水平掃描週期進行反轉。

在此實施例之驅動方法中，將一水平掃描週期分成4個選擇週期並提供具有彼此不同之選擇訊號線之次序的兩個群。因此，控制電路22產生用以循序地接通每一群中四個

類比交換器 ASW 之交換控制訊號 ASW1U 至 ASW4U。

在圖 4 中，關於掃描線 Y2 之各別像素，與掃描線 Y1 之各別像素相比，訊號線 S2、S4、S6 及 S8 中之極性發生反轉且訊號線 S1、S3、S5 及 S7 中之極性不發生反轉。

因此，關於第一群，首先選擇極性發生反轉之訊號線 S2 及 S4，且其後，選擇訊號線 S1 及 S3。關於第二群，首先選擇極性發生反轉之訊號線 S6 及 S8，且其後，選擇訊號線 S5 及 S7。儘管每一群均具有待首先選擇之兩條訊號線，但是可首先選擇兩條訊號線之任一條。同樣地，對於待稍後選擇之兩條訊號線，選擇次序亦為任意的。

此處，如圖 4 之中部的視圖中所示，關於掃描線 Y2，當將一水平掃描週期分為 4 個週期時在第一選擇週期中選擇訊號線 S4 及 S6，在第二選擇週期中選擇訊號線 S2 及 S8，在第三選擇週期中選擇訊號線 S3 及 S5 且在第四選擇週期中選擇訊號線 S1 及 S7。因而，在圖 3 中展示之基本類比交換器組塊中，控制電路 22 將交換控制訊號 ASW4U 設定為在第一選擇週期中具有低電位，將交換控制訊號 ASW2U 設定為在第二選擇週期中具有低電位，將交換控制訊號 ASW3U 設定為在第三選擇週期中具有低電位，且將交換控制訊號 ASW1U 設定為在第四選擇週期中具有低電位。

視訊訊號 D2 之極性與視訊訊號 D1 之極性相反。同時，分別在 S4 與 S6 之間、S2 與 S8 之間、S3 與 S5 之間及 S1 與 S7 之間藉由類比交換器 ASW 而同時執行訊號線 S1 至 S4 與 S5 至 S8 的交換。因而，如圖 4 中之左側視圖中所示，訊號線 S5 至 S8

之各別行中的像素之極性與訊號線S1至S4之各別行中的像素之極性相同。應注意，如圖4中之右側視圖中所示，總結了各別像素之極性及選擇訊號線之次序。

此處，假定為半色調光柵顯示使得正極性之電位為7 V且負極性之電位為3 V。當集中注意於圖4中之掃描線Y2之列時，在第一群中，在第一選擇週期中選擇訊號線S4且訊號線之電位自3 V變至7 V。在此變化之影響下，處於浮動狀態之鄰近訊號線S3及S5之電位亦發生改變。當在第二選擇週期中選擇訊號線S2時，訊號線S2之電位自7 V變至3 V。在此變化之影響下，處於浮動狀態之鄰近訊號線S1及S3之電位亦發生改變。當在第三選擇週期中選擇訊號線S3時，訊號線S3之電位不自3 V發生改變。因此，此時處於浮動狀態之鄰近訊號線S2及S4不受電位變化之影響。此訊號線S3受到第一選擇週期中的訊號線S4之電位變化之影響。然而，因為視訊訊號是在第三選擇週期中新近寫入像素，所以不留有第一選擇週期中的電位變化之影響。最後，當在第四選擇週期中選擇訊號線S1時，訊號線S1之電位不自7 V發生改變。因而，處於浮動狀態之鄰近訊號線S2不受電位變化之影響。訊號線S1受到第二選擇週期中的訊號線S2之電位變化之影響。然而，因為視訊訊號是在第四選擇週期中新近寫入像素，所以不留有第二選擇週期中的電位變化之影響。

如上所述，第一及第二選擇極性發生反轉之訊號線，且第三及第四選擇極性不發生反轉之訊號線。因此，可將視

訊訊號寫入像素而不受所有訊號線上之電位變化的影響。應注意，此處將第二列之掃描線Y2作為實例而加以描述。然而，其他列情況相同。

圖5展示關於第n+1個訊框的各別像素之極性及選擇訊號線之次序，如圖4之情況。在第n+1之訊框中，儘管各別像素之極性與第n個訊框中之各別像素之極性相反，但是選擇訊號線之次序與第n個訊框之次序相同。

圖6為對每一掃描線總結了各別類比交換器ASW1至ASW4之接通與斷開狀態的視圖。圖6中之圓圈標記指示類比交換器ASW之接通狀態且交叉標記指示其斷開狀態。舉例而言，在掃描線Y2中，如上所述，以ASW4、ASW2、ASW3及ASW1之次序循序接通類比交換器。第n個訊框及第n+1個訊框之情況均與此相同。

因此，根據此實施例，對一條訊號輸出線對應N條訊號線之每一群，所選訊號線經由類比交換器ASW循序連接至視訊輸出線。因此，視訊輸出線之數目減少至 $1/N$ 。因而，可縮減驅動IC 23之規模。因此，可達成成本降低及低功率消耗。

根據此實施例，關於第L條掃描線，在每一群中，首先選擇提供有極性在第L-1條線與第L條線之間進行反轉的視訊訊號之訊號線且稍後選擇提供有極性不在其間進行反轉的視訊訊號之訊號線。因而，稍後將極性不反轉且不具有電位變化之視訊訊號提供至訊號線。因此，可將視訊訊號寫入像素而不受所有訊號線上之電位變化之影響。因而，可

防止不均勻顯示且可實現能進行高品質影像顯示之液晶顯示裝置。

應注意，在此實施例中，採用用以4條訊號線之選擇的2H2V反轉驅動方法。然而，該方法並不侷限於此。舉例而言，如圖7之第n個訊框及圖8之第n+1個訊框中所示，可採用用以4條訊號線之選擇的4H4V反轉驅動方法，其中假定N值為4，將每4個水平掃描週期提供至訊號線之視訊訊號的極性進行交換，且提供每第五條線中訊號線之極性發生反轉的視訊訊號。在此狀況下，可如上述之狀況藉由首先選擇提供有極性進行反轉的視訊訊號之訊號線並稍後選擇提供有極性不進行反轉的視訊訊號之訊號線亦可防止不均勻顯示。

此外，如上所述藉由控制選擇次序，舉例而言，即使在採用用以12條訊號線之選擇的2H2V、3H3V、4H4V或6H6V反轉驅動方法之狀況下，同樣可防止不均勻顯示。此外，如上所述藉由使用選擇次序，即使在採用用以N條訊號線之選擇的mHmV反轉驅動方法之狀況下(m為除1之外的N之約數)，同樣可防止不均勻顯示。

此外，儘管在此實施例中描述了XGA顯示面板，但是本發明並不侷限於此。本發明可同樣地應用於除XGA顯示面板之外的顯示面板，例如SXGA顯示面板及UXGA顯示面板。

第二實施例

如第一實施例中之描述，於在一水平掃描週期中藉由交

換視訊訊號而將視訊訊號提供至複數條訊號線之狀況下，訊號線之數目越大，用以將視訊訊號提供至每一訊號線之時間(下文中稱為寫入時間)就變得越短。因而，訊號線之選擇終止於藉由訊號線完成將所要的類比電位寫入像素之前。因此，可出現至像素之寫入缺陷。

存在導致寫入缺陷之兩個因素，包括：(i)在第L-1條線與第L條線之間的視訊訊號之極性反轉(下文中稱為"垂直方向之極性反轉")；及(ii)在待選作第S-1(S為1或大於1之整數)條訊號線之訊號線與待選作第S條訊號線之訊號線之間的視訊訊號之極性反轉(下文中稱為"水平方向之極性反轉")。

因而，關於將視訊訊號之類比電位寫入所選訊號線之難度水平，存在如下之藉由組合因素(i)及(ii)之四個難度水平。

(A)寫入之最困難條件為極性在垂直方向與水平方向均進行反轉之情況。(B)第二最困難條件為極性僅在垂直方向進行反轉之情況。(C)第三最困難條件為極性僅在水平方向進行反轉之情況。(D)寫入之最容易條件為極性在垂直方向及水平方向均不進行反轉之情況。

圖9之上表展示在一水平掃描週期中選擇訊號線之次序及視訊訊號之極性。在圖9之下表中，基於上表中之選擇次序及視訊訊號之極性而施加上述四個寫入條件(A)至(D)。舉例而言，當集中注意於G1線中之第二列之像素時，在垂直方向上，視訊訊號之極性自第一列中寫入之正極性反轉成第二列中之負極性。同時，在水平方向上，視訊訊號之

極性自 R2 線中之第二列之正極性反轉成 G1 線中之第二列之負極性。因而，此像素之寫入條件為 (A)。

同樣地，所有像素之寫入條件均可如圖 9 之下表中所示而加以表示。此處，舉例而言，考慮綠光柵顯示之情況，發現下文所述之情形。具體言之，在圖 9 中，當 G1 線與 G3 線具有相同寫入條件時，G2 線中不包括所有寫入條件之最困難條件 (A)。

在如圖 9 中所示之寫入次序中，當在所有寫入條件 (A) 至 (D) 下均未導致寫入缺陷時，則不存在顯示問題。然而，若僅在所有寫入條件之最困難條件 (A) 下導致寫入缺陷，則在 G2 線與 G1 線之間及 G2 線與 G3 線之間的液晶有效電位出現差異。因而，出現一問題：該差異變成易於視為不均勻性之可見的。

因此，在此實施例中，將描述防止該可見不均勻性之液晶顯示裝置。應注意，此實施例之液晶顯示裝置之基本組態與第一實施例之基本組態相似。因而，此處將省略重複描述且僅描述控制電路 22 之操作，其為第一與第二實施例之間的差異。

當集中注意於圖 9 之上表中之第二列時，在第一實施例中，提供有極性在第一與第二列之間進行反轉之視訊訊號的訊號線 R2 線及 G1 線是以此次序首先選擇的。其後，提供有極性不進行反轉之視訊訊號的訊號線 B1 線及 R1 線是以此次序選擇的。關於此選擇次序，重複極性反轉之相同模式的第四列情況與此相同。

同時，此實施例中之液晶顯示裝置之控制電路22如此控制每一群中待首先選擇的訊號線之選擇次序及待稍後選擇的訊號線之選擇次序以使寫入條件均勻分佈於整個顯示螢幕。具體言之，寫入條件與第L-1條線與第L條線之間的視訊訊號之極性反轉的存在有關且與選作第S-1(S為1或大於1之整數)條訊號線之訊號線與選作第S條訊號線之訊號線之間的視訊訊號之極性反轉的存在有關。

具體言之，如圖10之上表中所示，提供有極性在第一與第二列之間進行反轉的視訊訊號之訊號線G1線及R2線是以此次序首先選擇的。其後，提供有極性不進行反轉的視訊訊號之訊號線R1線及B1線是以此次序選擇的。在此狀況下，在重複極性反轉之相同模式的第四列中，待首先選擇之訊號線之選擇次序變為R2線及G1線之次序。同時，待稍後選擇之訊號線之選擇次序變為B1線及R1線之次序。同樣地，亦關於第三列，在第一列中首先選擇之複數條訊號線之選擇次序發生改變且稍後選擇之複數條訊號線之選擇次序亦發生改變。

其他列同樣地得以控制。此外，其他群與上述群同樣地得以控制。

在如上述之該寫入次序中，考慮了綠光柵顯示之狀況。如圖10之下表中所示，G1、G2及G3之寫入條件分別包括相同數目之條件(A)至(D)。因而，即使僅在條件(A)下引起寫入缺陷，所有線具有相同的寫入條件。因此，寫入缺陷變成難以被視為具不均勻性。

因此，根據此實例，藉由如此控制每一群中待首先選擇的複數條訊號線之選擇次序，及待稍後選擇的複數條訊號線之選擇次序而使所有訊號線具有相同的寫入條件，以使各別像素中之寫入條件均勻分佈於整個顯示螢幕。具體言之，在各別訊號線中，寫入條件與在第L-1條線與第L條線之間的視訊訊號之極性反轉的存在有關，且與在第S-1條線與第S條線之間的視訊訊號之極性反轉的存在有關。因而，可能使由寫入缺陷引起之不均勻性變得難以看見。

第三實施例

如圖11之等效電路中所示，每一像素經由耦合電容Cp1連接至其自身的訊號線S1，且經由耦合電容Cp2連接至鄰近訊號線S2。此外，每一像素經由耦合電容Cp3連接至定位於其上及其下之像素。在圖11中，C1c為液晶電容而Ccs為輔助電容。

假定由於自身訊號線S1之電位變化 dV_{sig_m} (sig_m 為訊號線之數目)而使每一像素電極經由耦合電容Cp1接收到的電位變化量為 V_s 。假定由於鄰近訊號線S2之電位變化 dV_{sig_m+1} 而使每一像素電極經由耦合電容Cp2接收到的電位變化量為 V_n 。假定由於下方像素之電位變化 dV_{pix} 而使每一像素電極經由耦合電容Cp3接收到的電位變化量為 V_v 。此時， V_s 、 V_n 及 V_v 可表示為。

$$V_s = (C_{p1}/C_{總量}) \times dV_{sig_n} \quad \dots(1)$$

$$V_n = (C_{p2}/C_{總量}) \times dV_{sig_n+1} \quad \dots(2)$$

$$V_v = (C_{p3}/C_{總量}) \times dV_{pix} \quad \dots(3)$$

$$C_{\text{總量}} = C_{p1} + C_{p2} + 2C_{p3} + C_{lc} + C_{cs}$$

圖 12 為展示當考慮 R(紅色)、G(綠色)及 B(藍色)時第 n 個訊框中之各別像素之極性及選擇訊號線之次序的視圖。在圖 12 中，舉例而言，當假定 R1、G1、B1 及 R2 之訊號線為一群時，集中注意於 G1 線之訊號線上。此時，在列 b 之一水平掃描週期之第一選擇週期中選擇 G1 線且向其提供負極性之視訊訊號。其後，釋放 G1 線之選擇，且使所提供之負電位保持於浮動狀態中 G1 線中直至列 c 之一水平掃描週期中之第四選擇週期。隨後，在列 c 之第四選擇週期中再次選擇 G1 線且向其提供負極性之視訊訊號。其後，釋放 G1 線之選擇，在列 d 之第二選擇週期中再次選擇 G1 線，且此時向其提供正極性之視訊訊號。此正電位保持於 G1 線中直至在列 e 之第三選擇週期中再次提供正極性之視訊訊號並在隨後一水平掃描週期(列 f(與列 b 相同)；未圖示)之第一選擇週期中提供負極性之視訊訊號。假定上述為一循環，正極性及負極性之視訊訊號提供至 G1 線。

此時，舉例而言，待提供至 G1 線之視訊訊號之極性反轉的時序在列 b 中為第一選擇週期。同時，在列 d 中，時序為第二選擇週期。以此方式，因為在一水平掃描週期內時序不同，所以訊號線之電位中出現極性變化。具體言之，在 G1 線中，正電位之週期為 7，而負電位之週期為 9。如圖 11 中所示，藉由兩側上之鄰近訊號線之電位變化經由各別耦合電容而使保持週期中之像素電位發生改變。因而，當在訊號線之電位中出現上述極性變化時，像素保持之電壓亦

出現變化。電壓之此變化成為施加至液晶的有效電壓之差異。因此，出現一問題：該差異成為作為不均勻顯示之可見的。

因此，在此實施例中，將描述防止該可見不均勻性之液晶顯示裝置。應注意，此實施例之液晶顯示裝置之基本組態與第一實施例之基本組態相似且與其之差異僅在於：控制電路22中之訊號線的選擇次序。因而，此處將省略重複描述且僅描述控制電路22之操作的差異。

圖13之上側展示電壓波形，其指示第n個訊框中之所選訊號線(訊號線2)及其鄰近訊號線(訊號線3)之電位性能(behavior)。圖13之下側展示連接至訊號線(訊號線2)之像素a2、b2、c2及d2之電壓波形。此等像素之電位在其自身訊號線(所選訊號線訊號線2)及鄰近訊號線(訊號線3)之電位變化的影響下發生改變。應注意，在圖13中，假定為綠光柵顯示且集中注意於綠像素之電位保持性能。

如圖13之上側所示，在第一水平掃描週期(在圖13中顯示為"1H")中寫入正極性之視訊訊號，自第二水平掃描週期之開始至第四水平掃描週期之第一選擇週期之結束寫入負極性之視訊訊號，且自第四水平掃描週期之第二選擇週期之開始至第五水平掃描週期之結束寫入正極性之視訊訊號至訊號線(訊號線2)中。同時，自第一水平掃描週期之開始至第三水平掃描週期之第一選擇週期之結束寫入負極性之視訊訊號，自第三水平掃描週期之第二選擇週期之開始至第四水平掃描週期之結束寫入正極性之視訊訊號，並自第五

水平掃描週期之開始至第七水平掃描週期之第一選擇週期之結束寫入負極性之視訊訊號至訊號線(訊號線3)中。

下一步，將描述G1線(訊號線2)上之各別像素a2、b2、c2及d2之時間圖。應注意，圖13之時間圖上之黑色三角標記指示像素進入保持週期之時序及保持性能之一個循環的結束。具體言之，朝下黑色三角形標記指示保持正極性之寫入電位且朝上黑色三角標記指示保持負極性之寫入電位。

當集中注意於G1線(訊號線2)中之列a之像素a2時，在像素a2中，在第一水平掃描週期(1H)之第三選擇週期中寫入正極性之視訊訊號的類比電壓位準 $V_{p.a2}$ 。像素a2在1H結束以後進入保持週期。

在第二水平掃描週期(2H)之第一選擇週期中，因為訊號線2之電位自正極性轉變為負極性，所以像素a2之電位向下移動 V_s 。在2H之第一選擇週期中，負視訊訊號電位寫入位於像素a2之下方的像素b2且像素b2之電位自保持於第n-1個訊框中之正電位轉變為負電位。因而，在此轉變之影響下，像素a2之電位向下移動電位 V_v 。像素a2保持此電位直至3H之第一選擇週期之結束。

在第三水平掃描週期(3H)之第二選擇週期中，因為鄰近訊號線訊號線3之電位自負極性轉變為正極性，所以像素a2之電位向上移動 V_n 。像素a2保持此電位直至4H之第一選擇週期之結束。

在第四水平掃描週期(4H)之第二選擇週期中，因為其自身訊號線訊號線2之電位自負極性轉變為正極性，所以像素

a2之電位向上移動 V_s 。像素a2保持此電位直至4H之結束。

在第五水平掃描週期(5H)之第一選擇週期中，因為鄰近訊號線訊號線3之電位自正極性轉變為負極性，所以像素a2之電位向下移動 V_n 。像素a2保持此電位直至5H之結束。

假定上述為一循環，像素a2在一水平掃描週期中保持電位直至在下一個訊框中將視訊訊號寫入像素a2。

考慮到上述寫入之視訊訊號電位 $V_{p.a2}$ 及保持週期中之性能，像素a2之有效電位 $(V_{p.a2})_{eff}$ 可以表示為下列等式。

$$(V_{p.a2})_{eff} = (V_{p.a2} - V_{com}) + 7/16V_n - 9/16V_s - V_v \dots (4)$$

同樣地，其他像素b2、c2及d2之有效電位 $(V_{p.b2})_{eff}$ 、 $(V_{p.c2})_{eff}$ 及 $(V_{p.d2})_{eff}$ 可分別表示為下列等式。

$$(V_{p.b2})_{eff} = (V_{com} - V_{p.b2}) - 7/16V_n - 7/16V_s + V_v \dots (5)$$

$$(V_{p.c2})_{eff} = (V_{com} - V_{p.c2}) + 9/16V_n - 7/16V_s - V_v \dots (6)$$

$$(V_{p.d2})_{eff} = (V_{p.d2} - V_{com}) - 9/16V_n - 9/16V_s + V_v \dots (7)$$

各別等式(4)至(7)為進行證實而展示於圖13之右上部分中。此處，每一等式中之右側的首項之括號中之電位表示寫入中的液晶施加電壓而右側之第二項及隨後項表示保持中所接收之電位變化。因為若假定光柵顯示，則右側之首項為相同的，所以建立了下列等式。

$$V_{pw} = (V_{p.a2} - V_{com}) = (V_{com} - V_{p.b2}) = (V_{com} - V_{p.c2}) = (V_{p.d2} - V_{com})$$

定位於上方與下方之像素之間的有效電位差展示於圖13之右下部分中。舉例而言，可藉由下列等式獲取像素a2與b2之間的有效電位差 dV_{a_b} 。

$$\begin{aligned} dV_{a_b} &= (V_{p_a2})_{\text{eff}} - (V_{p_b2})_{\text{eff}} \\ &= 7/8V_n - 1/8V_s - 2V_v \end{aligned}$$

可同樣地獲取定位於上方與下方之其他像素之有效電位差。

同樣地，可藉由圖 14 至 20 之各別右上部分中之等式獲取第 n 個訊框中之所有綠像素之有效電位。

附帶地，展示於圖 11 中之耦合電容 C_{p1} 、 C_{p2} 及 C_{p3} 為基於像素結構而加以判定之電容。此處，假定 $C_{p1}=C_{p2}$ 及 $C_{p3}=0$ 、 $V_s=V_n$ 及 $V_v=0$ 是基於等式 (1) 至 (3) 而建立的。若使用上述等式重寫等式 (4) 至 (7)，則各別像素之有效電位可如下表示。

$$(V_{p_a2})_{\text{eff}} = V_{pw} - 1/8V_s \quad \dots (8)$$

$$(V_{p_b2})_{\text{eff}} = V_{pw} - 7/8V_s \quad \dots (9)$$

$$(V_{p_c2})_{\text{eff}} = V_{pw} + 1/8V_s \quad \dots (10)$$

$$(V_{p_d2})_{\text{eff}} = V_{pw} - 9/8V_s \quad \dots (11)$$

此處，像素之有效電位不發生改變之狀況、有效電位稍微增加之狀況、有效電位稍微降低之狀況、及有效電位降低之狀況分別相對地定義為 "0"、"1"、"-1" 及 "-2"。在此狀況下，等式 (8) 至 (11) 可如下表示。

$$(V_{p_a2})_{\text{eff}} = -1 \quad \dots (11)$$

$$(V_{p_b2})_{\text{eff}} = -2 \quad \dots (12)$$

$$(V_{p_c2})_{\text{eff}} = 1 \quad \dots (13)$$

$$(V_{p_d2})_{\text{eff}} = -2 \quad \dots (14)$$

下一步，將描述第 $n+1$ 個訊框中之寫入次序。

圖 21 為展示當第 $n+1$ 個訊框中之每一群中之寫入次序與圖 12 之第 n 個訊框的寫入次序相同時選擇訊號線之次序及視訊訊號之極性的視圖。

舉例而言，關於 R1、G1、B1 及 R2 線之群中之列 a，在圖 12 之第 n 個訊框中，B1 線及 R1 線之訊號線是以此次序首先選擇的而 G1 線及 R2 線之訊號線是以此次序稍後選擇的。同時，圖 21 之第 $n+1$ 個訊框亦具有相同選擇次序。

每一圖 22 至 29 之上側均展示電壓波形，其指示當將每一群中之寫入次序設定為與第 n 個訊框之寫入次序相同時第 $n+1$ 個訊框中之每一自身訊號線(所選訊號線)及其鄰近訊號線之電位性能。每一圖 22 至 29 之下側展示連接至自身訊號線之各別像素之電壓波形。在保持週期中，各別像素受到自身訊號線及其鄰近訊號線之電位變化的影響。

圖 30 為一視圖，其展示當相對於圖 12 之第 n 個訊框在第 $n+1$ 個訊框中之每一群中首先選擇之訊號線的選擇次序發生改變且稍後選擇之訊號線的選擇次序發生改變時選擇訊號線之次序及視訊訊號之極性。

舉例而言，關於 R1、G1、B1 及 R2 線之群中之列 a，在圖 12 之第 n 個訊框中，B1 線及 R1 線之訊號線是以此次序首先選擇的且 G1 線及 R2 線之訊號線是以此次序稍後選擇的。同時，在圖 30 之第 $n+1$ 個訊框中，R1 線及 B1 線之訊號線是以此次序首先選擇的且 R2 線及 G1 線之訊號線是以此次序稍後選擇的。

每一圖 31 至 38 之上側均展示電壓波形，其展示當如上所

述每一群中之寫入次序自第 n 個訊框之寫入次序發生改變時第 $n+1$ 個訊框中之每一自身訊號線(所選訊號線)及其鄰近訊號線之電位性能。每一圖31至38之下側展示連接至自身訊號線之各別像素之電壓波形。

圖39(a)至39(c)為以比較實例相對地展示各別像素之有效電位的視圖。圖39(a)展示關於第 n 個訊框藉由相對地定義各別像素之有效電位而獲取之值，其藉由使用圖13至圖20而獲取。圖39(b)展示當將寫入次序設定為與第 n 個訊框之寫入次序相同時第 $n+1$ 個訊框中藉由相對地定義各別像素之有效電位而獲取之值，其藉由使用圖22至29而獲取。圖39(c)展示第 n 個訊框及第 $n+1$ 個訊框中之每一像素之平均有效電位。應注意，圖39(a)至39(c)為假定綠光柵顯示時之視圖。

當以訊號線方向觀察圖39(c)之G1線至G8線時，發現僅有G3線及G7線僅由相對有效電位"0"及"-2"形成且該等兩條線在有效電位方面不同於其他線。此外，當觀察整個顯示區域時，發現相對有效電位"1"及"-1"是在自右上至左下之方向上分別連續且線性排列的。

如上所述，當第 n 個訊框與第 $n+1$ 個訊框具有相同寫入次序時，兩訊框具有相同的相對有效電位之排列。因而，G3線與G7線之平均有效電位不同於其他線之平均有效電位。此外，自宏觀角度來看，顯示區域在自其右上至左下之方向上具有有效電位之線性傾斜。由於上述之傾斜，不均勻性變得在顯示螢幕上易於看見。

同時，圖40(a)至40(c)為以一實例相對地展示各別像素之

有效電位的視圖。圖 40(a)展示關於第 n 個訊框藉由相對地定義各別像素之有效電位而獲取之值，其藉由使用圖 13 至 20 而獲取。圖 40(b)展示當寫入次序在第 n 個訊框與第 $n+1$ 個訊框之間發生改變時，藉由相對地定義各別像素之有效電位而獲取之值，其藉由使用圖 31 至 38 而獲取。圖 40(c)展示第 n 個訊框與第 $n+1$ 個訊框中之平均有效電位。應注意，圖 40(a) 至 40(c) 亦為假定綠光柵顯示時之視圖，且圖 40(a) 為與圖 39(a) 相同的視圖。

在圖 40(a) 至 40(c) 中，當集中注意於 G1 線中之列 a 之像素時(舉例而言)，在第 n 個訊框中相對有效電位為 "-1"，而在第 $n+1$ 個訊框中相對有效電位為 "1"。因而，平均有效電位為 "0"。

如上所述，在所有像素中，藉由改變第 $n+1$ 個訊框中之寫入次序而消除第 n 個訊框中之有效電位之不均衡。因而，可達成平均均衡。

因此，如圖 40(c) 所示，各別像素中之平均有效電位處於多個 "0" 及 "-2" 以格子圖案而規則地排列於整個螢幕上之狀態。因而，不均勻性為難以看見的。此外，藉由最佳化耦合電容 C_{p1} 、 C_{p2} 及 C_{p3} ，亦可能最佳化像素之有效電位差，其由 "0" 及 "-2" 指示。

因此，根據此實施例，藉由改變第 n 個訊框與第 $n+1$ 個訊框之間的每一群中待首先選擇之訊號線之選擇次序並改變待稍後選擇之訊號線之選擇次序，可在第 n 個訊框與第 $n+1$ 個訊框之間達成各別像素中之有效電位的平均均衡。因

此，當以整個螢幕來看時，平均有效電位處於規則排列之狀態。因而，可能使不均勻性變得難以看見。

應注意，在此實施例中，寫入次序對於第 n 個訊框與第 $n+1$ 個訊框的每一訊框而發生改變。然而，寫入次序並不侷限於此。舉例而言，寫入次序可對於每兩個訊框而發生改變。在此狀況下，亦可獲取與上述效果相似之效果。

基於上述，在藉由將一視訊輸出線分成複數條(N)訊號線而驅動之狀況下，考慮到寫入缺陷及耦合電容之影響的用以寫入類比訊號之最佳方法包括下列條件。

(1)控制每一群中之選擇次序，以使首先選擇提供有極性在第 $L-1$ 條線與第 L 條線之間反轉的視訊訊號之訊號線並稍後選擇提供有極性不反轉的視訊訊號之訊號線，以不受與處於浮動狀態之鄰近訊號線的耦合電容之影響，其中在一水平掃描週期中之 N 個訊號線選擇週期中不選擇自身訊號線。

(2)如此控制每一群中待首先選擇之訊號線之選擇次序及待稍後選擇之訊號線之選擇次序以使寫入條件均勻分佈於整個顯示螢幕，寫入條件與在一水平掃描週期內每一像素中在第 $L-1$ 條線與第 L 條線之間的視訊訊號之極性反轉的存在有關，且與在選擇訊號線時在第 $S-1$ 條線與第 S 條線之間的視訊訊號之極性反轉的存在有關。

(3)對於訊框間具有固定間隔之每一訊框改變每一群中待首先選擇之訊號線的選擇次序及待稍後選擇之訊號線的選擇次序，以空間地(spatially)分佈由於未聚集於特定線上之

保持週期中之耦合電容之影響而引起的像素之電位變化。

具體言之，藉由同時滿足上述三個條件，可實現不均勻性為難以看見的高品質顯示裝置。

此外，即使在採用不同於各別實施例中之上述寫入次序的寫入次序之狀況下，或在一群中之訊號線的數目設定為不同於 $N=4$ 之數目時，可藉由滿足上述三個條件而獲取相似效果。

【圖式簡單說明】

圖1為圖解展示根據一實施例之液晶顯示裝置之組態的電路方塊圖。

圖2展示先前液晶顯示裝置中之驅動IC及交換電路之方塊圖。

圖3展示先前交換電路中之基本交換組塊之電路圖。

圖4展示關於用以四條訊號線之選擇的2H2V反轉驅動方法的第 n 個訊框之各別像素中的視訊訊號之極性及訊號線的選擇次序。

圖5展示關於用以四條訊號線之選擇的2H2V反轉驅動方法的第 $n+1$ 個訊框之各別像素中的視訊訊號之極性及訊號線的選擇次序。

圖6展示對於每一掃描線隨著時間流逝各別類比交換器之接通及斷開狀態。

圖7展示關於用以四條訊號線之選擇的4H4V反轉驅動方法的第 n 個訊框之各別像素中的視訊訊號之極性及訊號線的選擇次序。

圖 8 展示關於用以四條訊號線之選擇的 4H4V 反轉驅動方法的第 $n+1$ 個訊框之各別像素中的視訊訊號之極性及訊號線的選擇。

圖 9 之上表展示在一水平掃描週期中選擇訊號線之次序及對於每一像素之視訊訊號的極性。圖 9 之下表展示基於上表中之選擇次序及視訊訊號之極性而施加有四個寫入條件 (A) 至 (D) 的表。

圖 10 之上表展示在控制訊號線之選擇次序以將四個寫入條件 (A) 至 (D) 均勻分佈於整個顯示螢幕上時訊號線之選擇次序及對於每一像素之視訊訊號的極性。圖 10 之下表展示基於上表中之選擇次序及視訊訊號之極性而施加有四個寫入條件之表。

圖 11 展示一像素電極之周邊部分中之等效電路。

圖 12 展示第 n 個訊框中之各別像素的極性及訊號線的選擇次序。

圖 13 之上側展示第 n 個訊框中之所選訊號線 (訊號線 2) 及其鄰近訊號線 (訊號線 3) 之電壓波形。圖 13 之下側展示連接至訊號線 (訊號線 2) 之各別像素之電壓波形。

圖 14 之上側展示第 n 個訊框中之所選訊號線 (訊號線 5) 及其鄰近訊號線 (訊號線 6) 之電壓波形。圖 14 之下側展示連接至訊號線 (訊號線 5) 之各別像素之電壓波形。

圖 15 之上側展示第 n 個訊框中之所選訊號線 (訊號線 8) 及其鄰近訊號線 (訊號線 9) 之電壓波形。圖 15 之下側展示連接至訊號線 (訊號線 8) 之各別像素之電壓波形。

圖 16 之上側展示第 n 個訊框中之所選訊號線(訊號線 11)及其鄰近訊號線(訊號線 12)之電壓波形。圖 16 之下側展示連接至訊號線(訊號線 11)之各別像素之電壓波形。

圖 17 之上側展示第 n 個訊框中之所選訊號線(訊號線 14)及其鄰近訊號線(訊號線 15)之電壓波形。圖 17 之下側展示連接至訊號線(訊號線 14)之各別像素之電壓波形。

圖 18 之上側展示第 n 個訊框中之所選訊號線(訊號線 17)及其鄰近訊號線(訊號線 18)之電壓波形。圖 18 之下側展示連接至訊號線(訊號線 17)之各別像素之電壓波形。

圖 19 之上側展示第 n 個訊框中之所選訊號線(訊號線 20)及其鄰近訊號線(訊號線 21)之電壓波形。圖 19 之下側展示連接至訊號線(訊號線 20)之各別像素之電壓波形。

圖 20 之上側展示第 n 個訊框中之所選訊號線(訊號線 23)及其鄰近訊號線(訊號線 24)之電壓波形。圖 20 之下側展示連接至訊號線(訊號線 23)之各別像素之電壓波形。

圖 21 展示當第 n 個訊框與第 $n+1$ 個訊框具有相同寫入次序時第 $n+1$ 個訊框中各別像素之極性及訊號線的選擇次序。

圖 22 之上側展示當採用與第 n 個訊框之寫入次序相同之寫入次序時第 $n+1$ 個訊框中之所選訊號線(訊號線 2)及其鄰近訊號線(訊號線 3)之電壓波形。圖 22 之下側展示連接至訊號線(訊號線 2)之各別像素之電壓波形。

圖 23 之上側展示當採用與第 n 個訊框之寫入次序相同之寫入次序時第 $n+1$ 個訊框中之所選訊號線(訊號線 5)及其鄰近訊號線(訊號線 6)之電壓波形。圖 23 之下側展示連接至訊

號線(訊號線5)之各別像素之電壓波形。

圖24之上側展示當採用與第n個訊框之寫入次序相同之寫入次序時第n+1個訊框中之所選訊號線(訊號線8)及其鄰近訊號線(訊號線9)之電壓波形。圖24之下側展示連接至訊號線(訊號線8)之各別像素之電壓波形。

圖25之上側展示當採用與第n個訊框之寫入次序相同之寫入次序時第n+1個訊框中之所選訊號線(訊號線11)及其鄰近訊號線(訊號線12)之電壓波形。圖25之下側展示連接至訊號線(訊號線11)之各別像素之電壓波形。

圖26之上側展示當採用與第n個訊框之寫入次序相同之寫入次序時第n+1個訊框中之所選訊號線(訊號線14)及其鄰近訊號線(訊號線15)之電壓波形。圖26之下側展示連接至訊號線(訊號線14)之各別像素之電壓波形。

圖27之上側展示當採用與第n個訊框之寫入次序相同之寫入次序時第n+1個訊框中之所選訊號線(訊號線17)及其鄰近訊號線(訊號線18)之電壓波形。圖27之下側展示連接至訊號線(訊號線17)之各別像素之電壓波形。

圖28之上側展示當採用與第n個訊框之寫入次序相同之寫入次序時第n+1個訊框中之所選訊號線(訊號線20)及其鄰近訊號線(訊號線21)之電壓波形。圖28之下側展示連接至訊號線(訊號線20)之各別像素之電壓波形。

圖29之上側展示當採用與第n個訊框之寫入次序相同之寫入次序時第n+1個訊框中之所選訊號線(訊號線23)及其鄰近訊號線(訊號線24)之電壓波形。圖29之下側展示連接至

訊號線(訊號線23)之各別像素之電壓波形。

圖30展示當寫入次序在第 n 個訊框與第 $n+1$ 個訊框之間變化時第 $n+1$ 個訊框中之各別像素之極性及訊號線的選擇次序。

圖31之上側展示當寫入次序在第 n 個訊框與第 $n+1$ 個訊框之間變化時第 $n+1$ 個訊框中之所選訊號線(訊號線2)及其鄰近訊號線(訊號線3)之電壓波形。圖31之下側展示連接至訊號線(訊號線2)之各別像素之電壓波形。

圖32之上側展示當寫入次序在第 n 個訊框與第 $n+1$ 個訊框之間變化時第 $n+1$ 個訊框中之所選訊號線(訊號線5)及其鄰近訊號線(訊號線6)之電壓波形。圖32之下側展示連接至訊號線(訊號線5)之各別像素之電壓波形。

圖33之上側展示當寫入次序在第 n 個訊框與第 $n+1$ 個訊框之間變化時第 $n+1$ 個訊框中之所選訊號線(訊號線8)及其鄰近訊號線(訊號線9)之電壓波形。圖33之下側展示連接至訊號線(訊號線8)之各別像素之電壓波形。

圖34之上側展示當寫入次序在第 n 個訊框與第 $n+1$ 個訊框之間變化時第 $n+1$ 個訊框中之所選訊號線(訊號線11)及其鄰近訊號線(訊號線12)之電壓波形。圖34之下側展示連接至訊號線(訊號線12)之各別像素之電壓波形。

圖35之上側展示當寫入次序在第 n 個訊框與第 $n+1$ 個訊框之間變化時第 $n+1$ 個訊框中之所選訊號線(訊號線14)及其鄰近訊號線(訊號線15)之電壓波形。圖35之下側展示連接至訊號線(訊號線14)之各別像素之電壓波形。

圖 36 之上側展示當寫入次序在第 n 個訊框與第 $n+1$ 個訊框之間變化時第 $n+1$ 個訊框中之所選訊號線(訊號線 17)及其鄰近訊號線(訊號線 18)之電壓波形。圖 36 之下側展示連接至訊號線(訊號線 17)之各別像素之電壓波形。

圖 37 之上側展示當寫入次序在第 n 個訊框與第 $n+1$ 個訊框之間變化時第 $n+1$ 個訊框中之所選訊號線(訊號線 20)及其鄰近訊號線(訊號線 21)之電壓波形。圖 37 之下側展示連接至訊號線(訊號線 20)之各別像素之電壓波形。

圖 38 之上側展示當寫入次序在第 n 個訊框與第 $n+1$ 個訊框之間變化時第 $n+1$ 個訊框中之所選訊號線(訊號線 23)及其鄰近訊號線(訊號線 24)之電壓波形。圖 38 之下側展示連接至訊號線(訊號線 23)之各別像素之電壓波形。

圖 39A 相對地展示第 n 個訊框中之各別像素之有效電位。圖 39B 相對地展示當第 n 個訊框與第 $n+1$ 個訊框具有相同寫入次序時第 $n+1$ 個訊框中之各別像素之有效電位。圖 39C 展示第 n 個訊框與第 $n+1$ 個訊框之平均有效電位。

圖 40A 相對地展示第 n 個訊框中之各別像素之有效電位。圖 40B 相對地展示當寫入次序在第 n 個訊框與第 $n+1$ 個訊框之間變化時第 $n+1$ 個訊框中之各別像素之有效電位。圖 40C 展示第 n 個訊框與第 $n+1$ 個訊框之平均有效電位。

【主要元件符號說明】

1	陣列基板
2	像素顯示零件
3	掃描線驅動電路

3a	掃描線驅動電路
3b	掃描線驅動電路
4	訊號線驅動電路
5a	交換電路
5b	交換電路
11	薄膜電晶體
12	液晶電容
13	輔助電容
21	外部驅動電路
22	控制電路
23	驅動IC
23a	驅動IC
23b	驅動IC
25	基本交換電路
S1-S3072	訊號線
Y1-Y768	掃描線
R1、R2、R3、G1、G2、G3 、B1、B2	訊號線
ASW、ASW1-ASW8	類比交換器
ASW1U-ASW4U	交換控制訊號
D1、D2	視訊訊號
a2、b2、c2、d2	像素

五、中文發明摘要：

為縮減驅動IC之規模並防止訊號線選擇性驅動中之不均勻顯示，在此液晶顯示裝置中，對於一視訊輸出線對應N條訊號線之每一群，訊號線經由類比交換器ASW交換且連接至視訊輸出線。因而，視訊輸出線之數目減少至 $1/N$ 。此外，關於第L條掃描線，對每一群，首先選擇一提供有極性在一第L-1條掃描線與該第L條掃描線之間進行反轉之一視訊訊號的訊號線，且稍後選擇一提供有極性不進行反轉之一視訊訊號的訊號線。因而，極性不反轉且不發生電位改變之視訊訊號稍後提供至訊號線。

六、英文發明摘要：

十、申請專利範圍：

1. 一種液晶顯示裝置，其包含：

一像素顯示零件，其中像素安置於複數條掃描線與複數條訊號線之各別相交處；

驅動IC，其經由視訊輸出線而提供視訊訊號；

交換電路，每一交換電路對於來自該等驅動IC之每一該等視訊輸出線對應N條訊號線的每一群將一選自N條訊號線(N為一不小於3之整數)的訊號線連接至該視訊輸出線；及

一控制電路，其對於每一該等群經由該等訊號線將視訊訊號寫入一第L條掃描線中之各別像素時，首先選擇一提供有極性在一第L-1條線(L為一不小於1之整數)與該第L條線之間進行反轉的一視訊訊號之訊號線，並稍後選擇一提供有極性不進行反轉的一視訊訊號之訊號線。

2. 如請求項1之液晶顯示裝置，其中該控制電路如此控制每一群中待首先選擇之複數條訊號線之一選擇次序及待稍後選擇之複數條訊號線之一選擇次序，以使該等各別像素之寫入條件均勻分佈於一整個顯示螢幕，該等寫入條件與關於每一該等訊號線在該第L-1條線與該第L條線之間的一視訊訊號之極性反轉的存在有關，且與選擇為一第S-1(S為一不小於1之整數)條訊號線之一訊號線與選擇為一第S條訊號線之一訊號線之間的一視訊訊號之極性反轉的存在有關。

3. 如請求項1之液晶顯示裝置，其中對於訊框間具有一固定

間隔之每一訊框，該控制電路改變每一群中待首先選擇之訊號線的該選擇次序及待稍後選擇之訊號線的該選擇次序。

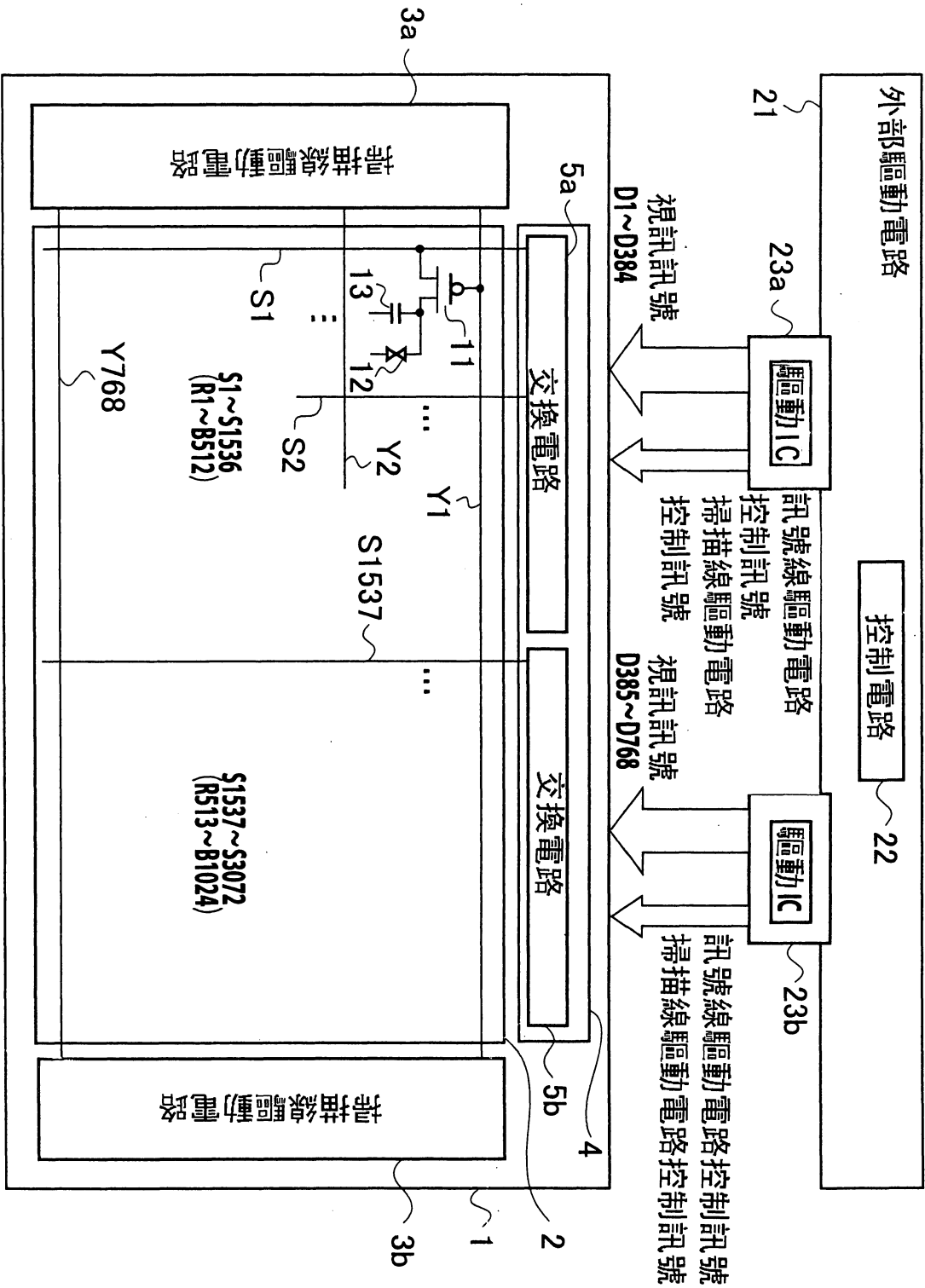


圖 1

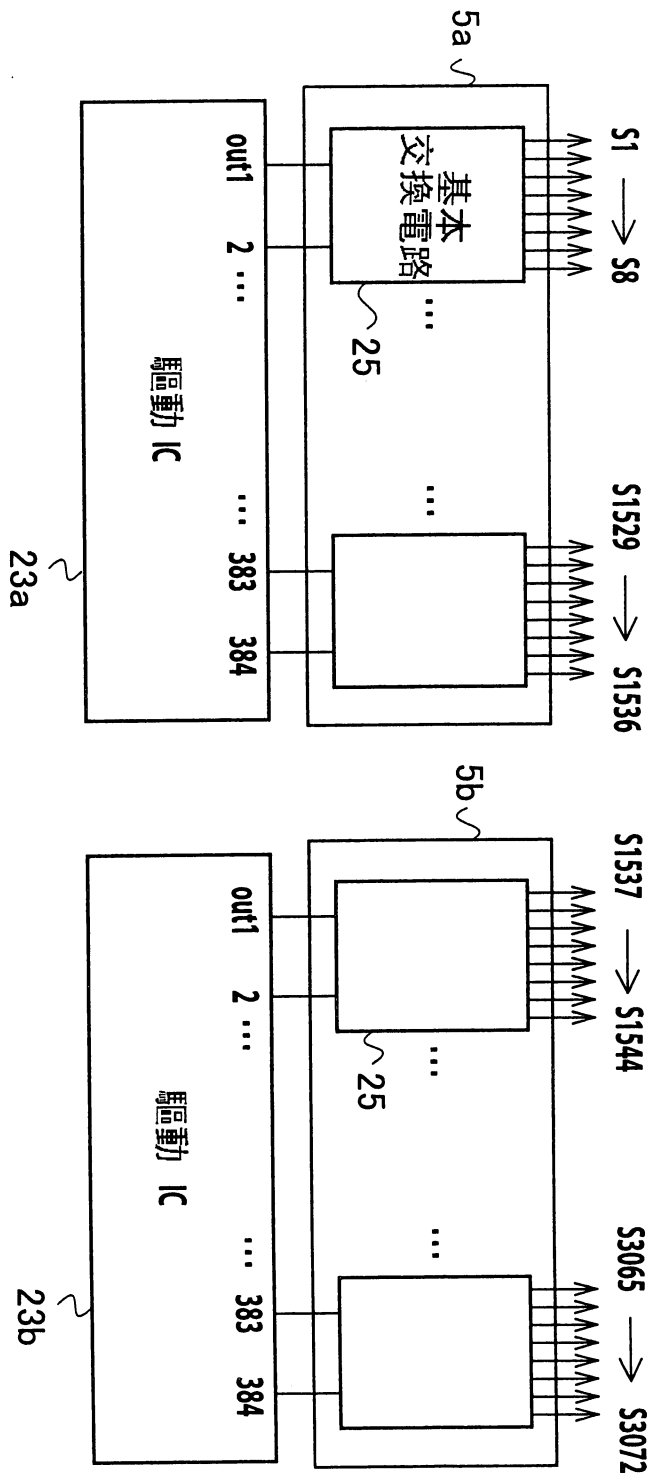


圖 2

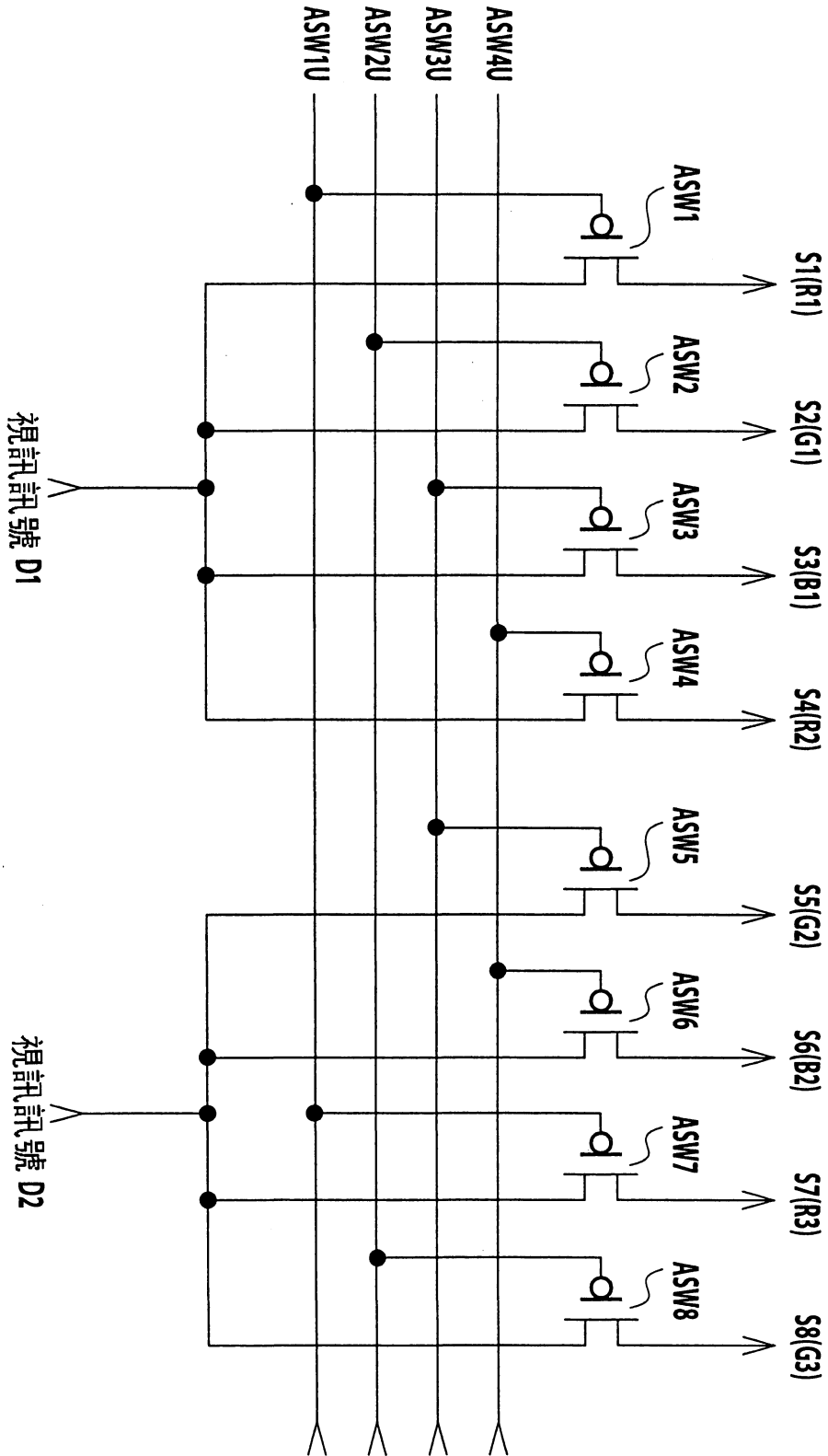


圖 3

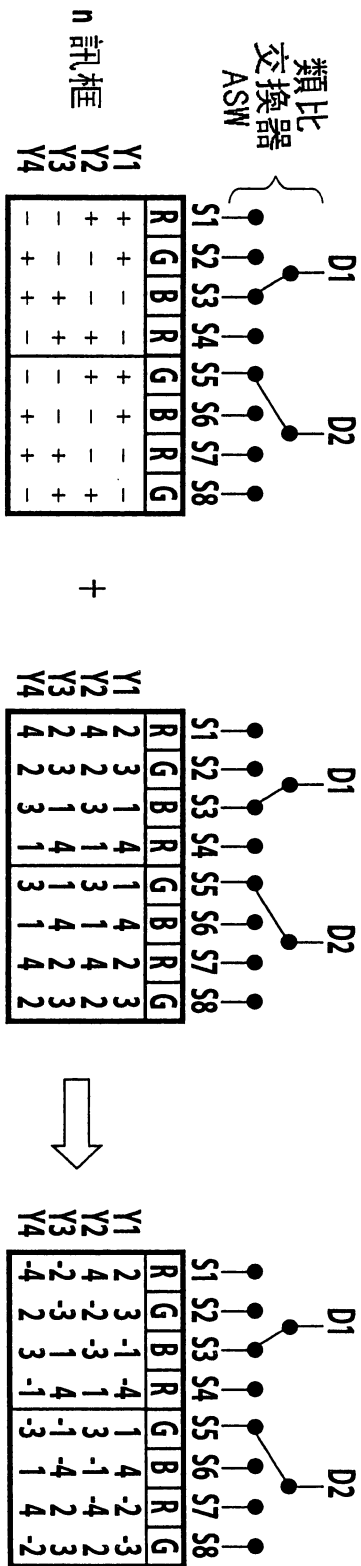


圖 4

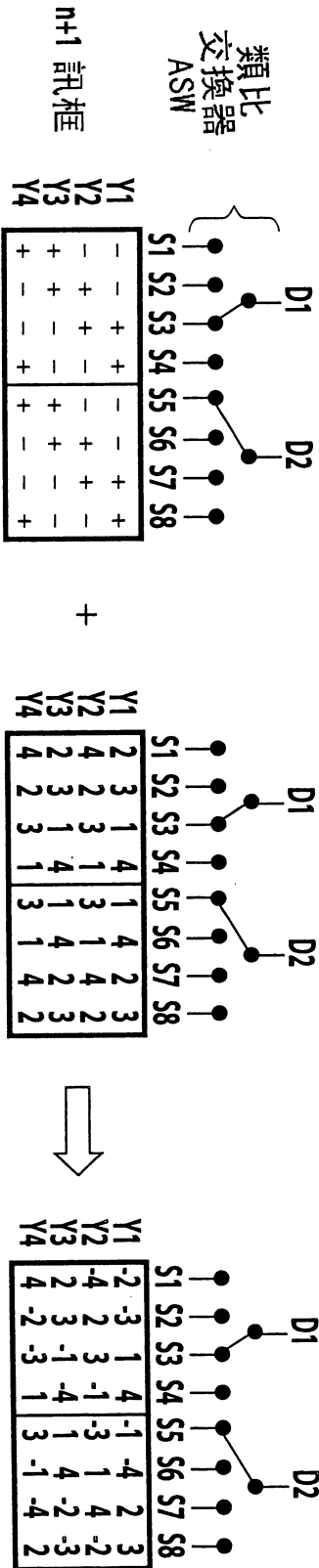


圖 5

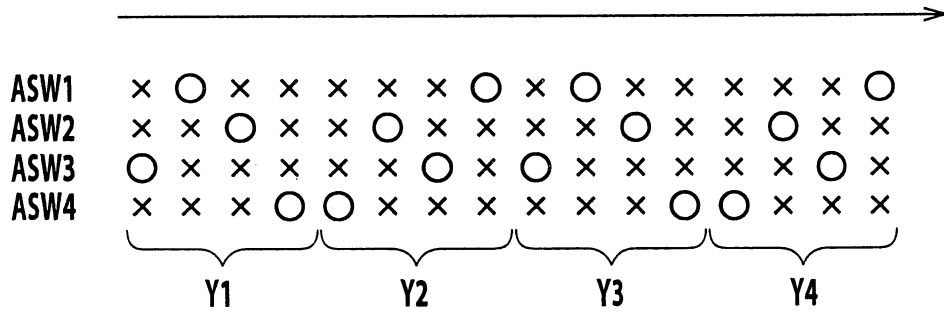


圖 6

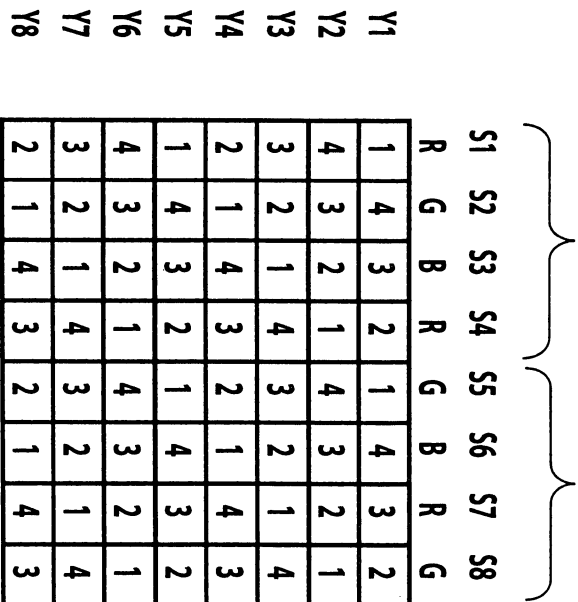
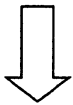
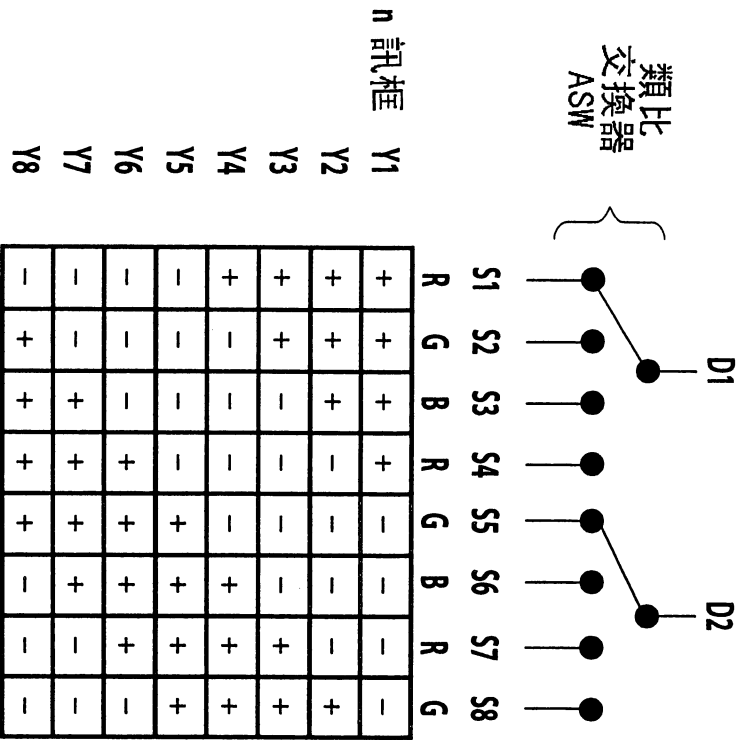
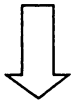
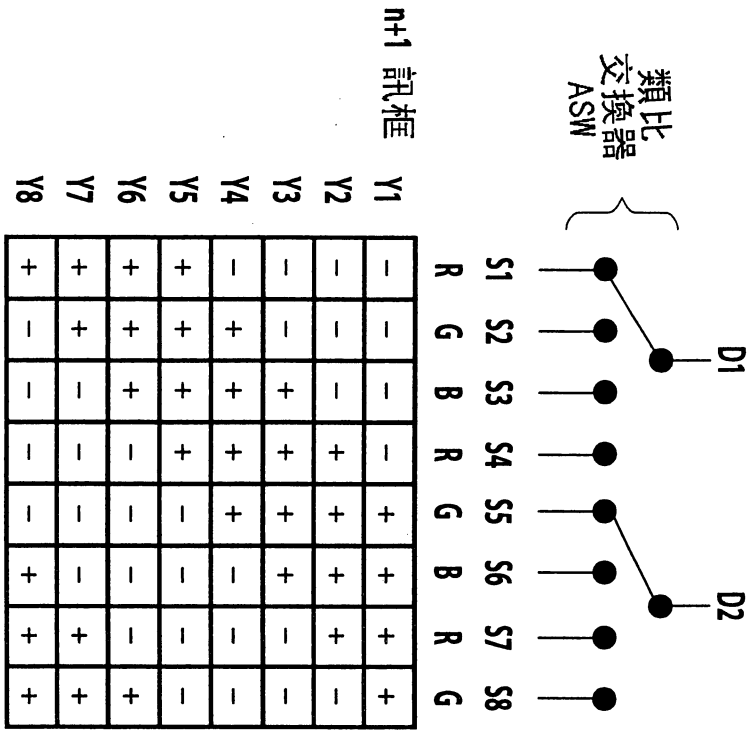


圖 7



Y1	1	4	3	2	1	4	3	2
Y2	4	3	2	1	4	3	2	1
Y3	3	2	1	4	3	2	1	4
Y4	2	1	4	3	2	1	4	3
Y5	1	4	3	2	1	4	3	2
Y6	4	3	2	1	4	3	2	1
Y7	3	2	1	4	3	2	1	4
Y8	2	1	4	3	2	1	4	3

S1 S2 S3 S4 S5 S6 S7 S8
R G B R G B R G

圖 8

圖 9

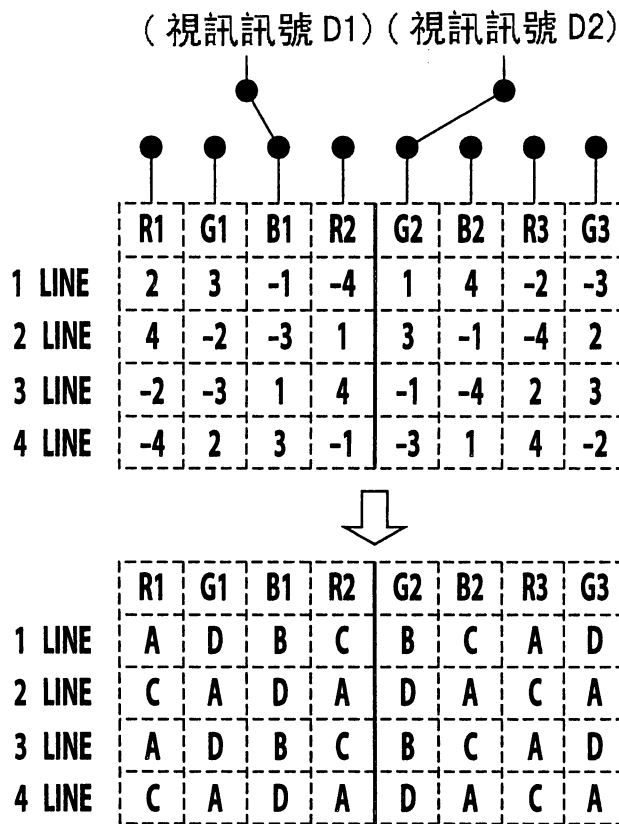
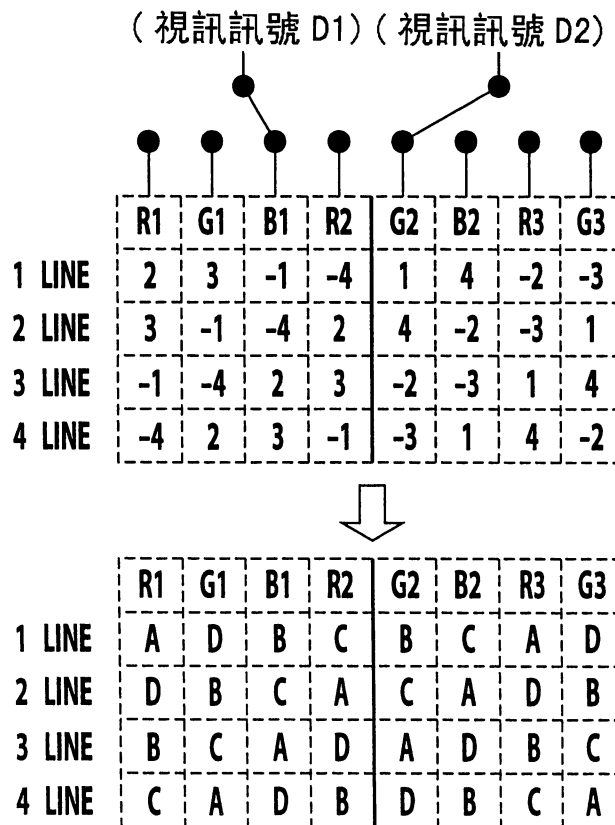


圖 10



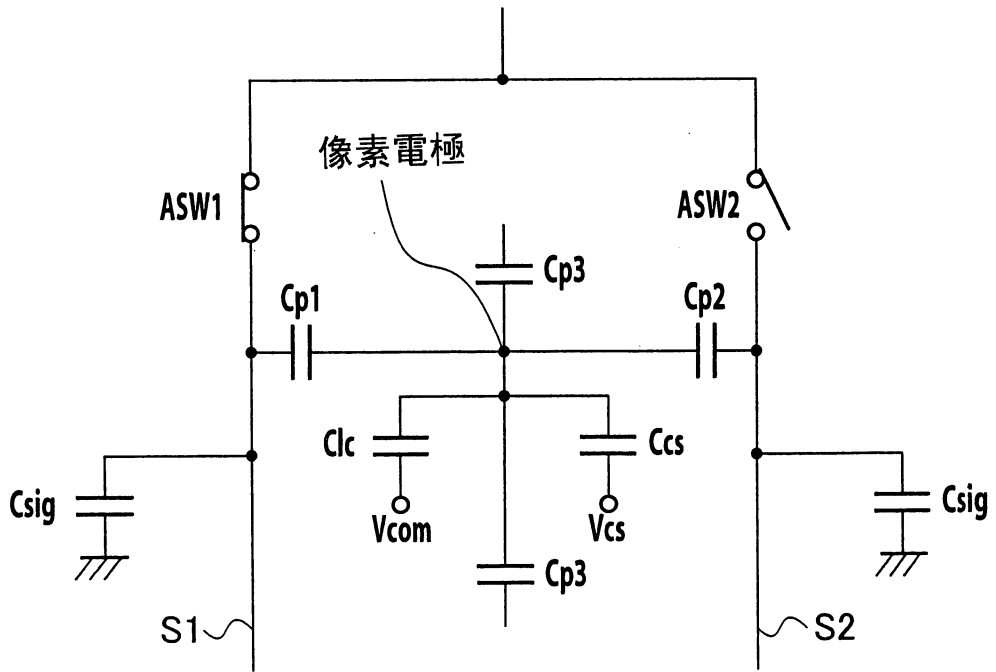


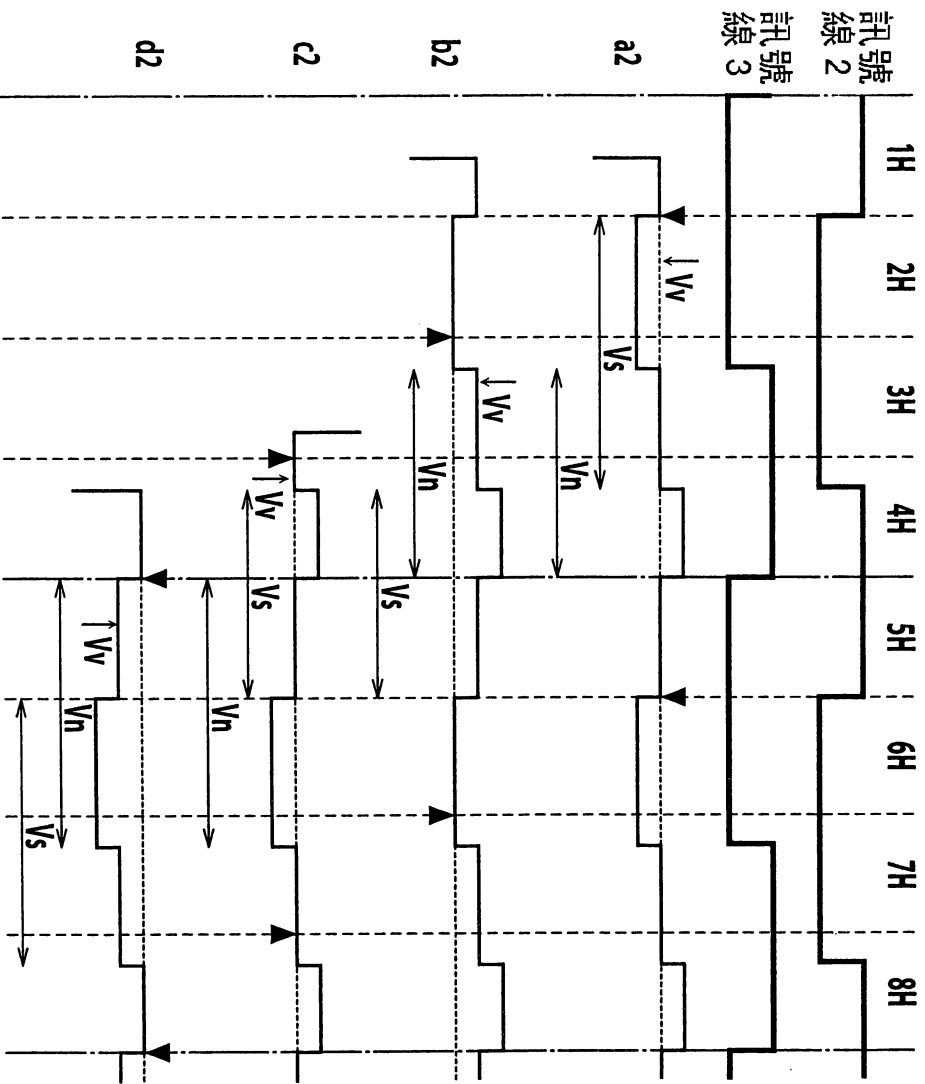
圖 11

<n 訊框 >

正極性	7	7	7	7	9	9	9	9	9	7	7	7	7	9	9	9	9	9	7	7	9	9	9	9	7	
負極性	9	9	9	9	7	7	7	7	7	9	9	9	9	7	7	7	7	7	9	9	9	9	7	7	7	9
訊號編號	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	
R1	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	
G1	3	3	B1	R2	G2	B2	R3	G3	B3	R4	G4	B4	R5	G5	B5	R6	G6	B6	R7	G7	B7	R8	G8	B8	R9	
a	2	3	-1	-4	1	4	-2	-3	2	3	-1	-4	1	4	-2	-3	2	3	-1	-4	1	4	-2	-3	2	
b	3	-1	-4	2	4	-2	-3	1	3	-1	-4	2	4	-2	-3	1	3	-1	-4	2	4	-2	-3	1	3	
c	-1	-4	2	3	-2	-3	1	4	-1	-4	2	3	-2	-3	1	4	-1	-4	2	3	-2	-3	1	4	-1	
d	-4	2	3	-1	-3	1	4	-2	-4	2	3	-1	-3	1	4	-2	-4	2	3	-1	-3	1	4	-2	-4	
e	2	3	-1	-4	1	4	-2	-3	2	3	-1	-4	1	4	-2	-3	2	3	-1	-4	1	4	-2	-3	2	

圖 12

<n 訊框：連接至訊號線 2 (G1) 之像素之電位性能>



<有效電位>

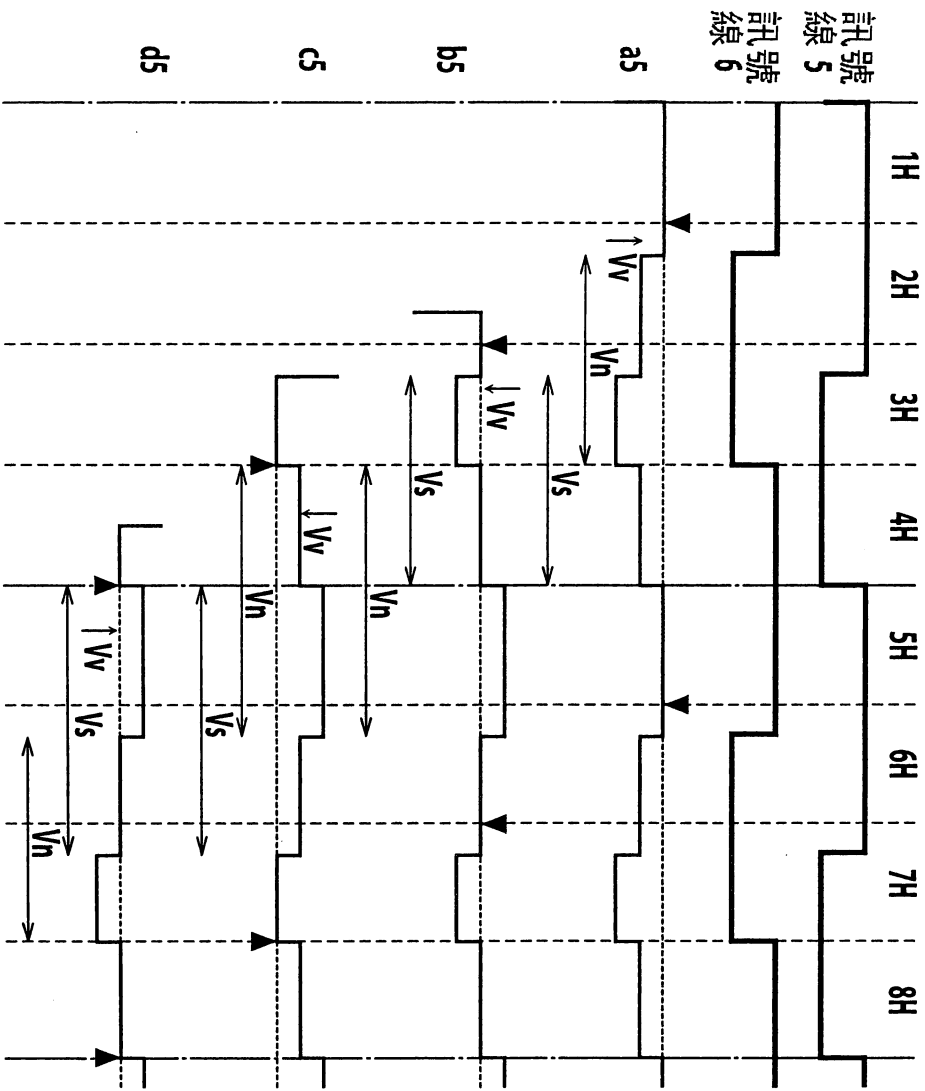
$$\begin{aligned}
 (Vp_a2)_{\text{eff}} &= (Vp.a2 - 9/16 \times Vs + 7/16 \times Vn - Vv) - Vcom \\
 &= (Vp.a2 - Vcom) + 7/16 \times Vn - 9/16 \times Vs - Vv \\
 (Vp_b2)_{\text{eff}} &= Vcom - (Vp.b2 + 7/16 \times Vn + 7/16 \times Vs - Vv) \\
 &= (Vcom - Vp.b2) - 7/16 \times Vn - 7/16 \times Vs + Vv \\
 (Vp_c2)_{\text{eff}} &= Vcom - (Vp.c2 + 7/16 \times Vs - 9/16 \times Vn + Vv) \\
 &= (Vcom - Vp.c2) + 9/16 \times Vn - 7/16 \times Vs - Vv \\
 (Vp_d2)_{\text{eff}} &= (Vp.d2 - 9/16 \times Vn - 9/16 \times Vs + Vv) - Vcom \\
 &= (Vp.d2 - Vcom) - 9/16 \times Vn - 9/16 \times Vs + Vv
 \end{aligned}$$

<定位於上方及下方之像素之有效電位>

$$\begin{aligned}
 dVa_b &= 7/8 \times Vn - 1/8 \times Vs - 2 \times Vv \\
 dVb_c &= Vn - 2 \times Vv \\
 dVc_d &= 9/8 \times Vn + 1/8 \times Vs - 2 \times Vv \\
 dVd_e &= Vn - 2 \times Vv
 \end{aligned}$$

圖 13

<n 訊框：連接至訊號線 5 (G2) 之像素之電位性能>



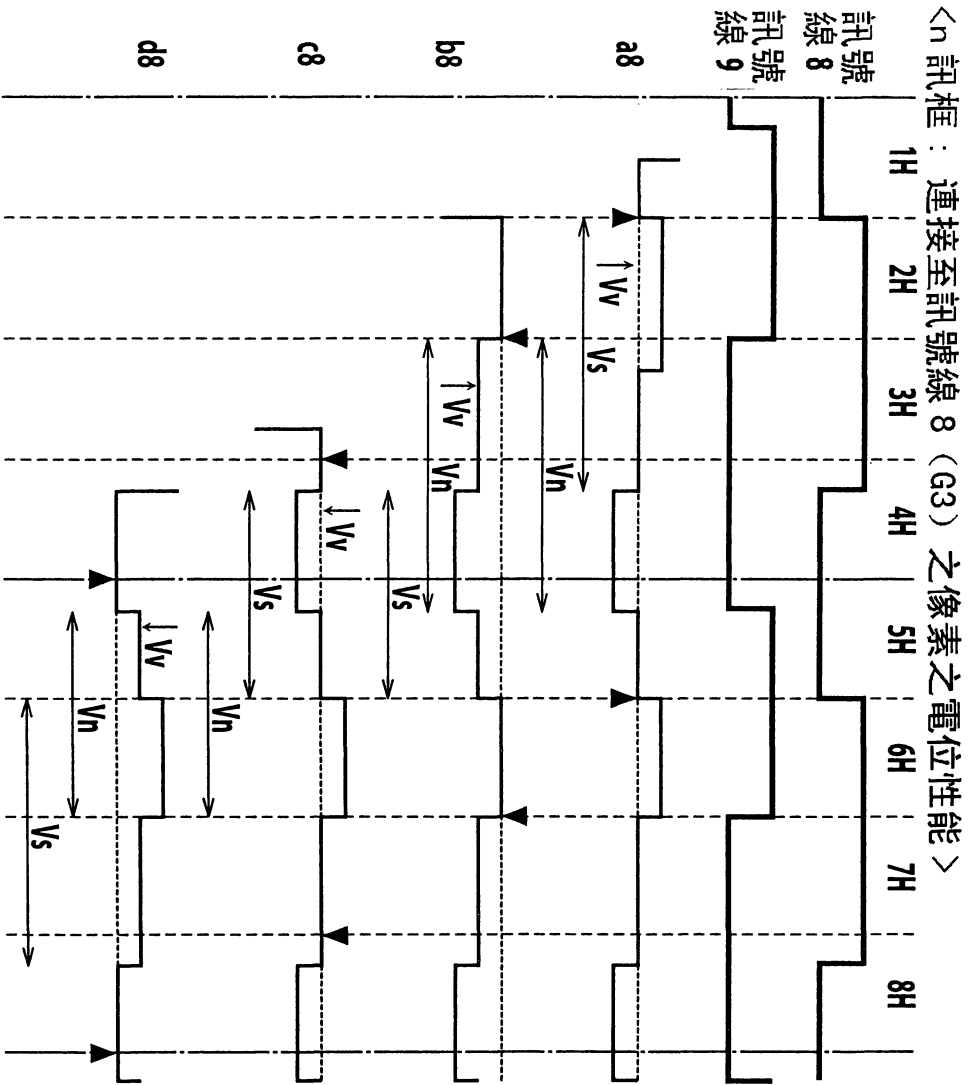
<有效電位>

$$\begin{aligned} (V_{p_a5})_{\text{eff}} &= (V_{p_a5} - 7/16 \times V_n - 7/16 \times V_s + V_w) - V_{\text{com}} \\ &= (V_{p_a5} - V_{\text{com}}) - 7/16 \times V_n - 7/16 \times V_s + V_w \\ (V_{p_b5})_{\text{eff}} &= (V_{p_b5} - 7/16 \times V_s + 9/16 \times V_n - V_w) - V_{\text{com}} \\ &= (V_{p_b5} - V_{\text{com}}) + 9/16 \times V_n - 7/16 \times V_s - V_w \\ (V_{p_c5})_{\text{eff}} &= V_{\text{com}} - (V_{p_c5} + 9/16 \times V_n + 9/16 \times V_s - V_w) \\ &= (V_{\text{com}} - V_{p_c5}) - 9/16 \times V_n - 9/16 \times V_s + V_w \\ (V_{p_d5})_{\text{eff}} &= V_{\text{com}} - (V_{p_d5} + 9/16 \times V_s - 7/16 \times V_n + V_w) \\ &= (V_{\text{com}} - V_{p_d5}) + 7/16 \times V_n - 9/16 \times V_s - V_w \end{aligned}$$

<定位於上方及下方之像素之有效電位>

$$\begin{aligned} dV_{a_b} &= V_n - 2 \times V_w \\ dV_{b_c} &= 9/8 \times V_n + 1/8 \times V_s - 2 \times V_w \\ dV_{c_d} &= V_n - 2 \times V_w \\ dV_{d_e} &= 7/8 \times V_n - 1/8 \times V_s - 2 \times V_w \end{aligned}$$

圖 14



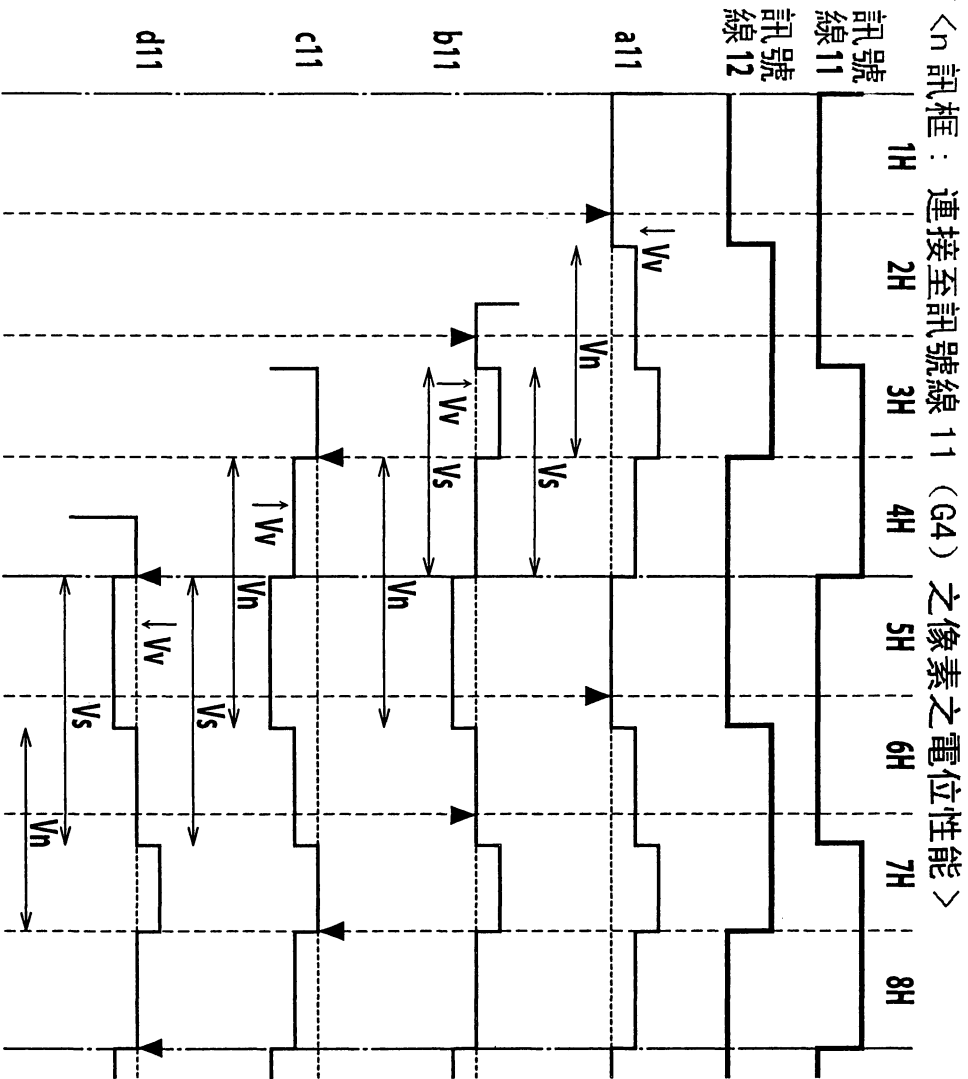
<有效電位>

$$\begin{aligned} (Vp_a8)_{\text{eff}} &= Vcom - (Vp.a8 + 9/16 \times Vs + 9/16 \times Vn + Vv) \\ &= (Vcom - Vp.a8) + 9/16 \times Vn - 9/16 \times Vs - Vv \\ (Vp_b8)_{\text{eff}} &= (Vp.b8 - 9/16 \times Vn - 7/16 \times Vs + Vv) - Vcom \\ &= (Vp.b8 - Vcom) - 9/16 \times Vn - 7/16 \times Vs + Vv \\ (Vp_c8)_{\text{eff}} &= (Vp.c8 - 7/16 \times Vs + 7/16 \times Vn - Vv) - Vcom \\ &= (Vp.c8 - Vcom) + 7/16 \times Vn - 7/16 \times Vs - Vv \\ (Vp_d8)_{\text{eff}} &= Vcom - (Vp.d8 + 7/16 \times Vn + 9/16 \times Vs - Vv) \\ &= (Vcom - Vp.d8) - 7/16 \times Vn - 9/16 \times Vs + Vv \end{aligned}$$

<定位於上方及下方之像素之有效電位>

$$\begin{aligned} dVa_b &= 9/8 \times Vn - 1/8 \times Vs - 2 \times Vv \\ dVb_c &= Vn - 2 \times Vv \\ dVc_d &= 7/8 \times Vn + 1/8 \times Vs - 2 \times Vv \\ dVd_e &= Vn - 2 \times Vv \end{aligned}$$

圖 15



<有效電位>

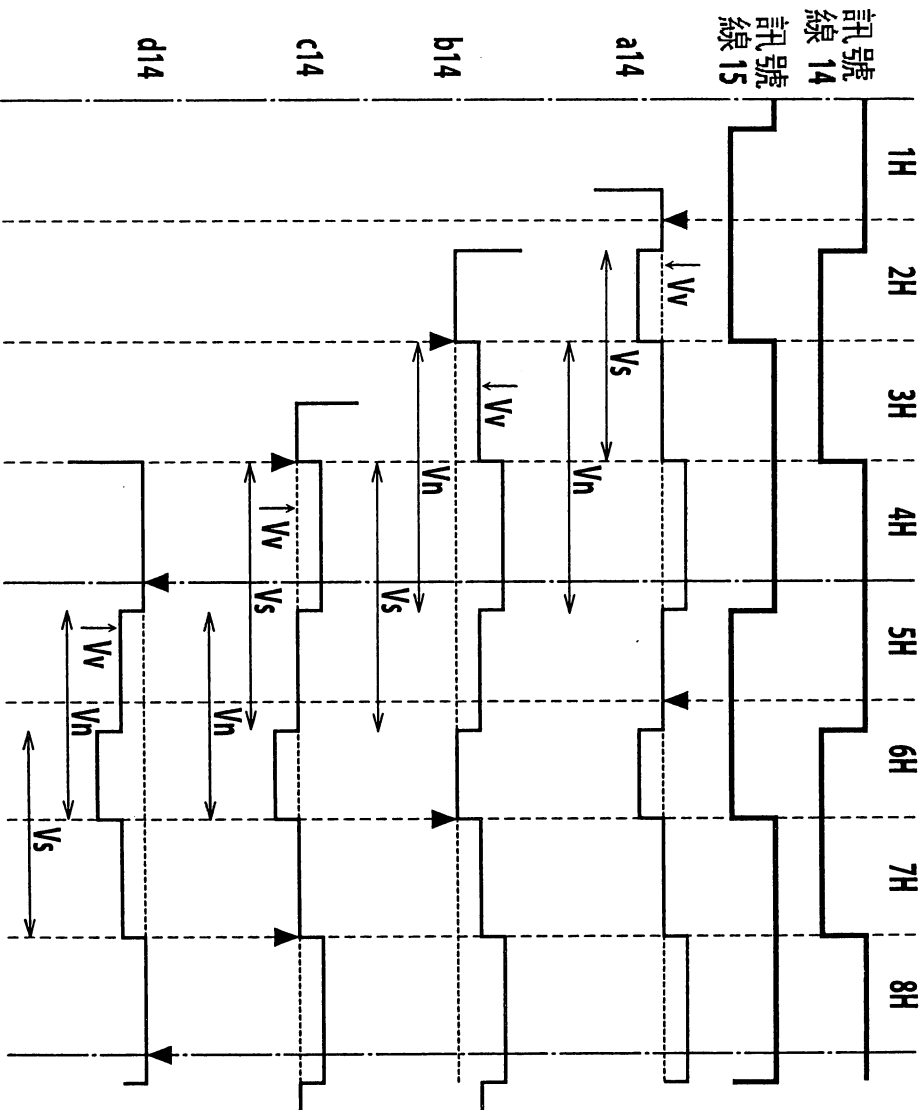
$$\begin{aligned} (V_{p_a11})_{\text{eff}} &= V_{\text{com}} - (V_{p_a11} + 7/16 \times V_n + 7/16 \times V_s - V_w) \\ &= (V_{\text{com}} - V_{p_a11}) - 7/16 \times V_n - 7/16 \times V_s + V_w \\ (V_{p_d11})_{\text{eff}} &= V_{\text{com}} - (V_{p_d11} + 7/16 \times V_s - 9/16 \times V_n + V_w) \\ &= (V_{\text{com}} - V_{p_d11}) + 9/16 \times V_n - 7/16 \times V_s - V_w \\ (V_{p_c11})_{\text{eff}} &= (V_{p_c11} - 9/16 \times V_n - 9/16 \times V_s + V_w) - V_{\text{com}} \\ &= (V_{p_c11} - V_{\text{com}}) - 9/16 \times V_n - 9/16 \times V_s + V_w \\ (V_{p_d11})_{\text{eff}} &= (V_{p_d11} - 9/16 \times V_s + 7/16 \times V_n - V_w) - V_{\text{com}} \\ &= (V_{p_d11} - V_{\text{com}}) + 7/16 \times V_n - 9/16 \times V_s - V_w \end{aligned}$$

<定位於上方及下方之像素之有效電位>

$$\begin{aligned} dV_{a_b} &= V_n - 2 \times V_w \\ dV_{b_c} &= 9/8 \times V_n + 1/8 \times V_s - 2 \times V_w \\ dV_{c_d} &= V_n - 2 \times V_w \\ dV_{d_e} &= 7/8 \times V_n - 1/8 \times V_s - 2 \times V_w \end{aligned}$$

圖 16

<n 訊框：連接至訊號線 14 (G5) 之像素之電位性能>



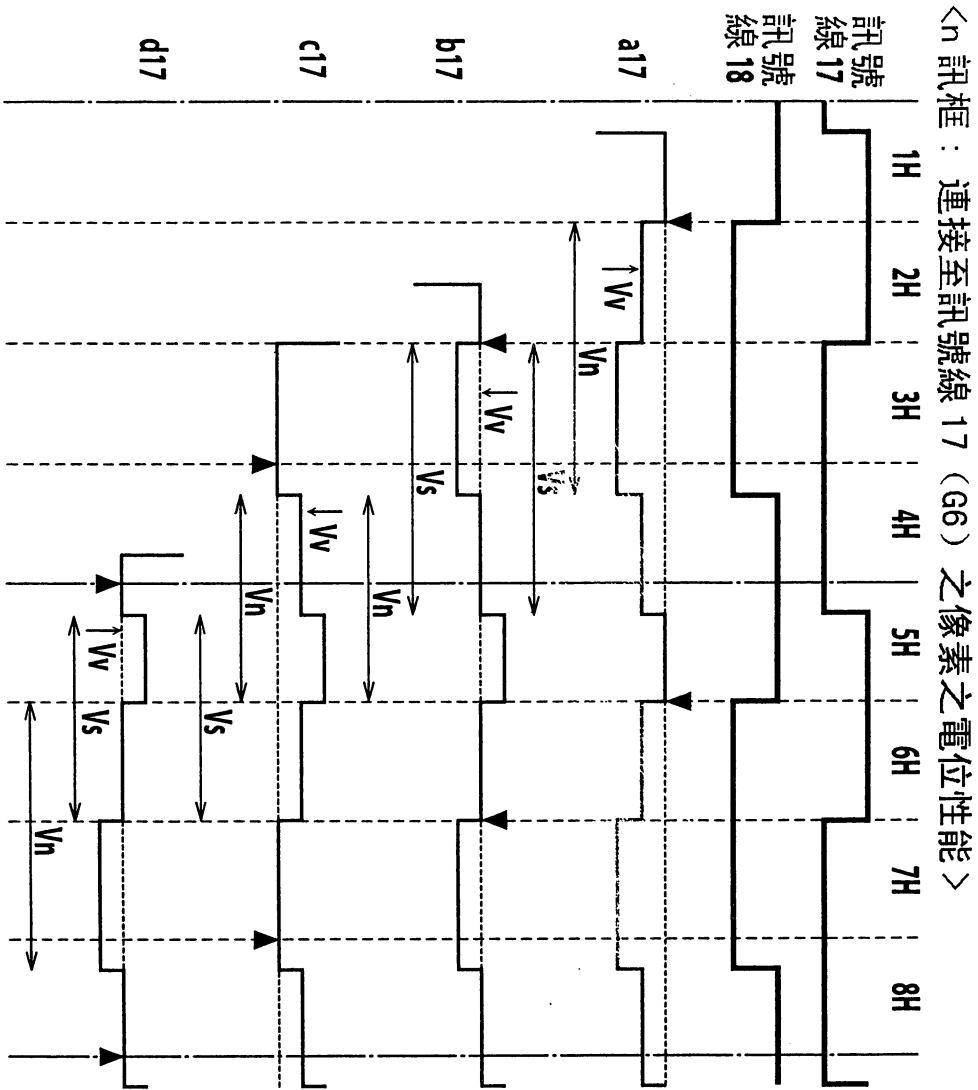
< 有效電位 >

$$\begin{aligned}
 (V_{p_a14})_{\text{eff}} &= (V_{p_a14} - 7/16 \times V_s + 9/16 \times V_n - V_v) - V_{\text{com}} \\
 &= (V_{p_a14} - V_{\text{com}}) + 9/16 \times V_n - 7/16 \times V_s - V_v \\
 (V_{p_b14})_{\text{eff}} &= V_{\text{com}} - (V_{p_b14} + 9/16 \times V_n + 9/16 \times V_s - V_v) \\
 &= (V_{\text{com}} - V_{p_b14}) - 9/16 \times V_n - 9/16 \times V_s + V_v \\
 (V_{p_c14})_{\text{eff}} &= V_{\text{com}} - (V_{p_c14} + 9/16 \times V_s - 7/16 \times V_n + V_v) \\
 &= (V_{\text{com}} - V_{p_c14}) + 7/16 \times V_n - 9/16 \times V_s - V_v \\
 (V_{p_d14})_{\text{eff}} &= (V_{p_d14} - 7/16 \times V_n - 7/16 \times V_s + V_v) - V_{\text{com}} \\
 &= (V_{p_d14} - V_{\text{com}}) - 7/16 \times V_n - 7/16 \times V_s + V_v
 \end{aligned}$$

< 定位於上方及下方之像素之有效電位 >

$$\begin{aligned}
 dV_{a_b} &= 9/8 \times V_n + 1/8 \times V_s - 2 \times V_v \\
 dV_{b_c} &= V_n - 2 \times V_v \\
 dV_{c_d} &= 7/8 \times V_n - 1/8 \times V_s - 2 \times V_v \\
 dV_{d_e} &= V_n - 2 \times V_v
 \end{aligned}$$

圖 17



<有效電位>

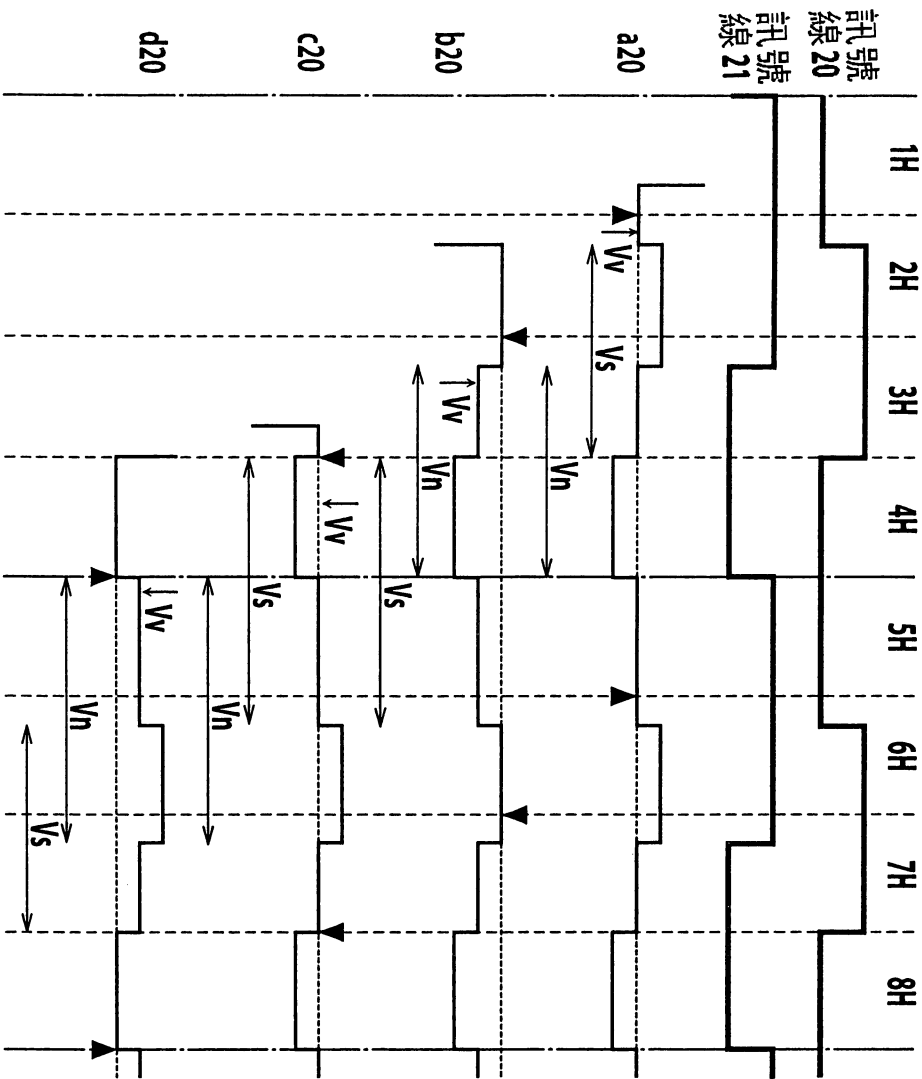
$$\begin{aligned} (Vp_a17) \text{ eff} &= (Vp.a17 - 9/16 \times Vn - 9/16 \times Vs + Vv) - Vcom \\ &= (Vp.a17 - Vcom) - 9/16 \times Vn - 9/16 \times Vs + Vv \\ (Vp_b17) \text{ eff} &= (Vp.b17 - 9/16 \times Vs + 7/16 \times Vn - Vv) - Vcom \\ &= (Vp.b17 - Vcom) + 7/16 \times Vn - 9/16 \times Vs - Vv \\ (Vp_c17) \text{ eff} &= Vcom - (Vp.c17 + 7/16 \times Vn + 7/16 \times Vs - Vv) \\ &= (Vcom - Vp.c17) - 7/16 \times Vn - 7/16 \times Vs + Vv \\ (Vp_d17) \text{ eff} &= Vcom - (Vp.d17 + 7/16 \times Vs - 9/16 \times Vn + Vv) \\ &= (Vcom - Vp.d17) + 9/16 \times Vn - 7/16 \times Vs - Vv \end{aligned}$$

<定位於上方及下方之像素之有效電位>

$$\begin{aligned} dVa_b &= Vn - 2 \times Vv \\ dVb_c &= 7/8 \times Vn - 1/8 \times Vs - 2 \times Vv \\ dVc_d &= Vn - 2 \times Vv \\ dVd_e &= 9/8 \times Vn + 1/8 \times Vs - 2 \times Vv \end{aligned}$$

圖 18

〈n 訊框：連接至訊號線 20 (G7) 之像素之電位性能〉



〈有效電位〉

$$\begin{aligned} (V_{p_a20})_{\text{eff}} &= V_{\text{com}} - (V_{p_a20} + 7/16 \times V_s - 7/16 \times V_n - V_v) \\ &= V_{\text{com}} - V_{p_a20} + 7/16 \times V_n - 7/16 \times V_s - V_v \\ (V_{p_b20})_{\text{eff}} &= (V_{p_b20} - 7/16 \times V_n - 9/16 \times V_s + V_v) - V_{\text{com}} \\ &= (V_{p_b20} - V_{\text{com}}) - 7/16 \times V_n - 9/16 \times V_s + V_v \\ (V_{p_c20})_{\text{eff}} &= (V_{p_c20} - 9/16 \times V_s + 9/16 \times V_n - V_v) - V_{\text{com}} \\ &= (V_{p_c20} - V_{\text{com}}) + 9/16 \times V_n - 9/16 \times V_s - V_v \\ (V_{p_d20})_{\text{eff}} &= V_{\text{com}} - (V_{p_d20} + 9/16 \times V_n + 7/16 \times V_s - V_v) \\ &= (V_{\text{com}} - V_{p_d20}) - 9/16 \times V_n - 7/16 \times V_s + V_v \end{aligned}$$

〈定位於上方及下方之像素之有效電位〉

$$\begin{aligned} d1/a_b &= 7/8 \times V_n + 1/8 \times V_s - 2 \times V_v \\ d1/b_c &= V_n - 2 \times V_v \\ d1/c_d &= 9/8 \times V_n - 1/8 \times V_s - 2 \times V_v \\ d1/d_e &= V_n - 2 \times V_v \end{aligned}$$

圖 19

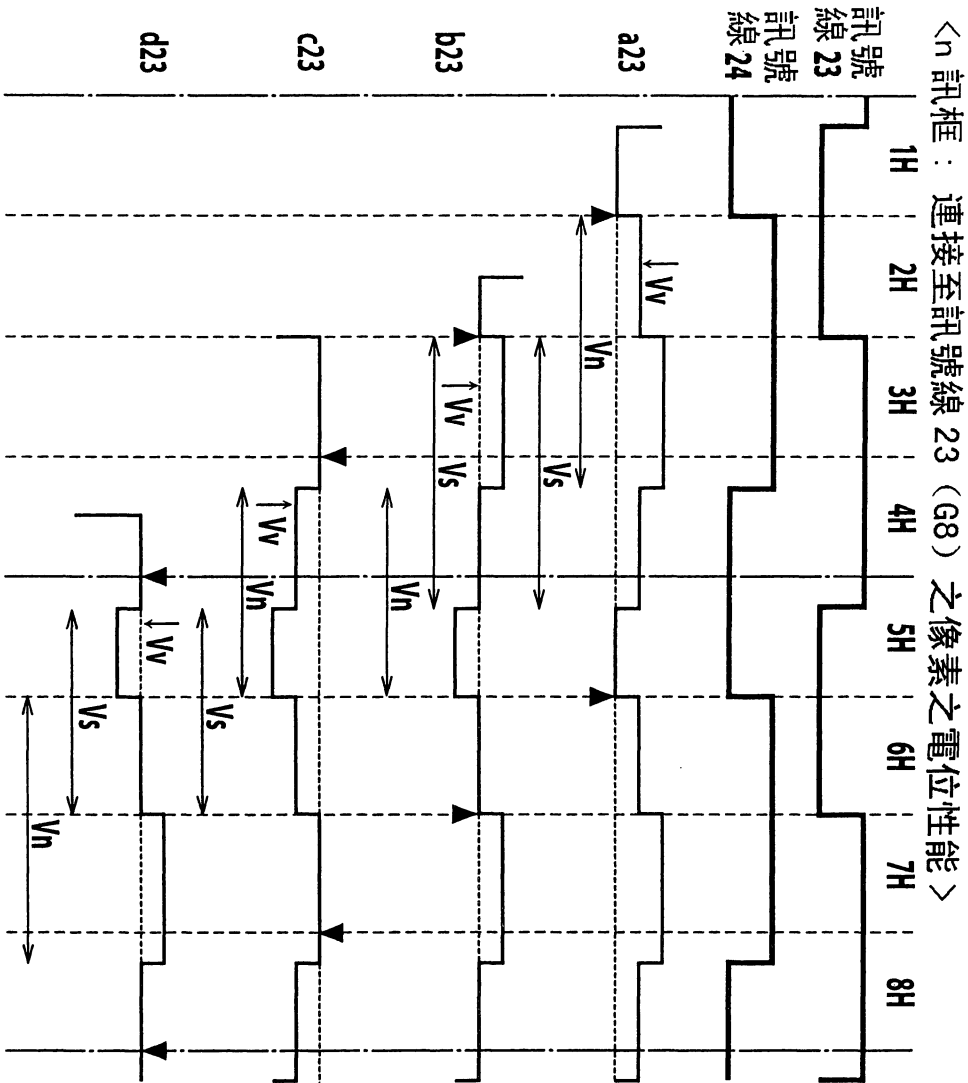


圖 20

<有效電位>

$$\begin{aligned} (V_{p_a23})_{\text{eff}} &= V_{\text{com}} - (V_{p_a23} + 9/16 \times V_n + 9/16 \times V_s - V_v) \\ &= (V_{\text{com}} - V_{p_a23}) - 9/16 \times V_n - 9/16 \times V_s + V_v \\ (V_{p_b23})_{\text{eff}} &= V_{\text{com}} - (V_{p_b23} + 9/16 \times V_s - 7/16 \times V_n + V_v) \\ &= (V_{\text{com}} - V_{p_b23}) + 7/16 \times V_n - 9/16 \times V_s - V_v \\ (V_{p_c23})_{\text{eff}} &= (V_{p_c23} - 7/16 \times V_n - 7/16 \times V_s + V_v) - V_{\text{com}} \\ &= (V_{p_c23} - V_{\text{com}}) - 7/16 \times V_n - 7/16 \times V_s + V_v \\ (V_{p_d23})_{\text{eff}} &= (V_{p_d23} - 7/16 \times V_s + 9/16 \times V_n - V_v) - V_{\text{com}} \\ &= (V_{p_d23} - V_{\text{com}}) + 9/16 \times V_n - 7/16 \times V_s - V_v \end{aligned}$$

<定位於上方及下方之像素之有效電位>

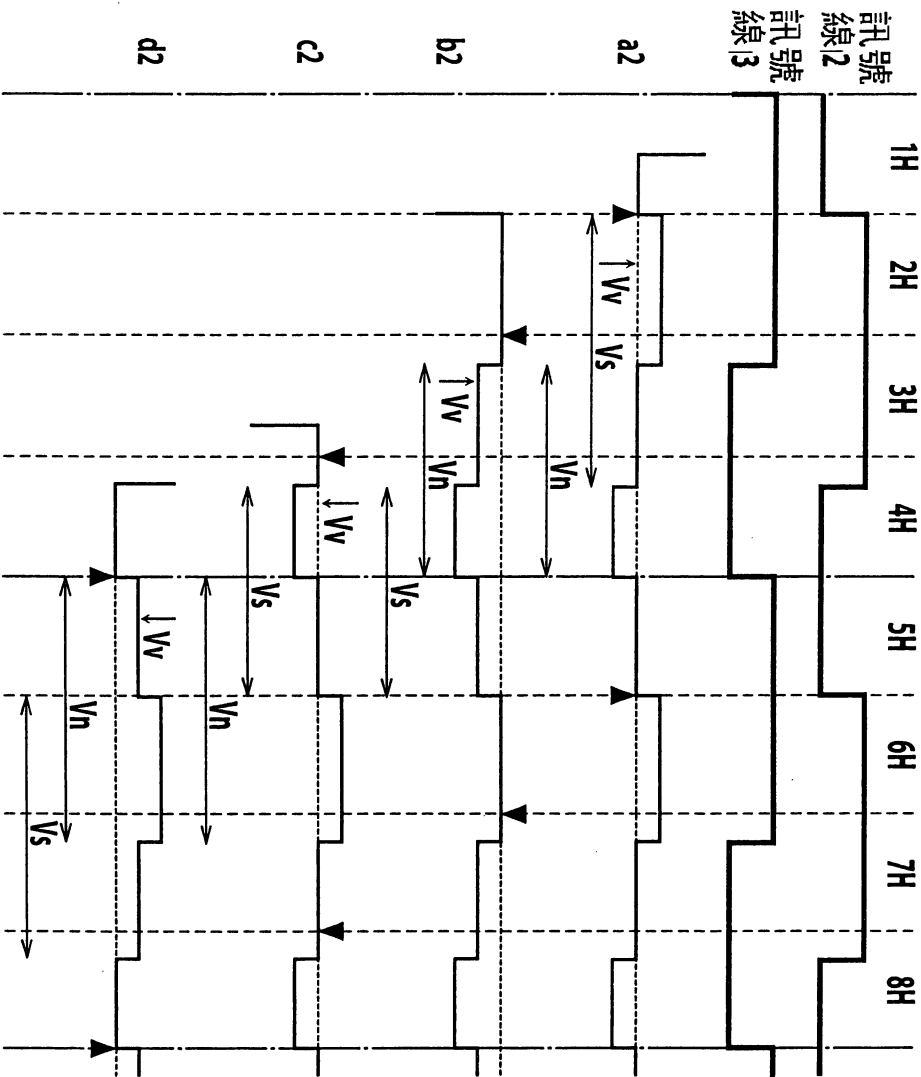
$$\begin{aligned} dV_{a_b} &= V_n - 2 \times V_v \\ dV_{b_c} &= 7/8 \times V_n - 1/8 \times V_s - 2 \times V_v \\ dV_{c_d} &= V_n - 2 \times V_v \\ dV_{d_e} &= 9/8 \times V_n + 1/8 \times V_s - 2 \times V_v \end{aligned}$$

<n+1 訊框>

正極性	7	7	7	7	9	9	9	9	7	7	7	7	9	9	9	7	7	7	9	9	9	9	9	7	
負極性	9	9	9	9	7	7	7	7	9	9	9	9	7	7	7	9	9	9	7	7	7	7	7	7	9
訊號編號	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25
	R1	G1	B1	R2	G2	B2	R3	G3	B3	R4	G4	B4	R5	G5	B5	R6	G6	B6	R7	G7	B7	R8	G8	B8	R9
a	-2	-3	1	4	-1	-4	2	3	-2	-3	1	4	-1	-4	2	3	-2	-3	1	4	-1	-4	2	3	-2
b	-3	1	4	-2	-4	2	3	-1	-3	1	4	-2	-4	2	3	-1	-3	1	4	-2	-4	2	3	-1	-3
c	1	4	-2	-3	2	3	-1	-4	1	4	-2	-3	2	3	-1	-4	1	4	-2	-3	2	3	-1	-4	1
d	4	-2	-3	1	3	-1	-4	2	4	-2	-3	1	3	-1	-4	2	4	-2	-3	1	3	-1	-4	2	4
e	-2	-3	1	4	-1	-4	2	3	-2	-3	1	4	-1	-4	2	3	-2	-3	1	4	-1	-4	2	3	-2

圖 21

<n+1 訊框：連接至訊號線 2 (G1) 之像素之電位性能>



<有效電位>

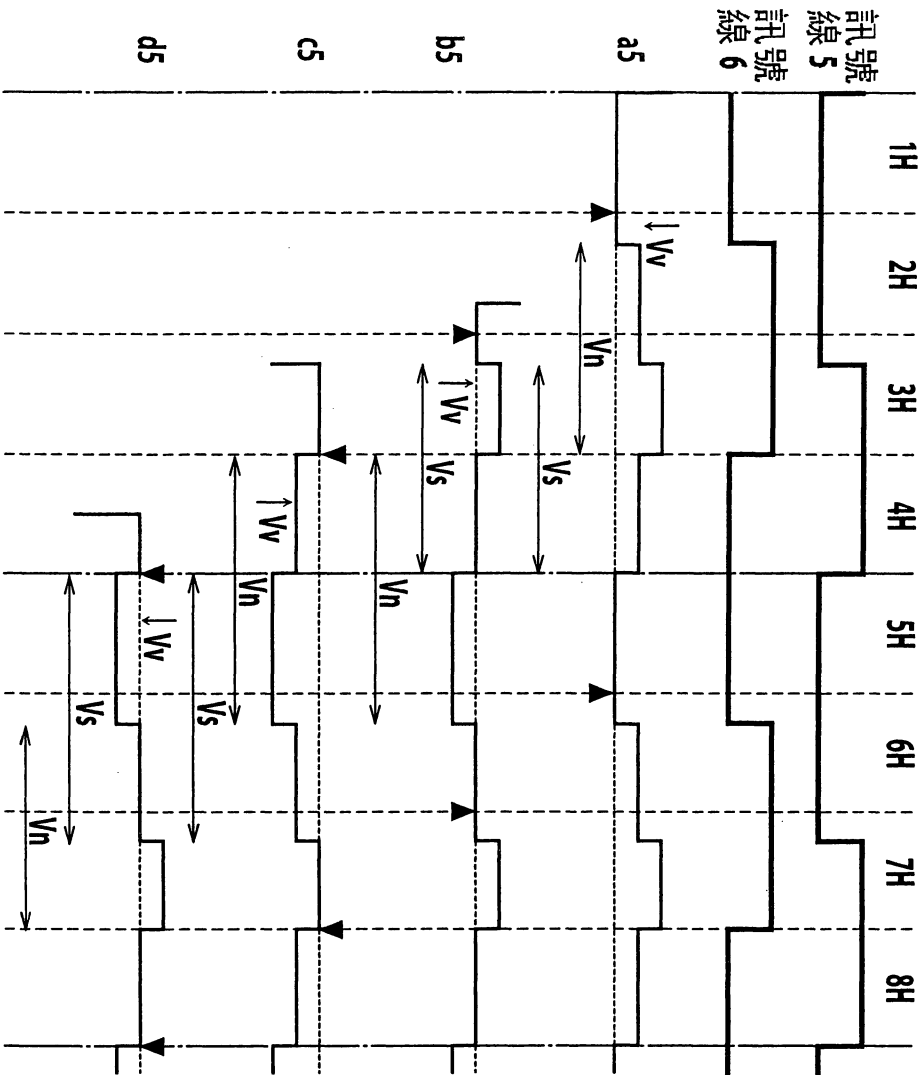
$$\begin{aligned} (Np_a2) \text{ eff} &= Vcom - (Np.a2 + 9/16 \times Vs - 7/16 \times Vn + Vv) \\ &= (Vcom - Vp.a2) + 7/16 \times Vn - 9/16 \times Vs - Vv \\ (Np_b2) \text{ eff} &= (Np.b2 - 7/16 \times Vn - 7/16 \times Vs + Vv) - Vcom \\ &= (Np.b2 - Vcom) - 7/16 \times Vn - 7/16 \times Vs + Vv \\ (Np_c2) \text{ eff} &= (Np.c2 - 7/16 \times Vs + 9/16 \times Vn - Vv) - Vcom \\ &= (Np.c2 - Vcom) + 9/16 \times Vn - 7/16 \times Vs - Vv \\ (Np_d2) \text{ eff} &= Vcom - (Np.d2 + 9/16 \times Vn + 9/16 \times Vs - Vv) \\ &= (Vcom - Vp.d2) - 9/16 \times Vn - 9/16 \times Vs + Vv \end{aligned}$$

<定位於上方及下方之像素之有效電位>

$$\begin{aligned} dVa_b &= 7/8 \times Vn - 1/8 \times Vs - 2 \times Vv \\ dVb_c &= Vn - 2 \times Vv \\ dVc_d &= 9/8 \times Vn + 1/8 \times Vs - 2 \times Vv \\ dVd_e &= Vn - 2 \times Vv \end{aligned}$$

圖 22

<n+1 訊框：連接至訊號線 5 (G2) 之像素之電位性能>



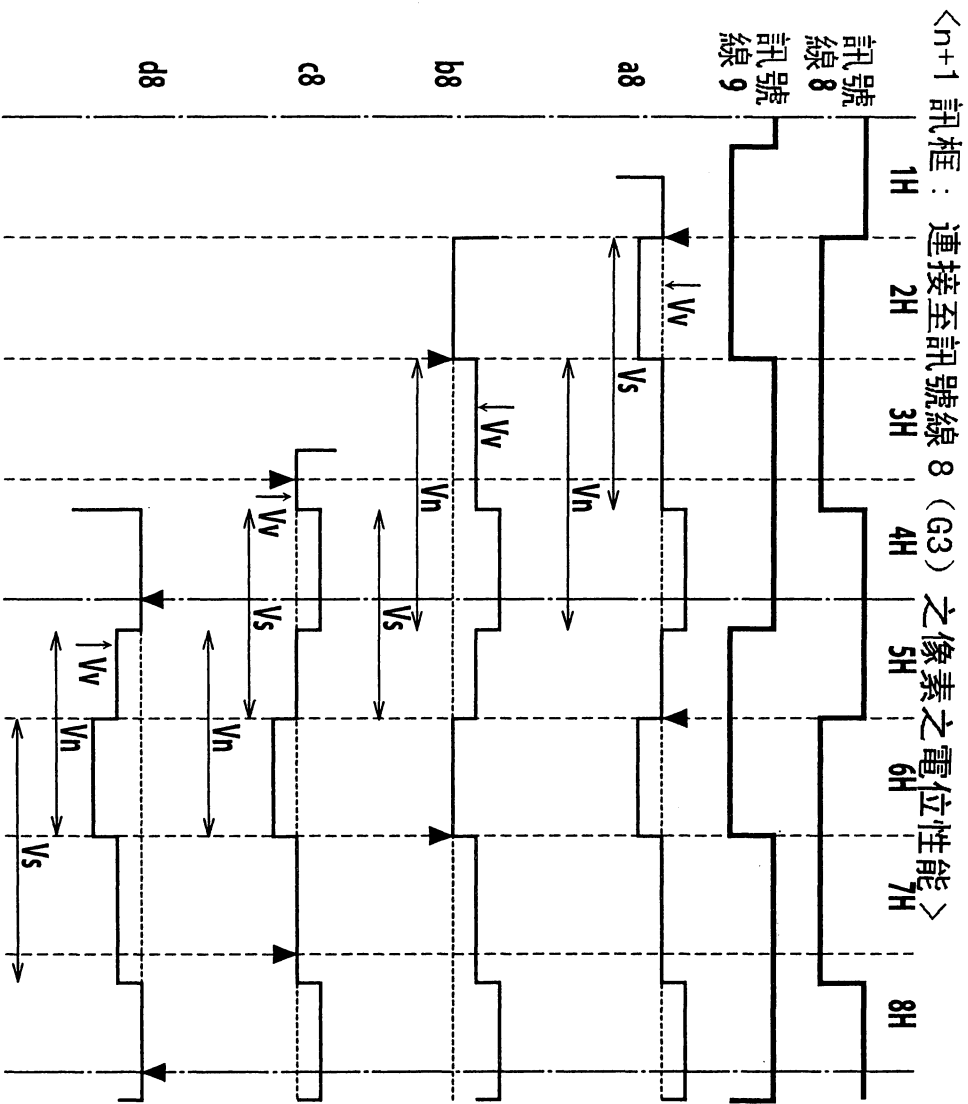
<有效電位>

$$\begin{aligned} (Np_a5) \text{ eff} &= V_{com} - (Vp.a5 + 7/16 \times Vn + 7/16 \times Vs - Vv) \\ &= (Vcom - Vp.a5) - 7/16 \times Vn - 7/16 \times Vs + Vv \\ (Np_b5) \text{ eff} &= V_{com} - (Vp.b5 + 7/16 \times Vs - 9/16 \times Vn + Vv) \\ &= (Vcom - Vp.b5) + 9/16 \times Vn - 7/16 \times Vs - Vv \\ (Np_c5) \text{ eff} &= (Vp.c5 - 9/16 \times Vn - 9/16 \times Vs + Vv) - Vcom \\ &= (Vp.c5 - Vcom) - 9/16 \times Vn - 9/16 \times Vs + Vv \\ (Np_d5) \text{ eff} &= (Vp.d5 - 9/16 \times Vs + 7/16 \times Vn - Vv) - Vcom \\ &= (Vp.d5 - Vcom) + 7/16 \times Vn - 9/16 \times Vs - Vv \end{aligned}$$

<定位於上方及下方之像素之有效電位>

$$\begin{aligned} dVa_b &= Vn - 2 \times Vv \\ dVb_c &= 9/8 \times Vn + 1/8 \times Vs - 2 \times Vv \\ dVc_d &= Vn - 2 \times Vv \\ dVd_e &= 7/8 \times Vn - 1/8 \times Vs - 2 \times Vv \end{aligned}$$

圖 23



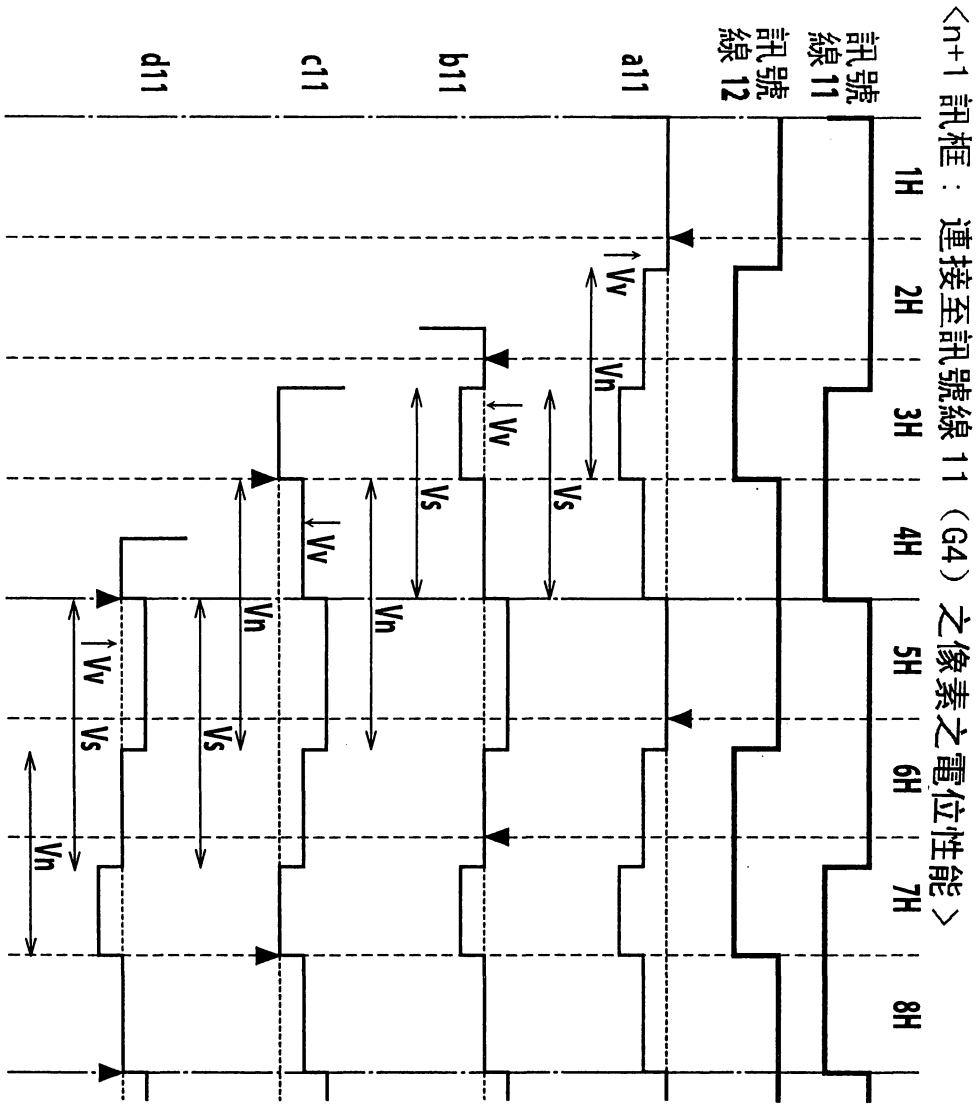
< 有效電位 >

$$\begin{aligned} (Vp_a8)_{eff} &= (Vp.a8 - 9/16 \times Vs + 9/16 \times Vn - Vv) - Vcom \\ &= (Vp.a8 - Vcom) + 9/16 \times Vn - 9/16 \times Vs - Vv \\ (Vp_b8)_{eff} &= Vcom - (Vp.b8 + 9/16 \times Vn + 7/16 \times Vs - Vv) \\ &= (Vcom - Vp.b8) - 9/16 \times Vn - 7/16 \times Vs + Vv \\ (Vp_c8)_{eff} &= Vcom - (Vp.c8 + 7/16 \times Vs - 7/16 \times Vn + Vv) \\ &= (Vcom - Vp.c8) + 7/16 \times Vn - 7/16 \times Vs - Vv \\ (Vp_d8)_{eff} &= (Vp.d8 - 7/16 \times Vn - 9/16 \times Vs + Vv) - Vcom \\ &= (Vp.d8 - Vcom) - 7/16 \times Vn - 9/16 \times Vs + Vv \end{aligned}$$

< 定位於上方及下方之像素之有效電位 >

$$\begin{aligned} dVa_b &= 9/8 \times Vn - 1/8 \times Vs - 2 \times Vv \\ dVb_c &= Vn - 2 \times Vv \\ dVc_d &= 7/8 \times Vn + 1/8 \times Vs - 2 \times Vv \\ dVd_e &= Vn - 2 \times Vv \end{aligned}$$

圖 24



< 有效電位 >

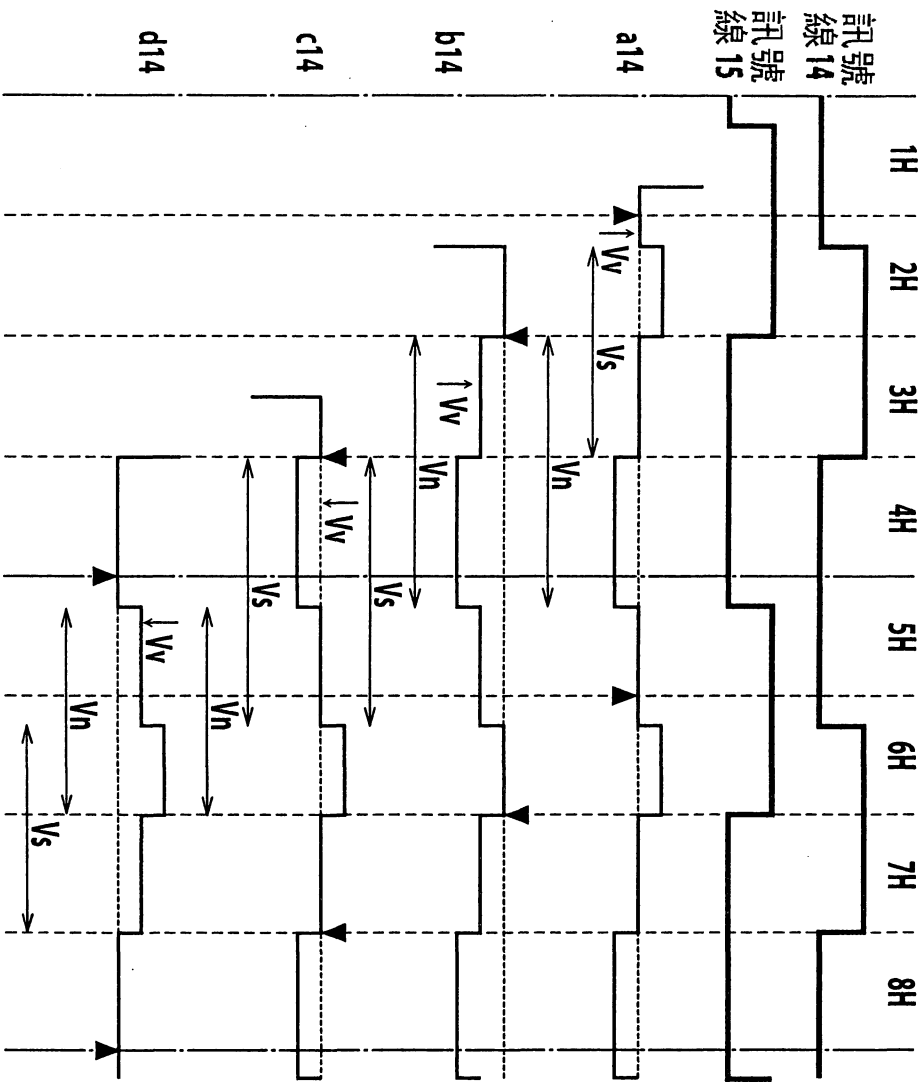
$$\begin{aligned} (Vp_a11)_{eff} &= (Vp.a11 - 7/16 \times Vn - 7/16 \times Vs + Vv) - Vcom \\ &= (Vp.a11 - Vcom) - 7/16 \times Vn - 7/16 \times Vs + Vv \\ (Vp_b11)_{eff} &= (Vp.b11 - 7/16 \times Vs + 9/16 \times Vn - Vv) - Vcom \\ &= (Vp.b11 - Vcom) + 9/16 \times Vn - 7/16 \times Vs - Vv \\ (Vp_c11)_{eff} &= Vcom - (Vp.c11 + 9/16 \times Vn + 9/16 \times Vs - Vv) \\ &= (Vcom - Vp.c11) - 9/16 \times Vn - 9/16 \times Vs + Vv \\ (Vp_d11)_{eff} &= Vcom - (Vp.d11 + 9/16 \times Vs - 7/16 \times Vn + Vv) \\ &= (Vcom - Vp.d11) + 7/16 \times Vn - 9/16 \times Vs - Vv \end{aligned}$$

< 定位於上方及下方之像素之有效電位 >

$$\begin{aligned} dVa_b &= Vn - 2 \times Vv \\ dVb_c &= 9/8 \times Vn + 1/8 \times Vs - 2 \times Vv \\ dVc_d &= Vn - 2 \times Vv \\ dVd_e &= 7/8 \times Vn - 1/8 \times Vs - 2 \times Vv \end{aligned}$$

圖 25

<n+1 訊框：連接至訊號線 14 (G5) 之像素之電位性能>



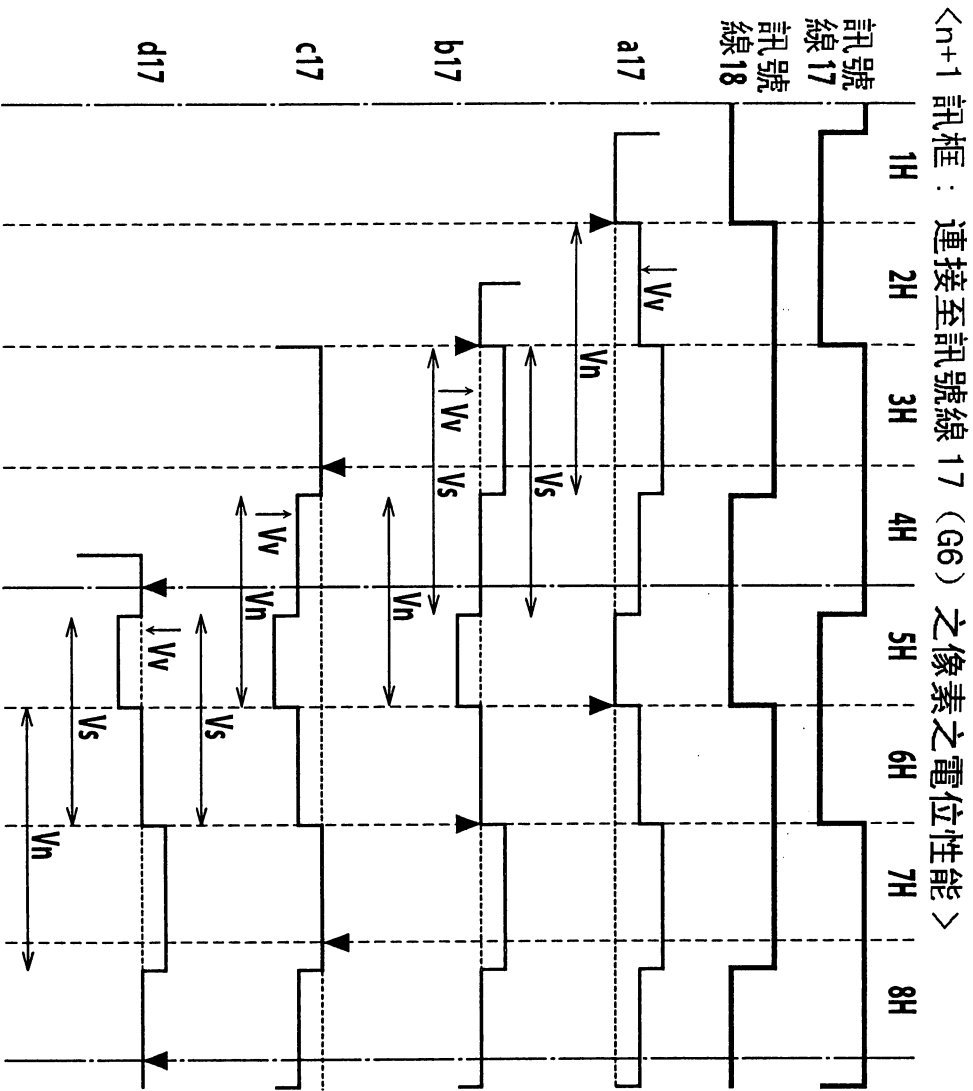
<有效電位>

$$\begin{aligned} (Vp_a14)_{eff} &= Vcom - (Vp.a14 + 7/16 \times Vs - 9/16 \times Vn + Vv) \\ &= (Vcom - Vp.a14) + 9/16 \times Vn - 7/16 \times Vs - Vv \\ (Vp_b14)_{eff} &= (Vp.b14 - 9/16 \times Vn - 9/16 \times Vs + Vv) - Vcom \\ &= (Vp.b14 - Vcom) - 9/16 \times Vn - 9/16 \times Vs + Vv \\ (Vp_c14)_{eff} &= (Vp.c14 - 9/16 \times Vs + 7/16 \times Vn - Vv) - Vcom \\ &= (Vp.c14 - Vcom) + 7/16 \times Vn - 9/16 \times Vs - Vv \\ (Vp_d14)_{eff} &= Vcom - (Vp.d14 + 7/16 \times Vn + 7/16 \times Vs - Vv) \\ &= (Vcom - Vp.d14) - 7/16 \times Vn - 7/16 \times Vs + Vv \end{aligned}$$

<定位於上方及下方之像素之有效電位>

$$\begin{aligned} dVa_b &= 9/8 \times Vn + 1/8 \times Vs - 2 \times Vv \\ dVb_c &= Vn - 2 \times Vv \\ dVc_d &= 7/8 \times Vn - 1/8 \times Vs - 2 \times Vv \\ dVd_e &= Vn - 2 \times Vv \end{aligned}$$

圖 26



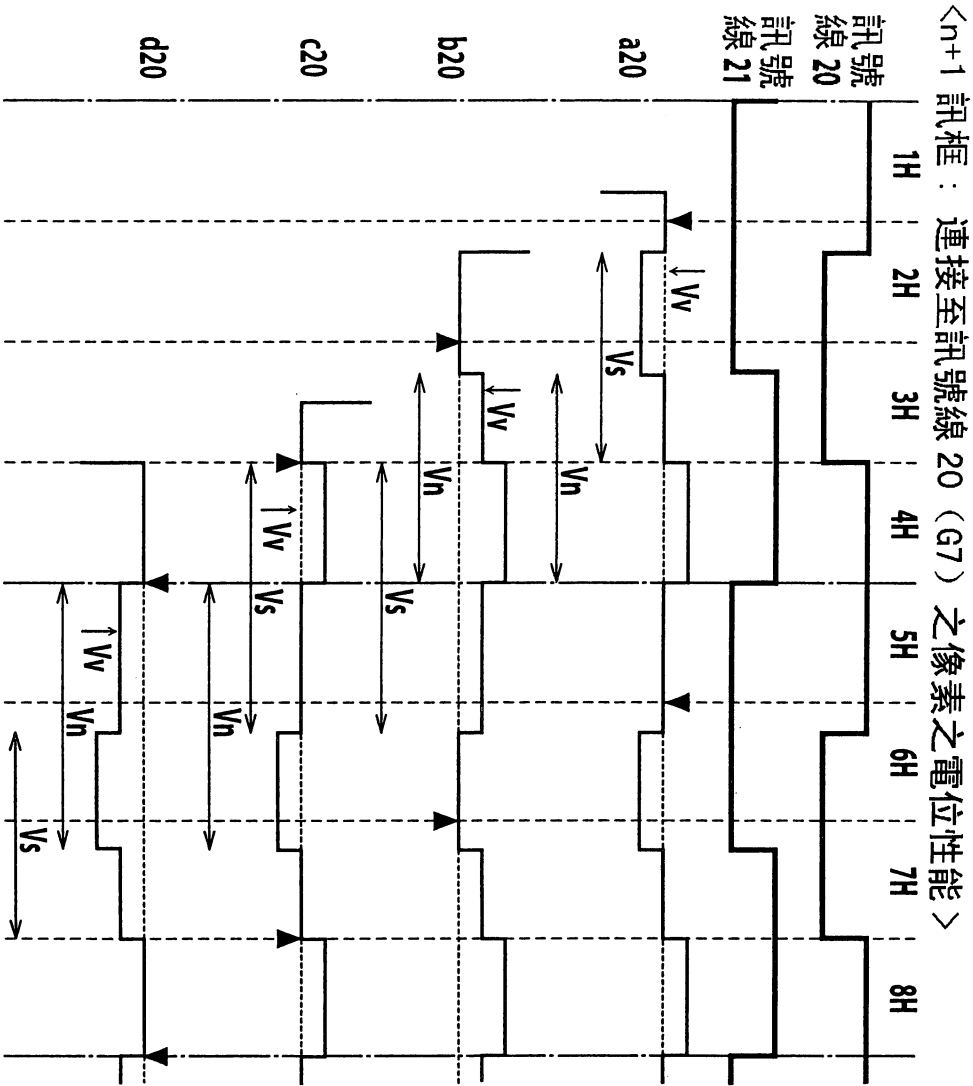
<有效電位>

$$\begin{aligned} (Np_a17)_{\text{eff}} &= V_{\text{com}} - (Vp_a17 + 9/16 \times V_n + 9/16 \times V_s - V_v) \\ &= (N_{\text{com}} - Vp_a17) - 9/16 \times V_n - 9/16 \times V_s + V_v \\ (Np_b17)_{\text{eff}} &= V_{\text{com}} - (Vp_b17 + 9/16 \times V_s - 7/16 \times V_n + V_v) \\ &= (N_{\text{com}} - Vp_b17) + 7/16 \times V_n - 9/16 \times V_s - V_v \\ (Np_c17)_{\text{eff}} &= (Np_c17 - 7/16 \times V_n - 7/16 \times V_s + V_v) - V_{\text{com}} \\ &= (Np_c17 - V_{\text{com}}) - 7/16 \times V_n - 7/16 \times V_s + V_v \\ (Np_d17)_{\text{eff}} &= (Np_d17 - 7/16 \times V_s + 9/16 \times V_n - V_v) - V_{\text{com}} \\ &= (Np_d17 - V_{\text{com}}) + 9/16 \times V_n - 7/16 \times V_s - V_v \end{aligned}$$

<定位於上方及下方之像素之有效電位>

$$\begin{aligned} dVa_b &= V_n - 2 \times V_v \\ dVb_c &= 7/8 \times V_n - 1/8 \times V_s - 2 \times V_v \\ dVc_d &= V_n - 2 \times V_v \\ dVd_e &= 9/8 \times V_n + 1/8 \times V_s - 2 \times V_v \end{aligned}$$

圖 27



<有效電位>

$$\begin{aligned} (V_{p_a20})_{\text{eff}} &= (V_{p_a20} - 7/16 \times V_s + 7/16 \times V_n - V_v) - V_{\text{com}} \\ &= (V_{p_a20} - V_{\text{com}}) + 7/16 \times V_n - 7/16 \times V_s - V_v \\ (V_{p_b20})_{\text{eff}} &= V_{\text{com}} - (V_{p_b20} + 7/16 \times V_n + 9/16 \times V_s - V_v) \\ &= (V_{\text{com}} - V_{p_b20}) - 7/16 \times V_n - 9/16 \times V_s + V_v \\ (V_{p_c20})_{\text{eff}} &= V_{\text{com}} - (V_{p_c20} + 9/16 \times V_s - 9/16 \times V_n + V_v) \\ &= (V_{\text{com}} - V_{p_c20}) + 9/16 \times V_n - 9/16 \times V_s - V_v \\ (V_{p_d20})_{\text{eff}} &= (V_{p_d20} - 9/16 \times V_n - 7/16 \times V_s + V_v) - V_{\text{com}} \\ &= (V_{p_d20} - V_{\text{com}}) - 9/16 \times V_n - 7/16 \times V_s + V_v \end{aligned}$$

<定位於上方及下方之像素之有效電位>

$$\begin{aligned} dV_{a_b} &= 7/8 \times V_n + 1/8 \times V_s - 2 \times V_v \\ dV_{b_c} &= V_n - 2 \times V_v \\ dV_{c_d} &= 9/8 \times V_n - 1/8 \times V_s - 2 \times V_v \\ dV_{d_e} &= V_n - 2 \times V_v \end{aligned}$$

圖 28

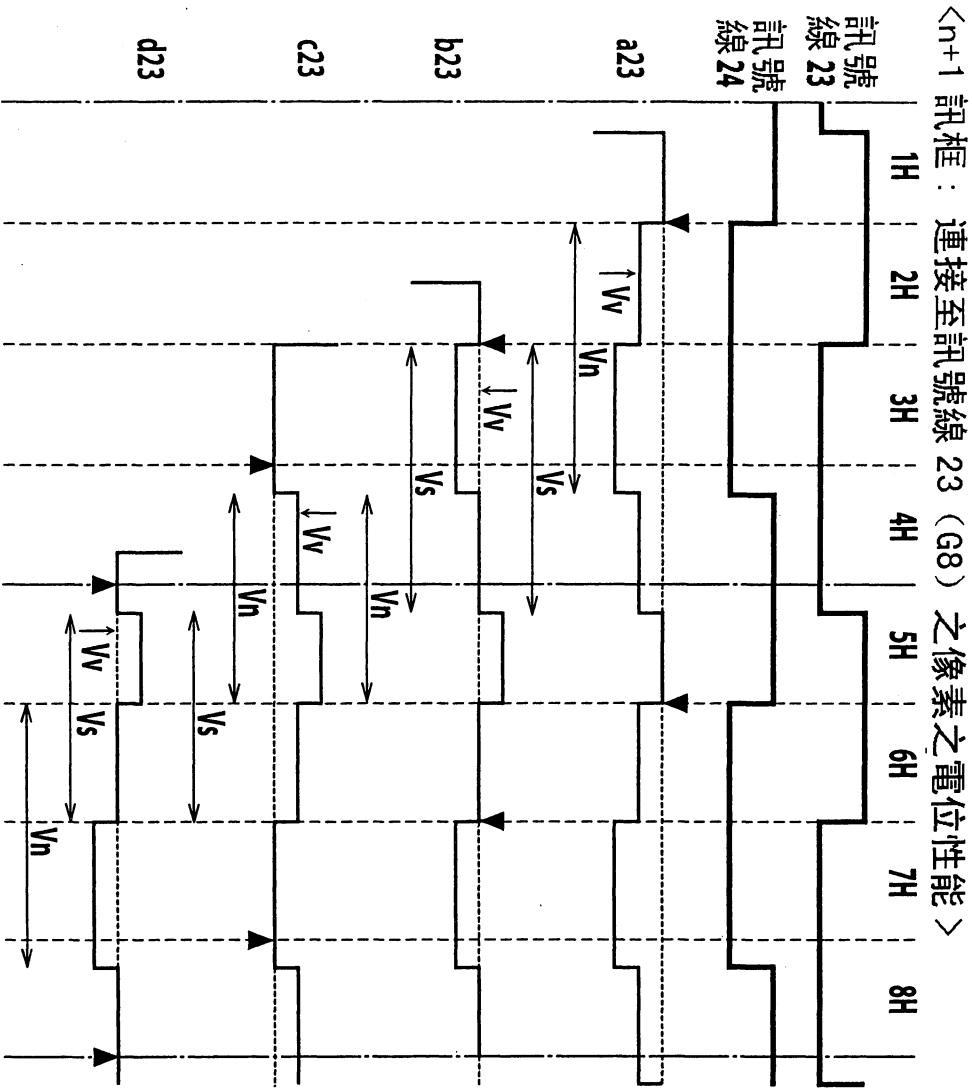


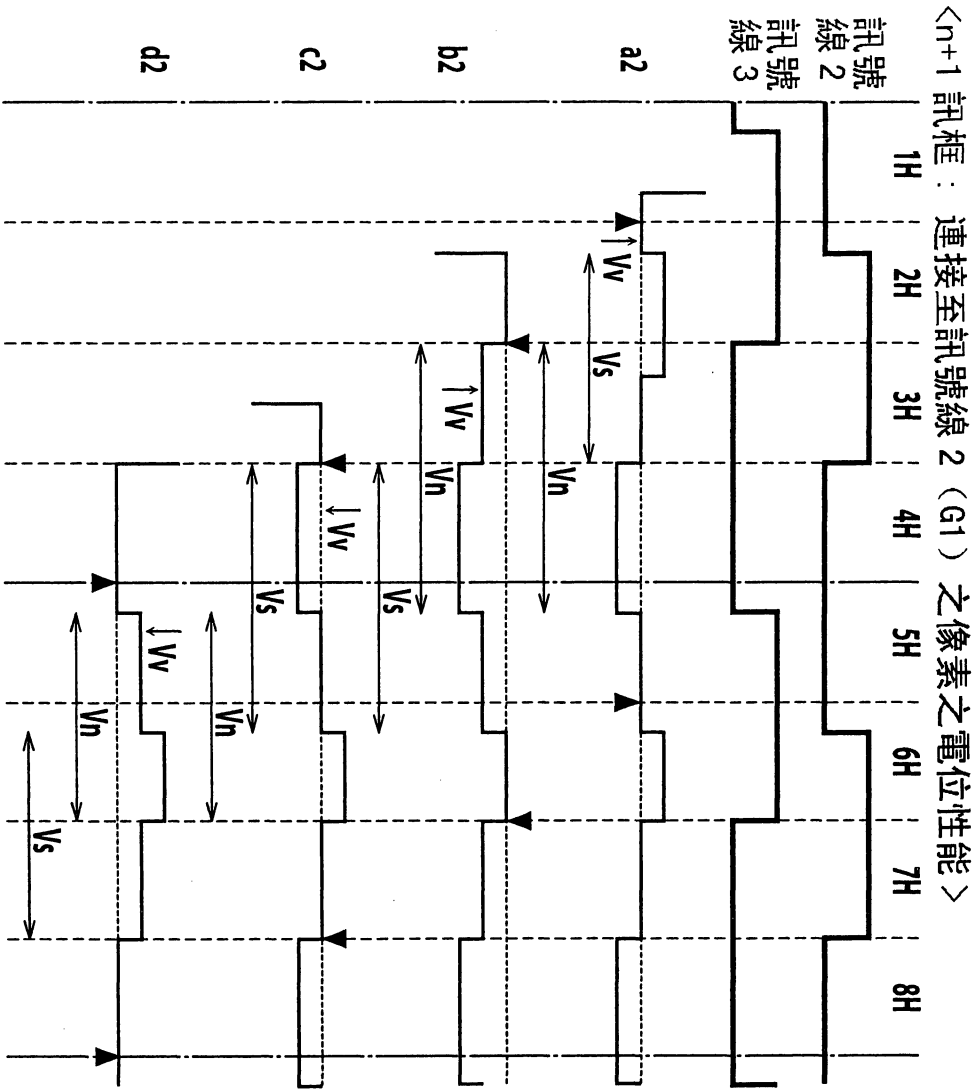
圖 29

<有效電位>

$$\begin{aligned} (Vp_a23)_{\text{eff}} &= (Vp.a23 - 9/16 \times Vn - 9/16 \times Vs + Vv) - Vcom \\ &= (Vp.a23 - Vcom) - 9/16 \times Vn - 9/16 \times Vs + Vv \\ (Vp_b23)_{\text{eff}} &= (Vp.b23 - 9/16 \times Vs + 7/16 \times Vn - Vv) - Vcom \\ &= (Vp.b23 - Vcom) + 7/16 \times Vn - 9/16 \times Vs - Vv \\ (Vp_c23)_{\text{eff}} &= Vcom - (Vp.c23 + 7/16 \times Vn + 7/16 \times Vs - Vv) \\ &= (Vcom - Vp.c23) - 7/16 \times Vn - 7/16 \times Vs + Vv \\ (Vp_d23)_{\text{eff}} &= Vcom - (Vp.d23 + 7/16 \times Vs - 9/16 \times Vn + Vv) \\ &= (Vcom - Vp.d23) + 9/16 \times Vn - 7/16 \times Vs - Vv \end{aligned}$$

<定位於上方及下方之像素之有效電位>

$$\begin{aligned} d1/a_b &= Vn - 2 \times Vv \\ d1/b_c &= 7/8 \times Vn - 1/8 \times Vs - 2 \times Vv \\ d1/c_d &= Vn - 2 \times Vv \\ d1/d_e &= 9/8 \times Vn + 1/8 \times Vs - 2 \times Vv \end{aligned}$$



<有效電位>

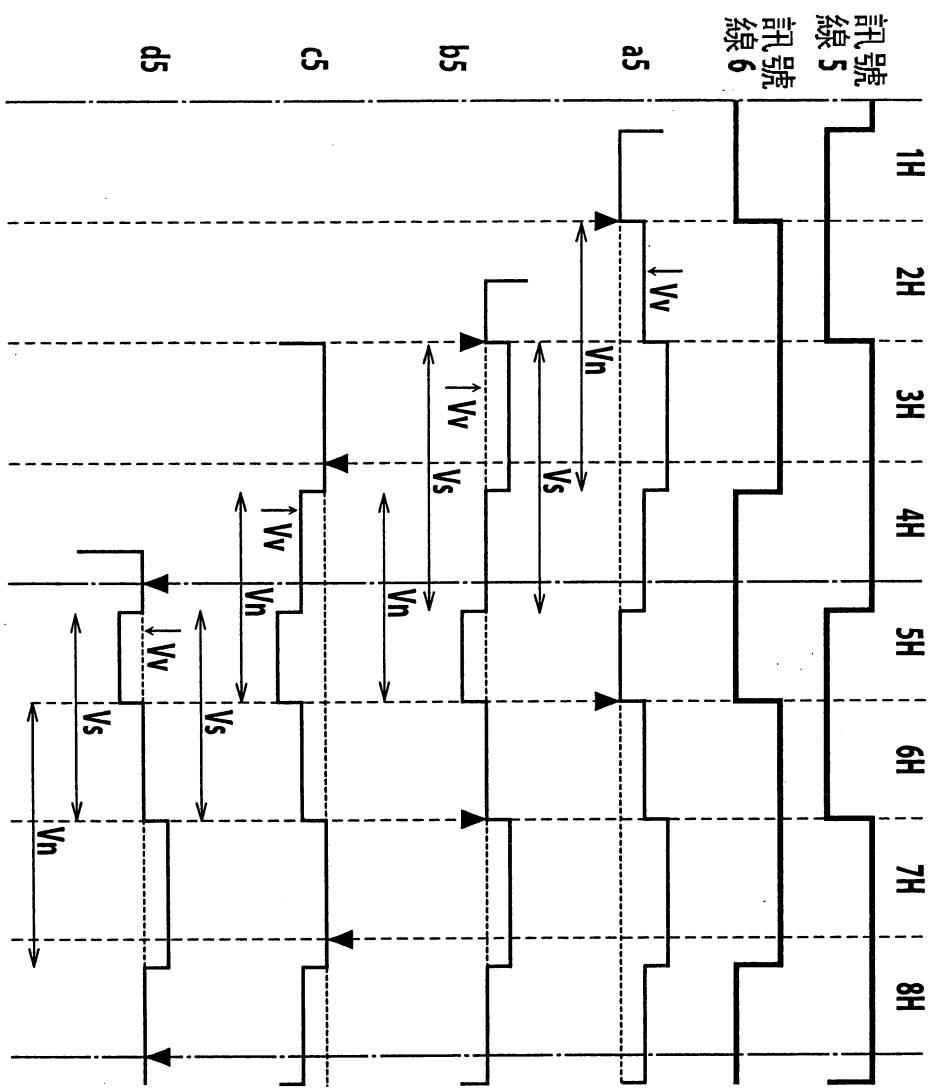
$$\begin{aligned} (Vp_a2)_{eff} &= Vcom - (Vp.a2 + 7/16 \times Vs - 9/16 \times Vn + Vv) \\ &= (Vcom - Vp.a2) + 9/16 \times Vn - 7/16 \times Vs - Vv \\ (Vp_b2)_{eff} &= (Vp.b2 - 9/16 \times Vn - 9/16 \times Vs + Vv) - Vcom \\ &= (Vp.b2 - Vcom) - 9/16 \times Vn - 9/16 \times Vs + Vv \\ (Vp_c2)_{eff} &= (Vp.c2 - 9/16 \times Vs + 7/16 \times Vn - Vv) - Vcom \\ &= (Vp.c2 - Vcom) + 7/16 \times Vn - 9/16 \times Vs - Vv \\ (Vp_d2)_{eff} &= Vcom - (Vp.d2 + 7/16 \times Vn + 7/16 \times Vs - Vv) \\ &= (Vcom - Vp.d2) - 7/16 \times Vn - 7/16 \times Vs + Vv \end{aligned}$$

<定位於上方及下方之像素之有效電位>

$$\begin{aligned} dVa_b &= 9/8 \times Vn + 1/8 \times Vs - 2 \times Vv \\ dVb_c &= Vn - 2 \times Vv \\ dVc_d &= 7/8 \times Vn - 1/8 \times Vs - 2 \times Vv \\ dVd_e &= Vn - 2 \times Vv \end{aligned}$$

圖 31

<n+1 訊框：連接至訊號線 5 (G2) 之像素之電位性能>



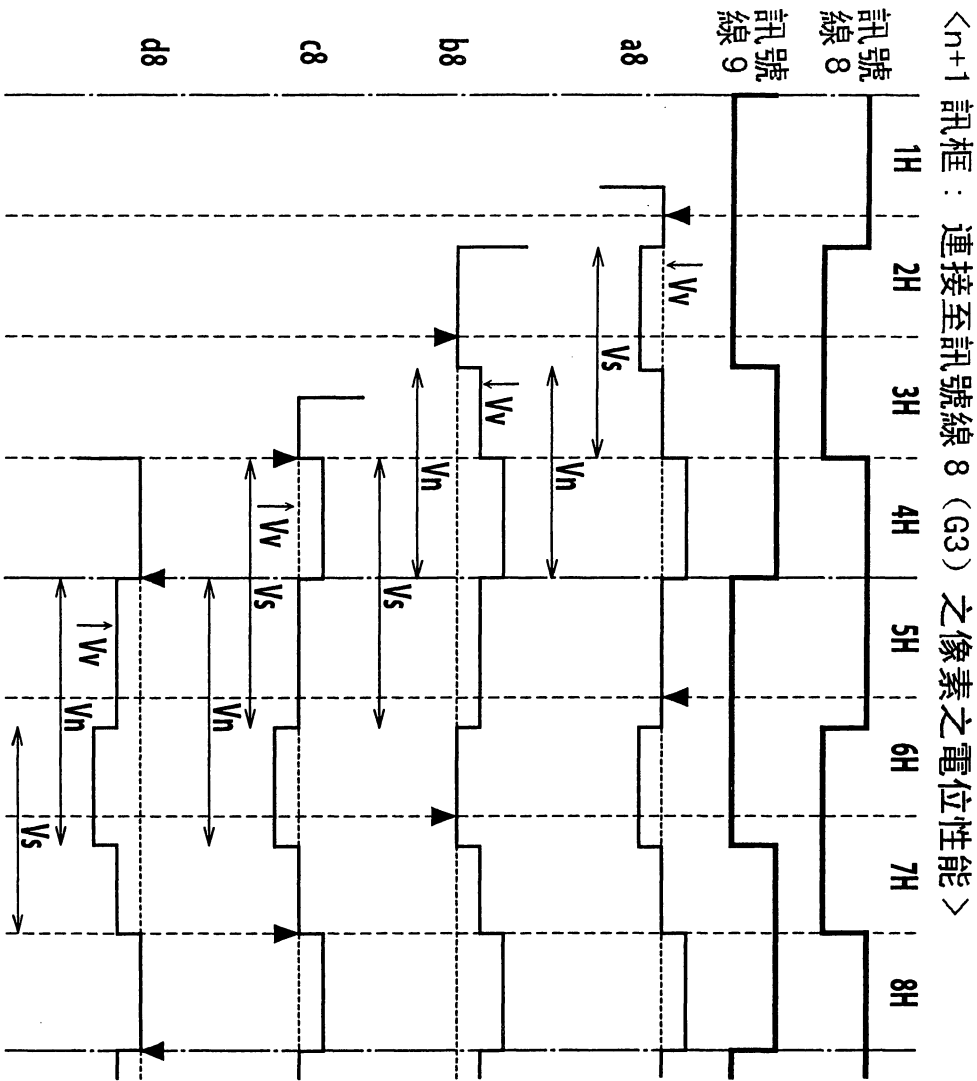
<有效電位>

$$\begin{aligned}
 (Vp_a5)_{eff} &= Vcom - (Vp.a5 + 9/16 \times Vn + 9/16 \times Vs - Vv) \\
 &= (Vcom - Vp.a5) - 9/16 \times Vn - 9/16 \times Vs + Vv \\
 (Vp_b5)_{eff} &= Vcom - (Vp.b5 + 9/16 \times Vs - 7/16 \times Vn + Vv) \\
 &= (Vcom - Vp.b5) + 7/16 \times Vn - 9/16 \times Vs - Vv \\
 (Vp_c5)_{eff} &= (Vp.c5 - 7/16 \times Vn - 7/16 \times Vs + Vv) - Vcom \\
 &= (Vp.c5 - Vcom) - 7/16 \times Vn - 7/16 \times Vs + Vv \\
 (Vp_d5)_{eff} &= (Vp.d5 - 7/16 \times Vs + 9/16 \times Vn - Vv) - Vcom \\
 &= (Vp.d5 - Vcom) + 9/16 \times Vn - 7/16 \times Vs - Vv
 \end{aligned}$$

<定位於上方及下方之像素之有效電位>

$$\begin{aligned}
 dVa_b &= Vn - 2 \times Vv \\
 dVb_c &= 7/8 \times Vn - 1/8 \times Vs - 2 \times Vv \\
 dVc_d &= Vn - 2 \times Vv \\
 dVd_e &= 9/8 \times Vn + 1/8 \times Vs - 2 \times Vv
 \end{aligned}$$

圖 32



< 有效電位 >

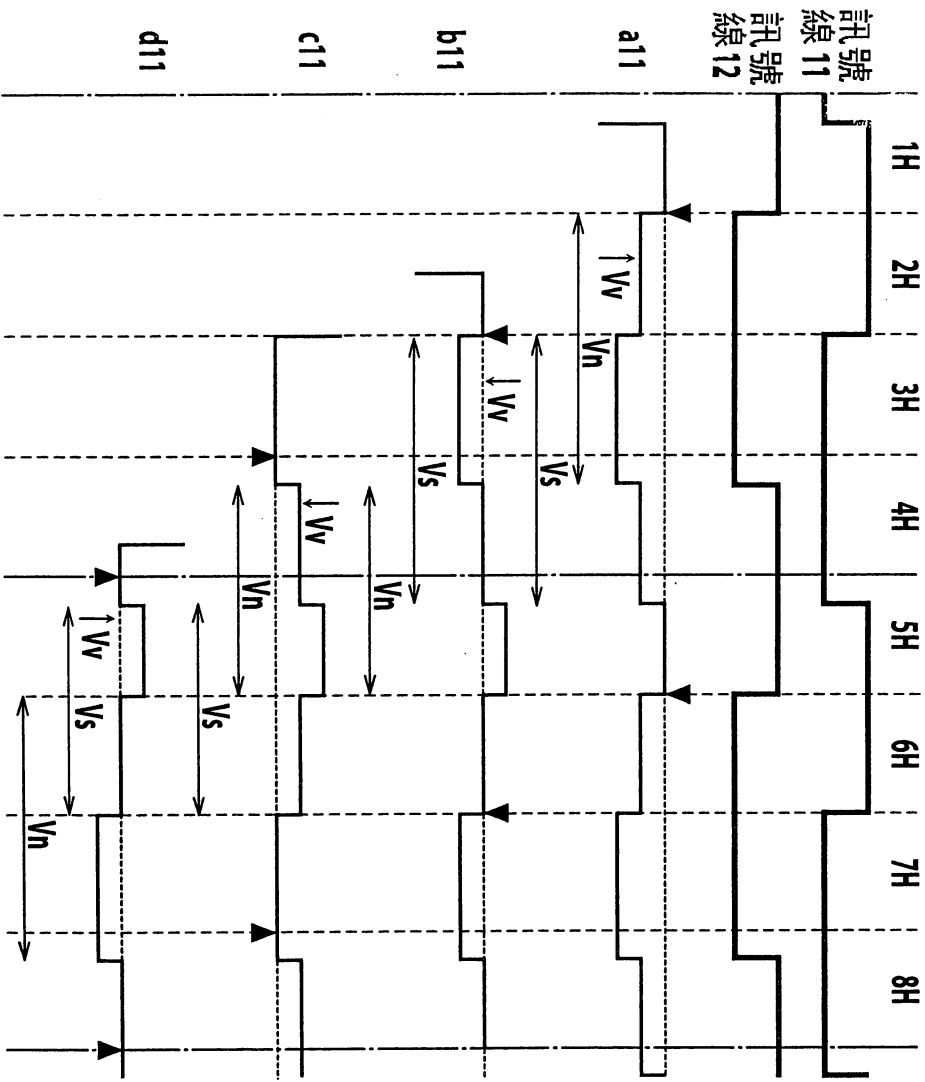
$$\begin{aligned} (V_{p_a8})_{\text{eff}} &= (V_{p_a8} - 7/16 \times V_s + 7/16 \times V_n - V_v) - V_{\text{com}} \\ &= (V_{p_a8} - V_{\text{com}}) + 7/16 \times V_n - 7/16 \times V_s - V_v \\ (V_{p_b8})_{\text{eff}} &= V_{\text{com}} - (V_{p_b8} + 7/16 \times V_n + 9/16 \times V_s - V_v) \\ &= (V_{\text{com}} - V_{p_b8}) - 7/16 \times V_n - 9/16 \times V_s + V_v \\ (V_{p_c8})_{\text{eff}} &= V_{\text{com}} - (V_{p_c8} + 9/16 \times V_s - 9/16 \times V_n + V_v) \\ &= (V_{\text{com}} - V_{p_c8}) + 9/16 \times V_n - 9/16 \times V_s - V_v \\ (V_{p_d8})_{\text{eff}} &= (V_{p_d8} - 9/16 \times V_n - 7/16 \times V_s + V_v) - V_{\text{com}} \\ &= (V_{p_d8} - V_{\text{com}}) - 9/16 \times V_n - 7/16 \times V_s + V_v \end{aligned}$$

< 定位於上方及下方之像素之有效電位 >

$$\begin{aligned} dV_{a_b} &= 7/8 \times V_n + 1/8 \times V_s - 2 \times V_v \\ dV_{b_c} &= V_n - 2 \times V_v \\ dV_{c_d} &= 9/8 \times V_n - 1/8 \times V_s - 2 \times V_v \\ dV_{d_e} &= V_n - 2 \times V_v \end{aligned}$$

圖 33

<n+1 訊框：連接至訊號線 11 (G4) 之像素之電位性能>



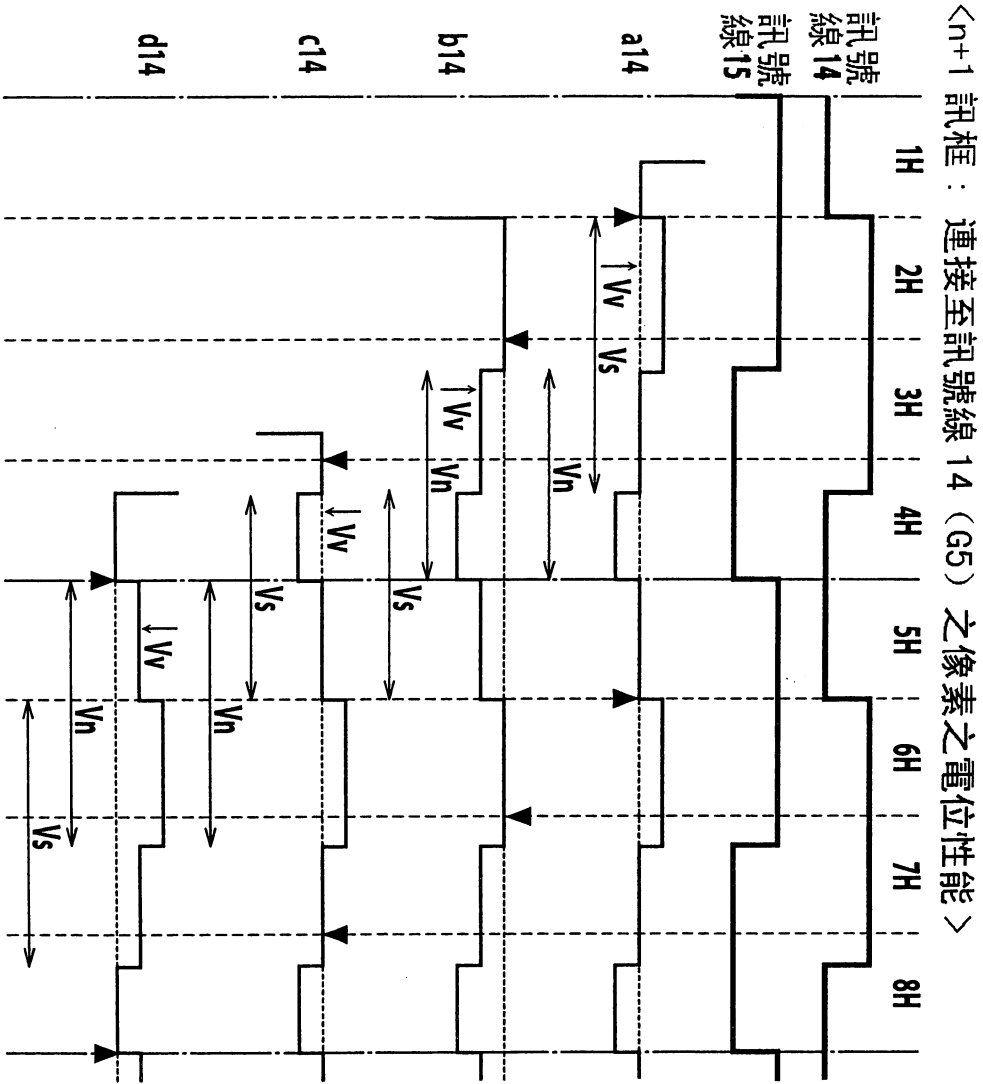
<有效電位>

$$\begin{aligned}
 (Vp_a11)_{eff} &= (Vp.a11 - 9/16 \times Vn - 9/16 \times Vs + Vv) - Vcom \\
 &= (Vp.a11 - Vcom) - 9/16 \times Vn - 9/16 \times Vs + Vv \\
 (Vp_b11)_{eff} &= (Vp.b11 - 9/16 \times Vs + 7/16 \times Vn - Vv) - Vcom \\
 &= (Vp.b11 - Vcom) + 7/16 \times Vn - 9/16 \times Vs - Vv \\
 (Vp_c11)_{eff} &= Vcom - (Vp.c11 + 7/16 \times Vn + 7/16 \times Vs - Vv) \\
 &= (Vcom - Vp.c11) - 7/16 \times Vn - 7/16 \times Vs + Vv \\
 (Vp_d11)_{eff} &= Vcom - (Vp.d11 + 7/16 \times Vs - 9/16 \times Vn + Vv) \\
 &= (Vcom - Vp.d11) + 9/16 \times Vn - 7/16 \times Vs - Vv
 \end{aligned}$$

<定位於上方及下方之像素之有效電位>

$$\begin{aligned}
 dVa_b &= Vn - 2 \times Vv \\
 dVb_c &= 7/8 \times Vn - 1/8 \times Vs - 2 \times Vv \\
 dVc_d &= Vn - 2 \times Vv \\
 dVd_e &= 9/8 \times Vn + 1/8 \times Vs - 2 \times Vv
 \end{aligned}$$

圖 34



〈有效電位〉

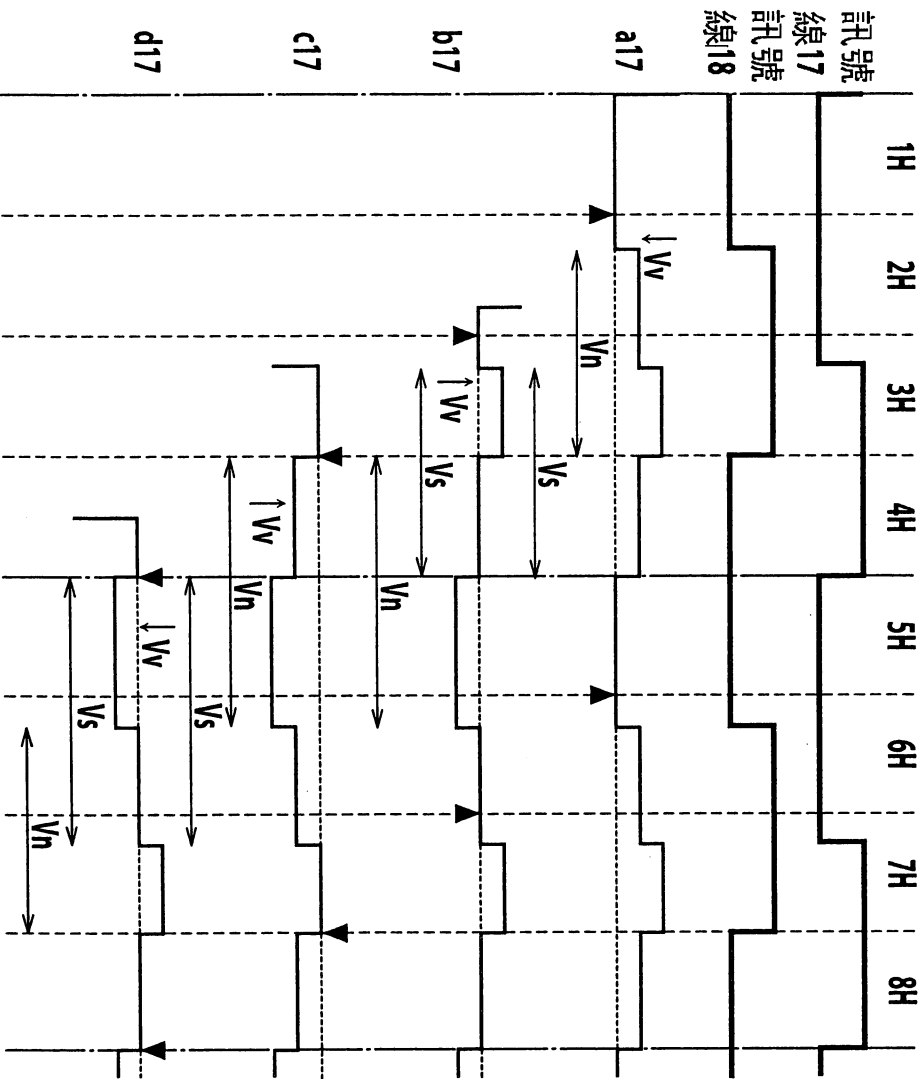
$$\begin{aligned} (V_{p_a14})_{\text{eff}} &= V_{\text{com}} - (V_{p_a14} + 9/16 \times V_s - 7/16 \times V_n + V_v) \\ &= (V_{\text{com}} - V_{p_a14}) + 7/16 \times V_n - 9/16 \times V_s - V_v \\ (V_{p_b14})_{\text{eff}} &= (V_{p_b14} - 7/16 \times V_n - 7/16 \times V_s + V_v) - V_{\text{com}} \\ &= (V_{p_b14} - V_{\text{com}}) - 7/16 \times V_n - 7/16 \times V_s + V_v \\ (V_{p_c14})_{\text{eff}} &= (V_{p_c14} - 7/16 \times V_s + 9/16 \times V_n - V_v) - V_{\text{com}} \\ &= (V_{p_c14} - V_{\text{com}}) + 9/16 \times V_n - 7/16 \times V_s - V_v \\ (V_{p_d14})_{\text{eff}} &= V_{\text{com}} - (V_{p_d14} + 9/16 \times V_n + 9/16 \times V_s - V_v) \\ &= (V_{\text{com}} - V_{p_d14}) - 9/16 \times V_n - 9/16 \times V_s + V_v \end{aligned}$$

〈定位於上方及下方之像素之有效電位〉

$$\begin{aligned} dV_{a_b} &= 7/8 \times V_n - 1/8 \times V_s - 2 \times V_v \\ dV_{b_c} &= V_n - 2 \times V_v \\ dV_{c_d} &= 9/8 \times V_n + 1/8 \times V_s - 2 \times V_v \\ dV_{d_e} &= V_n - 2 \times V_v \end{aligned}$$

圖 35

<n+1 訊框：連接至訊號線 17 (G6) 之像素之電位性能>



<有效電位>

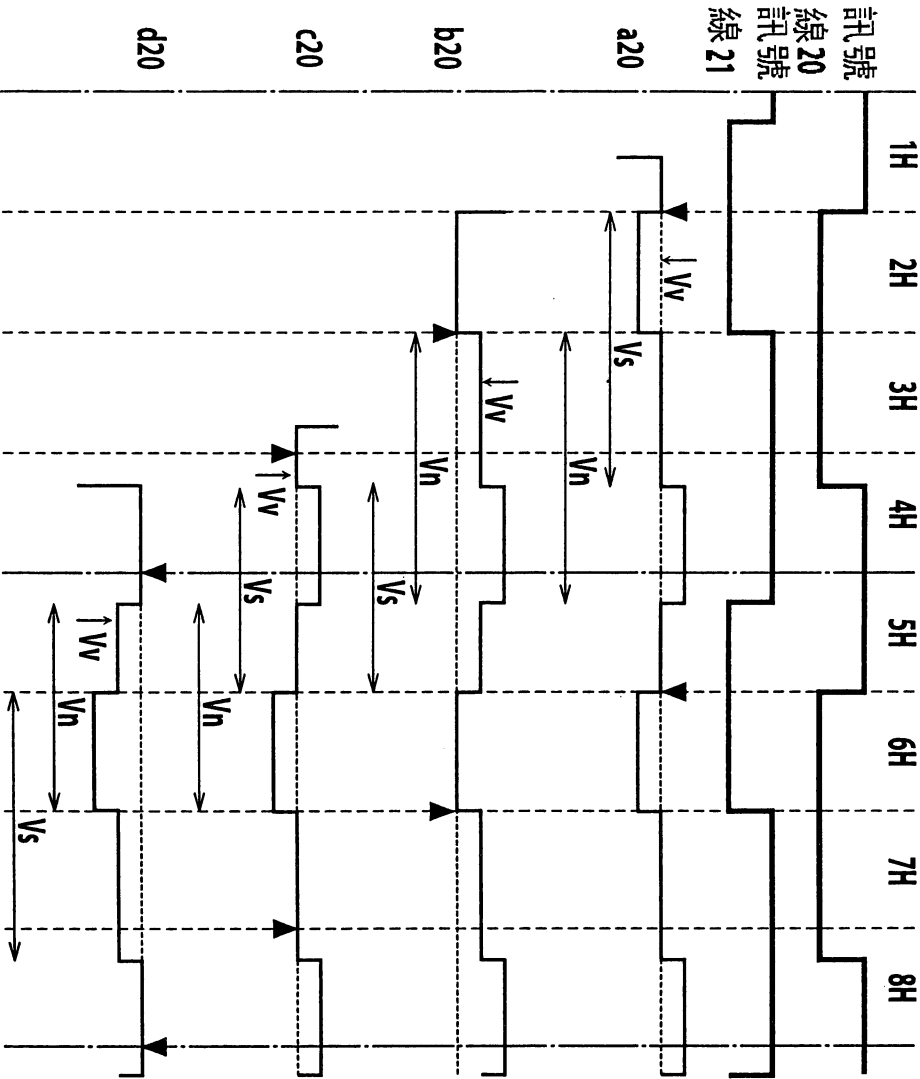
$$\begin{aligned} (V_{p_a17})_{\text{eff}} &= V_{\text{com}} - (V_{p_a17} + 7/16 \times V_n + 7/16 \times V_s - V_v) \\ &= (V_{\text{com}} - V_{p_a17}) - 7/16 \times V_n - 7/16 \times V_s + V_v \\ (V_{p_b17})_{\text{eff}} &= V_{\text{com}} - (V_{p_b17} + 7/16 \times V_s - 9/16 \times V_n + V_v) \\ &= (V_{\text{com}} - V_{p_b17}) + 9/16 \times V_n - 7/16 \times V_s - V_v \\ (V_{p_c17})_{\text{eff}} &= (V_{p_c17} - 9/16 \times V_n - 9/16 \times V_s + V_v) - V_{\text{com}} \\ &= (V_{p_c17} - V_{\text{com}}) - 9/16 \times V_n - 9/16 \times V_s + V_v \\ (V_{p_d17})_{\text{eff}} &= (V_{p_d17} - 9/16 \times V_s + 7/16 \times V_n - V_v) - V_{\text{com}} \\ &= (V_{p_d17} - V_{\text{com}}) + 7/16 \times V_n - 9/16 \times V_s - V_v \end{aligned}$$

<定位於上方及下方之像素之有效電位>

$$\begin{aligned} dV_{a_b} &= V_n - 2 \times V_v \\ dV_{b_c} &= 9/8 \times V_n + 1/8 \times V_s - 2 \times V_v \\ dV_{c_d} &= V_n - 2 \times V_v \\ dV_{d_e} &= 7/8 \times V_n - 1/8 \times V_s - 2 \times V_v \end{aligned}$$

圖 36

<n+1 訊框：連接至訊號線 20 (G7) 之像素之電位性能>



<有效電位>

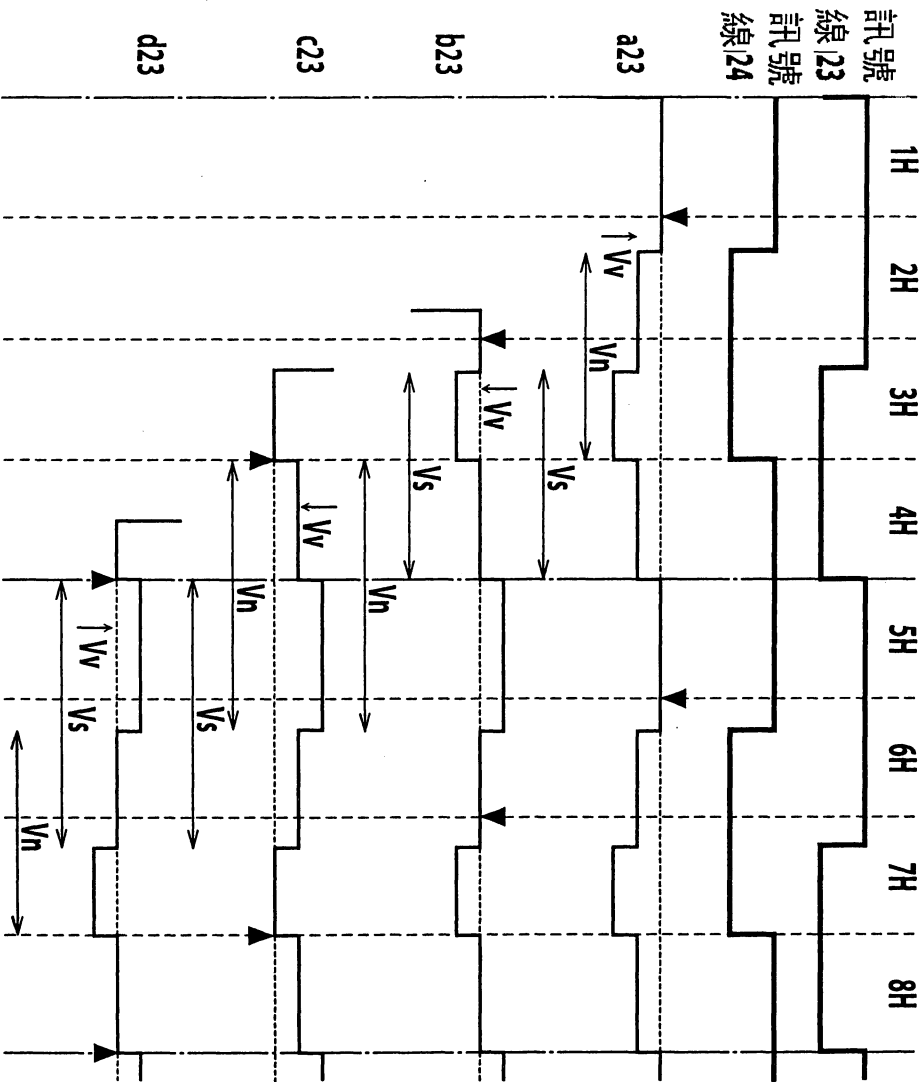
$$\begin{aligned}
 (Vp_a20)_{\text{eff}} &= (Vp.a20 - 9/16 \times Vs + 9/16 \times Vn - Vv) - Vcom \\
 &= (Vp.a20 - Vcom) + 9/16 \times Vn - 9/16 \times Vs - Vv \\
 (Vp_b20)_{\text{eff}} &= Vcom - (Vp.b20 + 9/16 \times Vn + 7/16 \times Vs - Vv) \\
 &= (Vcom - Vp.b20) - 9/16 \times Vn - 7/16 \times Vs + Vv \\
 (Vp_c20)_{\text{eff}} &= Vcom - (Vp.c20 + 7/16 \times Vs - 7/16 \times Vn + Vv) \\
 &= (Vcom - Vp.c20) + 7/16 \times Vn - 7/16 \times Vs - Vv \\
 (Vp_d20)_{\text{eff}} &= (Vp.d20 - 7/16 \times Vn - 9/16 \times Vs + Vv) - Vcom \\
 &= (Vp.d20 - Vcom) - 7/16 \times Vn - 9/16 \times Vs + Vv
 \end{aligned}$$

<定位於上方及下方之像素之有效電位>

$$\begin{aligned}
 dVa_b &= 9/8 \times Vn - 1/8 \times Vs - 2 \times Vv \\
 dVb_c &= Vn - 2 \times Vv \\
 dVc_d &= 7/8 \times Vn + 1/8 \times Vs - 2 \times Vv \\
 dVd_e &= Vn - 2 \times Vv
 \end{aligned}$$

圖 37

<n+1 訊框：連接至訊號線 23 (G8) 之像素之電位性能>



<有效電位>

$$\begin{aligned}
 (Vp_a23)_{\text{eff}} &= (Vp_a23 - 7/16 \times Vn - 7/16 \times Vs + Vv) - Vcom \\
 &= (Vp_a23 - Vcom) - 7/16 \times Vn - 7/16 \times Vs + Vv \\
 (Vp_b23)_{\text{eff}} &= (Vp_b23 - 7/16 \times Vs + 9/16 \times Vn - Vv) - Vcom \\
 &= (Vp_b23 - Vcom) + 9/16 \times Vn - 7/16 \times Vs - Vv \\
 (Vp_c23)_{\text{eff}} &= Vcom - (Vp_c23 + 9/16 \times Vn + 9/16 \times Vs - Vv) \\
 &= (Vcom - Vp_c23) - 9/16 \times Vn - 9/16 \times Vs + Vv \\
 (Vp_d23)_{\text{eff}} &= Vcom - (Vp_d23 + 9/16 \times Vs - 7/16 \times Vn + Vv) \\
 &= (Vcom - Vp_d23) + 7/16 \times Vn - 9/16 \times Vs - Vv
 \end{aligned}$$

<定位於上方及下方之像素之有效電位>

$$\begin{aligned}
 dVa_b &= Vn - 2 \times Vv \\
 dVb_c &= 9/8 \times Vn + 1/8 \times Vs - 2 \times Vv \\
 dVc_d &= Vn - 2 \times Vv \\
 dVd_e &= 7/8 \times Vn - 1/8 \times Vs - 2 \times Vv
 \end{aligned}$$

圖 38

n 訊框

a	G1	G2	G3	G4	G5	G6	G7	G8
b	-1	-2	0	-2	1	-2	0	-2
c	-2	1	-2	1	-2	-1	-2	-1
d	1	-2	0	-2	-1	-2	0	-2
e	-2	-1	-2	-1	-2	1	-2	0
f	-1	-2	0	-2	1	-2	0	-2
g	1	-2	0	-2	-1	-2	0	-2
h	-2	-1	-2	-1	-2	1	-2	1
i	-1	-2	0	-2	1	-2	0	-2
j	-2	1	-2	1	-2	-1	-2	-1
k	1	-2	0	-2	-1	-2	0	-2
l	-2	-1	-2	-1	-2	1	-2	1
m	-1	-2	0	-2	1	-2	0	-2
n	-2	1	-2	1	-2	-1	-2	-1
o	1	-2	0	-2	-1	-2	0	-2
p	-2	-1	-2	-1	-2	1	-2	1

n+1 訊框

a	G1	G2	G3	G4	G5	G6	G7	G8
b	-1	-2	0	-2	1	-2	0	-2
c	-2	1	-2	1	-2	-1	-2	-1
d	1	-2	0	-2	-1	-2	0	-2
e	-2	-1	-2	-1	-2	1	-2	0
f	-1	-2	0	-2	1	-2	0	-2
g	1	-2	0	-2	-1	-2	0	-2
h	-2	-1	-2	-1	-2	1	-2	1
i	-1	-2	0	-2	1	-2	0	-2
j	-2	1	-2	1	-2	-1	-2	-1
k	1	-2	0	-2	-1	-2	0	-2
l	-2	-1	-2	-1	-2	1	-2	1
m	-1	-2	0	-2	1	-2	0	-2
n	-2	1	-2	1	-2	-1	-2	-1
o	1	-2	0	-2	-1	-2	0	-2
p	-2	-1	-2	-1	-2	1	-2	1

平均

a	G1	G2	G3	G4	G5	G6	G7	G8
b	-1	-2	0	-2	1	-2	0	-2
c	-2	1	-2	1	-2	-1	-2	-1
d	1	-2	0	-2	-1	-2	0	-2
e	-2	-1	-2	-1	-2	1	-2	0
f	-1	-2	0	-2	1	-2	0	-2
g	1	-2	0	-2	-1	-2	0	-2
h	-2	-1	-2	-1	-2	1	-2	1
i	-1	-2	0	-2	1	-2	0	-2
j	-2	1	-2	1	-2	-1	-2	-1
k	1	-2	0	-2	-1	-2	0	-2
l	-2	-1	-2	-1	-2	1	-2	1
m	-1	-2	0	-2	1	-2	0	-2
n	-2	1	-2	1	-2	-1	-2	-1
o	1	-2	0	-2	-1	-2	0	-2
p	-2	-1	-2	-1	-2	1	-2	1

圖 39A

圖 39B

圖 39C

n 訊框

	G1	G2	G3	G4	G5	G6	G7	G8
a	-1	-2	0	-2	1	-2	0	-2
b	-2	1	-2	1	-2	-1	-2	-1
c	1	-2	0	-2	-1	-2	0	-2
d	-2	-1	-2	-1	-2	1	-2	1
e	-1	-2	0	-2	1	-2	0	-2
f	-2	1	-2	1	-2	-1	-2	-1
g	1	-2	0	-2	-1	-2	0	-2
h	-2	-1	-2	-1	-2	1	-2	1
i	-1	-2	0	-2	1	-2	0	-2
j	-2	1	-2	1	-2	-1	-2	-1
k	1	-2	0	-2	-1	-2	0	-2
l	-2	-1	-2	-1	-2	1	-2	1
m	-1	-2	0	-2	1	-2	0	-2
n	-2	1	-2	1	-2	-1	-2	-1
o	1	-2	0	-2	-1	-2	0	-2
p	-2	-1	-2	-1	-2	1	-2	1

圖 40A

n+1 訊框

	G1	G2	G3	G4	G5	G6	G7	G8
a	-2	0	-2	1	-2	0	-2	-2
b	-2	1	-2	1	-2	-2	-2	1
c	1	-2	0	-2	1	-2	0	-2
d	-2	-1	-2	-1	-2	0	-2	1
e	-2	1	-2	1	-2	-2	-2	-2
f	-2	-1	-2	-1	-2	0	-2	1
g	1	-2	0	-2	1	-2	0	-2
h	-2	-1	-2	-1	-2	1	-2	1
i	-2	1	-2	1	-2	-2	-2	-2
j	-2	1	-2	1	-2	-2	-2	-2
k	-2	-1	-2	-1	-2	0	-2	1
l	-2	1	-2	1	-2	-2	-2	-2
m	-2	-1	-2	-1	-2	0	-2	1
n	-2	1	-2	1	-2	-2	-2	-2
o	1	-2	0	-2	-1	-2	0	-2
p	-2	-1	-2	-1	-2	1	-2	1

圖 40B

平均

	G1	G2	G3	G4	G5	G6	G7	G8
a	0	-2	0	-2	0	-2	0	-2
b	-2	0	-2	0	-2	0	-2	0
c	0	-2	0	-2	0	-2	0	-2
d	-2	0	-2	0	-2	0	-2	0
e	0	-2	0	-2	0	-2	0	-2
f	-2	0	-2	0	-2	0	-2	0
g	0	-2	0	-2	0	-2	0	-2
h	-2	0	-2	0	-2	0	-2	0
i	0	-2	0	-2	0	-2	0	-2
j	-2	0	-2	0	-2	0	-2	0
k	0	-2	0	-2	0	-2	0	-2
l	-2	0	-2	0	-2	0	-2	0
m	0	-2	0	-2	0	-2	0	-2
n	-2	0	-2	0	-2	0	-2	0
o	0	-2	0	-2	0	-2	0	-2
p	-2	0	-2	0	-2	0	-2	0

圖 40C

七、指定代表圖：

(一)本案指定代表圖為：第 (4) 圖。

(二)本代表圖之元件符號簡單說明：

D1、D2

視訊訊號

S1、S2、S3、S4、S5、S6、S7、S8

訊號線

Y1、Y2、Y3、Y4

掃描線

ASW

類比交換器

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)