

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 26 年 1 月 30 日 (2014.1.30)

【公開番号】特開 2013-93448 (P2013-93448A)

【公開日】平成 25 年 5 月 16 日 (2013.5.16)

【年通号数】公開・登録公報 2013-024

【出願番号】特願 2011-234814 (P2011-234814)

【国際特許分類】

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/06 (2006.01)

H 0 1 L 27/08 (2006.01)

【 F I 】

H 0 1 L 27/04 H

H 0 1 L 27/06 1 0 2 A

H 0 1 L 27/08 3 3 1 G

H 0 1 L 27/06 3 1 1 B

H 0 1 L 27/06 3 1 1 C

【手続補正書】

【提出日】平成 25 年 12 月 6 日 (2013.12.6)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 6

【補正方法】変更

【補正の内容】

【 0 0 4 6 】

電力素子 1 には、p 型の半導体層 1 f と、p 型の半導体層 1 f 内に形成した n 型の半導体層 1 e とが形成してある。そのため、電力素子 1 には、n 型の半導体層 1 e と、p 型の半導体層 1 f と、n 型の半導体基板 3 とで構成される NPN トランジスタ 4 1 が形成される。さらに、p 型の半導体層 1 f と、n 型の半導体基板 3 と、p 型の半導体層 5 とで構成する PNP トランジスタ 4 2 が半導体基板 3 に形成される。同様に、電力素子 1 には、p 型の半導体層 1 g 内に、n 型の半導体層 1 h を形成してある。そのため、電力素子 1 には、n 型の半導体層 1 h と、p 型の半導体層 1 g と、n 型の半導体基板 3 とで構成される NPN トランジスタ 4 3 が形成される。さらに、p 型の半導体層 1 g と、n 型の半導体基板 3 と、p 型の半導体層 5 とで構成する PNP トランジスタ 4 4 が半導体基板 3 に形成される。なお、NPN トランジスタ 4 1 のコレクタ電極と、NPN トランジスタ 4 3 のコレクタ電極とは、p 型の半導体層 5 を介して電氣的に接続している。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 8

【補正方法】変更

【補正の内容】

【 0 0 4 8 】

図 6 には図示していないが、半導体装置 4 0 には、半導体基板 3 および半導体層 1 f と接続する外部回路を備えている。外部回路を含めた半導体装置 4 0 の等価回路を説明する。図 7 は、本発明の実施の形態 4 に係る半導体装置 4 0 の回路構成を示す回路図である。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0049

【補正方法】変更

【補正の内容】

【0049】

図7に示す外部回路9は、電源9aと、電源9aに一端を接続する抵抗素子9bと、抵抗素子9bの他端にアノード電極を接続するダイオード9cと、ダイオード9cのカソード電極にアノード電極を接続し、カソード電極をGND接地するダイオード9dとを有している。また、抵抗素子9bの他端は、NPNトランジスタ41のベース電極（半導体層1f）と電氣的に接続してある。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0052

【補正方法】変更

【補正の内容】

【0052】

半導体装置40は、半導体装置40に負電流が流れた場合、NPNトランジスタ41のベース電極（p型の半導体層1f）とn型の半導体基板3とで構成されるpn結合によって、半導体基板3の電位がNPNトランジスタ41のベース電極の電位（1.4V程度（常温））から0.7V程度（常温）に低下した電位を維持しようとする。そのため、半導体装置40は、p型の半導体層2aとn型の半導体基板3とが逆バイアス状態となり、半導体層2aから半導体基板3へ寄生電流が流れないため、寄生NPNトランジスタ7が作動しない。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0062

【補正方法】変更

【補正の内容】

【0062】

図8には図示していないが、半導体装置50には、半導体基板3および半導体層1f、4と接続する外部回路を備えている。外部回路を含めた半導体装置50の等価回路を説明する。図9は、本発明の実施の形態5に係る半導体装置50の回路構成を示す回路図である。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0063

【補正方法】変更

【補正の内容】

【0063】

図9に示す外部回路9は、電源9aと、電源9aに一端を接続する抵抗素子9bと、抵抗素子9bの他端にアノード電極を接続するダイオード9cと、ダイオード9cのカソード電極にアノード電極を接続し、カソード電極をGND接地するダイオード9dとを有している。また、抵抗素子9bの他端は、NPNトランジスタ41のベース電極（半導体層1f）と電氣的に接続してある。さらに、抵抗素子9bの一端は、NPNトランジスタ22のコレクタ電極（半導体層21）と電氣的に接続し、抵抗素子9bの他端は、NPNトランジスタ22のベース電極（半導体層4）と電氣的に接続してある。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0070

【補正方法】変更

【補正の内容】

【0070】

抵抗素子9bの他端は、NPNトランジスタ41のベース電極（半導体層1f）と電氣的に接続してある。さらに、抵抗素子9bの一端は、NPNトランジスタ22のコレクタ電極（半導体層21）と電氣的に接続し、抵抗素子9bの他端は、NPNトランジスタ22のベース電極（半導体層4）と電氣的に接続してある。

【手続補正8】

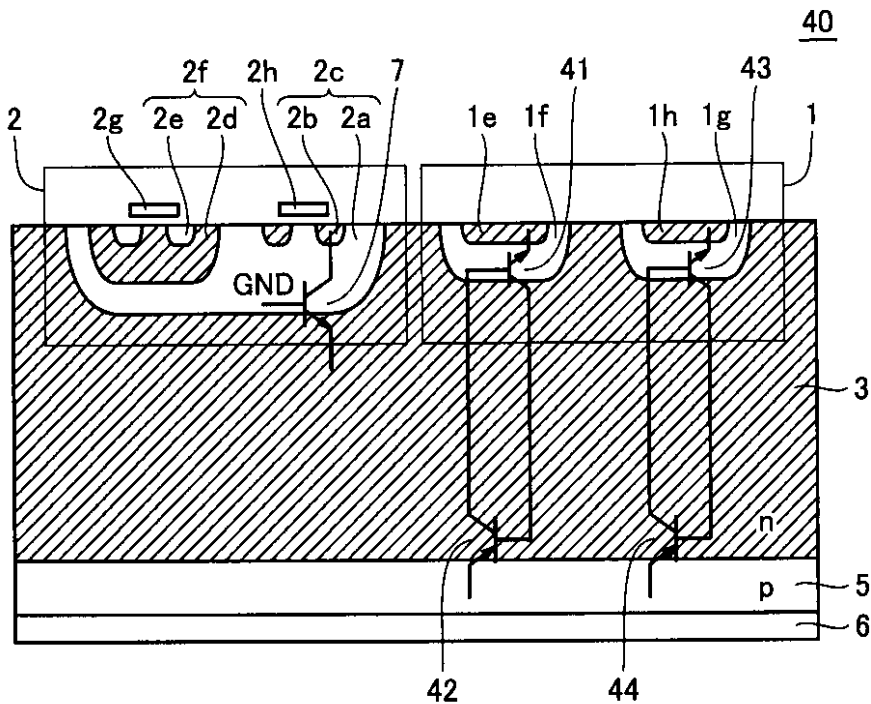
【補正対象書類名】図面

【補正対象項目名】図6

【補正方法】変更

【補正の内容】

【図6】



【手続補正9】

【補正対象書類名】図面

【補正対象項目名】図8

【補正方法】変更

【補正の内容】

