

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年2月11日(11.02.2016)



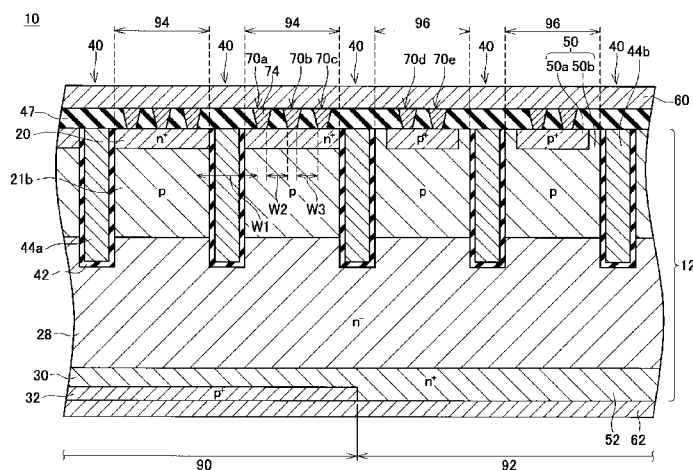
(10) 国際公開番号
WO 2016/021299 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 21/768 (2006.01)
H01L 21/28 (2006.01) H01L 23/522 (2006.01)
H01L 21/336 (2006.01) H01L 29/739 (2006.01)
- (21) 国際出願番号: PCT/JP2015/066523
- (22) 国際出願日: 2015年6月8日(08.06.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-160719 2014年8月6日(06.08.2014) JP
- (71) 出願人: トヨタ自動車株式会社 (TOYOTA JIDOSHA KABUSHIKI KAISHA) [JP/JP]; 〒4718571 愛知県豊田市トヨタ町1番地 Aichi (JP).
- (72) 発明者: 亀山 悟 (KAMEYAMA Satoru); 〒4718571 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内 Aichi (JP). 三角 忠司 (MISUMI Tadashi); 〒4718571 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内 Aichi (JP). 大河原 淳 (OKAWARA Jun); 〒4718571 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内 Aichi (JP). 岩崎 真也 (IWASAKI Shinya); 〒4718571 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内 Aichi (JP).
- (74) 代理人: 特許業務法人 快友国際特許事務所 (KAI-U PATENT LAW FIRM); 〒4516009 愛知県名古屋市中区牛島町6番1号 名古屋ルーセントタワー9階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置及び半導体装置の製造方法



(57) Abstract: [Problem] A semiconductor device, has: a plurality of trenches formed on the upper surface of a semiconductor substrate; trench electrodes disposed in each of the trenches; a first-conductivity-type first semiconductor layer, a second-conductivity-type second semiconductor layer, and a first-conductivity-type third semiconductor layer that are formed in a first range flanked by adjacent trenches among the trenches; an interlayer insulation film disposed on the upper surface of the semiconductor substrate, the interlayer insulation film having a plurality of contact holes in the first range; first conductor layers formed in each of the contact holes; and a surface electrode disposed on the interlayer insulation film, the surface electrode being connected to each of the first conductor layers.

(57) 要約:

[続葉有]

WO 2016/021299 A1



添付公開書類:

— 国際調査報告（条約第 21 条(3)）

【課題】 半導体装置は、半導体基板の上面に形成された複数のトレンチと、各トレンチの内部に配置されたトレンチ電極と、複数のトレンチのうちの隣り合うトレンチに挟まれた第 1 範囲内に形成された第 1 導電型の第 1 半導体層、第 2 導電型の第 2 半導体層及び第 1 導電型の第 3 半導体層と、半導体基板の上面に配置され、第 1 範囲内に複数のコンタクトホールを有する層間絶縁膜と、各コンタクトホール内に形成されている第 1 導電体層と、層間絶縁膜上に配置されており、各第 1 導電体層に接続されている表面電極を有する。

明 細 書

発明の名称：半導体装置及び半導体装置の製造方法

技術分野

[0001] (関連出願の相互参照)

本出願は、2014年8月6日に出願された日本特許出願特願2014-160719の関連出願であり、この日本特許出願に基づく優先権を主張するものであり、この日本特許出願に記載された全ての内容を、本明細書を構成するものとして援用する。

[0002] 本明細書が開示する技術は、IGBT、MOSFETなどの半導体装置に関する。

背景技術

[0003] 国際公開第2013/121519号公報（以下、特許文献1という）には、トレンチ型のゲート電極を有するスイッチング用の半導体装置が開示されている。この半導体装置は、ゲート電極の上部に形成された層間絶縁膜を有している。半導体基板の上面の略全域には、層間絶縁膜を覆うように表面電極が形成されている。層間絶縁膜によって、ゲート電極が表面電極から絶縁されている。

発明の開示

発明が解決しようとする課題

[0004] 特許文献1では、隣接する一对のゲート電極に挟まれた範囲の半導体層上に層間絶縁膜が形成されていない。表面電極は、層間絶縁膜が形成されていない範囲において、半導体基板に接続されている。すなわち、ゲート電極に挟まれた範囲の略全体がコンタクトホールとなっており、この範囲の略全体で表面電極と半導体基板が接触している。この構造では、層間絶縁膜の上部の表面電極がその周囲の表面電極に対して突出し、表面電極の表面に凹凸が形成されてしまう。したがって、本明細書では、表面電極の凹凸を抑制することが可能な半導体装置を提供する。

課題を解決するための手段

[0005] 表面電極の凹凸を解消するための手法として、表面電極をエッチバックすることが考えられる。すなわち、表面電極をその表面側からエッチバックして、コンタクトホール内にのみ表面電極を残存させる。そして、その後、コンタクトホール内の電極上と層間絶縁膜上に再度電極を成長させる。しかしながら、この手法では、コンタクトホールが大きい場合、コンタクトホールの中央でエッチング速度が速くなり、エッチバックを実施した後にコンタクトホールの中央部で電極の表面が窪んでしまう。このため、その後再度電極を成長させても、電極表面に凹部が残ってしまう。この問題を解決するために、層間絶縁膜の幅を広くして、コンタクトホールを小さくすることが考えられる。コンタクトホールを小さくすれば、上記の窪みが生じ難い。しかしながら、コンタクトホールを小さくすると、表面電極と半導体基板との間のコンタクト面積が小さくなり、コンタクト部に電流が集中するという問題が生じる。

[0006] これに対し、本明細書が開示する半導体装置は、以下の構成を有する。この半導体装置は、半導体基板を有する。この半導体装置は、前記半導体基板の上面に形成された複数のトレンチと、前記各トレンチの内面を覆うトレンチ絶縁膜と、前記各トレンチの内部に配置されており、前記トレンチ絶縁膜によって前記半導体基板から絶縁されているトレンチ電極と、前記複数のトレンチのうちの隣り合うトレンチに挟まれた第1範囲内の前記半導体基板に形成されており、前記半導体基板の前記上面に露出しており、前記トレンチ絶縁膜に接している第1導電型の第1半導体層と、前記第1範囲内の前記半導体基板に形成されており、一部が前記半導体基板の前記上面に露出しており、前記第1半導体層の下側で前記トレンチ絶縁膜に接している第2導電型の第2半導体層と、前記半導体基板に形成されており、前記第2半導体層の下側に配置されており、前記第2半導体層によって前記第1半導体層から分離されており、前記第2半導体層の下側で前記トレンチ絶縁膜に接している第1導電型の第3半導体層と、前記半導体基板の前記上面及び前記トレンチ

電極上に配置されており、前記第 1 範囲内に配置された複数のコンタクトホールを有する層間絶縁膜と、前記各コンタクトホール内に配置されており、前記第 1 半導体層と前記第 2 半導体層の少なくとも一方に接続されている第 1 導電体層と、前記第 1 導電体層上及び前記層間絶縁膜上に配置されており、前記各第 1 導電体層に接続されている表面電極を有する。

[0007] この半導体装置では、トレンチに挟まれた第 1 範囲内に複数のコンタクトホールが設けられているので、各コンタクトホールのサイズが小さい。各コンタクトホールのサイズが小さいので、表面電極の表面の凹凸を抑制することができる。また、この半導体装置では、半導体基板と表面電極とが複数のコンタクトホールを介して接続されている。したがって、第 1 範囲内にサイズが小さい単一のコンタクトホールが形成されている場合に比べて、表面電極の半導体基板に対するコンタクト面積を広く確保することができる。このため、1つのコンタクトホールに電流が集中することを防止することができる。

発明の効果

[0008] 上記の半導体装置によれば、表面電極の平坦化が可能であり、かつ、表面電極の広いコンタクト面積を確保することができる。

図面の簡単な説明

[0009] [図1]実施形態に係る IGBT10 の半導体基板の上面図（上部電極 60 の図示を省略した図）。

[図2]実施形態に係る IGBT10 の I-I' 断面図。

[図3]実施形態に係る IGBT10 の I-I' 断面図。

[図4]実施形態に係る IGBT10 の製造方法を示す図。

[図5]実施形態に係る IGBT10 の製造方法を示す図。

[図6]実施形態に係る IGBT10 の製造方法を示す図。

[図7]実施形態に係る IGBT10 の製造方法を示す図。

[図8]実施形態に係る IGBT10 の製造方法を示す図。

発明を実施するための形態

- [0010] 図1～3に示す実施形態に係る半導体装置10は、IGBTとダイオードを備えるRC-IGBTである。半導体装置10は、半導体基板12と、半導体基板12の上面及び下面に形成された電極、絶縁体等によって構成されている。半導体基板12は、IGBTが形成されているIGBT領域90と、ダイオードが形成されているダイオード領域92を有している。
- [0011] 図2、3に示すように、半導体基板12の上面には、複数のトレンチ40が凹状に形成されている。図1に示すように、各トレンチ40は、互いに平行に伸びている。各トレンチ40の内面は、絶縁膜42に覆われている。
- [0012] 図2、3に示すように、各トレンチ40の内部には、トレンチ電極44（44a、44b）が配置されている。トレンチ電極44は、絶縁膜42によって半導体基板12から絶縁されている。IGBT領域90内の各トレンチ電極44aは、図示しない位置でゲート配線に接続されている。ダイオード領域92内の各トレンチ電極44は、図示しない位置で後述する上部電極60に接続されている。以下では、ゲート配線に接続されているトレンチ電極44aをゲート電極44aと呼び、上部電極60に接続されているトレンチ電極44bを制御電極44bという場合がある。
- [0013] 半導体基板12の上面及びトレンチ電極44上には、層間絶縁膜47が形成されている。層間絶縁膜47の一部は、2つのトレンチ40に挟まれた範囲94、96内に形成されている。また、層間絶縁膜47の一部は、各トレンチ電極44の上面を覆っている。層間絶縁膜47には、複数のコンタクトホール70a～70eが形成されている。コンタクトホール70a～70cは、IGBT領域90内の2つのトレンチ40に挟まれた範囲94に形成されている。IGBT領域90内の2つのトレンチ40に挟まれた範囲94のそれぞれに、3つのコンタクトホール70a～70cが形成されている。コンタクトホール70d、70eは、ダイオード領域92内の2つのトレンチ40に挟まれた範囲96に形成されている。ダイオード領域92内の2つのトレンチ40に挟まれた範囲96のそれぞれに、2つのコンタクトホール70d、70eが形成されている。図1の斜線によりハッチングされた範囲は

、コンタクトホール70a～70eが形成されている範囲を示している。図1に示すように、コンタクトホール70a～70eは、トレンチ40と平行に伸びている。図2、3に示すように、各コンタクトホール70a～70eの内部には、導電体層74が形成されている。導電体層74は、タングステンにより構成されている。各導電体層74は、その下端において半導体基板12に接続されている。

[0014] 導電体層74上及び層間絶縁膜47上には、上部電極60が形成されている。上部電極60は、層間絶縁膜47によってトレンチ電極44から絶縁されている。また、上部電極60は、コンタクトホール70a～70e内の導電体層74に接続されている。すなわち、上部電極60は、コンタクトホール70a～70c内の導電体層74を介して、後述するエミッタ領域20及びボディコンタクト領域21aに接続されている。また、上部電極60は、コンタクトホール70d、70e内の導電体層74を介して、後述するアノードコンタクト領域50aに接続されている。なお、以下では、上部電極60と半導体層とがコンタクトホール70内の導電体層74を介して接続されていることを、これらがコンタクトホール70を介して接続されているという場合がある。上部電極60は、アルミニウムにより構成されている。上部電極60（すなわち、アルミニウム）のヤング率は、導電体層74（すなわち、タングステン）のヤング率よりも低い。

[0015] 半導体基板12の下面には、下部電極62が形成されている。

[0016] IGBT領域90内の半導体基板12の内部には、エミッタ領域20、ボディ領域21、ドリフト領域28、バッファ領域30及びコレクタ領域32が形成されている。

[0017] エミッタ領域20は、n型領域であり、半導体基板12の上面に露出する範囲に形成されている。エミッタ領域20は、コンタクトホール70a～70cを介して上部電極60に接続されている。図1に示すように、エミッタ領域20は、トレンチ電極44に直交する方向に長く伸びている。エミッタ領域20は、絶縁膜42に接している。

- [0018] 図2、3に示すように、ボディ領域21は、ボディコンタクト領域21aと低濃度ボディ領域21bを有している。ボディコンタクト領域21aは、高濃度のp型不純物を含有するp型領域である。ボディコンタクト領域21aは、半導体基板12の上面に露出する範囲に形成されている。図1に示すように、ボディコンタクト領域21aは、トレンチ電極44に直交する方向に長く伸びている。ボディコンタクト領域21aは、エミッタ領域20に隣接している。ボディコンタクト領域21aは、コンタクトホール70a~70cを介して上部電極60に接続されている。
- [0019] 低濃度ボディ領域21bは、ボディコンタクト領域21aよりもp型不純物濃度が低いp型領域である。低濃度ボディ領域21bは、エミッタ領域20とボディコンタクト領域21aの下側に形成されている。低濃度ボディ領域21bは、エミッタ領域20の下側において、絶縁膜42に接している。
- [0020] ドリフト領域28は、エミッタ領域20よりも低濃度のn型不純物を含有するn型領域である。ドリフト領域28は、低濃度ボディ領域21bの下側に形成されている。ドリフト領域28は、低濃度ボディ領域21bによってエミッタ領域20から分離されている。ドリフト領域28は、低濃度ボディ領域21bの下側において絶縁膜42と接している。
- [0021] バッファ領域30は、ドリフト領域28よりも高濃度のn型不純物を含有するn型領域である。バッファ領域30は、ドリフト領域28の下側に形成されている。
- [0022] コレクタ領域32は、高濃度のp型不純物を含有するp型領域である。コレクタ領域32は、バッファ領域30の下側に形成されている。コレクタ領域32は、半導体基板12の下面に露出する範囲に形成されている。コレクタ領域32は、下部電極62に接続されている。
- [0023] ダイオード領域92内の半導体基板12の内部には、アノード領域50と、ドリフト領域28と、カソード領域52が形成されている。
- [0024] アノード領域50は、アノードコンタクト領域50aと低濃度アノード領域50bを有している。アノードコンタクト領域50aは、高濃度のp型不

純物を含有する p 型領域である。アノードコンタクト領域 50 a は、半導体基板 12 の上面に露出する範囲に形成されている。図 1 に示すように、アノードコンタクト領域 50 a は、トレンチ電極 44 に対して平行に長く伸びている。アノードコンタクト領域 50 a は、コンタクトホール 70 d、70 e を介して上部電極 60 に接続されている。

[0025] 低濃度アノード領域 50 b は、アノードコンタクト領域 50 a よりも p 型不純物濃度が低い p 型領域である。図 2、3 に示すように、低濃度アノード領域 50 b は、アノードコンタクト領域 50 a の側方と下側に形成されている。

[0026] 低濃度アノード領域 50 b の下側には、上述したドリフト領域 28 が形成されている。すなわち、ドリフト領域 28 の一部は、低濃度アノード領域 50 b の下側に形成されている。ドリフト領域 28 は、低濃度アノード領域 50 b に接している。

[0027] カソード領域 52 は、ドリフト領域 28 よりも高濃度の n 型不純物を含有する n 型領域である。カソード領域 52 は、ダイオード領域 92 内のドリフト領域 28 の下側に形成されている。カソード領域 52 は、バッファ領域 30 と繋がっている。また、カソード領域 52 は、コレクタ領域 32 に隣接している。カソード領域 52 は、半導体基板 12 の下面に露出する範囲に形成されている。カソード領域 52 は、下部電極 62 に接続されている。

[0028] トレンチ 40 の間の間隔は、IGBT 領域 90 とダイオード領域 92 のいずれにおいても等しい。このため、半導体基板 12 を上から平面視したときに、各範囲 94 の面積 S_1 と各範囲 96 の面積 S_2 は等しい。また、各コンタクトホール 70 a ~ 70 e のサイズは、略等しい。このため、コンタクトホール 70 a が半導体基板 12 にコンタクトしている面積 S_a 、コンタクトホール 70 b が半導体基板 12 にコンタクトしている面積 S_b 、コンタクトホール 70 c が半導体基板 12 にコンタクトしている面積 S_c 、コンタクトホール 70 d が半導体基板 12 にコンタクトしている面積 S_d 、及び、コンタクトホール 70 e が半導体基板 12 にコンタクトしている面積 S_e は等し

い。また、上述したように、IGBT領域90内では、2つのトレンチ40に挟まれた範囲94内に3つのコンタクトホール70a~70cが形成されているのに対し、ダイオード領域92内では、2つのトレンチ40に挟まれた範囲96内に2つのコンタクトホール70d、70eが形成されている。したがって、IGBT領域90内の範囲94に対するコンタクトホール70a~70cのコンタクト面積の割合は、ダイオード領域92内の範囲96に対するコンタクトホール70d、70eのコンタクト面積の割合よりも大きい。より詳細には、 $(S_a + S_b + S_c) / S_1 > (S_d + S_e) / S_2$ の関係が満たされている。

[0029] 次に、IGBT領域90内のIGBTの動作について説明する。IGBTの動作時には、上部電極60と下部電極62との間に下部電極62がプラスになる電圧が印加される。この状態で、ゲート電圧（ゲート電極44aへの印加電圧）をゲート閾値（IGBTをオンさせるのに必要最小限のゲート電圧）以上に上昇させると、IGBTがオンする。すなわち、ゲート電極44aへの電圧の印加によって、低濃度ボディ領域21bの絶縁膜42と接する範囲にチャンネルが形成さる。これによって、電子が、上部電極60から、エミッタ領域20、低濃度ボディ領域21bのチャンネル、ドリフト領域28、バッファ領域30、及び、コレクタ領域32を介して、下部電極62へ流れる。また、ホールが、下部電極62から、コレクタ領域32、バッファ領域30、ドリフト領域28、低濃度ボディ領域21b、及び、ボディコンタクト領域21aを介して、上部電極60へ流れる。これによって、IGBTに電流が流れる。

[0030] IGBTがオンしている間にホールがボディコンタクト領域21aから上部電極60へ流れる際に、ホールはコンタクトホール70a~70cを通過する。このように、複数のコンタクトホール70a~70cを介してボディコンタクト領域21aから上部電極60へホールが流れるため、各コンタクトホール70a~70cに分散してホールが流れる。このため、1つのコンタクトホールに電流が集中することを防止することができる。したがって、

例えば、ＩＧＢＴに過電圧が印加された場合に、１つのコンタクトホールに電流が集中してそのコンタクトホール周辺が過度に発熱することを防止することができる。このため、実施形態の半導体装置１０のＩＧＢＴは、短絡耐量が高い。

[0031] ゲート電圧をゲート閾値未満に低下させると、チャネルが消失し、ＩＧＢＴがターンオフする。このとき、ドリフト領域２８内に存在するホールが、低濃度ボディ領域２１ｂとボディコンタクト領域２１ａを介して上部電極６０に排出される。この場合に、ホールが複数のコンタクトホール７０ａ～７０ｃを通過して上部電極６０へ流れる。このため、１つのコンタクトホールに電流が集中することを防止することができる。したがって、実施形態の半導体装置１０のＩＧＢＴは、ターンオフ時に適切に動作可能な電圧と電流の範囲が広く、ＲＢＳＯＡ耐量が高い。

[0032] また、ＩＧＢＴがターンオフする際やＩＧＢＴがオフしている際に、上部電極６０と下部電極６２の間に過電圧が印加されると、ＩＧＢＴ領域９０内のドリフト領域２８内で高い電界によりホールが生成される場合がある。この場合、ホールが複数のコンタクトホール７０ａ～７０ｃを通過して上部電極６０へ流れる。このため、発生したホールを短時間で上部電極６０に排出することが可能であり、ドリフト領域２８内でアバランシェ降伏が生じることを抑制することができる。このため、実施形態の半導体装置１０のＩＧＢＴは、アバランシェ耐量が高い。

[0033] 次に、ダイオードの動作について説明する。上部電極６０と下部電極６２との間に上部電極６０がプラスになる電圧（すなわち、順電圧）が印加されると、ダイオード領域９２内のダイオードがオンする。すなわち、ホールが、上部電極６０から、アノードコンタクト領域５０ａ、低濃度アノード領域５０ｂ、ドリフト領域２８、及び、カソード領域５２を介して、下部電極６２へ流れる。また、電子が、下部電極６２から、カソード領域５２、ドリフト領域２８、低濃度アノード領域５０ｂ、及び、アノードコンタクト領域５０ａを介して、上部電極６０へ流れる。これによって、ダイオードに電流が

流れる。その後、ダイオードへの印加電圧が順電圧から逆電圧に切り換えられると、ダイオードが逆回復動作を行う。すなわち、ドリフト領域28内に存在するホールが、低濃度アノード領域50bとアノードコンタクト領域50aを介して、上部電極60に排出される。このため、ダイオードには瞬間的に逆電流が流れる。ドリフト領域28内の全てのホールが上部電極60に排出されると、逆電流は略ゼロとなる。

[0034] 本実施形態の半導体装置10では、コンタクトホール70d、70e内の導電体層74が半導体基板12にコンタクトしている面積が小さい。このため、ダイオードがオンしているときに、上部電極60から半導体基板12に流入するホールが少ない。したがって、逆回復動作時にダイオードのドリフト領域28内に存在するホールが少ない。このため、逆回復動作の間に上部電極60に排出されるホールが少ない。したがって、逆回復動作時にダイオードに流れる逆電流が抑制される。

[0035] 以上に説明したように、本実施形態の半導体装置10では、IGBT領域90の範囲94内に複数のコンタクトホール70a~70cが形成されることで、IGBTの短絡耐量、RBSOA耐量及びアバランシェ耐量の向上が図られている。特に、IGBT領域90内ではダイオード領域92内よりもコンタクト面積の割合が高くなっていることで、これらの特性がより効果的に向上されている。また、本実施形態の半導体装置10では、ダイオード領域92内ではIGBT領域90内よりもコンタクト面積の割合が低くなっていることで、ダイオードの逆電流が抑制される。

[0036] また、上述した実施形態の半導体装置10では、各コンタクトホール内の導電体層74のヤング率が、上部電極60のヤング率よりも高い。上部電極60には、種々のストレスによりクラックが生じる場合がある。上記のように導電体層74のヤング率が高いと、上部電極60で生じたクラックが、半導体基板12側に進行することを抑制することができる。これによって、半導体装置10の信頼性が向上されている。

[0037] また、各ゲート電極44a上の層間絶縁膜47の幅W1（図2参照）は、

半導体層上の層間絶縁膜47の幅W2、W3よりも広い。すなわち、コンタクトホール70cとコンタクトホール70aの間の間隔W1は、コンタクトホール70aとコンタクトホール70bの間の間隔W2及びコンタクトホール70bとコンタクトホール70cの間の間隔W3よりも広い。このようにゲート電極44a上の層間絶縁膜47の幅W1を広くすることで、製造誤差により層間絶縁膜47の位置がゲート電極44aに対してずれた場合でも、ゲート電極44aの上面を層間絶縁膜47で確実に覆うことができる。このため、製造時におけるコンタクトホールの位置合わせのずれやトレンチ40の形成不良による歩留まり低下を抑制することができる。

[0038] また、上記のように幅が狭いコンタクトホール70a～70cが形成されていることで、コンタクトホール70a～70cのレイアウト自由度を確保することができる。

[0039] (製造工程)

次に、半導体装置10の製造方法を説明する。半導体装置10は、ドリフト領域28と略同じn型不純物濃度を有するn型の半導体基板(シリコン基板)から製造される。まず、エミッタ領域20、ボディ領域21、ドリフト領域28、アノード領域50、トレンチ40、絶縁膜42、トレンチ電極44を形成する。次に、図4に示すように、半導体基板上に層間絶縁膜47を形成する。

[0040] 次に、層間絶縁膜47を選択的にエッチングすることによって、図5に示すように、層間絶縁膜47にコンタクトホール70a～70eを形成する。

[0041] 次に、図6に示すように、コンタクトホール70内及び層間絶縁膜47上に導電体層74を形成する。導電体層74は、CVDにより形成する。CVDによれば、コンタクトホール70内に隙間なく導電体層74を形成することができる。

[0042] 次に、層間絶縁膜47上の導電体層74をエッチングすることにより除去する。ここでは、図7に示すように、コンタクトホール70内に導電体層74を残存させる。これによって、層間絶縁膜47の上面と導電体層74の上

面が略同一平面を構成するようにする。すなわち、基板の上面を平坦化する。

[0043] なお、仮にコンタクトホール70の幅が広い場合には、導電体層74をエッチングする際に、コンタクトホール内の導電体層74の上面が凹状に成形される。これは、コンタクトホールの中央部では導電体層74がよりエッチングされ易いためである。しかしながら、本実施形態では、コンタクトホール70の幅が狭いため、エッチングにより導電体層74の上面を略平坦に成形することができる。このため、基板の上面を平坦に成形することができる。

[0044] 次に、図8に示すように、層間絶縁膜47及び導電体層74上に、上部電極60を形成する。上部電極60の形成前の基板の上面が平坦であるので、上部電極60を形成後に上部電極60の上面が平坦となる。

[0045] その後、下面側の構造を形成することで、図1～3に示す半導体装置10が完成する。

[0046] 以上に説明したように、本実施形態の半導体装置10の構造及び製造方法によれば、上部電極60の上面を平坦に成形することができる。このため、上部電極60を外部の電極等に対してはんだやボンディングワイヤー等を用いて好適に接続することができる。

[0047] なお、上述した実施形態では、導電体層74をCVDにより形成したが、メッキやスパッタリングによって導電体層74を形成してもよい。すなわち、導電体層74は、CVD、メッキまたはスパッタリングにより形成可能な導電材料であれば、いずれの材料によって構成されていてもよい。例えば、導電体層74は、W、Al、Cuまたはこれらを含む合金によって構成され得る。

[0048] なお、実施形態の半導体装置10では、ダイオード領域92の2つのトレンチ40に挟まれた各範囲96に2つのコンタクトホール70d、70eが形成されていたが、各範囲96に1つのコンタクトホールが形成されていてもいいし、各範囲96に3つ以上のコンタクトホールが形成されていてもよい。この場合でも、上述したように、コンタクトホールのコンタクト面積の割

合を I G B T 領域 90 でダイオード領域 92 よりも大きくすることが好ましい。

[0049] なお、上記の実施形態の半導体装置 10 の各構成要素は、請求項の各構成要素に対して以下の関係を有する。実施形態のエミッタ領域 20 は、請求項の第 1 半導体層の一例である。実施形態のボディ領域 21 は、請求項の第 2 半導体層の一例である。実施形態のドリフト領域 28 及びバッファ領域 30 は、請求項の第 3 半導体層の一例である。実施形態の I G B T 領域 90 内の導電体層 74 は、請求項の第 1 導電体層の一例である。実施形態の上部電極 60 は、請求項の表面電極の一例である。実施形態の範囲 94 は、請求項の第 1 範囲の一例である。実施形態のアノード領域 50 は、請求項の第 4 半導体層の一例である。実施形態のダイオード領域 92 内の導電体層 74 は、請求項の第 2 導電体層の一例である。

[0050] なお、上述した実施形態では、半導体装置 10 がコレクタ領域 32 を有していたが、コレクタ領域 32 を省略してもよい。この場合、バッファ領域 30 が下部電極に接続されることにより、M O S F E T が形成される。

[0051] また、上述した実施形態では半導体装置 10 がダイオード領域 92 を有していたが、ダイオード領域 92 は形成されていなくてもよい。

[0052] 実施形態の半導体装置 10 の構成は、以下のように表すことができる。

[0053] 半導体基板を有する半導体装置であって、前記半導体基板の上面に形成された複数のトレンチと、前記各トレンチの内面を覆うトレンチ絶縁膜と、前記各トレンチの内部に配置されており、前記トレンチ絶縁膜によって前記半導体基板から絶縁されているトレンチ電極と、前記複数のトレンチのうちの隣り合うトレンチに挟まれた第 1 範囲内の前記半導体基板に形成されており、前記半導体基板の前記上面に露出しており、前記トレンチ絶縁膜に接している第 1 導電型の第 1 半導体層と、前記第 1 範囲内の前記半導体基板に形成されており、一部が前記半導体基板の前記上面に露出しており、前記第 1 半導体層の下側で前記トレンチ絶縁膜に接している第 2 導電型の第 2 半導体層と、前記半導体基板に形成されており、前記第 2 半導体層の下側に配置され

ており、前記第2半導体層によって前記第1半導体層から分離されており、前記第2半導体層の下側で前記トレンチ絶縁膜に接している第1導電型の第3半導体層と、前記半導体基板の前記上面及び前記トレンチ電極上に配置されており、前記第1範囲内に配置された複数のコンタクトホールを有する層間絶縁膜と、前記各コンタクトホール内に配置されており、前記第1半導体層と前記第2半導体層の少なくとも一方に接続されている第1導電体層と、前記第1導電体層上及び前記層間絶縁膜上に配置されており、前記各第1導電体層に接続されている表面電極を有する。

[0054] 上記の半導体装置は、前記第1範囲とは異なる前記複数のトレンチのうちの隣り合うトレンチに挟まれた範囲である第2範囲内の前記半導体基板に形成されており、前記半導体基板の前記上面に露出している第1導電型の第4半導体層と、第2導電体層をさらに有していてもよい。前記第3半導体層の一部が、前記第4半導体層の下側に配置されており、前記第4半導体層に接しており、前記層間絶縁膜が、前記第2範囲内に配置されたコンタクトホールを有しており、前記第2導電体層が、前記第2範囲内の前記コンタクトホール内に配置されており、前記第4半導体層に接続されており、前記表面電極の一部が、前記第2導電体層上に配置されており、前記第2導電体層に接続されており、前記複数の第1導電体層の前記半導体基板に対するコンタクト面積を前記第1範囲の面積で除算した値が、前記第2導電体層の前記半導体基板に対するコンタクト面積を前記第2範囲の面積で除算した値よりも大きくてもよい。

[0055] このように第1範囲におけるコンタクト面積を大きくすることで、第1範囲に形成されたスイッチング素子の特性を向上させることができる。また、第2範囲におけるコンタクト面積を小さくすることで、第2範囲に形成されたダイオードの逆回復特性を向上させることができる。

[0056] 第1導電体層のヤング率は、表面電極のヤング率よりも高くてもよい。

[0057] このように構成されていることによって、ストレスにより表面電極にクラックが生じた場合であっても、そのクラックが半導体基板側に進展すること

を抑制することができる。

[0058] 第1導電体層及び第2導電体層は、CVD、メッキ、スパッタによって形成可能な材料によって構成されていてもよい。

[0059] このように構成されていることによって、コンタクトホール内に好適に導電体層を形成することができる。

[0060] 第1導電体層及び第2導電体層は、W、Al、Cuのいずれかを含む金属によって構成されていてもよい。

[0061] 各トレンチ電極上の層間絶縁膜の幅が、前記第1範囲内のコンタクトホールの上に位置する前記層間絶縁膜の幅よりも広くてもよい。

[0062] また、実施形態の半導体装置の製造方法は、加工用ウエハから半導体装置を製造する方法であって、以下の構成を有する。前記加工用ウエハが、上面に複数のトレンチが形成された半導体基板と、前記各トレンチの内面を覆うトレンチ絶縁膜と、前記各トレンチの内部に配置されており、前記トレンチ絶縁膜によって前記半導体基板から絶縁されているトレンチ電極を有している。前記半導体基板が、前記複数のトレンチのうちの隣り合うトレンチに挟まれた範囲内に形成されており、前記半導体基板の前記上面に露出しており、前記トレンチ絶縁膜に接している第1導電型の第1半導体層と、前記範囲内に形成されており、一部が前記半導体基板の前記上面に露出しており、前記第1半導体層の下側で前記トレンチ絶縁膜に接している第2導電型の第2半導体層と、前記第2半導体層の下側に配置されており、前記第2半導体層によって前記第1半導体層から分離されており、前記第2半導体層の下側で前記トレンチ絶縁膜に接している第1導電型の第3半導体層を有している。前記方法が、前記加工用ウエハの上面に、層間絶縁膜を形成する工程と、前記範囲内の前記層間絶縁膜に、複数のコンタクトホールを形成する工程と、前記複数のコンタクトホール内及び前記層間絶縁膜上に、導電体層を成長させる工程と、前記複数のコンタクトホール内に前記導電体層が残存するように前記層間絶縁膜上の前記導電体層をエッチングする工程と、前記エッチングの後に、前記導電体層上及び前記層間絶縁膜上に、表面電極を形成する工

程を有している。

[0063] このような製造方法をとることによって、表面電極の平坦化が可能であり、かつ、表面電極の広いコンタクト面積を確保することができる。

[0064] 以上、実施形態について詳細に説明したが、これらは例示にすぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例をさまざまに変形、変更したものが含まれる。本明細書または図面に説明した技術要素は、単独あるいは各種の組み合わせによって技術有用性を発揮するものであり、出願時請求項記載の組み合わせに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成するものであり、そのうちの1つの目的を達成すること自体で技術有用性を持つものである。

請求の範囲

[請求項1]

半導体基板を有する半導体装置であって、
前記半導体基板の上面に形成された複数のトレンチと、
前記各トレンチの内面を覆うトレンチ絶縁膜と、
前記各トレンチの内部に配置されており、前記トレンチ絶縁膜によって前記半導体基板から絶縁されているトレンチ電極と、
前記複数のトレンチのうちの隣り合うトレンチに挟まれた第1範囲内の前記半導体基板に形成されており、前記半導体基板の前記上面に露出しており、前記トレンチ絶縁膜に接している第1導電型の第1半導体層と、
前記第1範囲内の前記半導体基板に形成されており、一部が前記半導体基板の前記上面に露出しており、前記第1半導体層の下側で前記トレンチ絶縁膜に接している第2導電型の第2半導体層と、
前記半導体基板に形成されており、前記第2半導体層の下側に配置されており、前記第2半導体層によって前記第1半導体層から分離されており、前記第2半導体層の下側で前記トレンチ絶縁膜に接している第1導電型の第3半導体層と、
前記半導体基板の前記上面及び前記トレンチ電極上に配置されており、前記第1範囲内に配置された複数のコンタクトホールを有する層間絶縁膜と、
前記各コンタクトホール内に配置されており、前記第1半導体層と前記第2半導体層の少なくとも一方に接続されている第1導電体層と、
前記第1導電体層上及び前記層間絶縁膜上に配置されており、前記各第1導電体層に接続されている表面電極、
を有する半導体装置。

[請求項2]

前記第1範囲とは異なる前記複数のトレンチのうちの隣り合うトレンチに挟まれた範囲である第2範囲内の前記半導体基板に形成されて

おり、前記半導体基板の前記上面に露出している第1導電型の第4半導体層と、

第2導電体層、

をさらに有しており、

前記第3半導体層の一部が、前記第4半導体層の下側に配置されており、前記第4半導体層に接しており、

前記層間絶縁膜が、前記第2範囲内に配置されたコンタクトホールを有しており、

前記第2導電体層が、前記第2範囲内の前記コンタクトホール内に配置されており、前記第4半導体層に接続されており、

前記表面電極の一部が、前記第2導電体層上に配置されており、前記第2導電体層に接続されており、

前記複数の第1導電体層の前記半導体基板に対するコンタクト面積を前記第1範囲の面積で除算した値が、前記第2導電体層の前記半導体基板に対するコンタクト面積を前記第2範囲の面積で除算した値よりも大きい、

請求項1の半導体装置。

[請求項3] 前記第1導電体層のヤング率は、前記表面電極のヤング率よりも高い請求項1または2の半導体装置。

[請求項4] 前記第1導電体層は、CVD、メッキ、スパッタによって形成可能な材料によって構成されている請求項1～3のいずれか一項の半導体装置。

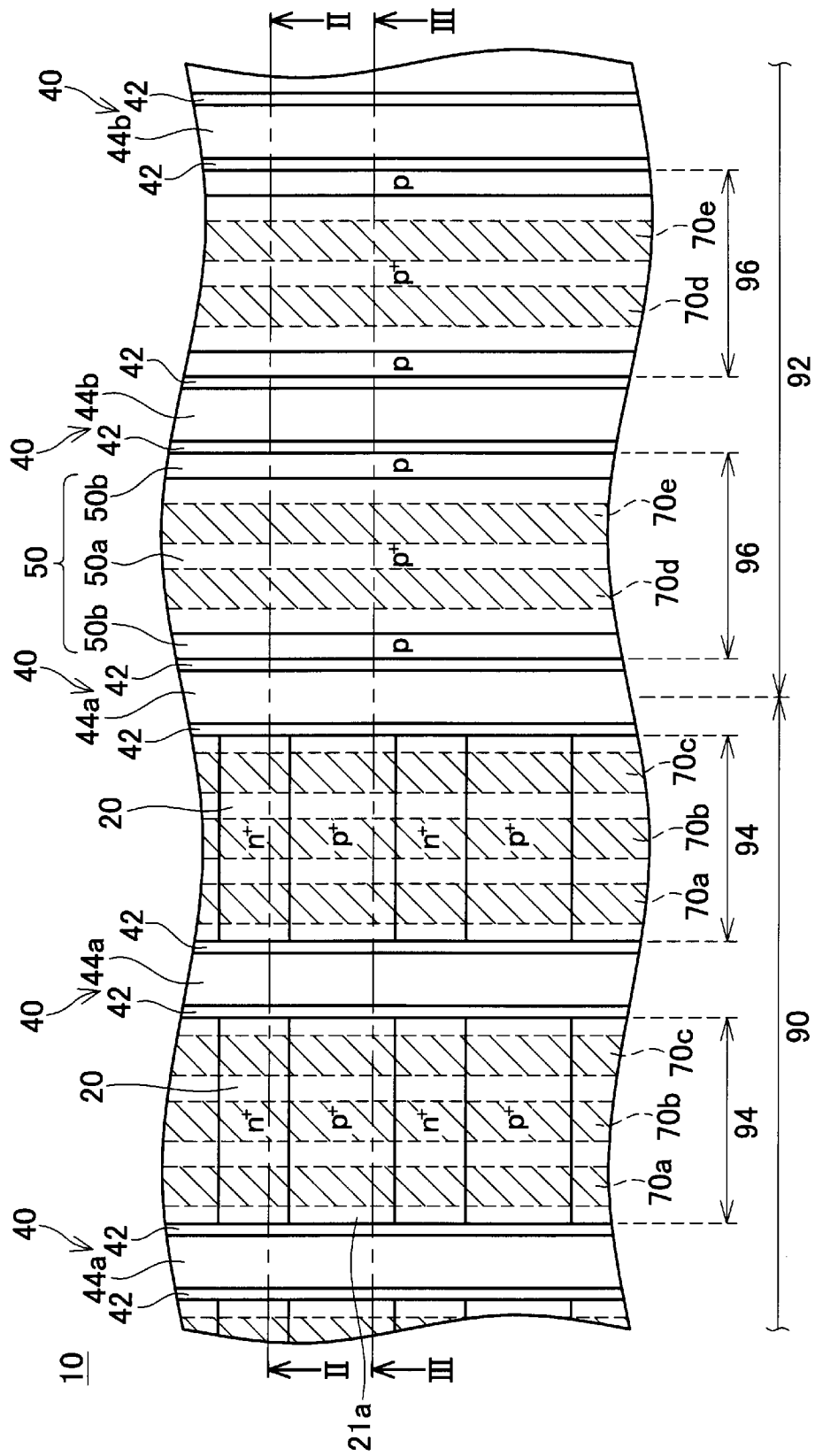
[請求項5] 前記第1導電体層は、W、Al、Cuのいずれかを含む金属によって構成されている請求項1～4のいずれか一項の半導体装置。

[請求項6] 前記各トレンチ電極上の前記層間絶縁膜の幅が、前記第1範囲内の複数のコンタクトホールに挟まれた前記層間絶縁膜の幅よりも広い請求項1～5のいずれか一項の半導体装置。

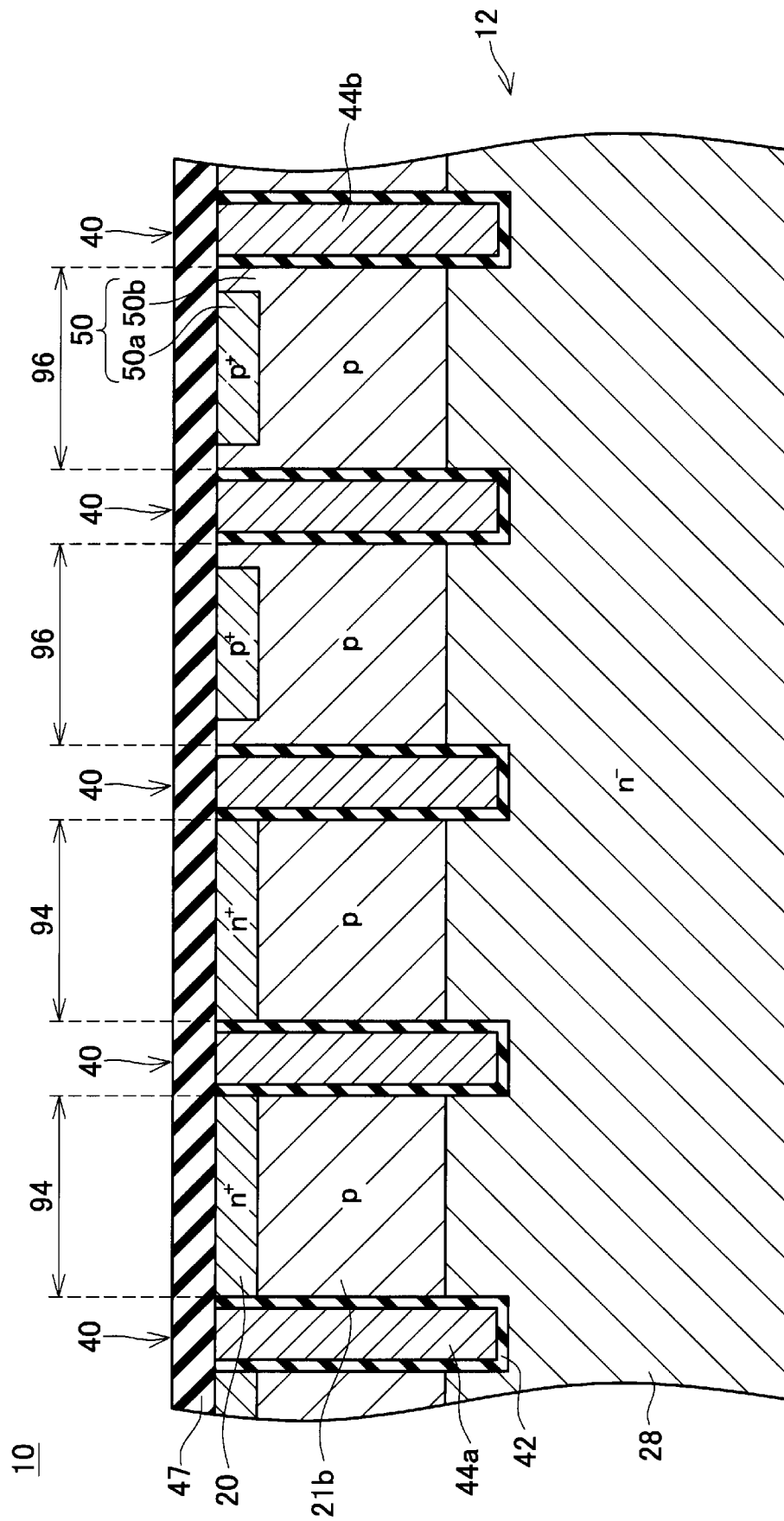
[請求項7] 加工用ウエハから半導体装置を製造する方法であって、

前記加工用ウエハが、
上面に複数のトレンチが形成された半導体基板と、
前記各トレンチの内面を覆うトレンチ絶縁膜と、
前記各トレンチの内部に配置されており、前記トレンチ絶縁膜によって前記半導体基板から絶縁されているトレンチ電極、
を有しており、
前記半導体基板が、
前記複数のトレンチのうちの隣り合うトレンチに挟まれた範囲内に形成されており、前記半導体基板の前記上面に露出しており、前記トレンチ絶縁膜に接している第1導電型の第1半導体層と、
前記範囲内に形成されており、一部が前記半導体基板の前記上面に露出しており、前記第1半導体層の下側で前記トレンチ絶縁膜に接している第2導電型の第2半導体層と、
前記第2半導体層の下側に配置されており、前記第2半導体層によって前記第1半導体層から分離されており、前記第2半導体層の下側で前記トレンチ絶縁膜に接している第1導電型の第3半導体層、
を有しており、
前記方法が、
前記加工用ウエハの上面に、層間絶縁膜を形成する工程と、
前記範囲内の前記層間絶縁膜に、複数のコンタクトホールを形成する工程と、
前記複数のコンタクトホール内及び前記層間絶縁膜上に、導電体層を成長させる工程と、
前記複数のコンタクトホール内に前記導電体層が残存するように前記層間絶縁膜上の前記導電体層をエッチングする工程と、
前記エッチングの後に、前記導電体層上及び前記層間絶縁膜上に、表面電極を形成する工程、
を有する製造方法。

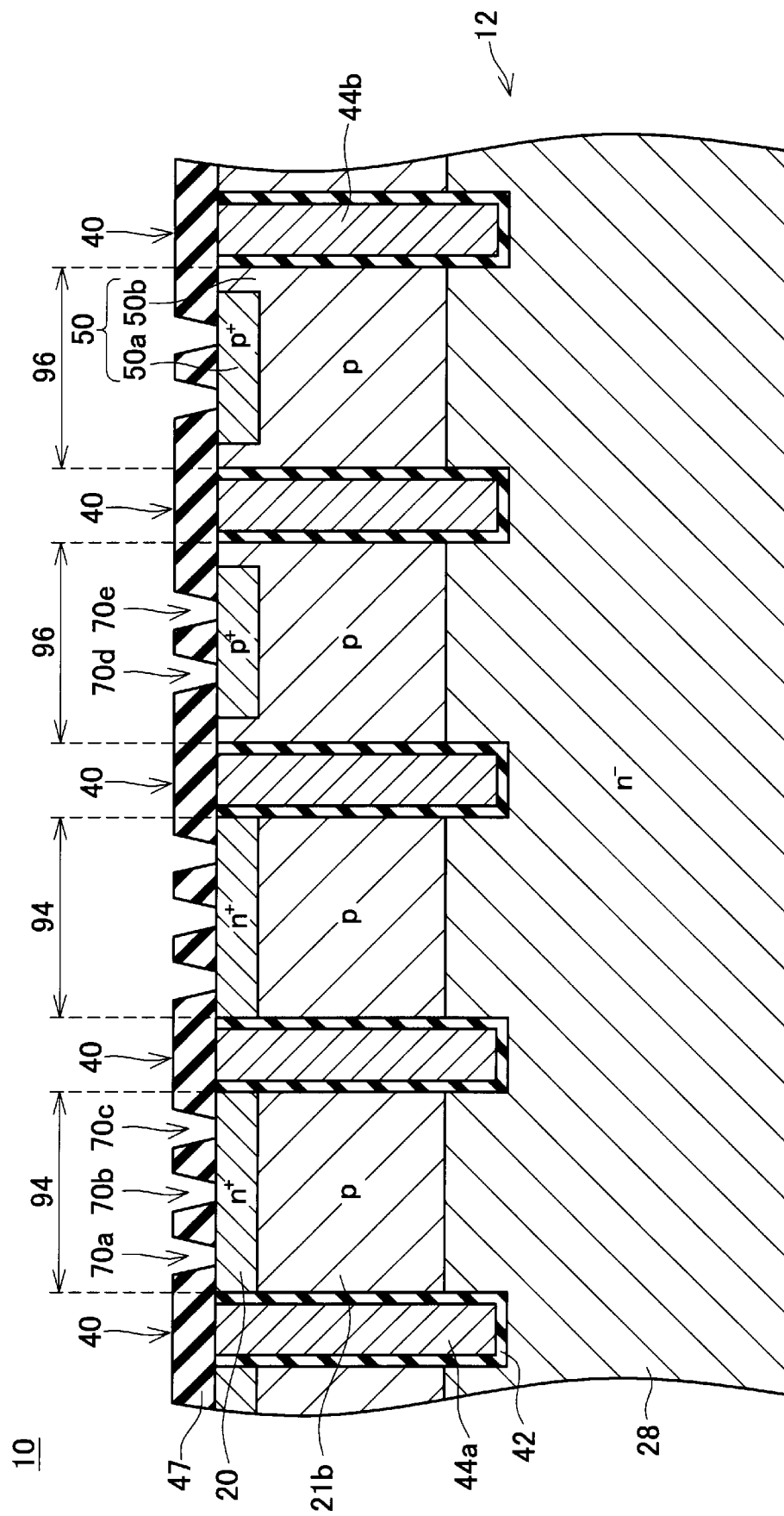
[図1]



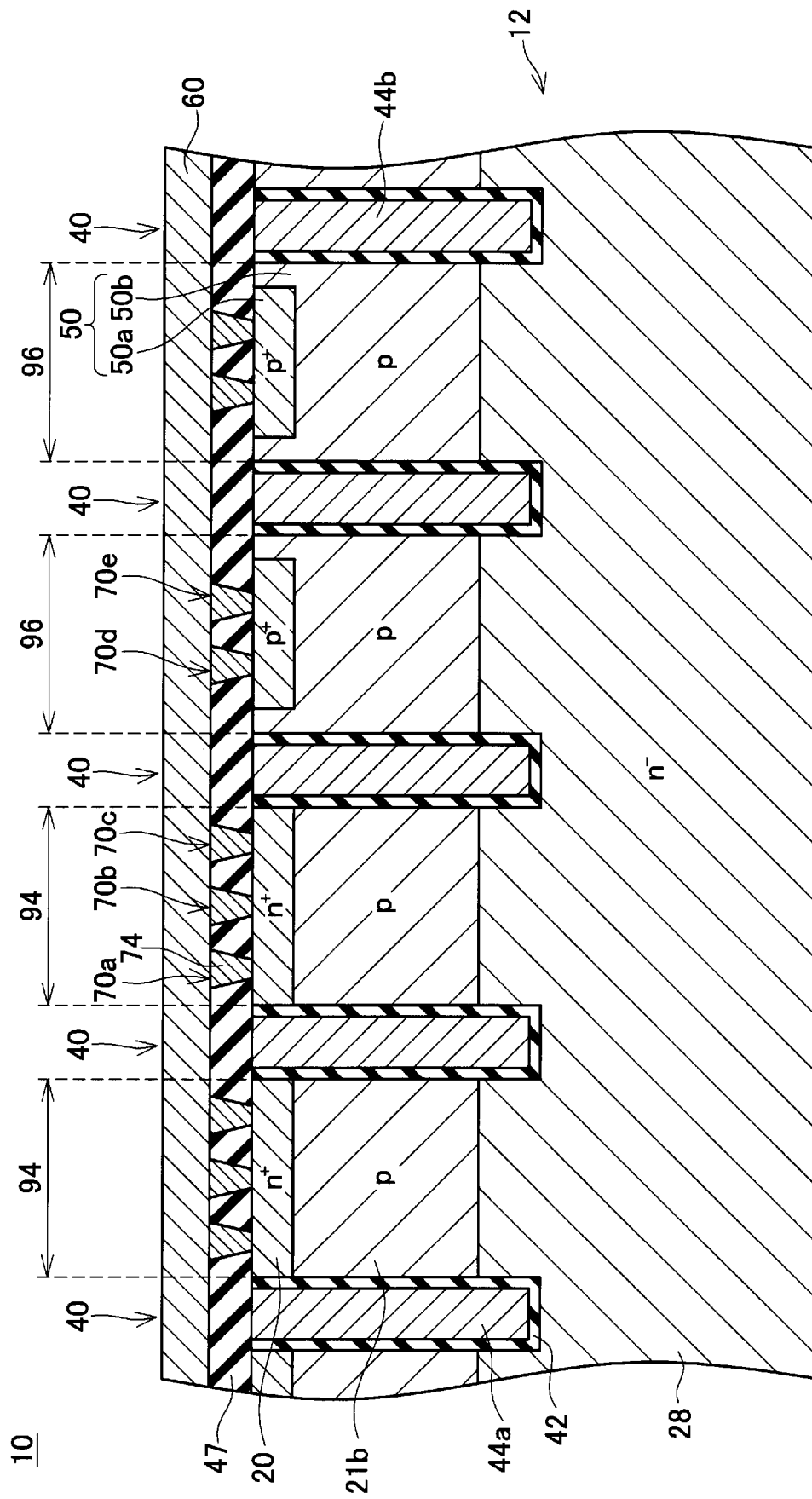
[図4]



[図5]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/066523

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i,
H01L21/768(2006.01)i, H01L23/522(2006.01)i, H01L29/739(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L21/28, H01L21/336, H01L21/768, H01L23/522, H01L29/739

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2012-114321 A (Mitsubishi Electric Corp.), 14 June 2012 (14.06.2012), paragraphs [0017] to [0028]; fig. 1 to 3 (Family: none)	1, 7 2-6
Y	WO 2014/097454 A1 (Toyota Motor Corp.), 26 June 2014 (26.06.2014), paragraphs [0012] to [0024]; fig. 1 to 3 (Family: none)	2-6
Y	JP 2014-013850 A (Sumitomo Electric Industries, Ltd.), 23 January 2014 (23.01.2014), paragraphs [0031] to [0033]; fig. 1 (Family: none)	3-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 June 2015 (24.06.15)

Date of mailing of the international search report
07 July 2015 (07.07.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H01L29/78(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i, H01L21/768(2006.01)i, H01L23/522(2006.01)i, H01L29/739(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H01L29/78, H01L21/28, H01L21/336, H01L21/768, H01L23/522, H01L29/739		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2 - 1 9 9 6 年 日本国公開実用新案公報 1 9 7 1 - 2 0 1 5 年 日本国実用新案登録公報 1 9 9 6 - 2 0 1 5 年 日本国登録実用新案公報 1 9 9 4 - 2 0 1 5 年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2012-114321 A（三菱電機株式会社）2012.06.14, 0017 段落 ないし 0028 段落、図 1 ないし図 3（ファミリーなし）	1, 7 2-6
Y	WO 2014/097454 A1（トヨタ自動車株式会社）2014.06.26, 0012 段落 ないし 0024 段落、図 1 ないし図 3（ファミリーなし）	2-6
Y	JP 2014-013850 A（住友電気工業株式会社）2014.01.23, 0031 段落 ないし 0033 段落、図 1（ファミリーなし）	3-6
☐ C 欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 2 4 . 0 6 . 2 0 1 5	国際調査報告の発送日 0 7 . 0 7 . 2 0 1 5	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目 4 番 3 号	特許庁審査官（権限のある職員） 棚田 一也 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6	5 F 9 3 6 1