



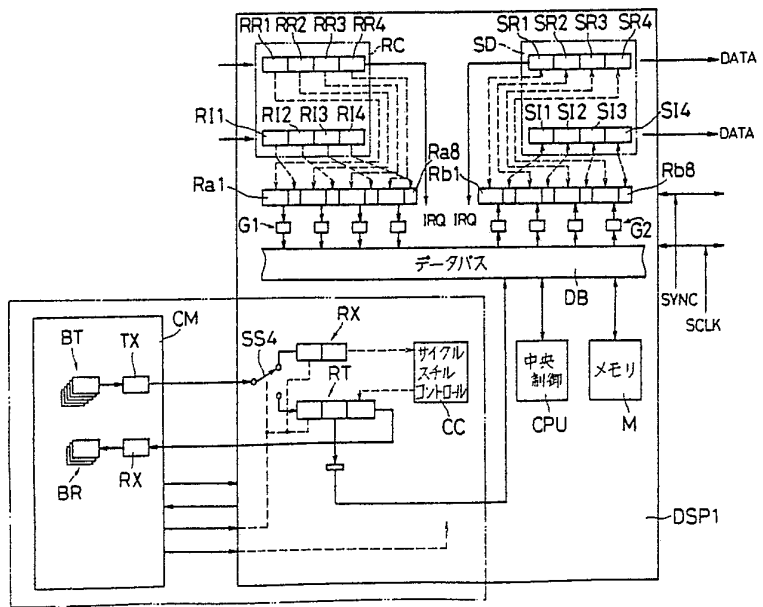
特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 ⁴ G06F 15/16, 13/00	A1	(11) 国際公開番号 WO 88/ 09017
		(43) 国際公開日 1988年11月17日 (17.11.88)

(21) 国際出願番号 PCT/JP88/00442	富士通テン株式会社内 Hyogo, (JP)
(22) 国際出願日 1988年5月2日(02. 05. 88)	(74) 代理人 弁理士 西教圭一郎, 外(SAIKYO, Keiichiro et al.) 〒550 大阪府大阪市西区西本町1丁目13番38号 新興産ビル Osaka, (JP)
(31) 優先権主張番号 特願昭62-111509 特願昭62-147323 特願昭62-262010 特願昭62-262011	(81) 指定国 DE(欧州特許), FR(欧州特許), GB(欧州特許), NL(欧州特許), US. 添付公開書類 国際調査報告書 補正書・説明書
(32) 優先日 1987年5月6日(06. 05. 87) 1987年6月13日(13. 06. 87) 1987年10月16日(16. 10. 87) 1987年10月16日(16. 10. 87)	
(33) 優先権主張国 JP	
(71) 出願人(米国を除くすべての指定国について) 富士通テン株式会社 (FUJITSU TEN LIMITED) [JP/JP] 〒652 兵庫県神戸市兵庫区御所通1丁目2番28号 Hyogo, (JP)	
(72) 発明者; および (75) 発明者/出願人(米国についてのみ) 佐古和也 (SAKO, Kazuya)[JP/JP] 永海正明 (NAGAMI, Masaaki)[JP/JP] 長野 武 (CHONO, Takeshi)[JP/JP] 藤本昇治 (FUJIMOTO, Shoji)[JP/JP] 安井克磨 (YASUI, Katsumaro)[JP/JP] 〒652 兵庫県神戸市兵庫区御所通1丁目2番28号	

(54) Title: METHOD AND APPARATUS FOR DATA TRANSFER

(54) 発明の名称 データ転送装置およびデータ転送方式



(57) Abstract

In transferring data between a plurality of electronic devices, the problem has existed that the system becomes large and causes a low transfer rate, for example, because some system components idle in particular situations during the transfer operation. According to the present invention, the data transfer operation relies more on hardware and less on software. Furthermore, the system components are more effectively utilized. This helps increase the data transfer rate and the accompanying signal processing rate, thereby providing a relatively small system.

(57) 要約

複数の電子的装置の間でデータの転送を行うにあたり、従来ではデータ転送に関与する構成要素が、データ転送動作の或る局面で動作せず無駄であつたりして、構成が大形であるとともに転送速度が遅いという課題があつた。本発明ではソフトウェアのデータ転送動作への関与の程度で低減し、ハードウェアで処理する範囲を拡大する。また上記構成要素を効率的に用いるようにする。これによりデータ転送速度およびこれに伴う信号処理速度が向上されるとともに、構成を比較的小形化できる。

情報としての用途のみ

PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード

AT	オーストリア	FR	フランス	MR	モーリタニア
AU	オーストラリア	GA	ガボン	MW	マラウイ
BB	バルバドス	GB	イギリス	NL	オランダ
BE	ベルギー	HU	ハンガリー	NO	ノルウェー
BG	ブルガリア	IT	イタリア	RO	ルーマニア
BJ	ベナン	JP	日本	SD	スーダン
BR	ブラジル	KP	朝鮮民主主義人民共和国	SE	スウェーデン
CF	中央アフリカ共和国	KR	大韓民国	SN	セネガル
CG	コンゴ	LI	リヒテンシュタイン	SU	ソビエト連邦
CH	スイス	LK	スリランカ	TD	チャード
CM	カメルーン	LU	ルクセンブルグ	TG	トーゴ
DE	西ドイツ	MC	モナコ	US	米国
DK	デンマーク	MG	マダガスカル		
FI	フィンランド	ML	マリ		

- 1 -

明 細 書

発明の名称

データ転送装置およびデータ転送方式

技術分野

- 5 本発明は、デジタルデータの転送を行う装置およびその方式に関する。

背景技術

- 典型的な先行技術は、第1図に示されている。アナログなどの音声信号などのような入力信号は、
- 10 ライン1から与えられ、アナログ/デジタル変換回路2によつて、デジタル値に変換され、処理装置3に与えられ、データの演算が行なわれる。この処理装置3において処理されたデジタル信号は、
- 15 デジタル/アナログ変換回路4に与えられて、アナログ信号に変換され、ライン5から導出され、たとえばスピーカが駆動される。処理装置3には、
- マイクロコンピュータ6が接続される。処理装置3の演算処理速度は、マイクロコンピュータ6よりも高速度である。このマイクロコンピュータ6
- 20 から処理装置3にデータを転送する際には、そのマイクロコンピュータ6からのデータがライン7を介して受信レジスタ8に直列にストアされる。

このようにしてマイクロコンピュータ6からのデータが転送され、受信レジスタ8が一杯になる

- 2 -

と、ライン 9 にフラグ F 1 を立て、制御回路 1 0
に与える。受信レジスタ 8 の内容は、メモリ 1 1
にストアされる。制御回路 1 0 は、フラグ F 1 が
立っているとき、ライン 1 4 を介してマイクロコ
5 コンピュータ 6 からデータを送出することを一時停
止させるための信号を発生する。受信レジスタ 8
の内容がメモリ 1 1 においてストアされた後には、
そのことを表わす信号を制御回路 1 0 はマイクロ
コンピュータ 6 に与え、これによつてマイクロコ
10 ンピュータ 6 は残りのデータをライン 7 から受信
レジスタ 8 に与える。こうして、この受信レジス
タ 8 の内容は前述のようにしてメモリ 1 1 にさら
にストアされる。

制御回路 1 0 は、第 2 図 (1) で示される一定の
15 サンプリング周期 W ごとに動作を繰り返し、この
各サンプリング周期 W において、第 2 図 (2) で示
される期間 W 1 においてデジタル信号処理を行な
い、第 2 図 (3) で示される残余の時間 W 2 でマイ
クロコンピュータ 6 からのデータを受信レジスタ
20 8 を介してメモリ 1 1 にストアする。

このような先行技術では、処理装置 3 における
デジタル信号処理の期間 W 1 が長くかつたとき
には、マイクロコンピュータ 6 から処理装置 3 へ
のデータの転送を行なうことができる期間 W 2 が

短くなる。したがってマイクロコンピュータ 6 から処理装置 3 へのデータの転送を確実に行なうことができるようにするために、サンプリング周期 W を長く設定しなければならないことになる。一方、各サンプリング周期 W 内において、マイクロコンピュータ 6 から処理装置 3 へのデータ転送を行なう必要がない場合があり、このようなときには残余の期間 W_3 (前述の第 2 図 (3) 参照) の間は、処理装置 3 の処理が行なわれず、時間が無駄になる。このようにして先行技術では、プログラム処理によつてデータの転送を行なっているので、各サンプリング周期 W ごとに行なえるデジタル信号処理の期間 W_1 が短くなるか、またはサンプリング周期 W を長くする必要があり、信号処理の品質が劣化してしまう。

同様にして、処理装置 3 からマイクロコンピュータ 6 にデータを転送するにあつては、メモリ 11 の内容を送信レジスタ 12 にストアし、この送信レジスタ 12 の内容をライン 13 を介してマイクロコンピュータ 6 に転送する。送信すべき内容が多いとき、送信レジスタ 12 にデータがセットされると、これを表わす信号がライン 15 を介して制御回路 10 に与えられて、フラグ F_2 が立つ。制御回路 10 は、送信レジスタ 12 に内容が

セットされたことを表わす信号をライン 14 を介してマイクロコンピュータ 6 に与え、これによつてマイクロコンピュータ 6 は送信レジスタ 12 の内容を正確に受信することができる。このような

5 処理装置 3 からマイクロコンピュータ 6 へのデータの転送に当たつても、前述の第 2 図に関連して述べた動作と同様な動作が行なわれ、各サンプリング周期 W ごとに行なえるデジタル信号処理の期間 W_1 が短くなるか、またはサンプリング周期

10 W を長くする必要があり、信号処理の品質が劣化してしまうという問題がある。

本発明の主たる目的は、2つの処理装置の相互間のデータの転送を、時間の無駄を省いて、高速度で行なうことができるようにして、デジタル信号

15 処理のための時間を増加することができるようにしたデータ転送装置および方式を提供することである。

また、他の目的は、データの転送速度を格段に向上できると共に転送に預かるデータ長を低減することができるデータ転送装置および方式を提供

20 することである。

さらに他の目的は、転送されるデータの転送時間を短縮すると共に、構成を簡略化できるデータ転送装置を提供することである。

発明の開示

本発明は、第1および第2処理装置の相互のデータ転送方式において、

5 第1処理装置から、読出しおよび書込みを表わす命令と、読出しおよび書込みをすべき記憶領域のアドレスを指定するアドレス情報と、書込みを行なう際には前記アドレス指定された記憶領域に書込むべきデータとを順次的に送出し、

10 第1処理装置では、前記アドレス指定された記憶領域からのデータを受信し、

第2処理装置では、

前記命令と、アドレス情報と、データとを受信する受信レジスタと、

15 受信レジスタからの命令をデコードする手段と、受信レジスタからのアドレス情報をデコードする手段と、

命令デコード手段とアドレス情報デコード手段との出力に応答して、アドレス情報によってアドレス指定された記憶領域にデータを書込み、また
20 は記憶領域からデータを読出すメモリと、メモリから読出されたデータを第1処理装置に転送する送信レジスタとを有することを特徴とするデータの転送方式である。

また本発明は、第1および第2の処理装置の相

互のデータ転送方式において、

第1処理装置から、第2処理装置の読出すべき記憶領域をアドレス指定するアドレス情報を送出し、

5 第1処理装置では、前記アドレス指定された記憶領域からのデータを受信し、

第2処理装置では、

アドレス情報を受信する受信レジスタと、

10 受信レジスタからのアドレス情報をデコードする手段と、

アドレス情報デコード手段の出力に応答してアドレス情報によつて、アドレス指定された記憶領域からデータを読出す手段と、

15 読出手段から読出されたデータを第1処理装置に転送する送信レジスタとを含むことを特徴とするデータ転送方式である。

さらに本発明は、第1および第2処理装置の互のデータ転送方式において、

20 第1処理装置から、第2処理装置での書込みをすべき記憶領域をアドレス指定するアドレス情報と、前記アドレス指定された記憶領域に書込むべきデータとを順次的に送出し、

第2処理装置では、

アドレス情報とデータとを受信する受信レジス

タと、

受信レジスタからのアドレス情報をデコードする手段と、

5 アドレス情報デコード手段からの出力に応答してアドレス情報によつてアドレス指定された記憶領域にデータを書込む手段とを有することを特徴とするデータ転送方式である。

本発明は、制御装置との間で相互にシリアルデータを転送するデータ転送装置であつて、

10 制御装置から転送されるコマンドデータとアドレスデータとの少なくとも一方を格納する第1記憶手段と、

制御装置との間で転送されるべきデータ本体を格納する第2記憶手段と、

15 制御装置から転送される上記各データを上記第1記憶手段または第2記憶手段のいずれかに切換えて入力する切換え手段とを含むことを特徴とするデータ転送装置である。

好ましい実施態様では、上記第2記憶手段は、
20 制御装置から受信されるデータ本体および制御装置に送信されるデータ本体を選択的に格納する書込み／読出し兼用であること、および上記切換え手段は、制御装置から入力されるラッチ信号に応じて、制御装置から入力されるクロック信号を上

記第 1 記憶手段または第 2 記憶手段のいずれかに
切換えて出力することを特徴とする。

本発明は、制御装置と処理装置とを含み、これ
らの間で相互にシリアルデータを転送するデータ
5 転送装置において、

制御装置と処理装置との間に設けられる信号ラ
インであつて、制御装置または処理装置から出力
される信号のレベルによつて処理装置または制御
装置にデータの読出し動作状態または書込み動作
10 状態のいずれかを指示するそのような信号ライン
を設けたことを特徴とするデータ転送装置である。

好ましい実施態様では、上記データが複数種類
の構成部分から成る場合において、

制御装置と処理装置との少なくとも一方には上
15 記データまたはその構成部分のビット数をそれぞ
れ計数する複数の計数手段をそれぞれ設け、

計数手段の対応するビット数の計数終了出力に
よつて、対応するデータまたはその構成部分の読
出し／書込み処理が行われるようにし、さらに、
20 データ書込みを行う場合にはデータを転送した後
に、対象となるアドレスを転送するようにしたこ
とを特徴とする。

また好ましい実施態様では、上記データが複数
種類の構成部分から成る場合において、書込み動

作をする場合には書込みを行うデータの次に対象となるアドレスを転送し、読出し動作を行う場合には対象となるアドレスのみを転送することを特徴とする。

5 本発明は、第1処理装置からのデータを第2処理装置に設けてあるメモリに書込むための書込み方式において、

第1処理装置からはまず、書込みをすべきことを表す書込命令と、書込みを行なうべき最初の記憶領域のアドレスを指定するアドレス情報とから成る第1の組合わせ情報を送出し、

次に書込動作を継続すべきであるかどうかを表す継続書込命令と、書込むべきデータとから成る第2の組合わせ情報を繰返し送出し、

15 第2処理装置ではまず、前記第1の組合わせ情報のアドレス情報によつてアドレス指定された記憶領域に、前記第2の組合わせ情報のデータを書込み、

次に前記第2の組合わせ情報の前記継続書込命令に応答して、データを順次的に書込んでゆくことを特徴とする書込み方式である。

また本発明は、第1処理装置に第2処理装置のメモリに記憶されているデータを読出す読出し方式において、

第1処理装置からはまず、読出しをすべきことを表す読出命令と、複数の各アドレスを有する記憶領域から順次的にデータを読出すブロック転送であるかどうかを表すブロック転送命令と、読出しを行なうべき最初の記憶領域のアドレスを指定するアドレス情報とから成る第3の組合わせ情報を送出し、

次に読出しを行なうべきデータのワード数を表すワード数情報から成る第4の組合わせ情報を送出し、

第2処理装置ではまず、前記第3の組合わせ情報のアドレス情報によつてアドレス指定された記憶領域のデータを読出し、

次に前記ブロック転送命令からブロック転送であると判断されたときには、前記第4の組合わせ情報のワード数情報によつて表されたワード数だけデータを順次的に読出してゆくことを特徴とする読出し方式である。

本発明に従えば、読出しおよび書込みを行なうときには、第1処理装置から、命令と、アドレス情報と、データとを、順次的に送出し、第2処理装置ではその命令をデコードするとともに、アドレス情報をデコードし、これによつて第2処理装置内に設けられているメモリの記憶領域をアドレ

ス指定し、前記命令に従ってデータを読出しまたは書込む。メモリから読出したデータは、送信レジスタに一旦ストアされ、この送信レジスタから第1処理装置に転送される。

5 第1処理装置から、第2処理装置に設けられているメモリの読出しおよび書込みのいずれか一方だけを行なうときには、第1処理装置からは、読出しおよび書込みを表わす命令は送出する必要がなく、読出し時にはアドレス情報だけが、また書
10 込み時にはアドレス情報とデータとが送出される。第2処理装置は、読出し時には、前記アドレス情報によつてアドレス指定されたメモリの記憶領域からのデータを送信レジスタを介して第1処理装置に転送する。またこの第2処理装置は、書込み
15 時には、アドレス情報によつてアドレス指定されたメモリの記憶領域に、第1処理装置からのデータを記憶する。

このようにして本発明では、読出しおよび書込みが、プログラムの実行によつて行なわれるのではなく、いわばハードウェアによつて達成される。
20 そのため第1および第2処理装置におけるデータ転送以外のデータ処理のために時間を費やすことができる。こうしてデータ転送およびその他の演算処理を円滑に、しかも高速度で行なうことがで

きるとともに、このようなデータ転送によつて、第1および第2処理装置におけるデータ転送以外のデータ処理速度が低下してしまうという問題はない。

5 本発明に従えば、制御装置とデータ転送装置との間で相互にデータ転送が行われる。このとき制御装置から転送されるコマンドデータとアドレスデータとの少なくとも一方は、切換え手段を介して
10 て、第1記憶手段に記憶される。制御装置から転送されるデータが前記コマンドデータおよびアドレスデータが終了し、引続くデータ本体が転送される
15 データの書込み処理が実現される。このようにして

一方、データ転送装置から制御装置へのデータの読出し処理を行う場合、制御装置からはコマンドデータとアドレスデータとの少なくとも一方のみが転送される。これらのデータが第1記憶手段
20 に記憶されてデータ転送装置が前記アドレスデータに基づく保持内容を読出して第2記憶手段に格納すると、切換え手段は制御装置からのクロック信号を第2記憶手段に切換え、このようにして読出し動作が実現される。

作 用

本発明は、制御装置と処理装置との間で相互にデータを転送する方式であり、これらの装置の間に信号ラインが設けられる。この信号ラインにおける制御装置または処理装置から出力される信号のレベルによつて、処理装置または制御装置にデータの読出し動作状態または書込み動作状態のいずれかが指示される。

これにより制御装置と処理装置との間で行われる読出し動作と書込み動作とは、対応するコマンドを相互に送信する必要がなく、前記信号ラインのレベルのみで識別される。また、データの書込み／読出し時によつて最小のbit数のみの転送が行われるので、転送に預かるデータ長を低減でき、データ転送が効率的に行われるとともに、転送速度も格段に向上される。また書込み時、読出し時によらず、転送レジスタの同じ位置からアドレスが読出せるので、切換回路等を必要とせず、構成を簡略化できる。

本発明に従えば、第1処理装置から第2処理装置に設けてあるメモリにデータを書込むにあつて、第1処理装置からはまず、第1の組合わせ情報が送られる。この第1の組合わせ情報は、書込みをすべきことを表す書込命令と、書込みを行

なうべき最初の記憶領域のアドレスを指定するアドレス情報とによつて構成される。前記第1の組合わせ情報に続いて第1処理装置からは、第2の組合わせ情報が、1または複数回繰返し送出される。この第2の組合わせ情報は、書込み動作を継続すべきであるかどうかを表す継続書込命令と書込むべきデータとによつて構成される。

一方、第2処理装置ではまず、前記第1の組合わせ情報のアドレス情報によつてアドレス指定されたメモリの記憶領域に、前記第2の組合わせ情報のデータを書込む。続いて前記第2の組合わせ情報の継続書込命令が書込動作を継続すべきことを表しているときには、データを、前記アドレス指定された記憶領域に隣接する記憶領域から順次的に書込んでゆく。

したがつて複数のデータを第1処理装置から第2処理装置に書込むにあつて、第1処理装置は書込むべきデータのたび毎にアドレス情報を送出する必要がなく、また第2処理装置は継続書込命令が書込動作の停止を表すまでデータを順次的に書込んでゆけばよく、したがつて第1処理装置から第2処理装置に送出されるアドレス情報の量を削減することができ、データの書込み速度を向上することができる。

また本発明に従えば、第1処理装置に第2処理装置のメモリに記憶されているデータを読出すにあたって、第1処理装置からはまず、第3の組み合わせ情報が送出される。この第3の組み合わせ情報は、読出しをすべきことを表す読出命令と、複数の各アドレスを有する記憶領域から順次的にデータを読出すブロック転送であるかどうかを表すブロック転送命令と、読出しを行なうべき最初の記憶領域のアドレスを指定するアドレス情報とによつて構成される。前記第3の組み合わせ情報に続いて第1処理装置からは、読出しを行なうべきデータのワード数を表すワード数情報から成る第4の組み合わせ情報が送出される。

一方、第2処理装置ではまず、前記第3の組み合わせ情報のアドレス情報によつてアドレス指定されたメモリの記憶領域のデータを読出す。続いて前記ブロック転送命令がブロック転送であることを表しているときには、前記第4の組み合わせ情報のワード数情報によつて表されたワード数だけ、読出すべきデータを順次的に読出してゆく。

したがつて複数のデータを第2処理装置から第1処理装置に読出す場合において、第1処理装置は読出すべきデータのたび毎にアドレス情報を送出する必要がなく、また第2処理装置はワード数

情報によつて表わされたワード数だけデータを順次的に読出してゆけばよく、データの読出し速度を向上することができる。

図面の簡単な説明

5 第1図は先行技術のブロック図、第2図は第1図に示された先行技術の動作を説明するための波形図、第3図は本発明の一実施例に従う構成の系統図、第4図は第3図の基本的構成例を示すブロック図、第5図は実施例のブロック図、第6図は
10 第5図に示された実施例の動作を説明するための波形図、第7図は第5図および第6図に示された実施例の動作を説明するためのフローチャート、第8図は本発明の他の実施例のブロック図、第9図は本発明のさらに他の実施例のブロック図、第
15 10図は実施例の構成を示すブロック図、第11図は本構成例の書込み動作を説明するタイミングチャート、第12図は本実施例の読出し動作を説明するためのタイミングチャート、第13図は実施例の構成を示すブロック図、第14図はデコー
20 ダ35の構成例を示すブロック図、第15図はデコーダ36の構成例を示すブロック図、第16図は本実施例の動作を説明するタイミングチャート、第17図はデータの転送順序とレジスタの関係を示す図、第18図は実施例のブロック図、第19

図は第1処理装置U1から第2処理装置U2のメモリM1にデータが書込まれるときにライン16に導出される組合わせ情報A～Cの構成を示す図、
第20図は第2処理装置U2のメモリM1から第
5 1処理装置U1にデータを読出すにあたってライン16に導出される組合わせ情報D、Eの構成を示す図、第21図は第18図に示された実施例の動作を説明するための波形図、第22図は第18図に示された実施例の動作を説明するためのフロー
10 ーチャート、第23図は実施例のブロック図、第24図は第23図に示された実施例において第1複数nと第2複数mとが等しい場合の動作を説明するための図、第25図は第1複数nが第2複数m未満である場合の動作を説明するための図、第
15 26図は第1複数nが第2複数mを超えている場合の動作を説明するための波形図、第27図は本発明の他の実施例のブロック図、第28図は実施例の受信側の構成を示すブロック図、第29図はその送信側の構成を示すブロック図、第30図は
20 本実施例の動作を説明するタイミングチャート、第31図は実施例の音声信号処理装置13のブロック図、第32図および第33図は動作を説明するための波形図、第34図および第35図は実施例に従う送信側および受信側の基本的な構成を示

すブロック図、第36図は第34図および第35
図に示される構成によるデータ転送を説明するた
めのタイミングチャート、第37図は実施例のブ
ロック図、第38図は第37図に示された実施例
5 の動作を説明するための波形図、第39図は実施
例の音声信号処理装置41の電氣的構成を示すブ
ロック図、第40図は第39図に示された実施例
の動作を説明するための波形図、第41図は処理
装置44, 48内におけるデータのストアおよび
10 転送動作を説明するための図、第42図は実施例
のデータ転送を行う処理装置DSP3, DSP4
の構成を示すブロック図、第43図は処理装置D
SP3, DSP4間のデータの転送動作を説明す
るための波形図、第44図は音響信号の転送に本
15 発明のデータ転送方式を用いたときの構成を示す
ブロック図、第45図は実施例のブロック図、第
46図は第45図に示された実施例の一部の構成
を詳細に示すブロック図、第47図は第46図に
示された構成のデータ転送の動作を説明するた
め
20 の波形図、第48図は本発明の他の実施例のブ
ロック図、第49図は実施例である処理装置DSP
4付近の構成を示すブロック図、第50図は処理
装置DSP4に電子ポリュームの機能を付加した
ときの動作を説明するための図、第51図は本考

案の他の実施例を示すブロック図 第 5 2 図は本
発明に係る音響処理装置のブロック図、第 5 3 図
は第 1 図の動作を説明するための波形図、第 5 4
図は処理装置のブロック図、第 5 5 図は本発明に
5 係る音響信号処理装置のブロック図、第 5 6 図は
第 5 5 図の動作を説明するための波形図、第 5 7
図は処理装置のブロック図、第 5 8 図は実施例の
音声信号処理装置 2 1 の電氣的構成を示すブロッ
ク図、

10 発明を実施するための最良の形態

第 3 図は本発明の一実施例に従う構成の系統図
であり、第 4 図は第 3 図の基本的構成例を示すブ
ロック図である。これらの図面を併せて参照して、
本実施例の構成について説明する。この構成はた
15 とえば F M 波帯および A M 波帯のラジオ受信機や
カセットテープレコーダ、またコンパクトディス
ク再生装置やデジタル音響磁気テープ再生装置（
D A T）などの機能のいくつかを併せ持つ車載用
音響装置の制御を行う。

20 本実施例は、A M 波帯受信機 A M、F M 波帯受
信機 F M、カセットテープレコーダ C S、コンパ
クトディスク再生装置 C D およびデジタル音響磁
気テープ再生装置 D A T などの信号源を有する。
受信機 A M、F M およびカセットテープレコーダ

- 20 -

C S の出力は切換スイッチ S S 1 によつていずれか一つが選択される。その出力は低域濾波器 L P F で高域のノイズを除去され、アナログ / デジタル変換器 (以下、A / D 変換器と称する) A D C
5 でデジタル化され、デジタル信号処理装置 (以下、処理装置と記す) D S P 1 , D S P 2 に入力される。

処理装置 D S P 1 , D S P 2 の出力は、デジタル / アナログ変換器 (以下、D / A 変換器と称する) D A C でアナログ化され、低域濾波器 L P F
10 で高域のノイズを除去され、増幅器 A M P を介してスピーカ S P から音響として出力される。また、コンパクトディスク再生装置 C D とデジタル音響磁気テープ再生装置 D A T からの出力は、切換え
15 スイッチ S S 2 , S S 3 でいずれかが選択され、処理装置 D S P 1 , D S P 2 に入力される。また処理装置 D S P 1 , D S P 2 は、マイクロコンピュータ C M によつて制御され、たとえばスタテイツクメモリ (S - R A M) などの外部記憶装置 E
20 M 1 , E M 2 が接続される。

第 4 図にはたとえばマイクロコンピュータ C M と処理装置 D S P 1 との接続状態が示される。処理装置 D S P 1 は受信部 R C と送信部 S D とを含む。受信部 R C および送信部 S D は受信 / 送信さ

れる浮動小数点型データの仮数部を記憶する仮数部レジスタ $RR1, RR2, RR3, RR4$; $SR1, SR2, SR3, SR4$ を有し、また指数部を記憶する指数部レジスタ $RI1, RI2, RI3, RI4$; $SI1, SI2, SI3, SI4$ を有する。これらのレジスタ（以下、総称するときには参照符 $RR, SR; RI, SI$ で示す）にはバッファレジスタ $Ra1 \sim Ra8; Rb1 \sim Rb8$ （総称するときには参照符 Ra, Rb で示す）が対応して配置される。

バッファレジスタ Ra, Rb はそれぞれ複数のゲート $G1, G2$ を介して、中央制御装置 CPU やメモリ M などが接続されたデータバス DB に接続される。

また処理装置 $DSP1$ にはマイクロコンピュータとのデータ転送に預る受信レジスタ RX および送受信レジスタ RT が設けられ、受信データは切換スイッチ $SS4$ によつて上記レジスタ RX, RT のいずれかに記憶される。またこれらの各レジスタ RX, RT の動作を制御するサイクルスチルコントローラ CC が設けられる。マイクロコンピュータ CM には、上記レジスタ RX, RT との間でデータを送受信する送信レジスタ TX および受信レジスタ RX が設けられ、これらのレジスタ R

X, TXとの間でデータ交換を行うバッファレジスタBT, BRが設けられる。

実施例

第5図は、実施例のブロック図である。第1処理装置Aからの命令によつて、(a)第2処理装置B内に設けられているメモリM1の記憶領域に記憶されているデータを読み出し、第1処理装置Aで受信し、あるいはまた(b)メモリM1の記憶領域に、第1処理装置Aからのデータを書込むことができる。第1処理装置Aの送信レジスタTX1からは、ライン16を介して第2処理装置Bの受信レジスタRX2に、8ビットを単位として合計24ビットから成る信号をビット順次的に送出する。第2処理装置Bの送信レジスタTX2からは、ライン17を介して第1処理装置Aの受信レジスタRX1に信号をビット順次的に送出する。

第1処理装置Aから第2処理装置Bにはライン16を介して上述のように24ビットの信号が送出され、この24ビットのうち最初の2ビットは読み出しおよび書込みなどを表わす命令であり、この命令はライン18を介して、その命令をデコードするデコーダ19に与えられる。受信レジスタRX2の残余の22ビットには、読み出しおよび書込みのためのアドレス情報または書込みのための

データがストアされる。アドレス情報はアドレスデコーダ 20 に与えられ、これによつてメモリ M1 の記憶領域がアドレス指定される。受信レジスタ R X 2 の 22 ビットのデータは、ライン 21 からメモリ M1 に与えられ、これによつてアドレスデコーダ 20 によつて指定されているストア領域にライン 21 を介するデータが書込まれる。メモリ M1 からデータを読出して第 1 処理装置 A に転送する際には、アドレスデコーダ 20 からの信号によつてアドレス指定されたメモリ M1 のストア領域にストアされているデータは、送信レジスタ T X 2 に与えられ、この送信レジスタ T X 2 の内容がライン 17 を介して第 1 処理装置 A の受信レジスタ R X 1 に転送される。第 1 処理装置 A におけるレジスタ T X 1, R X 1 は、制御回路 22 によつて制御される。第 2 処理装置 B では、制御回路 23 が設けられる。この制御回路 23 は、命令デコーダ 19 からの信号に応答してアドレスデコーダ 20 およびメモリ M1 を制御するとともにライン 24 を介して制御回路 22 に制御信号 TE を送出し、また制御回路 22 からライン 25 を介して制御信号 CS を受信する。

第 6 図は第 5 図に示された実施例の動作を説明するための波形図であり、第 7 図はその動作を説

明するためのフローチャートである。なお、この
フローチャートはハードウェアにより実現される。
また、制御信号 CS が論理「1」の場合は、ステッ
プ n20 で転送ブロックをリセットし、初期状態
5 (リセット) に戻るようになっている。ステップ n
1 からステップ n2 に移り、制御信号 CS が論理「
0」かどうか判断され、この制御信号 CS は第
6 図(1)で示されており、ローレベルになったこ
とが判断されると、このことは、第1処理装置 A
10 から第2処理装置 B に信号の転送を行なう必要が
生じたことを意味し、ステップ n3 に移る。ここ
で論理「0」である制御信号 TE を制御回路 23 か
ら 22 に与える。制御信号 TE は、信号の転送を
許可する制御信号であり、第6図(2)で示される。
15 ステップ n4 では、第2処理装置 B の受信レジ
スタ RX2 への転送動作が完了したかどうか判断
され、すなわちフラグ R X F が論理「1」である
かが判断され、受信レジスタ RX2 が空である
ときにはステップ n5 に移る。ここで第1処理装置
20 A の送信レジスタ TX1 から第2処理装置 B の受
信レジスタ RX2 にライン I6 を介して、24 ビ
ットのうちの1ビットの信号が、第6図(5)で示
されるクロック信号に同期して転送される。ステ
ップ n6 では、制御信号 TE が論理「1」とされ、

ステップ n4 に戻る。こうして第 6 図 (3) で示されるように、8 ビットずつの信号 S 1 , S 2 , S 3 が順次的に受信レジスタ R X 2 にストアされる。最初の 8 ビットの信号 S 1 のうち、最初の 2 ビットは前述のように、読出しおよび書込みを表わす命令であり、その信号 S 1 の残余の 6 ビットおよび 2 つの信号 S 2 , S 3 はメモリ M 1 のストア領域をアドレス指定する合計 2 2 ビットのアドレス情報である。

5
10 受信レジスタ R X 2 に信号がストアされた後には、第 2 処理装置 B では内部の演算処理が行なわれる。

ステップ n4 において、受信レジスタ R X 2 への合計 2 4 ビットの信号の転送が完了したことが判断されると、次のステップ n7 に移る。命令デ
15 コーダ 1 9 は最初の 2 ビットの命令をデコードして制御回路 2 3 に与える。これによつてステップ n8 で、命令が読出しまたは書込みのいずれかであるかを判断する。読出しであるときには、ステップ n9 に移る。ここで、受信レジスタ R X 2 においてストアされているアドレス情報をアドレス
20 デコーダ 2 0 によつてデコードし、これによつてアドレス指定されたメモリ M 1 の記憶領域の内容を送信レジスタ T X 2 にストアする。ステップ n

10では第6図(2)で示されるように制御信号 TE を論理「0」とし、次にステップn11では送信レジスタTX2に送信すべき信号が存在しないか、すなわちフラグTXFが論理「1」であるかが判断される。送信レジスタTX2に送出すべき信号が存在するとき、ステップn12では、第6図(5)で示されるクロック信号に同期して1ビットずつ順次的にデータがライン17を介して、第1処理装置Aの受信レジスタRX1に転送される。ステップn13では、制御信号 TE が論理「1」とされる。送信レジスタTX2のデータのすべてが送出された後には、ステップn11からステップn14に移り、フラグRXFが論理「0」とされる。

送信レジスタTX2から受信レジスタRX1にライン17を介してデータが転送される時の状態は、第6図(4)に示されるとおりであり、8ビットを単位とする信号S11, S12, S13が順次的に送出される。

第1処理装置Aから第2処理装置BのメモリM1にデータを書込む際には、ステップn8からステップn15に移る。信号S1, S2, S3に含まれるアドレス情報は、アドレスデコーダ21においてデコードされる。ステップn16では受信レ

ジスタ R X 2 に信号があるかが判断され、受信レジスタ R X 2 に信号が残っていないならば、ステップ n 1 7 に移り、第 6 図 (4) で示されるように書込むべきデータを表わす信号 S 1 1, S 1 2, S 1 3 を 1 ビットずつ順次的に受信レジスタ R X 2 に転送して、ストアしていく。ステップ n 1 8 では制御信号 $\overline{T E}$ を論理「1」とする。受信レジスタ R X 2 に信号 S 1 1, S 1 2, S 1 3 がストアされると、ステップ n 1 6 からステップ n 1 9 に移り、メモリ M 1 におけるアドレスデコーダ 2 0 によつて、アドレス指定された記憶領域にライン 2 1 を介する受信レジスタ R X 2 のデータを書込む。

このようにして上述の実施例では、第 2 処理装置 B において、受信レジスタ R X 2、命令デコーダ 1 9、アドレスデコーダ 2 0、メモリ M 1 および送信レジスタ T X 2 が、いわばハードウエアで設けられており、これらによる読出しおよび書込みの各動作は、ハードウエアによつて行なわれるので、処理装置 B における制御回路 2 3 などによるデータ転送以外の演算処理を行なうことができるようになるとともに、データ転送を高速度で行なうことができる。

第 8 図は、本発明の他の実施例の第 2 処理装置 B 1 のブロック図である。この実施例では前述の

実施例に類似し、対応する部分には同一の参照符を付す。注目すべきは、この実施例では第2処理装置B1のメモリM2にストアされているデータを、第1処理装置Aにおいて読出す動作のみが達成される。したがって受信レジスタRX2には、

5 ライン16を介してメモリM2の希望する記憶領域をアドレス指定するためのアドレス情報だけが転送される。アドレスデコーダ20は、このアドレス情報をデコードし、これによつてメモリM2

10 のストア領域内にストアされている内容であるデータは、送信レジスタTX2に与えられる。このデータは送信レジスタTX2からライン17を介して第1処理装置Aに転送される。こうして読出しのみを行なう場合には、前述の実施例に比べて

15 構成が簡略化される。

第9図は、本発明のさらに他の実施例のブロック図である。この実施例は、前述の実施例に類似し、対応する部分には、同一の参照符を付す。この実施例では、第1処理装置Aからのデータを、

20 第2処理装置B2のメモリM3における希望する記憶領域に書込む動作だけが行なわれる。まず、第1処理装置Aからはライン16を介して第2処理装置Bの受信レジスタRX2にアドレス情報が転送される。このアドレス情報はアドレスデコー

5 ダ 20 においてデコードされる。次に第 1 処理装置 A からは、ライン 16 を介して、受信レジスタ R X 2 に書込みを行なうべきデータが転送される。このデータは受信レジスタ R X 2 からメモリ M 3
10 に与えられ、こうしてアドレスデコード 20 によつて、アドレス指定されているストア領域にデータが書込まれる。このような書込みだけを行なう実施例では前述の第 5 図～第 7 図に示された実施例の構成に比べて簡略化が可能である。

10 本発明は、音声信号の処理に関連して実施され、およびその他の技術分野においても、また実施することができる。

 以上のように、本発明によればデータの転送を
15 高速度で行なうことができるようになり、第 1 および第 2 処理装置ではデータ転送のために、その他の演算処理に悪影響を及ぼすことが避けられる。

 第 10 図は実施例の構成を示すブロック図である。第 10 図を参照して、本実施例について説明する。本実施例は、たとえば演算処理装置などによつて実現される演算制御装置 21 と、処理装置
20 22 とを含んで構成される。演算制御装置 21 には、送信用バッファレジスタ 23 と受信用バッファレジスタ 24 とが含まれ、これらのバッファレジスタ 23, 24 は演算制御装置 21 に含まれる

アドレスバスやデータバスと接続され、データのアクセスが行われる。これらバッファレジスタ 23, 24 には、送信用レジスタ 25 および受信用レジスタ 26 が接続される。

5 処理装置 22 には、たとえば 4 ビットのコマンドレジスタ 27 と 12 ビットのアドレスレジスタ 28 とが備えられ、このレジスタ 27, 28 には演算制御装置 21 の送信用レジスタ 25 から送信データ D1 が入力される。またこのコマンドレジスタ 27 の内容はコマンドデコード 29 で解析され、
10 処理装置 22 内で対応する動作が行われる。一方、レジスタ 27, 28 はサイクルスチル制御部 30 に読取られ、各種演算処理のタイミング間でアドレスバス 31 にアドレスデータの送受を行う。
15 う。

また処理装置 22 には、前記送信データ D1 に含まれる転送されるべきデータ本体が格納されるたとえば 24 ビットのデータレジスタ 32 が備えられる。当該データレジスタ 32 が演算制御装置
20 21 に対する送信用および受信用に兼用できることが、本件実施例の目的である。前記レジスタ 27, 28 およびデータレジスタ 32 には、演算制御装置 21 から発生されるクロック信号 CK が、
切換え手段である切換えスイッチ 33 を介して、

後述するように切換えて入力される。

また演算制御装置 21 から出力される後述する
ようなラッチ制御信号 LC は、処理装置 22 に備
えられるデータラッチ制御部 34 に入力され、こ
5 に対応してデータラッチ制御部 34 は、切換え
スイッチ 33 の切換え態様および、レジスタ 27、
28、32 におけるデータラッチ動作をそれぞれ
制御する。データレジスタ 32 の内容は、データ
バス 35 を介してアドレスバス 31 に供給される
10 アドレスデータによつて、たとえばランダムアク
セスメモリなどによつて実現されるメモリ 36 に
書込まれ、またその内容が読出される。

第 11 図は第 10 図示の構成例において行われ
る書込み動作を説明するタイミングチャートであ
15 る。第 2 図を併せて参照して、本実施例の書込み
動作について説明する。第 11 図の時刻 t_1 で演
算制御装置 21 は、チップセレクト信号 CS を第
11 図(1)に示すようにローレベルに切換え、
処理装置 22 を選択する。処理装置 22 は、転送
20 制御信号 TE をローレベルに切換え、演算制御装
置 21 と処理装置 22 との間のデータ転送を可能
にする。このとき、データラッチ制御部 34 もリ
セットされ、これにより切換えスイッチ 33 はレ
ジスタ 27、28 側に切換えられる。

この後、第 1 1 図 (4) に示すように送信データ D 1 として書込み命令を意味するコマンドデータとデータ本体の書込み先を指示するアドレスデータとが演算制御装置 2 1 から入力されるクロック信号 C K に基づいて、コマンドレジスタ 2 7 およびアドレスレジスタ 2 8 に転送される。転送が開始されると、ラッチ制御信号 LC を第 1 1 図 (3) に示すように、ローレベルに設定する。さらに、この転送が終了した時刻 t 2 で、第 1 1 図 (3) に示すようにラッチ制御信号 LC をハイレベルにする。このタイミングで前記コマンドデータおよびアドレスデータはコマンドレジスタ 2 7 およびアドレスレジスタ 2 8 にラッチされる。これと同時にデータラッチ制御部により切換えスイッチ 3 3 はデータレジスタ 3 2 側に切換えられる。

次に、引続いて第 1 1 図 (2) に示すように、転送制御信号 TE がハイレベルとなり、転送禁止状態となる。

次に、時刻 t 3 で転送制御信号 TE がローレベルとなり、再び転送可能状態となり、第 1 1 図 (4) に示すようにアドレスレジスタ 2 8 に記憶されているアドレスに記憶すべきデータ本体が、処理装置 2 2 へ転送される。演算制御装置 2 1 はクロック信号 C K を出力し、データ本体をデータレ

ジスタ 3 2 に転送してゆく。同時にラッチ制御信号 \overline{LC} をローレベルとする。このラッチ動作が終了すると、ラッチ制御信号 \overline{LC} をハイレベルにし、
5 切換えスイッチ 3 3 は再びレジスタ 2 7 , 2 8 側に切換わる。

引続いて転送制御信号 \overline{TE} がハイレベルとなり、転送禁止状態となる。この後、チップセレクト信号 \overline{CS} がハイレベルとなり、書込み動作は終了する。

10 第 1 2 図は第 1 0 図示の構成例において演算制御装置 2 1 による処理装置 2 2 からのデータの読出し処理を説明するタイミングチャートである。第 3 図を併せて参照して、読出し処理について説明する。本構成例において読出し処理を行おうと
15 する場合、まず第 1 2 図 (1) に示すように時刻 t_5 でチップセレクト信号 \overline{CS} をローレベルにし、処理装置 2 2 を選択する。次に、転送制御信号 \overline{TE} がローレベルになり、演算制御装置 2 1 と処理装置 2 2 との間でのデータ転送が可能な状態になる。
20 演算制御装置 2 1 からは第 1 2 図 (4) に示すように読出し命令を示すコマンドデータと、読出すべきデータが格納されている処理装置 2 2 のたとえばメモリ 3 6 のアドレスを指示するアドレスデータとを、処理装置 2 2 に転送する。これと

同時にラッチ制御信号 LC をローレベルに設定する。

このとき第 11 図の場合と同様に、チップセレクト信号 CS の立上りにより、ラッチ制御信号が
5 リセットされるので、切換えスイッチ 33 はレジスタ 27、28 側に切換えられている。こうして送信データ D1 であるコマンドデータとアドレスデータとはコマンドレジスタ 27 およびアドレスレジスタ 28 に書込まれる。このレジスタ 27、
10 28 の内容は、第 12 図の時刻 t6 でラッチ制御信号 LC がハイレベルとなるタイミングでコマンドレジスタ 27 およびアドレスレジスタ 28 にラッチされる。このとき、切換えスイッチ 33 は、レジスタ 32 側に切換えられる。

15 次に、ラッチされたアドレス内容がサイクルスチル制御部 30 でデコードされ、処理装置 22 に備えられるたとえばメモリ 36 の当該アドレスのデータを読み出し、データレジスタ 32 に格納する。このような格納が行われた後の時刻 t7 において、
20 転送制御信号 TE はローレベルとなる。これ以降、第 12 図 (5) に示すように演算制御装置 21 からのクロック信号 CK に基づいてデータレジスタ 32 に格納されていたデータが読み出され、演算制

御装置 2 1 の受信データ D 2 として記憶される。

このようにデータの送信が終了すると、第 1 1 図の場合と同様にラッチ制御信号 LC がハイレベルとなり、続いて転送制御信号 TE およびチップセレクト信号 CS がそれぞれハイレベルとなり、
5 読出し処理は終了する。

以上の書込み処理および読出し処理において、第 1 1 図の時刻 t 3 以降に書込まれるデータがたとえば 2 4 ビットである場合、この書込み動作に
10 要する時間は従来例と同様にほぼ 7 5 3 μ s であることが、本件発明者によつて計算されている。

一方、処理装置 2 2 からデータを読出す場合には、第 3 図を参照して説明したように、読出すべきデータのアドレスを転送するが、この場合も必要
15 時間は従来例と同様にほぼ 7 5 3 μ s であることが確認されている。

以上述べたように、第 1 0 図に示した構成例によつて本件実施例は従来技術で述べた構成の動作と同様の動作を達成することができる。このとき
20 本実施例では、データレジスタ 3 2 を受信用と送信用とに兼用しており、これにより転送関係の構成は第 4 図の従来技術として比較して 3 0 % 程度削減できることが確認されている。また転送されるデータ長は、読出し、書込み処理ともにたとえ

ば40ビット(5バイト)で良いので、転送時間はデータ読出し動作時において、従来技術と比較し36%程度短縮することができることが確認されている。

5 なお、ここでは第1および第2記憶手段に与えるクロックを切換えることによつて、制御装置から出力される各データの入力先を切換える例を示したが、第1および第2記憶手段へのデータ転送路自体を切換えるようにしてもよい。

10 ただし、この場合には規定個数のデータが入力された時点で、直ちにデータを取込むように構成する必要があり、ハード構成が複雑になるとともに、データを取込む時間が規定されるという欠点が生じる。

15 また本例では、外部クロックに同期する同期通信の例を示したが、内部で生成したクロック等による非同期通信(調歩同期通信)等に対しても適用可能である。

20 以上のように本発明によれば、簡便な構成によつて高効率のデータ転送が可能となる。

第13図は、実施例の構成を示すブロック図である。本実施例は、たとえば演算処理装置などによつて実現される演算制御装置21と処理装置22とを含んで構成される。

演算制御装置 21 は、送信レジスタ 23 と受信レジスタ 24 とを含んで構成され、送信レジスタ 23 からは書込みデータ DW が処理装置 22 へ出力され、処理装置 22 からは読出しデータ DR が受信レジスタ 24 に入力される。

処理装置 22 は書込みデータ DW を構成するアドレスとデータとがそれぞれ格納されるアドレスレジスタ 25 およびデータレジスタ 26 から成る転送レジスタ 27 および内部データを出力するための他のデータレジスタ 50 が配置される。転送レジスタ 27 の内容は、バッファレジスタ 28 を構成するアドレスレジスタ 29 およびデータレジスタ 30 に格納される。アドレスレジスタ 29 およびデータレジスタ 30 の内容は、処理装置 22 のアドレスバス 31 およびデータバス 32 との間で送受信される。

また処理装置 22 には、処理装置 22 に備えられる各種論理ゲート（図示せず）へのゲート制御部 33 が設けられる。また演算制御装置 21 から供給されるクロック信号 CK を計数するたとえばバイナリカウンタ 34 が設けられる。バイナリカウンタ 34 の出力はデコーダ 35, 36 にそれぞれ並列に与えられる。このデコーダ 35, 36 の出力は、たとえば 2 入力の論理積回路 37, 38

の一方入力端子にそれぞれ入力される。

論理積回路 38 には、後述するように演算制御装置 21 から信号ライン 39 を介してハイレベルまたはローレベルの違いによつて、処理装置 22
5 へ読出し動作状態または書込み動作状態を指示する制御信号 R/\overline{W} が入力される。論理積回路 37 の他方入力端子には、制御信号 R/\overline{W} が反転回路 40 で反転された信号が入力される。論理積回路 37, 38 の出力は、論理和回路 41 に入力され、
10 論理和回路 41 の出力は前記アドレスレジスタ 29 およびデータレジスタ 30 にラッチ制御信号として与えられる。

第 14 図および第 15 図は、前記デコーダ 35, 36 の構成例を示すブロック図である。なおこの
15 実施例では、演算制御装置 21 と処理装置 22 との間で転送されるデータに関して、アドレスデータは 16 ビットであり、本体データは 24 ビットであり、したがつてデータ長は 40 ビットである場合を想定して説明する。デコーダ 35 は、第 1
20 4 図に示されるようにたとえばバイナリカウンタ 34 の下位 6 ビット (b5, b4, b3, b2, b1, b0) の出力を用いる。この下位 6 ビットの出力は、下位ビット側から信号ライン 42 ~ 47 を介して論理積回路 48 に入力される。信号ラ

イン 4 2 , 4 3 , 4 4 , 4 6 には、それぞれ反転回路 4 9 ~ 5 2 が介在される。論理積回路 4 8 の出力がハイレベルとなるのは、バイナリカウンタ 3 4 の下位 6 ビットが

$$5 \quad (b_5, b_4, b_3, b_2, b_1, b_0) = (1, 0, 1, 0, 0, 0) \dots (1)$$

の場合であり、これは 1 0 進法で 4 0 に相当する。

デコーダ 3 6 も基本的に類似の構成を有し、バイナリカウンタ 3 4 の下位 5 ビットを用いる。下
10 位ビット側から信号ライン 5 3 ~ 5 7 を介して論理積回路 5 8 に各ビットの内容が入力される。このとき信号ライン 5 3 ~ 5 6 には、反転回路 5 9 ~ 6 2 がそれぞれ介在される。このようなデコーダ 3 6 出力により、論理積回路 5 8 の出力がハイ
15 レベルとなるのは、下位 5 ビットが

$$(b_4, b_3, b_2, b_1, b_0) = (1, 0, 0, 0, 0) \dots (2)$$

のときである。これは 1 0 進法で 1 6 に相当する。

第 1 6 図は、本実施例の動作を説明するタイミングチャートである。以上の図面を併せて参照し
20 て、本実施例の動作について説明する。なお第 1 6 図の記号 ①, ②, ... は従来例と同様に処理ステップを示す。第 4 図時刻 t 1 1 から開始される読出しサイクル S R では、①制御信号まず R / \overline{W} をハイレベルに設定し、処理装置 2 2 からデータの

読出しを行うことを指示する。次に第16図(1)に示すようにチップセレクト信号CSをローレベルに設定し、処理装置22を選択する。

③演算処理装置21は第16図(4)で示すように処理装置22に対して、処理装置22内の読出すべきデータが格納されているアドレスの転送を開始する。ここで④処理装置22は、第16図(3)に示すように転送許可信号TEをハイレベルに設定し、処理装置22からの転送を禁止する。

10 アドレスデータ63の転送が完了すると、処理装置22は、該アドレスの内部データを読出し、演算制御装置21への出力準備を完了した時点で、⑤時刻t12において、転送許可信号TEをローレベルにし、転送禁止状態を解除する。

15 ⑥演算制御装置21からのクロック信号CKに基づいて、⑦第16図(5)に示すようにデータが処理装置22から演算制御装置21に読出される。データ転送が完了すると、⑧時刻t13で転送許可信号TEをローレベルにし、再び転送禁止

20 状態を解除する。以上でデータの読出し処理が完了する。

次に書込みサイクルSWでは、⑨制御信号R/Wをローレベルにし、演算制御装置21から処理装置22への書込み動作であることを示す。

⑩次に第16図(4)に示すように、演算制御装置21は処理装置22に格納すべき本体データ64に引続いて⑪アドレスデータ65を送出する。

⑫アドレスデータ65の送開始されると、処理装置22側では転送許可信号 \overline{TE} がハイレベルとなり転送禁止状態となる。⑬アドレスデータ65の転送が完了し、内部メモリの指定されたアドレスへの書込み終了とともに転送許可信号 \overline{TE} がローレベルとなり、転送可能状態となる。⑭続いて演算制御装置21側でチップセレクト信号 \overline{CS} をとともにハイレベルとし、データの書込みが終了する。

またこのとき第13図に示されるように制御信号 R/\overline{W} がハイレベルの期間、論理積回路38が選択される。すなわちデータの転送を行うために、演算制御装置21から出力されるクロック信号をバイナリカウンタ34で計数し、その出力が第14図および第15図を参照して説明したように、デコーダ35, 36に出力される。読出しサイクルSRの期間は、論理積回路38によつてデコーダ36が選択され、第15図を参照して説明したようにバイナリカウンタ34が16ビットを計数した段階で論理積回路58の出力はハイレベルに切換わり、バッファレジスタ28へのデータのラ

ツチが行われる。

第 17 図はアドレスおよびデータがレジスタに
セットされた様子を示すもので、第 17 図 (1)
はデータ読出し時を、第 17 図 (2) はデータ書
5 込み時を示す。

このようにアドレスレジスタ 25 からバッファ
レジスタ 29 にアドレスを転送する場合にも、常
に同じ位置から読出せば良く、切換回路等を必要
としない。

10 このとき前記 16 ビットでは、アドレスデータ
63 が転送されるのみであり、したがってアドレ
スレジスタ 25 の記憶しているアドレスデータが
バッファレジスタ 28 のアドレスレジスタ 29 に
ラッチされることになる。このようにラッチされ
15 たアドレスデータによつて、前記時刻 t_{12} 以降
の内部メモリの読出し作業が行われる。

一方、書込みサイクル SW では、制御信号 R /
W はローレベルであり、したがって論理積回路 3
7 によつてデコーダ 35 が選択される。このとき
20 バイナリカウンタ 34 の 40 ビットの計数動作が
完了した時点で、バッファレジスタ 28 にラッチ
制御信号が出力される。このような場合は、第 1
6 図の時刻 t_3 以降の本体データ 64 およびアド
レスデータ 65 の転送に相当し、このようなアド

レスデータ 65 の転送が完了した時点で、転送レジスタ 27 からバッファレジスタ 28 へのラッチ動作が行われることになる。

5 以上のように本実施例に従えば、従来技術で説明したコマンド 15 を転送データから削除することができ、またダミー本体データ 17 も削除できることになる。これにより転送に必要なデータ長が格段に削除され、転送速度が向上されるとともに転送効率も格段に向上される。

10 デコーダ 35, 36 の構成は、第 14 図および第 15 図に示す構成例に限られるものではない。

以上のように本発明に従えば、制御装置と処理装置との間で行われる読出し動作と書込み動作とは、対応するコマンドを相互に送信する必要がなく、前記信号ラインのレベルのみで識別される。
15 また転送レジスタからバッファレジスタにアドレスを取り出す場合も、常に同じ位置から読出すだけで良く、切換えのハードウェアを必要とせず、構成を簡略化できる。さらに転送に預かるデータ
20 長を低減でき、データ転送が効率的に行われるとともに、転送速度も格段に向上される。

第 18 図は、実施例のブロック図である。第 1 処理装置 U1 からの命令によつて、(a)第 2 処理装置 U2 内に設けられているメモリ M1 の記憶領

域に記憶されているデータを読み出し、第1処理装置U1で受信し、あるいはまた(b)メモリM1の記憶領域に、第1処理装置U1からのデータを書込むことができる。第1処理装置U1の送信レジスタTX1からは、ライン16を介して第2処理装置U2の受信レジスタRX2に、8ビットを単位として合計24ビットから成る各種の組合わせ情報A～Eをビット順次的に送出する。第2処理装置U2の送信レジスタTX2からは、ライン17を介して第1処理装置U1の受信レジスタRX1に、データをビット順次的に送出する。

第19図は、第1処理装置U1から第2処理装置U2のメモリM1にデータが書込まれるときに、ライン16に導出される組合わせ情報A～Cの構成を示す図である。第1処理装置U1から第2処理装置U2のメモリM1にデータを書込むにあたって、第1処理装置からはまず、第19図(1)で示される第1の組合わせ情報Aが送出される。この情報Aにおいて、第1ビットa1は※印で示される冗長であり、第2ビットa2はデータの書込みをすべきことを表す書込命令である0であり、第3ビットa3～第24ビットa24は書込みを行なうべき最初の記憶領域のアドレスを指定するアドレス情報である。

続いて第1処理装置U1からは、第19図(2)で示される第2の組み合わせ情報Bが送出される。この情報Bにおいて、第1ビットb1は継続書込命令であり、第19図(2)では書込動作を継続すべきであることを表す1であり、第2ビットb2は冗長を表す※印であり、第3ビットb3～第24ビットb24は、メモリM1に書込まれるべき第1番目のデータを表す。このような第2の組み合わせ情報Bはデータの数だけ繰返し送出され、第19図(3)で示される最後の第n番目のデータを含む情報Cにおいて、第1ビットc1は書込動作の停止を表す0であり、第2ビットc2は冗長である※印であり、第3ビットc3～第24ビットc24は書込まれるべき第n番目のデータである。

15 第1処理装置U1から送出されるデータが1つであるときには、情報Aが送出された後、情報Cが送出されて書込動作を終了する。

また第2処理装置U2のメモリM1に記憶されているデータを第1処理装置U1に読出すときには、第1処理装置U1からまず、第20図(1)で示される第3の組み合わせ情報Dが送出される。この情報Dにおいて、第1ビットd1は複数の各アドレスを有する記憶領域から順次的にデータを読出すブロック転送であるかどうかを表すブロック

20

転送命令であり、第2ビットd2はデータの読出しをすべきことを表す読出命令である1であり、第1ビットd1が第20図(1)で示されるように1であるときには、ブロック転送であるとして第3ビットd3～第24ビットd24のアドレス情報によつて指定されたアドレスの記憶領域から順次的にデータを読出す。

この情報Dの第1ビットd1が1であるとき、すなわちブロック転送であるときには、第1処理装置U1からは情報Dに続いて、第20図(2)で示される第4の組合わせ情報Eが送出される。この情報Eにおいて、第1および第2ビットe1、e2は冗長を表す※印であり、第3ビットe3～第24ビットe24は読出すべきデータのワード数を表すワード数情報である。したがつて情報Dのアドレス情報によつてアドレス指定された記憶領域を先頭に、情報Eのワード数情報によつて表されたワード数だけ、メモリM1からデータが順次的に読出される。

20 上述のように第1処理装置U1から第2処理装置U2には、24ビットの情報A～Eが送出される。この24ビットのうち、最初の2ビットは前述のように読出しおよび書込みなどを表わす命令であり、この命令は、ライン18を介して、命令

デコーダ 19 に与えられる。受信レジスタ R X 2 の残余の 22 ビットには、読出しおよび書込みのためのアドレス情報、または書込むべきデータ、あるいは読出すべきワード数情報がストアされる。

5 受信レジスタ R X 2 にストアされたアドレス情報は、ライン 29 を介してアドレスデコーダ 20 に与えられ、これによつてメモリ M 1 の記憶領域がアドレス指定される。アドレスデコーダ 20 に関連してカウンタ 28 が設けられており、このカウンタ 28 はアドレス情報によつて指定された最初
10 のアドレスから、データの書込みまたは読出しが行なわれるたび毎にアドレスを順次インクリメントして指定する。

受信レジスタ R X 2 にストアされたデータは、
15 ライン 21 からメモリ M 1 に与えられ、前述のようにしてアドレスデコーダ 20 によつて指定されている記憶領域にデータが書込まれる。

受信レジスタ R X 2 にストアされたワード数情報は、ライン 30 を介してカウンタ 26 に与えられ、
20 カウンタ 26 はこのワード数情報をカウント値としてストアし、データが読出されるたび毎に、カウント値をデクリメントし、カウント値が 0 になつたときに、ライン 27 を介して制御回路 23 に信号を導出し、データの読出動作を停止する。

メモリ M 1 からデータを読み出して第 1 処理装置 U 1 に転送する際には、アドレスデコーダ 2 0 からの信号によつてアドレス指定されたメモリ M 1 の記憶領域に記憶されているデータは、送信レジスタ T X 2 に与えられ、この送信レジスタ T X 2 の内容がライン 1 7 を介して第 1 処理装置 U 1 の受信レジスタ R X 1 に転送される。

第 1 処理装置 U 1 におけるレジスタ T X 1 , R X 1 は、制御回路 2 2 によつて制御される。第 2 処理装置 U 2 にも同様に、制御回路 2 3 が設けられる。この制御回路 2 3 は、命令デコーダ 1 9 からの信号に応答して、アドレスデコーダ 2 0 およびメモリ M 1 を制御するとともに、ライン 2 4 を介して制御回路 2 2 に制御信号 T E を送出し、また制御回路 2 2 からライン 2 5 を介して制御信号 C S を受信する。

第 2 1 図は第 1 8 図に示された実施例の動作を説明するための波形図であり、第 2 2 図はその動作を説明するためのフローチャートである。なお、この第 2 2 図に示されるフローチャートに従う動作は、ハードウェアによつて実現される。またステップ n 1 で制御信号 C S が論理「1」の場合は、ステップ n 2 に移り、転送ブロックをリセットし、初期状態に戻るようになっている。ステップ n 1

では、ライン 25 を介する制御信号 CS が論理「0」かどうか判断され、この制御信号 CS は第 21 図 (1) で示されており、ローレベルになったことが判断されると、このことは、第 1 処理装置 U1 から第 2 処理装置 U2 に前記情報 A ~ E の転送を行なう必要が生じたことを意味し、ステップ n3 に移る。ここで論理「0」である制御信号 TE を制御回路 23 からライン 24 を介して、制御回路 22 に与える。制御信号 TE は、情報 A ~ E の転送を許可する信号であり、第 21 図 (2) で示される。

ステップ n4 では、第 1 処理装置 U1 の送信レジスタ TX1 から第 2 処理装置 U2 の受信レジスタ RX2 にライン 16 を介して第 1 または第 3 の組合わせ情報 A, D が、第 21 図 (5) で示されるクロック信号に同期してビット順次的に転送される。こうして第 21 図 (3) で示されるように、情報 A, D が 8 ビットずつの信号 S1, S2, S3 として順次的に受信レジスタ RX2 にストアされる。最初の 8 ビットの信号 S1 のうち、最初の 2 ビットは前述のように、読出しおよび書込みなどを表わす命令であり、その信号 S1 の残余の 6 ビットおよび 2 つの信号 S2, S3 はメモリ M1

のストア領域をアドレス指定する合計 22 ビットのアドレス情報である。

受信レジスタ R X 2 に信号がストアされた後には、第 2 処理装置 U 2 では内部の演算処理が行な
5 われる。

ステップ n 5 では、命令デコーダ 19 によつて、
受信された第 1 または第 3 の組合わせ情報 A, D
の第 2 ビット a 2, d 2 をデコードして制御回路 2
3 に与える。ステップ n 6 では、受信レジスタ R
10 X 2 においてストアされているアドレス情報をア
ドレスデコーダ 20 によつてデコードする。ステ
ップ n 7 では、ステップ n 5 においてデコードされ
た命令が、読出または書込みのいずれであるか
を判断する。

15 ステップ n 7 において、前記命令がデータ書込
命令であることが判断されたときにはステップ n
8 に移り、第 21 図 (2) で示されるように制御
信号 T E を論理「0」として、第 21 図 (4) で
示されるように、8 ビットを単位とする信号 S 1
20 1, S 1 2, S 1 3 から成る第 2 の組合わせ情報
B, C を受信し、ステップ n 9 で、こうして受信
された情報 B, C の第 3 ビット b 3, c 3 ~ 第 2 4
ビット b 2 4, c 2 4 に含まれるデータを、メモリ
M 1 の前記デコードされたアドレスの記憶領域に

書込む。ステップ n10 では、情報 B, C の第 1 ビット b1, c1 から書込みを継続すべきであるかどうか判断され、そうであるときにはステップ n11 でカウンタ 28 によつてアドレスデコーダ 20 のアドレスをインクリメントし、ステップ n8 に戻り、データの書込みを継続する。ステップ n10 において書込みを停止すべきことが判断されたときにはステップ n1 に戻る。

ステップ n7 において、データ読出命令であることが判断されたときには、ステップ n12 に移り、カウンタ 26 をクリアする。ステップ n13 では、情報 D の第 1 ビット d1 からブロック転送であるかどうか判断され、そうであるとき、すなわち第 1 ビット d1 が 1 であるときには、ステップ n14 で第 21 図 (2) で示されるように制御信号 TE を論理「0」として、第 21 図 (4) で示されるように、8 ビットを単位とする信号 S11, S12, S13 から成る第 4 の組合わせ情報 E を受信し、ステップ n15 に移る。ステップ n13 において、ブロック転送でないと判断されたとき、すなわち第 1 ビット d1 が 0 であるときには、直接ステップ n15 に移る。ステップ n15 では、アドレス指定されたメモリ M1 の記憶領域のデータを送信レジスタ TX2 にストアしてセ

ットする。ステップ n16 では送信レジスタ TX2 から受信レジスタ RX1 に 1ワード分のデータを転送し、ステップ n17 ではカウンタ 26 のカウント値が 0 であるかどうか判断され、そうで

5 ないときにはステップ n18 に移りカウンタ 26 をデクリメントし、ステップ n19 でアドレスをインクリメントしてステップ n15 に戻る。ステップ n17 においてカウンタ 26 のカウント値が 0 であるときには、ステップ n1 に戻る。

10 このようにして上述の実施例では複数のデータを第 1 処理装置 U1 から第 2 処理装置 U2 のメモリ M1 に書込むにあたって、第 1 処理装置 U1 は書込むべきデータのたび毎にアドレス情報を送出する必要がなく、また第 2 処理装置 U2 は継続書

15 込み命令が書込動作の停止を表わすまでデータを順次的に書込んでゆけばよく、したがって第 1 処理装置 U1 から第 2 処理装置 U2 に送られるアドレス情報の量を削減することができ、データの書込み速度を向上することができる。同様に第 2

20 処理装置 U2 のメモリ M1 から第 1 処理装置 U1 にデータを読出すにあたって、第 1 処理装置 U1 は読出すべきデータのたび毎にアドレス情報を送出する必要がなく、また第 2 処理装置 U2 はワード数情報によつて表わされたワード数だけデータ

を順次的に読出してゆけばよく、読出速度を向上
することができる。さらに、これらの処理はハー
ドウェアによつて実現されるので、背景技術の項
で関連して述べたように各サンプリング周期ごと
5 のデジタル信号処理のための期間が短くなるよう
なことはなく、またはサンプリング周期を長くす
る必要がなく、信号処理の品質を良好に保つこと
ができる。

以上のように本発明によれば、複数のデータを
10 第1処理装置から第2処理装置に書込むにあつて、
または第2処理装置から第1処理装置に読出
すにあつて、書込みまたは読出すべきデータの
たび毎にアドレス情報を送出する必要がなく、し
たがつてデータの書込みまたは読出し速度を向上
15 することができ、デジタル信号処理のための時間
を増加することができる。

第23図は、実施例のブロック図である。処理
装置Aから、もう1つの処理装置Bに、直列ビッ
トでデータが順次的に転送される。処理装置Aに
20 は、送信手段8が設けられており、もう1つの処
理装置Bには、受信手段9が設けられる。送信手
段8において送信すべきデータは、合計第1複数
n個の送信レジスタA1～Anにストアされており、
各ビット毎のストアセルは参照符a11, a1

2, $a_{13}, \dots; a_{21}, a_{22}, a_{23}, \dots; \sim; a_{n1}, a_{n2}, a_{n3}, \dots$ で示されている。これらの送信レジスタ $A_1 \sim A_n$ からの各ビット毎のデータは、ORゲート G_1 を介してライン ℓ_1 から受信手段 9 に
 5 順次的に転送される。これらの送信レジスタ $A_1 \sim A_n$ には、シフトレジスタ CA の第 1 複数 n 個のセル $CA_1 \sim CA_n$ からの同期のための信号が与えられる。

クロック信号発生回路 10 からライン $MCLK$
 10 には、予め定めた一定周期のクロック信号が与えられる。このクロック信号発生回路 10 は、ライン CK_1 にクロック信号 $MCLK$ の複数 n 毎に 1 つのクロック信号を導出してシフトレジスタ CA に与える。シフトレジスタ CA は、ライン CK_1
 15 を介するクロック信号に反応して、その初段のセル CA_1 を論理「1」とし、残余のストアセル $CA_2 \sim CA_n$ を論理「0」とする。またライン $MCLK$ を介するクロック信号に反応して、シフトレジスタ CA は、論理「1」となる単一のストアセル $CA_1 \sim CA_n$ を順次的に移動させる。このシフト
 20 レジスタ CA は、複数 n を超えるライン $MCLK$ からのクロック信号が入力されても、ライン CK_1 を介するクロック信号が入力されない限り、初段のセル CA_1 は論理「1」に戻らず、ライン $MCLK$

L K を介するクロック信号が前述のように複数 n を超える数だけ入力されている期間において、ライン C K 1 を介するクロック信号が入力されない限り、セル C A 1 ~ C A n の全ての内容は論理「0」のままである。以下の説明において、参照符 M C L K , C K 1 は、ラインを示すとともに、そのラインを介するクロック信号をも示すことがある。

受信手段 9 において、第 2 複数 m 個の受信レジスタ B 1 ~ B m が備えられ、これらの受信レジスタ B 1 ~ B m にはライン ℓ 1 を介してデータが共通に与えられる。シフトレジスタ C B は、前述のシフトレジスタ C A と同様な構成を有し、セル C B 1 ~ C B m を有する。これらのセル C B 1 ~ C B m から論理「1」の信号が、対応する受信レジスタ B 1 ~ B m にそれぞれ与えられることによつて、各受信レジスタ B 1 ~ B m にはセル $b_{11}, b_{12}, b_{13}, \dots; b_{21}, b_{22}, b_{23}, \dots; b_{31}, b_{32}, b_{33}, \dots; \dots; b_{m1}, b_{m2}, b_{m3}, \dots$ のストア内容が 1 ビットずつ導入される。シフトレジスタ C B には、クロック信号発生回路 10 からのクロック信号 M C L K , C K 1 がそれぞれ与えられる。

第 24 図を参照して、第 1 複数 n と第 2 複数 m とが等しい場合 ($n = m$) の動作を説明する。第 24 図

(1)は処理装置Aの送信レジスタA1～AnからORゲートG1を介してラインℓ1に導出されるビットの順次的なデータを示す。このようなデータは第24図(2)に示されるクロック信号MCLK
5 Kに同期して導出される。クロック信号CK1は、第24図(3)に示されるように、複数n(=m)個のクロック信号MCLK毎に発生される。シフトレジスタCAのセルCA1, CA2, CA3から送信レジスタA1, A2, A3には、送信用信号T1a,
10 T2a, T3aが第24図(4)、第24図(5)および第24図(6)に示されるように順次的に導出され、これらの信号T1a, T2a, T3aは、セルCA1, CA2, CA3の内容が論理「1」であることに対応しており、以下同様な動作が行なわれる。
15 こうして1サイクルWにわたり送信レジスタA1～Anの第1番目のセルa11, a21, a31, …, an1の内容が導出される。その後のサイクルにおいては、送信レジスタA1～Anの第2番目のセルa12, a22, a32, …, an2からのデータが順
20 次的に導出される。このような動作を繰返して送信レジスタA1～Anの内容が、ラインℓ1に導出されて転送される。

処理装置Bにおいて、受信手段9ではシフトレジスタCBのセルCB1～CBmのうちの論理「

- 57 -

1」である1つのセルからの出力に基づいて受信レジスタ $B_1 \sim B_m$ のセルへの受信が行なわれる。すなわち送信レジスタ A_1 は、受信レジスタ B_1 に対応し、セル a_{11} の内容はセル b_{11} に転送されてストアされ、また送信レジスタ A_2 のセル a_{21} の内容は受信レジスタ B_2 のセル b_{21} に転送されてストアされ、以下同様にして送信レジスタ A_n のセル a_{n1} の内容は受信レジスタ B_m のセル b_{m1} にストアされる。こうして1サイクルのデータの転送が終わる。

そこでクロック信号 CK_1 が発生され、次のサイクルの最初の送信レジスタ A_1 と受信レジスタ B_1 との対応が行なわれ、以下順次的に送信レジスタ A_1, A_2, \dots, A_n のセル $a_{12}, a_{22}, \dots, a_{n2}$ の内容が受信レジスタ B_1, B_2, \dots, B_m のセル $b_{12}, b_{22}, \dots, b_{m2}$ にそれぞれストアされる。

第25図は、第1複数 n が第2複数 m 未満である場合 ($n < m$) の動作を説明するための図である。第25図(1)に示されるように送信レジスタ $A_1 \sim A_n$ からライン ℓ_1 には、各初段のセル $a_{11}, a_{21}, \dots, a_{n1}$ のデータが順次的に導出される。第25図(3)で示されるクロック信号 $MCLK$ が複数 n を超えて発生されている期間中では、ライン ℓ_1 にはデータが送出されない。受信手段9では、

第 2 複数 m の受信レジスタ $B_1 \sim B_m$ の初段のセル $b_{11} \sim b_{m1}$ へのデータの受信が、クロック信号 $MCLK$ に応答して、第 25 図(2)のように可能となる。

5 複数 m 個のクロック信号 $MCLK$ が発生される度に、1つのクロック信号 CK_1 が発生され、これによつて次のサイクルのデータ転送が行なわれる。クロック信号 CK_1 の波形は、第 25 図(4)で示されているとおりである。シフトレジスタ C
10 B のセル $CB_1 \sim CB_m$ から導出される信号のうち、代表的に参照符 $T_{1b}, T_{2b}, T_{3b}, \dots, T_{mb}$ で示すものは、第 25 図(5)、第 25 図(6)、第 25 図(7)および第 25 図(8)でそれぞれ示される。

15 第 26 図は、第 1 複数 n が第 2 複数 m を超える場合 ($n > m$) の動作を説明するための図である。送信手段 8 からライン L_1 には、第 26 図(1)で示されるビット順次的なデータが転送される。受信手段 9 では、各受信レジスタ $B_1 \sim B_m$ の初段のセル $b_{11}, b_{21}, \dots, b_{m1}$ へのデータのストアが第
20 26 図(2)のように、可能であり、その後第 26 図(3)で示されるクロック信号 $MCLK$ がさらに与えられても、そのサイクル中においては受信レジスタ $B_1 \sim B_m$ におけるストアが可能になる

ことはな。クロック信号 CK_1 は、第 26 図(4)で示されるように、第 1 複数 n 個毎のクロック信号 $MCLK$ の発生の度毎に発生される。こうして送信手段 8 のシフトレジスタ CA のセル CA_1 ~ CA_n には論理「1」の信号が第 26 図(5)、第 26 図(6)、第 26 図(7)および第 26 図(8)で示されるように順次的に導出され、こうして第 1 複数 n の送信レジスタ A_1 ~ A_n の初段のセル a_{11} ~ a_{n1} からのデータの転送が終了する。第 2 の
5
10 サイクルでは、送信レジスタ A_1 ~ A_n の 2 番目のセル a_{12} ~ a_{n2} からのデータが転送され、受信手段 9 において受信される。

本発明のさらに他の実施例として、クロック信号 $MCLK$ の発生パルス数が第 1 複数 n および第 2 複数 m を超える予め定めた数だけ発生される度毎に、1 つのクロック信号 CK_1 が発生されるように構成されてもよい。

第 27 図は、本発明の他の実施例のブロック図である。送信手段 8 1 と受信手段 9 1 との間では、
20 各チャネルが 16 ビットである合計 2 チャネルのデジタル音声信号が転送され、もう 1 つの送信手段 8 2 から受信手段 9 2 には、各チャネルが 16 ビットである合計 4 チャネルの音声信号が転送される。シフトレジスタ CA_a の 4 つのセルのうち、

最初の2つのセルには、2つの各チャネルに対応した16のセルをそれぞれ有する送信レジスタA1a, A2aに与えられ、それらの出力はORゲートG2からラインℓ2を経て受信レジスタB1a, B2aにそれぞれ与えられる。これらの受信レジスタB1a, B2aには4つのセルを有するシフトレジスタCBaの最初の2つのセルからの信号が与えられる。

4つの各チャネルに対応したセルを有する送信手段82におけるシフトレジスタCAbの各セルからの出力は、各チャネルに対応する送信レジスタA1b~A4bにそれぞれ与えられる。各送信レジスタA1b~A4bは、16ビットのセルを有し、それらの出力はORゲートG3からラインℓ3を経て受信手段92の受信レジスタB1b~B4bに与えられる。これらの受信レジスタB1b~B4bには、4つのセルを有するシフトレジスタCBbからの信号がそれぞれ与えられる。こうして送受信手段81, 91間では音声信号の2チャネル分が転送され、送受信手段82, 92間では4チャネル分の音声信号が転送され、各データの転送周期は同一である。

本発明は、データの転送のために広範囲に実施することができる。

上述の実施例では1ビットずつ各送信レジスタから受信レジスタに送出されたけれども、本発明の他の実施例として各送受信レジスタの複数ビットを1まとめにして転送するように構成することもまた可能である。

効 果

以上のように本発明によれば、たとえばデータ数などが異なるデータを円滑にしかも簡単な構成で転送することができるようになる。

第28図は実施例の受信側の構成を示すブロック図であり、第29図は送信側の構成を示すブロック図である。第28図および第29図を合せて参照して、本実施例の構成について説明する。本実施例の第28図に示す受信側の構成は、たとえば4つのシフトレジスタ41, 42, 43, 44を備える転送レジスタ45を含んでいる。この転送レジスタ45は、後述するように従来技術において説明した転送レジスタ1, 21およびバッファレジスタ2, 22の機能を併せ持つ構成とされている。

シフトレジスタ41, 42; 43, 44間には、切換えスイッチ46, 47が設けられており、この切換えスイッチ46, 47は転送データが受信される受信ライン48に設けられた切換えスイツ

チ 4 9 に接続される。また転送レジスタ 4 5 には、データバス 5 0 が接続される。

第 2 9 図に示す送信側の構成は、第 2 8 図の受信側の構成とほぼ類似し、たとえば 4 つのシフトレジスタ 5 1, 5 2, 5 3, 5 4 を含む転送レジスタ 5 5 を含んでおり、シフトレジスタ 5 1, 5 2 ; 5 3, 5 4 間に設けられる切換えスイッチ 5 6, 5 7 と、この切換えスイッチ 5 6, 5 7 と送信ライン 5 8 との間に接続される切換えスイッチ 5 9 とを含んでいる。

切換えスイッチ 4 6, 4 7 は、後述するクロック信号 C K 3 でスイッチング制御され、また内部で生成した内部クロック信号 C K 3 によつてシフトレジスタ 4 1 ~ 4 4 のシフト動作が実行される。また切換えスイッチ 4 9 のスイッチング動作は、後述する同期信号 S Y 1 で実現される。

切換えスイッチ 5 6, 5 7 はシフトレジスタ 5 1 ~ 5 4 に供給されるクロック信号 C K 3 で制御され、切換えスイッチ 5 9 は後述する同期信号 S Y 1 で制御される。

第 3 0 図は、本実施例の動作を説明するタイミングチャートである。第 3 0 図を合せて参照して、本実施例の動作について説明する。まず本実施例の受信動作について説明する。受信すべき転送デ

一タが受信ライン48から到来すると、切換えスイッチ49は第30図(1)に示す同期信号SY1の周期W1に関して半周期ごとに切換えスイッチ46, 47側に交互に切換えられる。切換えスイッチ49が切換えスイッチ46側に切換えられている期間、切換えスイッチ46は第30図(4)で示すクロック信号CK3の立上がりタイミングと立下がりタイミングとで切換動作を行い、受信ライン48の転送データを内部で生成したクロックCK4の立上りで1ビットずつシフトレジスタ41, 42に記憶する。

このようにして同期信号SY1の半周期でデータ①, ②が、シフトレジスタ41, 42に第30図(2)および同図(3)に示すように転送されると、第30図(1)の時刻t3で切換えスイッチ49は切換えスイッチ47側に切換わり、同様の動作によつてデータ③, ④がシフトレジスタ43, 44に書込まれる。

このとき、転送レジスタ45はデータバス50に接続されており、したがつてシフトレジスタ41, 42にデータ転送が行われている第30図(1)の前半周期期間W1aにおいて、すでにシフトレジスタ43, 44に記憶されているデータがあれば、操作者はデータバス50を介してこれに

任意にアクセスできる。第30図(1)の後半周期期間W1bにおいては、シフトレジスタ41, 42に同様の作業を行い得る。すなわち本実施例の受信動作時には、受信動作と平行してデータアクセスするレジスタが異なる。

次に送信動作について説明する。この場合も、前記受信動作と基本的に同様な動作が行われる。データバス50を介して転送すべきデータ①～④が、シフトレジスタ51～54に格納され、第30図の時刻t4で切換えスイッチ59がたとえば切換えスイッチ57側に切換わると、切換えスイッチ57はクロック信号CK3によつてシフトレジスタ53, 54側に交互に切換わり、シフトレジスタ53, 54の内容を同じくCLK4の立上り、立下りで1ビットずつ読出す。第30図の時刻t3において、この読出し動作が終了すると、切換えスイッチ59は切換えスイッチ56側に切換わり、切換えスイッチ56の前記切換えスイッチ57と同様の動作によつてシフトレジスタ51, 52の記憶内容が、送信ライン58に導出される。

シフトレジスタ53, 54の内容が送信されている期間、データ①, ②が記憶されたシフトレジスタ51, 52の内容はデータバス50を介して任意にアクセスできる。シフトレジスタ51, 5

2の内容が送信されている期間は、シフトレジスタ53、54の記憶内容に関して同様の処理を行い得るのは勿論である。

5 以上のように本実施例では、転送データの送信／受信動作と平行して、転送すべきデータの送信／受信が行われている期間、残余のデータに関して任意に読出し／書込み処理を行うことができる。これによりたとえば処理装置などの構成が格段に簡略となる。

10 以上のように本発明に従えば、データを転送するに当つて、転送すべきデータを一時的に記憶するシフトレジスタ群を転送にかかわるシフトレジスタ群と同数準備する必要がなく、構成を格段に簡略化できる。

15 実施例

第31図は、実施例の処理装置のブロック図であり、一例として音声信号処理装置13として用いている。入力端子Tに入力されるアナログの左右2チャンネルの音声信号は、アナログ／デジタル
20 変換回路14において2チャンネルのデジタル音声信号に変換され、ライン15から処理装置DSP1に与えられる。この処理装置DSP1では、たとえばトーンコントロールなどの処理が行われる。処理装置DSP1の出力は、ライン16を介して

処理装置 DSP 2 に与えられる。

この処理装置 DSP 2 では、ライン 16 から与えられる 2 チヤネルの音声信号をさらにデジタル処理して、サラウンドシステムのような臨場感を向上するための前方左側 FL と、前方右側 FR と、後方左側 RL と、後方右側 RR とにそれぞれ配置されたスピーカに与えるための 4 チヤネルの音声信号を作成し、その前方左右側 FL, FR の各 16 ビットの音声信号をシフトレジスタ 17 に直列にストアし、また後方左右側 RL, RR の音声信号を、もう 1 つのシフトレジスタ 18 にそれぞれストアする。シフトレジスタ 17, 18 では、スピーカの配置とそれに対応するデジタルの音声信号とを、同一の参照符 FL, FR ; RL, RR でそれぞれ示している。

クロック信号発生回路 19 からは、第 32 図 (1) で示される予め定めた一定の周波数を有する第 1 のクロック信号 CLK 1 が、ライン 20 に導出され、処理装置 DSP 2 の入力端子 21 に外部クロック信号として与えられる。この外部クロック信号 CLK 1 は、処理装置 DSP 2 に設けられた周波数変換回路 22 に与えられる。この周波数変換回路 22 は、たとえば単安定マルチバイブレータなどによつて構成され、入力端子 21 に与え

られる外部クロック信号CLK1の立上がり時と、立下がり時とに対応して、ライン23を介して、クロック選択回路33に第32図(2)で示されるように、外部クロック信号CLK1の2倍の周波数を有するクロック信号を与える。入力端子21に与えられる外部クロック信号CLK1はまた、ライン24を介して、直接クロック選択回路33に与えられる。周波数変換回路22とクロック選択回路33とによつて、クロック信号発生回路34が構成される。

クロック選択回路33は、制御端子35の電圧レベルに対応して、ライン23を介するクロック信号と、ライン24を介する外部クロック信号CLK1とを切換えて導出する。制御端子35には制御入力回路36からの出力が与えられる。この制御入力回路36は、抵抗37と、スイッチ38とによつて構成されており、抵抗37の一方の端子はハイレベルの電源に接続されており、また他方の端子はスイッチ38の一方の接点に接続される。スイッチ38の他方の接点は接地される。このようにして抵抗37とスイッチ38との接続点39の電位が、制御端子35を介してクロック選択回路33に与えられる。

したがつて制御端子35から第32図(3)で

示されるような制御信号が入力されると、クロック選択回路 33 は第 32 図 (4) で示されるクロック信号を切換制御回路 25 に与える。切換制御回路 25 は入力されたクロック信号に対応して、

5 ライン 26 とライン 27 とに、それぞれ第 32 図 (5) および第 32 図 (6) で示されるような、相互に逆極性の切換信号を導出する。

ライン 26 に導出される切換信号は、シフトレジスタ 17 に与えられるとともに、AND ゲート

10 G1 に与えられる。またライン 27 に導出される切換信号は、シフトレジスタ 18 に与えられるとともに、もう 1 つの AND ゲート G2 に与えられる。シフトレジスタ 17 は、ライン 26 からの切換信号に回答して、第 32 図 (7) で示されるよ

15 うに、そこにストアされている前方左右側 FL, FR の各 16 ビットから成る音声信号を、1 ビットずつ順次的に導出する。

また同様にして、シフトレジスタ 18 は、ライン 27 からの切換信号に回答して、第 32 図 (8)

20 で示されるように、後方左右側 RL, RR の各 16 ビットから成る音声信号を、ビット順次的に導出する。第 32 図 (7) において、FL1 ~ FL4 と示されているのは、前方左側 FL の音声信号の第 1 ~ 第 4 ビットのデータを表わし、また同様

にして第32図(8)において、RL1～RL3と示されているのは、後方左側RLの音声信号の第1～第3ビットのデータをそれぞれ表わす。

シフトレジスタ17, 18からの各ビットごとの音声信号は、ANDゲートG1, G2にそれぞれ与えられる。ANDゲートG1, G2からの音声信号は、ORゲートG3から出力端子28およびライン29を介して、2つのデジタル/アナログ変換回路30, 31に、それぞれ与えられる。

出力端子28から導出されるデジタル信号は、第32図(9)で示されているとおりである。このようにして、入力端子21に与えられる外部クロック信号CLK1に応答して、出力端子28からは、シフトレジスタ17, 18にストアされている音声信号が、1ビットずつ交互に直列順次的に導出される。

クロック信号発生回路19からのクロック信号はまた、ライン20からデジタル/アナログ変換回路30に直接に与えられるとともに、反転回路N1を介してもう1つのデジタル/アナログ変換回路31に与えられる。デジタル/アナログ変換回路30, 31は、同一の構成を有する。デジタル/アナログ変換回路30は、ライン20を介する前述の第32図(1)で示される外部クロック

信号 CLK 1 の立上がりに対応して、ライン 29 を介する音声信号を 1 ビットずつ受信してストアする。

したがって、デジタル／アナログ変換回路 30
5 は、第 32 図 (9) で示されるライン 29 上のデジタル音声信号のうち、参照符 FL 1, FL 2, FL 3, … で示されるシフトレジスタ 17 にストアされている音声信号のみをビット順次的に受信し、これを前方左右側 FL, FR の合計 2 チヤネル
10 ルのアナログ音声信号に変換して導出する。

もう 1 つのデジタル／アナログ変換回路 31 は、反転回路 N 1 を介するクロック信号の立上がりに対応し、これによつて第 32 図 (9) で示される音声信号のうち、参照符 RL 1, RL 2, RL 9,
15 … で示されるシフトレジスタ 18 にストアされている音声信号のみをビット順次的に受信し、これを後方左右側 RL, RR の合計 2 チヤネルのアナログ音声信号に変換して導出する。なお、ここでは説明の簡略化のため、同一周波数のクロックを用いた例を示したが、通常、制御入力
20 がローレベルのときには、より高速のクロック入力を行うことによつて、多数のデータ転送を可能にする。

このようにして切換制御回路 25 に周波数変換回路 22 からのクロック信号が与えられていると

きには、シフトレジスタ 17, 18 からは、クロック信号発生回路 19 からの外部クロック信号 CLK 1 の 2 倍の周波数でデジタル／アナログ変換回路 30, 31 にデータを転送することができ、

5 ライン 15, 16 を介する 2 チヤネルの音声信号と同一の外部クロック信号 CLK 1 を用いて、4 チヤネル分の音声信号を転送することができる。

またデバッグ時などの特殊な使用状態では、クロック信号発生回路 19 からは第 33 図 (1) で

10 示されるような高速の第 2 の外部クロック信号 CLK 2 が導出される。このとき周波数変換回路 22 からのクロック信号は、その回路定数要素などの影響によつて、このような高速の外部クロック信号 CLK 2 に追随することはできず、したがつ

15 てこのときスイッチ 38 を操作して、クロック選択回路 33 からはライン 24 を介するこの外部クロック信号 CLK 2 が導出されるようにすることによつて、転送エラーなどを起こすことなく、第

20 33 図 (2) で示されるように確実にデータ転送を行うことができる。

このように本件音声信号処理装置 13 では、クロック選択回路 33 によつて、ライン 24 を介するクロック信号発生回路 19 からの外部クロック信号 CLK 1, CLK 2 と、ライン 23 を介する

周波数変換回路 22 からの前記外部クロック信号
CLK 1 の 2 倍の周波数を有するクロック信号と
を切換えて、処理装置 DSP 2 の内部クロック信
号として用いるようにしたので、外部クロック信
5 号 CLK 1 の 2 倍の周波数でデータ転送を行うこ
とができるとともに、デバック時などの特殊な使
用状態では、高速の外部クロック信号 CLK 2 に
対応してデータ転送を行うことができる。

本発明は、音声信号の処理のために実施するこ
10 とができるだけでなく、その他の技術分野におい
て広範囲に実施することができる。デジタル／ア
ナログ変換回路 30, 31 に代えて、その他のデ
ジタル信号処理を行なう構成を有する回路が用い
られてもよい。

15 以上のように本発明によれば、第 1 の処理装置
からの出力データを、2 つの第 2 の処理装置に簡
単な構成で交互に転送することが可能になる。ま
たクロック選択手段によつて外部クロック信号と、
周波数変換手段からのクロック信号とを切換えて
20 導出するようにしたので、たとえば処理回路など
は周波数変換手段によつて作成されるクロック信
号に基づいて、前記外部クロック信号に対応しな
がら、その外部クロック信号の所定倍の速度で演
算処理やデータの転送を行うことができるととも

に、外部クロック信号の周波数が変更されたときには、そのクロック信号に基づいた処理を行うことができる。

第34図は実施例に従う送信側の構成を示すブロック図であり、第35図は受信側の構成を示すブロック図である。本実施例においては、2ワードデータで構成される群データの転送が行われ、その1ワードデータはたとえば32ビットのデータとされる。第34図に示される送信側の構成では、たとえば32ビットの容量を有するシフトレジスタ41、42、43を備える転送レジスタ44が含まれている。この転送レジスタ44は、後述するように背景技術において説明した、バッファレジスタ22および転送レジスタ21の機能を併せ持つ構成とされている。

前記転送レジスタ44には、第2のスイッチング手段である切換えスイッチ45、46を介してデータバス47からパラレル信号が入力される。また転送レジスタ44内に含まれるシフトレジスタ41～43はそれぞれ、第1のスイッチング手段である切換えスイッチ48を介してシリアル信号を送信する送信ライン49に接続されている。

前記切換えスイッチ48は、入力端子48a、48b、48cを有しており、これらの入力端子

には、それぞれシフトレジスタ 4 1 , 4 2 , 4 3
が接続される。切換えスイッチ 4 8 の切換えは、
後述する同期信号 S Y 1 に基づいて行われ、これ
によつて送信ライン 4 9 には、シフトレジスタ 4
5 1 ~ 4 3 が出力するシリアル信号が選択的に導出
されるようになる。

また切換えスイッチ 4 5 , 4 6 は、それぞれ出
力端子 4 5 a , 4 5 b , 4 5 c ; 4 6 a , 4 6 b ,
4 6 c を有している。出力端子 4 5 a , 4 6 a は
10 シフトレジスタ 4 1 に接続され、出力端子 4 5 b ,
4 6 b はシフトレジスタ 4 2 に接続され、出力端
子 4 5 c , 4 6 c はシフトレジスタ 4 3 に接続さ
れている。切換えスイッチ 4 5 , 4 6 は、同期信
号 S Y 1 に基づいて後述のような切換え動作を行
15 い、これによつてデータバス 4 7 からのパラレル
信号が、シフトレジスタ 4 1 ~ 4 3 に選択的に入
力されるようになる。

次に第 3 5 図を参照して、受信側の構成につい
て説明する。第 2 図に示される受信側の構成は、
20 第 3 4 図に示される送信側の構成に類似しており、
シフトレジスタ 5 7 , 5 8 , 5 9 を備える転送レ
ジスタ 5 3 を含んでいる。シフトレジスタ 5 7 ~
5 9 には、シリアルデータを受信する受信ライン
5 4 から、第 1 のスイッチング手段である切換え

スイッチ 51 を介してシリアル信号が選択的に入力される。シフトレジスタ 57 ~ 59 は、また第 2 のスイッチング手段である切換えスイッチ 55, 56 を介してデータバス 60 に接続されている。

5 前記切換えスイッチ 51 は、出力端子 51 a, 51 b, 51 c を有しており、これらの出力端子はそれぞれシフトレジスタ 57, 58, 59 に接続されている。切換えスイッチ 51 の切換え動作は、同期信号 SY1 に基づいて行われ、これによ
10 つて受信ライン 54 を介するシリアルデータは、シフトレジスタ 57 ~ 59 に選択的に入力されることになる。

切換えスイッチ 55, 56 は、入力端子 55 a, 55 b, 55 c; 56 a, 56 b, 56 c を有している。入力端子 55 a, 56 a はシフトレジスタ 57 に接続されており、入力端子 55 b, 56
15 b はシフトレジスタ 58 に接続されており、入力端子 55 c, 56 c はシフトレジスタ 59 に接続されている。切換えスイッチ 55, 56 の切換え
20 動作は、同期信号 SY1 に基づいて行われ、これによつてデータバス 60 には、シフトレジスタ 57 ~ 59 からパラレルデータが選択的に与えられるようになる。

前記送信側の構成におけるシフトレジスタ 41,

4 2 , 4 3 および受信側の構成におけるシフトレジスタ 5 7 , 5 8 , 5 9 には、それぞれクロック信号 C K 1 が与えられており、これによつてそのシフト動作が実現される。

5 第 3 6 図は、前述の構成におけるデータ転送動作を説明するためのタイミングチャートである。第 3 6 図 (1) は同期信号 S Y 1 を示しており、第 3 6 図 (2) はそれぞれの期間においてデータバス 6 0 に与えられるデータを示しており、第 3
10 6 図 (3) ~ 第 3 6 図 (5) はそれぞれ切換えスイッチ 4 5 (5 5) , 4 6 (5 6) , 4 8 (5 1) の状態を示している。さらに第 3 6 図 (6) はクロック信号 C K 1 を示しており、第 3 6 図 (7) は送信ライン 4 9 (受信ライン 5 4) に導出されるデータを示している。第 3 6 図 (1) では、転
15 送レジスタ 4 4 へのデータの読み込みが、上向きの矢印で示されている。また、第 3 6 図 (3) ~ (5) では、それぞれの切換えスイッチにおいて選択される入力 (出力) 端子が示されており、シフ
20 トレジスタ 4 1 , 5 7 に接続される入力 (出力) 端子は参照符 a で、シフトレジスタ 4 2 , 5 8 に接続される入力 (出力) 端子は参照符 b で、シフトレジスタ 4 3 , 5 9 に接続される入力 (出力) 端子は参照符 c でそれぞれ示されている。

先ず第34図および第36図を参照して、送信側における動作を説明する。時刻T1において切換えスイッチ48では、同期信号SY1の立下がりに同期してその入力端子が、入力端子48bから入力端子48cに切換えられる。またこれに同期して切換えスイッチ45では、その出力端子が出力端子45bから出力端子45aへと切換えられる、切換えスイッチ46では、その出力端子が出力端子46cから出力端子46bへと切換えられる。このとき、シフトレジスタ41およびシフトレジスタ42は、データバス47に接続されて、それぞれ32ビットのデータD1およびデータD2が、32ビット並列にまたは16ビットずつ並列に与えられる。シフトレジスタ43では、クロック信号CK1に同期して、時刻T1以前の期間に該シフトレジスタ43に読込まれたデータD0が、1ビットずつ出力される。

切換えスイッチ48は、前述のようにその入力端子が入力端子48cに選ばれているので、送信ライン49にはデータD0が1ビットずつ導出されることになる。このようにして、データD0がシリアル信号として送信される。このようなデータ転送は、時刻T1から同期信号SY1が立上がる時刻T2までの期間において行われ、これによ

つて 3 2 ビットのデータ D 0 が、シリアル信号として転送されることになる。

時刻 T 2 において、同期信号 S Y 1 が立上るとこれに同期して切換えスイッチ 4 8 では、その
5 入力端子が、入力端子 4 8 c から入力端子 4 8 a に切換えられる。このとき切換えスイッチ 4 5 , 4 6 は、いずれも切換え動作を行わないけれども、データバス 4 7 からシフトレジスタ 4 1 , 4 2 には、パラレルデータが与えられるため、その転送
10 速度は速く、時刻 T 2 において同期信号 S Y 1 が立上るときには、既にシフトレジスタ 4 1 , 4 2 には、データ D 1 , D 2 が記憶されている。このような状態では、シフトレジスタ 4 1 からのデータ D 1 の読出しに伴つて、該シフトレジスタ 4
15 1 にデータバス 4 7 からのパラレルデータが与えられることはない。

時刻 T 2 から同期信号 S Y 1 が立下がる時刻 T 3 までの期間において、送信ライン 4 9 にはデータ D 1 が 1 ビットずつ導出される。

20 時刻 T 3 において同期信号 S Y 1 が立下がると、これに同期して切換えスイッチ 4 8 では、その入力端子が、入力端子 4 8 a から入力端子 4 8 b へと切換えられる。また切換えスイッチ 4 5 , 4 6 においては、それぞれの出力端子が、出力端子 4

5 a , 4 6 b から出力端子 4 5 c , 4 6 a へと切換えられる。すなわち切換えスイッチ 4 5 は、同期信号 S Y 1 の立下がりに同期してその出力端子が、

5 … → 出力端子 4 5 a → 出力端子 4 5 c → 出力端子 4 5 b → 出力端子 4 5 a → …

のように切換わり、切換えスイッチ 4 6 では同期信号 S Y 1 の立下がりに同期して、その出力端子が、

10 … → 出力端子 4 6 b → 出力端子 4 6 a → 出力端子 4 6 c → 出力端子 4 6 b → …

のように切換えられる。また切換えスイッチ 4 8 では、同期信号 S Y 1 の立上がりおよび立下がりに同期して、その入力端子が、

15 … → 入力端子 4 8 c → 出力端子 4 8 a → 入力端子 4 8 b → 入力端子 4 8 c → …

のように切換えられる。これによつて、いずれか 1 つのシフトレジスタからデータの読出しが行われている期間において、残りの 2 つのシフトレジスタには、データバス 4 7 からデータが与えられるようにすることができ、時刻 T 1 から時刻 T 3 までの期間において 6 4 ビットのシリアルデータが、送信ライン 4 9 に導出されるようになる。

時刻 T 3 からの期間には、データバス 4 7 から

シフトレジスタ 4 3 , 4 1 にそれぞれデータ D 3 ,
D 4 が並列ら読込まれる。また、シフトレジスタ
4 2 はこのとき、送信ライン 4 9 に接続されて、
その記憶内容であるデータ D 2 が 1 ビットずつ出
5 力される。

次に第 3 5 図および第 3 6 図を参照して、受信
側における動作を説明する。受信ライン 5 4 には、
第 3 6 図 (7) に示されるようなシリアルデータ
が送信されてくる。このとき切換えスイッチ 5 1
10 は、第 3 6 図 (5) に示されるようにその出力端
子が切換わり、また切換えスイッチ 5 5 , 5 6 に
おける入力端子の切換え動作は、第 3 6 図 (3) ,
(4) に示されるような動作となる。

時刻 T 1 から時刻 T 2 までの期間において、切
15 換えスイッチ 5 1 では、その出力端子が出力端子
5 1 c に選ばれているため、受信ライン 5 4 に到
来するシリアルデータは、シフトレジスタ 5 9 に
与えられる。シフトレジスタ 5 9 では、転送レジ
スタ 5 3 の内部で生成されるクロック信号によつ
20 て、前記入力されるシリアルデータが 1 ビットず
つその内部に読込まれていく。このようにしてシ
フトレジスタ 5 9 には、3 2 ビットのデータ D 0
が、時刻 T 1 から時刻 T 2 までの期間において読
込まれることになる。このようにしてシフトレジ

スタ 59 には、時刻 T2 においてはその内部にデータ D0 が保持されている。

時刻 T1 から時刻 T2 までの期間において、シフトレジスタ 57, 58 はデータバス 60 に接続され、これによつてシフトレジスタ 57, 58 に時刻 T1 以前の期間において入力されたデータ Da, Db は、時刻 T1 から比較的短い時間の後は、データバス 60 に与えられている。

時刻 T2 から時刻 T3 までの期間において、切換えスイッチ 51 では、その出力端子が 51a に選ばれるため、受信ライン 54 に到来するシリアルデータであるデータ D1 は、シフトレジスタ 57 に与えられる。このとき切換えスイッチ 55 において、その入力端子は入力端子 55a に選ばれており、シフトレジスタ 57 はデータバス 60 に接続されているけれども、前述のように時刻 T1 以前に取込まれたデータ Da は、時刻 T1 から比較的短い時間でデータバス 60 に与えられているため、シフトレジスタ 57 は、次のデータの入力が可能な状態となつている。

時刻 T3 においては、切換えスイッチ 51 では、その出力端子が出力端子 51b に切換えられ、切換えスイッチ 55, 56 のそれぞれの入力端子は、入力端子 55c, 56a に切換えられる。これに

よつて、時刻 T 3 からの比較的短い時間においてシフトレジスタ 5 9 , 5 7 が、それぞれ保持するデータ D 0 , D 1 がデータバス 6 0 に与えられる。またシフトレジスタ 5 8 には、さらに次のデータ

5 D 2 が 1 ビットずつ与えられる。

以上のように本実施例においては、送信側の転送レジスタ 4 4 では、シフトレジスタ 4 1 , 4 2 , 4 3 が保持するデータは、切換えスイッチ 4 8 の切換え動作によつて選択的に 1 ビットずつ送信ラ

10 イン 4 9 に導出される。このときデータが出力されない残りの 2 つのシフトレジスタに対しては、データバス 4 7 からパラレルデータが比較的短い時間で与えられる。

受信側の転送レジスタ 5 3 においては、シフト

15 レジスタ 5 7 , 5 8 , 5 9 に対して、受信ライン 5 4 に到来するシリアルデータが選択的に入力され、このとき前記シリアルデータが入力されていない残りの 2 つのシフトレジスタが保持するデータは、データバス 6 0 にパラレルデータとして入

20 力される。

これによつて送信側および受信側において、それぞれ備えられるレジスタは、背景技術の項において述べた、バッファレジスタおよび転送レジスタの機能を併せ持つことになり、レジスタの個数

が、 $3/4$ 倍に減少されるようになる。

また、一般に、 m ワードデータによつて構成される群データの転送にあつて、先行技術では $2m$ 個のレジスタが必要とされるけれども、本発明
5 においては、 $m+1$ 個のシフトレジスタを要するにすぎず、レジスタの個数が $(m+1)/2m$ 倍に減少される。これによつて、データ転送に必要な構成を格段に簡単にすることができるようになる。

10 以上のように本発明に従えば、 m ワードデータによつて構成される群データを転送するにあつて、先行技術で必要とされる $2m$ 個のレジスタと同等の機能が、 $m+1$ 個のレジスタによつて実現され、レジスタの個数は $(m+1)/2m$ 倍となるので、データ転送に必要な構成を格段に簡略化
15 することができるようになる。したがつて、転送すべきデータのデータ長が大きくても、構成がむやみに大きくなることはない。

第 37 図は、実施例のブロック図である。入力
20 端子 13 に入力されるアナログの左右 2 チヤネルの音声信号は、アナログ/デジタル変換回路 14 において 2 チヤネルのデジタル音声信号に変換され、ライン 15 から処理装置 DSP 1 に与えられる。この処理装置 DSP 1 では、ライン 15 を介

して入力される 2 チヤネルの音声信号をデジタル
処理して、サラウンドシステムのような臨場感を
向上するための前方左側 F L と、前方右側 F R と、
後方左側 R L と、後方右側 R R とにそれぞれ配置
5 されたスピーカに与えるための 4 チヤネルの音声
信号を、ライン 1 6 に導出して、本発明に従う第
1 の処理装置 D S P 2 に与える。

この処理装置 D S P 2 では、ライン 1 6 から与
えられる 4 チヤネルの音声信号をさらにデジタル
10 処理して、その前方左右側 F L , F R の各 1 6 ビ
ットの音声信号をシフトレジスタ 1 7 に直列にス
トアし、また後方左右側 R L , R R の音声信号を、
もう 1 つのシフトレジスタ 1 8 にそれぞれストア
する。シフトレジスタ 1 7 , 1 8 では、スピーカ
15 の配置とそれに対応するデジタルの音声信号とを、
同一の参照符 F L , F R ; R L , R R でそれぞれ示
している。

クロック信号発生回路 1 9 からは、第 3 8 図 (
1) で示される予め定めた一定の周波数を有する
20 クロック信号が、ライン 2 0 に導出され、デジタ
ル信号処理回路 D S P 2 の入力端子 2 1 に与えら
れる。このクロック信号は、処理装置 D S P 2 に
設けられた制御回路 2 2 に与えられる。この制御
回路 2 2 は、入力端子 2 1 に与えられるクロック

信号に応答して、ライン 23 に第 38 図(2)で示される信号を導出し、またライン 24 にライン 23 からの信号の反転された波形を有する第 38 図(3)に示される信号を導出する。もう 1 つの制御回路 25 は、ライン 23, 24 からの信号を受信して、ライン 26 に第 38 図(4)で示される信号を導出し、ライン 27 に第 38 図(5)で示される信号を導出する。ライン 26, 27 から導出される信号は、入力端子 21 に与えられるクロック信号に同期しており、これらライン 26, 27 から導出される信号は、相互に逆極性の波形となっている。

ライン 26 から導出される信号は、シフトレジスタ 17 に与えられるとともに、AND ゲート G1 に与えられる。またライン 27 から導出される信号は、シフトレジスタ 18 に与えられるとともに、もう 1 つの AND ゲート G2 に与えられる。シフトレジスタ 17 は、ライン 26 からの信号に
20 応答して第 38 図(6)で示されるように、そこにストアされている前方左右側 FL, FR の各 16 ビットから成る音声信号を、1 ビットずつ順次的に導出する。また同様にして、シフトレジスタ 18 は、ライン 27 からの信号に
20 応答して、後方左右側 RL, RR の各 16 ビットから成る音声信号

を、ビット順次的に第38図(7)で示されているように導出する。第38図(6)において、FL1～FL6と示されているのは、前方左側FLの音声信号の第1～第6ビットのデータを表わし、また同様にして第38図(7)において、RL1～RL5と示されているのは、後方左側RLの音声信号の第1～第5ビットのデータをそれぞれ表わす。

シフトレジスタ17, 18からの各ビットごとの音声信号は、ANDゲートG1, G2にそれぞれ与えられる。ANDゲートG1, G2からの音声信号は、ORゲートG3から出力端子28およびライン29を介して、2つの第2デジタル信号処理回路であるデジタル/アナログ変換回路30, 31に、それぞれ与えられる。出力端子28から導出されるデジタル信号は、第38図(8)で示されているとおりである。このようにして、入力端子21に与えられるクロック信号に応答して、出力端子28からは、シフトレジスタ17, 18にストアされている音声信号が、1ビットずつ交互に直列順次的に導出される。前記ANDゲートG1, G2を含んで切換手段が構成される。

クロック信号発生回路19からのクロック信号はまた、ライン20からデジタル/アナログ変換回路30に直接に与えられるとともに、反転回路

N 1 を介してもう 1 つのデジタル / アナログ変換回路 3 1 に与えられる。デジタル / アナログ変換回路 3 0 , 3 1 は、同一の構成を有する。デジタル / アナログ変換回路 3 0 は、ライン 2 0 を介する前述の第 3 8 図 (1) で示されるクロック信号の立上がりに対応して、ライン 2 9 を介する音声信号を 1 ビットずつ受信してストアする。したがって、デジタル / アナログ変換回路 3 0 は、第 3 8 図 (8) で示されるライン 2 9 上のデジタル音声信号のうち、参照符 F L 1 , F L 2 , F L 3 , … で示されるシフトレジスタ 1 7 にストアされている音声信号のみを、ビット順次的に受信し、これを前方左右側 F L , F R の合計 2 チヤネルのアナログ音声信号に変換して導出する。

15 もう 1 つのデジタル / アナログ変換回路 3 1 は、反転回路 N 1 を介するクロック信号の立上がりに対応し、これによつて第 3 8 図 (8) で示される音声信号のうち、R L 1 , R L 2 , R L 3 , … のようにシフトレジスタ 1 8 にストアされている音声信号のみをビット順次的に受信し、これを後方左右側 R L , R R の合計 2 チヤネルのアナログ音声信号に変換して導出する。

このようにして、処理装置 D S P 2 の出力端子 2 8 からの音声信号は、ライン 2 9 から後続の 2

つのデジタル／アナログ変換回路30,31に共通に与えられ、これらの回路DSP2;30,31には、クロック信号発生回路19からのクロック信号が直接に、および反転回路N1を介して与えられて制御が行なわれる。したがって構成を簡単にすることができる。

本発明は、音声信号の処理のために実施することができるだけでなく、その他の技術分野において広範囲に実施することができる。デジタル／アナログ変換回路30,31に代えて、その他のデジタル信号処理を行なう構成を有する回路が用いられてもよい。

以上のように本発明によれば、第1の処理装置からの出力データを、2つの第2処理装置に、簡単な構成で、交互に転送することが可能になる。

実施例

第39図は、実施例の音声信号処理装置41の電氣的構成を示すブロック図である。たとえばラジオ受信機などからのアナログ音声信号は、入力端子45からアナログ／デジタル変換器46に与えられ、デジタル変換されて、大規模集積回路等によつて実現されるデジタル信号処理装置(以下、処理装置44)に入力される。

処理装置44は、入力信号に加算、乗算等の演

算や遅延処理を行なうことによつて、たとえばト
ーンコントロールやエコーなどの音声信号の処理
を行なう。処理装置 44 の出力は、処理装置 48
に与えられ、他の演算処理が行なわれた後、デジ
タル／アナログ変換器 52 に与えられ、アナログ
5 変換されて、出力端子 53 から電力増幅回路等に
与えられる。

アナログ／デジタル変換器 46 の出力は、第 4
0 図(1)で示されるように、1 サンプリング周期
10 当り、左右各チャンネルごとに 16 ビット、合計 3
2 ビットの固定小数点データによつて構成されて
いる。デジタル信号処理回路 44, 48 とアナロ
グ／デジタル変換器 46 とデジタル／アナログ変
換器 52 とは、第 40 図(2)で示されるクロック
15 発生回路 54 からのクロック信号 SCLK、およ
び第 40 図(3)で示される同期信号 SYNC に基
づいて、演算動作等を行なう。処理装置 44, 4
8 では、演算時におけるオーバーフローやアンダ
ーフロー等によつてダイナミックレンジや S/N
20 比が劣化することを抑えるために、音声信号デー
タは第 40 図(4)示される 16 ビットの仮数部デ
ータと第 40 図(5)で示される 4 ビットの指数部
データとによつて構成される浮動小数点データと
して、演算処理および転送が行なわれる。

第 4 1 図は、固定小数点データと浮動小数点データとの変換動作を示す図である。処理装置 4 4 への入力信号は、前述のように 1 サンプリング周期当り 3 2 ビットの固定小数点データである。処理装置 4 4 は、この入力信号を浮動小数点データに演算し、その演算結果を左右各チャンネルごとに設けた 1 6 ビットの仮数部送信レジスタ 6 1, 6 2、および指数部送信レジスタ 6 3, 6 4 にストアする。こうしてストアされたデータは、この処理装置 4 4 内では、参照符 8 1, 8 2 で示すように左右各チャンネル当り 2 0 ビットの浮動小数点データとして演算処理等が行なわれる。

仮数部送信レジスタ 6 1, 6 2 と指数部送信レジスタ 6 3, 6 4 とにストアされているデータはまた、各レジスタ 6 1, 6 2 ; 6 3, 6 4 ごとに個別に設けられた出力端子 7 1, 7 2 からライン 6 5, 6 6 を介して、処理装置 4 8 の入力端子 7 3, 7 4 から仮数部受信レジスタ 6 7, 6 8 と指数部受信レジスタ 6 9, 7 0 とにそれぞれ転送される。ライン 6 5 を介して転送される仮数部データは、第 4 0 図 (4) で示され、ライン 6 6 を介して転送される指数部データは第 4 0 図 (5) で示される。処理装置 4 8 は、転送されてきたデータを参照符 8 3, 8 4 で示すように左右各チャンネル当り 2 0

ビットの浮動小数点データとして演算処理等を行なった後、固定小数点データに変換して、デジタル／アナログ変換器62に与える。

このように仮数部送信レジスタ61, 62にストアされた仮数部データは、ライン65を介して
5 仮数部受信レジスタ67, 68に転送され、また指数部送信レジスタ63, 64にストアされた指数部データは、ライン66を介して指数部受信レジスタ69, 70に転送されるようにしたので、
10 仮数部データと指数部データとを平行して転送することができる。また背景技術の項で述べたようなビット数変換回路25, 29等の特別な変換回路を用いることなく、アナログ／デジタル変換器46等と共通のクロック信号を用いて演算処理や
15 転送動作を行うことができ、構成を簡略化することができる。

以上のように本発明によれば、浮動小数点データの仮数部と指数部とがそれぞれ個別に設けられたレジスタにストアされるので、両レジスタを共
20 通のクロック信号によつて同期制御して、演算処理および転送動作などを行なうことができるようになり、かつ構成を簡略化することができる。

第42図は実施例の構成を示すブロック図であり、処理装置DSP3, DSP4間では、本発明

のデータ転送方式によるデータの転送が行われる。

処理装置DSP3と処理装置DSP4とは同様な構成をしており、以下処理装置DSP3の構成についてのみ説明する。

- 5 処理装置DSP3に入力される信号が固定小数点型データであるときには、この固定小数点型データはシリアル信号としてライン7から入力される。また処理装置DSP3に入力されるデータが
- 10 浮動小数点型データであるときには、ライン7からは浮動小数点型データの仮数部が入力され、ラインPaからは浮動小数点型データの指数部が
- 15 平行信号として入力される。ライン7のシリアル信号は仮数部受信レジスタ11に与えられ、ラインPaの平行信号は指数部受信レジスタ12に与えられる。仮数部受信レジスタ11のデータはレジスタ13の仮数部レジスタ13aに入力され、指数部受信レジスタ12のデータはやはり
- 20 レジスタ13の指数部レジスタ13bに入力される。
- 仮数部レジスタ13aおよび指数部レジスタ13bのデータはゲート14aおよびゲート14bを介して内部バス16にそれぞれ与えられる。これらのデータは、内部バス16から図示しない記憶回路などに与えられる。処理回路15はこれら

のデータに演算処理を施す。

処理装置 DSP 3 で演算処理された結果が固定
小数点型データの場合には、演算結果の固定小数
点型データは、内部バス 16 からゲート 17 a を
5 介して仮数部レジスタ 18 a に入力される。この
固定小数点型データは仮数部レジスタ 18 a から
仮数部送信レジスタ 19 に与えられる。この仮数
部送信レジスタ 19 のデータは処理装置 DSP 4
にライン 8 を介してシリアル信号として転送され
10 る。

処理装置 DSP 3 での演算処理結果が浮動小数
点型データである場合には、内部バス 16 から、
ゲート 17 a およびゲート 17 b を介してレジス
タ 18 の仮数部レジスタ 18 a および指数部レジ
15 スタ 18 b に、演算結果である浮動小数点型デー
タの仮数部および指数部がそれぞれ出力される。

仮数部レジスタ 18 a のデータは、仮数部送信
レジスタ 19 に与えられる。また指数部レジスタ
18 b のデータは、指数部送信レジスタ 20 に与
20 えられる。

処理装置 DSP 3 での演算処理結果である浮動
小数点型データの仮数部は仮数部送信レジスタ 1
9 からライン 8 を介してシリアル信号として処理
装置 DSP 4 に転送され、浮動小数点型データの

指数部は指数部送信レジスタ20からパラレル信号としてラインPbを介して処理装置DSP4に転送される。

5 処理装置DSP4では、ライン8のシリアル信号は仮数部受信レジスタ21に入力され、ラインPbのパラレル信号は指数部受信レジスタ22に入力される。この後、演算処理が施されて処理装置DSP3の場合と同様に、演算処理の結果は仮数部送信レジスタ29および指数部送信レジスタ
10 30からライン9およびラインPcに導出される。

処理装置DSP3, DSP4には、データ転送を同期的に行うための同期クロック信号SYNCおよびシリアルクロック信号CLKが与えられる。

15 第43図は処理装置DSP3, DSP4間のデータ転送動作を説明するための波形図であり、以下同図に従って説明する。

20 処理装置DSP3に入力される同期信号SYNCは、第43図(1)に示される。同期信号SYNCの立上りまたは立下りからシリアル信号の1つのデータの転送が開始され、第43図(2)に示されるシリアルクロック信号CLKの立上りで第43図(3)に示されるライン7のシリアル信号をラッチする。

同期信号SYNCの次の立下りまたは立上りで

は、シリアル信号の1つのデータの転送が終了し、
次のデータ転送が開始される。このときシリアル
信号のデータは処理装置DSP3が固定小数点型
データを出力するときには固定小数点型データを
5 表し、浮動小数点型データのときには浮動小数点
型データの仮数部を表す。

処理装置DSP3が浮動小数点型データを出力
するときには、浮動小数点型データの指数部はラ
インPbに第43図(4)に示されるパラレル信
10 号として導出され、処理装置DSP4ではこのパ
ラレル信号を同期信号SYNCの立上りおよび立
下りでラッチする。

このようにして本実施例において、データの入
出力のためのシリアルポートでの転送は、データ
15 の形式が固定小数点型データのときにも浮動小数
点型データのときにも同一のシリアルクロック信
号で同様に行われる。したがって処理装置DSP
3、DSP4では、ソフトウェアによつて指数部
の有無を検出して固定小数点型データと浮動小数
20 点型データとを判別することができ、処理装置の
構成が簡略化される。また、たとえばこれらのデ
ータ転送を全てパラレル転送する場合に比べて、
入出力のための導線の数も減少することができ、
配線が簡素化できる。さらに、入力と出力とでデ

ータの形式が異なる場合でも、シリアルクロック信号の周波数は1種類でよいので、クロック信号発生回路の構成も簡単にすることができる。

5 本実施例において、浮動小数点型データの仮数部を入出力するときの平行ポートは、汎用平行ポートを用いることもできるし、専用の平行ポートが備えられている場合には固定小数点型データを入出力する場合に、この平行ポートを他のデータの入出力ポートとして利用
10 することができる。

第44図は本発明のさらに具体的な実施例であり、前述した実施例と対応する部分には同一の参照符を用いる。

15 本実施例において、データの転送はアナログ／デジタル変換回路AD2と処理装置DSP3との間、処理装置DSP3と処理装置DSP4との間、および処理装置DSP4とデジタル／アナログ変換回路DA2との間において行われる。

20 たとえば音響信号などのアナログ信号は、ライン6からアナログ／デジタル変換回路AD2に入力される。アナログ／デジタル変換回路AD2からは、たとえば16ビットのデータ長を有する固定小数点型データのデジタル信号がライン7を介して処理装置DSP3に出力される。アナログ／

デジタル変換回路 A D 2 から処理装置 D S P 3 へのデータの転送は、クロック信号発生回路 C K 2 の出力するシリアルクロック信号 S C K および同期信号 S Y N C によつて同期的に行われる。

5 処理装置 D S P 3 において入力された固定小数点型データは、演算処理されてたとえば 16 ビットの仮数部と 3 ビットの指数部とを有する浮動小数点型データが出力される。前述したように浮動
10 小数点型データの仮数部はライン 8 を介して処理装置 D S P 4 に与えられ、浮動小数点型データの指数部はライン P b を介して処理装置 D S P 4 に与えられる。この場合のデータ転送においても、アナログ／デジタル変換回路 A D 2 から処理装置
15 D S P 3 へのデータ転送のときと同様に、クロック信号発生回路 C K 2 からのシリアルクロック信号 S C K および同期信号 S Y N C によつて同期的にデータ転送が行われる。

処理装置 D S P 4 に入力された浮動小数点型データは、演算処理が施されて、固定小数点型データ
20 に変換される。この固定小数点型データがライン 9 を介してデジタル／アナログ変換回路 D A 2 に出力される。このデータ転送においても、クロック信号発生回路 C K 2 からのシリアルクロック信号 S C K および同期信号 S Y N C によつて同期

的にデータ転送が行われる。デジタル／アナログ変換回路 D A 2 において、入力された固定小数点型データは、アナログ信号に変換されてライン 1 0 に導出される。

5 本実施例のように音響信号をアナログ／デジタル変換して転送する場合には、アナログ／デジタル変換回路からの出力、およびデジタル／アナログ変換回路への入力は、通常固定小数点型データであり、処理装置間のデータ転送は浮動小数点型
10 データで行われる。このような場合に本発明によるデータ転送方式を用いれば、処理装置 D S P 3 , D S P 4 では入力と出力とでデータの型式が異なるけれども、同一のシリアルクロック信号でデータ転送を行うことができるので、処理装置の構成
15 が簡略化され、なおかつ 1 種類のシリアルクロック信号で全てのデータ転送を行うことができる。したがって配線を簡素化することができ、クロック信号発生のためのデジタルフーズロツクループなどの複雑な回路構成が不必要となる。

20 以上説明したように、本発明によるデータ転送方式において、たとえば浮動小数点型データの仮数部と同一形式の固定小数点型データの転送は、データ処理装置の仮数部レジスタを用いて浮動小数点型データと同一の同期信号によつて同様に実

行される。

したがって簡単な構成で固定小数点型データおよび浮動小数点型データの双方のデータ転送を行うことができる。

- 5 第45図は、実施例のブロック図である。左右2チャンネルのアナログの音声信号は、ライン11からアナログ/デジタル変換回路AD2に入力され、この固定小数点データは、2チャンネル分、処理装置DSP4に与えられる。この処理装置DSP
- 10 P4は、2チャンネルの固定小数点データである音声信号を演算処理して、浮動小数点データを作る。処理装置DSP4からの信号は、仮数部送信レジスタA11と、指数部送信レジスタB11とからライン15、16を介して送信されて、もう1つ
- 15 の処理装置DSP5の仮数部受信レジスタA12と、指数部受信レジスタB12とにそれぞれ与えられる。

- 処理装置DSP5では、各種の浮動小数点データ処理を行ない、最終的には固定少数点形式に変換して4つのスピーカ2のための4チャンネル分の
- 20 音声信号データを仮数部送信レジスタA13にストアし、またスーパーハ3のための音声信号である固定小数点データを指数部レジスタB13にストアする。

仮数部送信レジスタ A 1 3 からの信号は、ライン 1 2 からデジタル／アナログ変換回路 D A 3 のレジスタ A 1 4 にストアされ、4 チヤネル分の音声信号が固定小数点データとして、アナログの音声信号に変換される。こうして各チヤネルごとに設けられたローパスフィルタ 4 には、アナログの音声信号が与えられ、このローパスフィルタ 4 からの出力は、増幅回路 5 によつて増幅され、スピーカ 2 が駆動される。

10 処理装置 D S P 5 の指数部送信レジスタ B 1 3 からのスーパーハ 3 のための音声信号は、ライン 1 3 からシリアル／パラレル変換回路 1 4 に与えられて、並列のビット信号に変換され、デジタル／アナログ変換回路 D A 4 に与えられて、アナログ信号に変換される。このデジタル／アナログ変換回路 D A 4 からのアナログの音声信号は、ローパスフィルタ 6 を介して増幅回路 7 に与えられ、スーパーハ 3 が駆動される。

20 第 4 6 図は、処理装置 D S P 4 , D S P 5 、デジタル／アナログ変換回路 D A 3 およびシリアル／パラレル変換回路 1 4 のレジスタ X 1 ~ X 7 , A 1 1 ~ A 1 4 , B 1 1 ~ B 1 3 に関連する構成を示すブロック図である。アナログ／デジタル変換回路 A D 2 からの固定小数点データである 2 千

- 101 -

ヤネル分の音声信号データは、ライン41を介してデータ処理装置DSP4内の受信レジスタX1に入力される。

こうして入力されたデータは2チャンネル分の固定小数点データであり、受信レジスタX1のストア領域N1, N2に入力され、残余のストア領域N3, N4および受信レジスタX2のストア領域H1~H4は空状態である。データの入力終了すると、空のストア領域N3, N4; H1~H4は0として取扱われ、受信レジスタX1のストア領域N1~N4の内容はレジスタX3のストア領域R1~R4にストアされ、受信レジスタX2のストア領域H1~H4の内容はレジスタX3のストア領域R1~R4にストアされる。このとき固定小数点データは指数部0の浮動小数点データに変換される。

処理回路29は、これらのデータをゲート42, 43およびデータバス17を介して読出し、2チャンネル分の音声信号(浮動小数点データ)に図示しないメモリのデータを用いて、たとえばトーンコントロール等の各種の浮動小数点演算処理を行ない、4チャンネル分の浮動小数点データを作成し、ゲート44, 45を介してレジスタX4にストアする。

レジスタ X 4 は、合計 4 つの浮動小数点データをストアすることができ、各浮動小数点データの仮数部は参照符 L 1 ~ L 4 で示され、指数部は M 1 ~ M 4 で示されており、たとえば第 1 の浮動小数点データは、仮数部 L 1 と指数部 M 1 とから成り、これらの各浮動小数点データ M 1 , L 1 ; M 2 , L 2 ; M 3 , L 3 ; M 4 , L 4 は、4 チヤネル分の音声信号である。レジスタ X 4 にストアされた仮数部 L 1 ~ L 4 は、仮数部送信レジスタ A 1 1 のストア領域 C 1 ~ C 4 にそれぞれストアされる。また指数部 M 1 ~ M 4 は、指数部送信レジスタ B 1 1 のストア領域 D 1 ~ D 4 にそれぞれストアされる。各仮数部 L 1 ~ L 4 は 16 ビットから成り、各指数部 M 1 ~ M 4 は 4 ビットから成るデータである。

これらの仮数部送信レジスタ A 1 1 の各ストア領域 C 1 ~ C 4 の内容は、ライン 15 を介してデータ処理装置 DSP 5 の仮数部受信レジスタ A 1 2 のストア領域 E 1 ~ E 4 にそれぞれ転送される。また同様にして、指数部送信レジスタ B 1 1 の各ストア領域 D 1 ~ D 4 の内容は、ライン 16 を介して指数部受信レジスタ B 1 2 のストア領域 F 1 ~ F 4 にそれぞれ転送される。仮数部受信レジスタ A 1 2 および指数部受信レジスタ B 1 2 のスト

ア内容は、レジスタX5に入力される。

レジスタX5は、4つの浮動小数点データを受信する領域を有し、各浮動小数点データの仮数部P1～P4と指数部Q1～Q4とを、各浮動小数点データごとにストアする。処理装置DSP5の処理回路24は、データの入力が完了すると、レジスタX5からゲート45、46を介してデータを読み出し、再度各種の浮動小数点演算処理を行ない、4チャンネル分の音声信号データに加え、1チャンネル分のスーパーハ3のための音声信号データを得る。このような演算処理は、処理装置DSP5内に設けられた図示しないメモリに記憶されたデータを用いて行なわれ、これによつて1チャンネル分の浮動小数点データ（本実施例ではスーパーハ3のための音声信号）を付加的に得ている。

これらのデータは、データバス23およびゲート47、48を介してレジスタX6にストアされる。レジスタX6は、4つの浮動小数点データを受信する領域を有し、各浮動小数点データの仮数部T1～T4と指数部U1～U4とを、各浮動小数点データごとにストアする。

ここで、デジタル／アナログ変換回路DA3、DA4は固定小数点データを扱うので、最後に5つの浮動小数点データ、すなわち4チャンネル分の

音声信号を表わす4つの浮動小数点データと、スーパーハ3の音声信号を表わす浮動小数点データとを固定小数点データに変換し、4チャンネル分のデータを仮数部用レジスタA13に、1チャンネル分のスーパーハ3のためのデータを指数部用レジスタB13にストアし、それぞれデジタル/アナログ変換回路DA3の受信レジスタA14と、デジタル/アナログ変換回路DA4のためのインタフェイス回路であるシリアル/パラレル変換回路14の受信レジスタX7とに転送する。

第47図は、第46図に示された構成の動作を説明するための波形図である。クロック信号発生回路25からライン26には、第47図(1)で示される制御信号SYNCが導出され、またライン27には、第47図(2)で示される制御信号SCLKが導出される。制御信号SYNCの立下りから次の立下りエッジまでの一周期において、仮数部送信レジスタA11からのビット順次的なデータは、第47図(3)で示されるように、ライン15に順次的に転送される。制御信号SYNCがローレベルである期間中において、指数部送信レジスタB11からのビット順次的なデータは、第47図(4)で示されるように、ライン16に導出されて転送される。こうして、仮数部送信レ

ジスタ A 1 1 と指数部送信レジスタ B 1 1 とは、
個別に出力が行なわれるとともに、共通のクロツ
ク信号である制御信号 S Y N C , S C L K によつ
て同期して制御される。このことは、仮数部受信
5 レジスタ A 1 2 と指数部受信レジスタ B 1 2 とに
関しても同様であり、またレジスタ A 1 3 , A 1
4 , B 1 3 , X 7 に関しても同様である。

指数部は、上述の実施例では 4 ビットであり、
処理装置 D S P 5 からはこれによつてスーパウー
10 ハ 3 のための、たとえば 1 6 ビットの音声信号が
転送されたけれども、本発明の他の実施例として
指数部を用いて、たとえば 8 ビットでスーパウー
ハ 3 のための音声信号を処理してもよい。

第 4 8 図は本発明の他の実施例のブロック図で
15 あり、前述の実施例に類似し、対応する部分には
同一の参照符を付す。注目すべきはこの実施例で
は、単一のデータライン 3 0 , 3 1 によつて、浮
動小数点データをビット順次的に転送する。この
実施例では、浮動小数点データの仮数部と指数部
20 とでは、共通のライン 3 0 , 3 1 において伝送さ
れるけれども、その伝送タイミングを制御するこ
とによつて、送受信側で仮数部と指数部とを区別
してレジスタにストアし、4 チヤネル分の音声信
号と、スーパウーハ 3 のための音声信号とを演算

処理して使用することができる。また、指数部送信レジスタ B 1 3 からの各チャネルごとに 4 ビットの音声信号を 2 つずつ使用することによつて、前述のスーパーハ 3 の他に参照符 3 a で示すもう 1 つのチャネルのスピーカのための音声信号を
5 処理することも可能である。スピーカ 3 a に関連する構成要素は破線で示し、スーパーハ 3 のための構成に添字 a を付して示す。

本発明は、音声信号の処理のために実施することができるだけでなく、その他の技術分野において広範囲に実施することができる。
10

以上のように本発明によれば、回路構成の無駄を省き、コストの低減を可能にすることができる処理装置が実現される。

15 第 4 9 図は実施例の処理装置 DSP 4 付近の構成を示すブロック図である。処理装置 DSP 4 は、仮数部レジスタである仮数部受信レジスタ A 1 0 および仮数部送信レジスタ A 1 1 と、指数部レジスタである指数部受信レジスタ B 1 0 および指数部送信レジスタ B 1 1 とを含んで構成され、同様な構成を有している処理装置 DSP 5 との間でデータ転送を行う。
20

たとえば音響信号などのアナログ信号はライン 1 1 からアナログ／デジタル変換器 AD 2 に入力

され、デジタル信号に変換される。このデジタル信号は、通常固定小数点型データであり、たとえば16ビットのデータ長を有する。この固定小数点型データはアナログ／デジタル変換器AD2の
5 有する送信レジスタA9から処理装置DSP4の仮数部受信レジスタA10に出力される。

処理装置DSP4の指数部受信レジスタB10には、たとえば外部電圧の変動等を検出するポテンシヨメータ1からの信号が、アナログ／デジタル変換器AD1で、たとえば3ビットといつた低
10 ビットのデジタル信号に変換されて入力される。仮数部受信レジスタA10および指数部受信レジスタB10のデータは内部レジスタC1の仮数部レジスタC1aおよび指数部レジスタC1bを介
15 して内部バスD1に与えられる。

処理装置DSP4では、指数部レジスタC1bからのデータに従つて、仮数部レジスタC1aからのデータに演算処理を施して、演算結果である浮動小数点型データが得られる。この浮動小数点
20 型データの仮数部および指数部は、内部レジスタC1の仮数部レジスタC1aおよび指数部レジスタC1bを介して仮数部送信レジスタA11および指数部送信レジスタB11に出力される。

処理装置DSP4の仮数部送信レジスタA11

および指数部送信レジスタ B 1 1 のデータはライン 1 5 およびライン 1 6 を介して処理装置 DSP 5 の仮数部受信レジスタ A 1 2 および指数部受信レジスタ B 1 2 にそれぞれ転送され、このようにして処理装置 DSP 4 , DSP 5 間で浮動小数点型データの転送が実行される。

処理装置 DSP 5 では、仮数部受信レジスタ A 1 2 および指数部受信レジスタ B 1 2 の浮動小数点型データは、内部レジスタ C 2 の仮数部レジスタ C 2 a および指数部レジスタ C 2 b を介して内部バス D 2 に与えられて演算処理が施される。この演算結果がたとえば固定小数点型データの場合には、内部バス D 2 からの固定小数点データは内部レジスタ C 2 の仮数部レジスタ C 2 a を介して仮数部送信レジスタ A 1 3 に与えられる。仮数部送信レジスタ A 1 3 からの出力は、ライン 1 2 を介してデジタル / アナログ変換器等に与えられる。

このとき仮数部受信レジスタ A 1 2 および指数部受信レジスタ B 1 2 の浮動小数点型データから別の演算を施して得られる演算結果が、指数部送信レジスタ B 1 3 に入力されるときには、指数部送信レジスタ B 1 3 からライン 1 3 を介して信号を出力するようにしてもよい。

本実施例において、ポテンシヨメータ 1 からア

ナログ／デジタル変換器 A D 1 を介して指数部受信レジスタ B 1 2 に入力されるデータに従って処理装置 D S P 4 での演算処理を行うように構成されるので、第 4 9 図に示される構成は、たとえば

5 ポリユーム制御のような線形制御や開ループ適応制御等に應用することができる。

第 5 0 図は、処理装置 D S P 4 に電子ポリユームの機能を付加したときの動作を説明するための図である。ライン 1 4 には、アナログ／デジタル

10 変換器 A D 2 から音響信号を表す固定小数点型データが導出され、ライン 1 0 にはポテンシヨメータ 1 からの信号がアナログ／デジタル変換器 A D 1 でデジタル信号に変換されて導出される。

処理装置 D S P 4 では、第 5 0 図に示されるように、ライン 1 4 からのデータがライン 1 0 からのデータに従った増幅率でデジタル的な増幅の処理が施されて出力される。このようにしてポテンシヨメータ 1 によつて音響信号を所望の音量となるように制御することができる。

15

第 5 1 図は、本考案の他の実施例を示すブロック図であり、前述の実施例と対応する部分には同一の参照符を付す。

20

この実施例では処理装置 D S P 4 の指数部受信レジスタ B 1 0 に入力される信号は、処理装置 D

S P 4 の制御コマンドである。処理装置 D S P 4 の制御コマンドを表す信号は、フラグ発生回路 2 に入力され、フラグ発生回路 2 からライン 1 0 を介して指数部受信レジスタ B 1 0 に制御コマンド
5 を表すフラグが入力される。

浮動小数点型データの指数部は、一般に低ビットであるけれども、外部からデータ処理装置 D S P 4 を制御するコマンドのフラグとしては十分なデータ長であり、たとえば処理装置 D S P 4 の動
10 作プログラムなどを強制的に切替える場合などに使用することができる。

このようにして処理装置 D S P 4 が、たとえばアナログ／デジタル変換器などの固定小数点型データを
15 入力する場合に、浮動小数点型データの指数部の入力端子や指数部受信レジスタ B 1 0 などを無駄にすることなく、有効に利用して外部電源の変動や制御コマンド等を入力する。したがって処理装置はより高度のデータ処理を行うことが可能となり、処理装置の応用範囲が広がる。

20 本実施例において、処理装置 D S P 4 の入出力のためのポートとしては、浮動小数点型データの仮数部または固定小数点型データ、および浮動小数点型データの指数部について、処理装置が通常有しているシリアルポート、および汎用パラレル

ポートをそれぞれ利用することができる。

以上説明したように本考案によれば、処理装置にたとえば浮動小数点型データの仮数部と同一の形式を有する固定小数点型データが入力される場合には、この固定小数点型データは前記仮数部レジスタにストアされ、前記指数部レジスタには別途のデータを入力してストアすることができる。

したがって処理装置の構成の無駄を省くことができ、処理装置の機能を十分に生かしたより高度なデータ処理を行うことができる。

第52図は、実施例の音響信号処理装置21の電氣的構成を示すブロック図である。例えばラジオ受信機などからのアナログ音響信号は、入力端子22からアナログ／デジタル変換器23に与えられ、デジタル変換されて、大規模集積回路等によつて実現される処理装置24に入力される。

処理装置24は、入力信号に加算、乗算等の演算や遅延処理を行うことによつて、例えばトーンコントロールやエコーなどの音響信号の処理を行う。処理装置24の出力は、処理装置25に与えられ、他の演算処理が行われた後、デジタル／アナログ変換器26及び27に与えられ、アナログ変換されて、出力端子28及び29から電力増幅回路等に与えられる。

アナログ／デジタル変換器 23 の出力は、第 5
3 図 (1) で示されるように、1 サンプリング周
期当たり、左右各チャンネルごとに 16 ビット、
合計 32 ビットの固定小数点データによつて構成
5 されている。処理装置 24、25 とアナログ／デ
ジタル変換器 23 とデジタル／アナログ変換器 2
6、27 とは、第 5 3 図 (2) で示されるクロツ
ク発生回路 30 からのクロツク信号 SCLK、及
び第 5 3 図 (3) で示される同期信号 SYNC に
10 基づいて、演算動作等を行う。

第 5 4 図は処理装置 24、25 の内部構成を示
すブロック図である。処理装置 24、25 は同一
構成を有するが、第 5 4 図では簡略化のため、処
理装置 24 としては送信系のみを、また処理装置
15 25 としては受信系のみをそれぞれ示している。
処理装置 24 への入力信号は、前述のように 1 サ
ンプリング周期当たり 32 ビットの固定小数点デ
ータである。

ここで、演算時におけるオーバーフローやアン
20 ダーフローなどによつてダイナミックレンジや S
／N 比が劣化することを抑えるために、処理装置
24、25 を浮動小数点データの転送用として使
用する場合には、処理装置 24 はこの入力信号を
浮動小数点データに変換してストアする。こうし

- てストアされたデータは、この処理装置 24 内では、参照符 35、36 で示すように左右各チャンネル当たり 20 ビットの浮動小数点データとして演算処理等が行われる。そして、各 16 ビットの
- 5 仮数部領域 B1、B3 のデータが各 16 ビットの仮数部送信レジスタ 31、32 に、また各 4 ビットの指数部領域 B2、B4 のデータが各 16 ビットの指数部送信レジスタ 33、34 の 4 ビット領域 A1、A2 にそれぞれストアされる。
- 10 仮数部送信レジスタ 31、32 と指数部送信レジスタ 33、34 とにストアされているデータは、各レジスタ 31、32、33、34 ごとに個別に設けられた出力端子 51、52 からライン 71、72 を介して処理装置 25 の入力端子 61、62
- 15 から 16 ビットの仮数部レジスタ 41、42 と 16 ビットの指数部受信レジスタ 43、44 の 4 ビット領域 C1、C2 とにそれぞれ転送される。
- この時、ライン 71 を介して転送される仮数部データは第 53 図 (4) で示され、ライン 72 を
- 20 介して転送される指数部データは第 53 図 (5) で示される。処理装置 25 は、転送されてきたデータを参照符 45、46 で示すように 16 ビットの仮数部と 4 ビットの指数部とからなる左右各チャンネル当たり 20 ビットの浮動小数点データと

して演算処理等を行つた後、各チャンネル16ビットの左右各2チャンネル（合計4チャンネル）の固定小数点データに変換して、デジタル／アナログ変換器26、27に与える。

5 一方、多少精度を落としてでも、処理装置24、25間で多数のデータを同時に転送するために、処理装置24、25を固定小数点データの転送用として使用する場合には、処理装置24は、固定
10 小数点データの入力信号を浮動小数点データに変換して演算処理した後、固定小数点データに変換して、その演算結果を左右各チャンネルごとに設けた16ビットの仮数部送信レジスタ31、32にストアする。一方、指数部送信レジスタ33、34には参照符37、38で示される例えば左右
15 各チャンネル16ビットの他の固定小数点データがストアされる。この場合でも処理装置24内で、左右各チャンネル当たり20ビットの浮動小数点データに変換して演算処理する点は前述と同じである。

20 仮数部送信レジスタ31、32と指数部送信レジスタ33、34とにストアされているデータは、前述と同様にライン71、72を介して、仮数部受信レジスタ41、42と指数部受信レジスタ43、44とにそれぞれ転送される。この時、ライ

ン 7 1 を介して転送される固定小数点データは第
5 3 図 (6) で示され、ライン 2 を介して転送さ
れる他の固定小数点データは第 5 3 図 (7) で示
される。これらはいずれも各チャンネル当たり 1
5 6 ビット (1 サンプル周期当たり 3 2 ビット)
の固定小数点データである。

処理装置 2 5 は、転送されてきた固定小数点デ
ータをそれぞれ左右各チャンネル当たり 2 0 ビッ
トの浮動小数点データとして演算処理等を行つた
10 後、処理装置 2 4 と同様の処理により各チャネル
1 6 ビットの左右各 2 チャンネル (合計 4 チヤ
ンネル) の固定小数点データに変換して、1 サン
プリング周期のデータ毎にそれぞれデジタル / ア
ナログ変換器 2 6 、 2 7 に与える。

15 このように、指数部レジスタ 3 3 、 3 4 及び 4
3 、 4 4 が仮数部レジスタ 3 1 、 3 2 及び 4 1 、
4 2 と同一のビット長 (本例では 1 6 ビット) で
あるため、処理装置 2 4 、 2 5 間で固定小数点デ
ータを転送する場合には、指数部レジスタ 3 3 、
20 3 4 及び 4 3 、 4 4 を使用して左右各チャンネル
1 6 ビットの他の固定小数点データを同時に転送
することができ、従来に比べて 2 倍の転送能力を
有する。また、処理装置 2 5 とデジタル / アナロ
グ変換器 2 6 、 2 7 との間でも各チャンネル 1 6

ビットの左右各 2 チャンネルの固定小数点データを同時に転送できるため、音響信号処理装置 21 を 4 チャンネルステレオ対応の音響機器の処理装置に適用する場合には極めて効果的である。

5 以上のように本発明によれば、指数部レジスタを仮数部レジスタと同一のビット長に設定したので、浮動小数点データ及び固定小数点データの処理用に有効に使用でき、多数のデータの転送が可能となる。

10 第 55 図は実施例の音響信号処理装置 21 の電氣的構成を示すブロック図である。例えばラジオ受信機などからのアナログ音響信号は、入力端子 22 からアナログ／デジタル変換器 23 に与えられ、デジタル変換されて、大規模集積回路等によつて実現される処理装置 24 に入力される。

15 処理装置 24 は、入力信号に加算、乗算等の演算や遅延処理を行うことによつて、例えばトーンコントロールやサラウンドなどの音響信号の処理を行う。処理装置 24 の出力は、処理装置 25 に与えられ、他の演算処理が行われた後、デジタル／アナログ変換器 26 に与えられ、アナログ変換されて、出力端子 27 から電力増幅回路等と与えられる。

アナログ／デジタル変換器 23 の出力は、第 5

6 図 (1) で示されるように、1 サンプリング周
期当たり、左右各チャンネルごとに16ビット、
合計32ビットの固定小数点データによつて構成
されている。処理装置24、25とアナログ/デ
5 ジタル変換器23とデジタル/アナログ変換器2
6とは、第56図(2)で示されるクロック発生
回路28からのクロック信号SCLK、および第
56図(3)で示される同期信号SYNCに基づ
いて、演算処理等を行う。

10 処理装置24、25は演算時におけるオーバ
フローやアンダーフローなどによつてダイナミツ
クレンジやS/N比が劣化することを抑えるため
に、浮動小数点データとして演算処理および転送
を行う。また処理装置24、25で取り扱われる
15 浮動小数点データの仮数部は、演算誤差を少なく
し、精度を向上させるために、外部で取り扱われ
る固定小数点データのビット長(16ビット)よ
り長く(本例では18ビット)設定されている。

第57図は処理装置24、25の内部構成を示
すブロック図である。処理装置24、25は同一
構成を有するが、第57図では簡略化のため、処
理装置24としては送信系のみを、また処理装置
25としては受信系のみをそれぞれ示している。
20 処理装置24への入力信号は、前述のように1サ

ンプリング周期当たり32ビットの固定小数点データである。

5 処理装置24はこの入力信号を図示せぬ左右各チャンネル当たり16ビットの仮数部受信レジスタで受信する。この時、2ビットの仮数部領域および6ビットの指数部領域からなる図示せぬ指数部受信レジスタにはデータが入力されず、空状態である。そして、仮数部受信レジスタへの入力
10 アナログ/デジタル変換器23からの左右各チャンネル当たり16ビットの固定小数点データは、18ビットの仮数部と6ビットの指数部とからなる左右各チャンネル当たり24ビットの浮動小数点データに変換されて演算処理等が行われる。この
15 処理装置24の受信系の構成は処理装置25と同一であり、詳細については後述する。

演算処理された浮動小数点データは、データバス39からゲート37、38を介して、各チャンネル当たり24ビットの転送用バッファレジスタ
20 35、36にストアされる。この時、各チャンネル当たり18ビットの仮数部データは領域A1、C1、D1および領域A2、C2、D2にそれぞれストアされ、6ビットの指数部データは領域B1および領域B2にそれぞれストアされる。そし

て、各 18 ビットの仮数部データのうち、領域 A 1、A 2 にストアされた正負を表わす 1 ビットの符号ビットと領域 C 1、C 2 にストアされた 15 ビットのデータとからなる上位 16 ビットのデータが、各 16 ビットの仮数部送信用シフトレジスタ 3 1、3 2 にそれぞれストアされる。また、領域 B 1、B 2 にストアされる 6 ビットの指数部データと領域 D 1、D 2 にストアされる下位 2 ビットの残余の仮数部データとが、各 8 ビットの指数部送信用シフトレジスタ 3 3、3 4 にそれぞれストアされる。

仮数部送信レジスタ 3 1、3 2 と指数部送信レジスタ 3 3、3 4 とにストアされているデータは、共通のクロック信号 S C L K および同期信号 S Y N C に基づいて、各レジスタ 3 1 と 3 2、3 3 と 3 4 ごとに個別に設けられた出力端子 5 1、5 2 からライン 7 1、7 2 を介して処理装置 2 5 の入力端子 6 1、6 2 から 16 ビットの仮数部受信シフトレジスタ 4 1、4 2 と 8 ビットの指数部受信シフトレジスタ 4 3、4 4 とにそれぞれ転送される。尚、バッファレジスタ 3 5、3 6 へのデータのストアは任意のタイミングで行われ、またバッファレジスタ 3 5、3 6 から仮数部送信レジスタ 3 1、3 2 および指数部送信レジスタ 3 3、3 4

へのデータ転送は、例えば仮数部送信レジスタ3
1、32からのデータ転送が終了する毎に行われ
る。ライン71を介して転送される仮数部データ
は第56図(4)で示され、ライン72を介して
5 転送される指数部データおよび残余の仮数部デー
タは第56図(5)で示される。各レジスタ41、
42、43、44の内容は、仮数部受信レジスタ
41、42および指数部受信レジスタ43、44
へのデータ転送が終了する毎に転送用バッファレ
10 ジスタ45、46にストアされる。この時、仮数
部受信レジスタ41、42に転送されたデータの
うち、各1ビットの符号ビットはバッファレジス
タ45、46の領域A3、A4にそれぞれストア
され、残り各15ビットの仮数部データはバッフ
15 アレジスタ45、46の領域C3、C4にそれぞ
れストアされる。また、指数部受信レジスタ43、
44に転送されたデータのうち、各6ビットの指
数部データはバッファレジスタ45、46の領域
B3、B4にそれぞれストアされ、各2ビットの
20 残余の仮数部データはバッファレジスタ45、4
6の領域D3、D4にストアされる。バッファレ
ジスタ45、46にストアされた左右各チャンネル
当たり24ビットの浮動小数点データは、任意
のタイミングでゲート47、48を介して読み出

され、データバス49を介して転送されて図示せぬ演算処理回路によつて演算処理される。

演算処理された各チャンネル当たり24ビットの浮動小数点データは指数部がすべて0の18ビットの仮数部のみで表現されるデータ、すなわち

5 固定小数点データに変換される。そして、この18ビットの仮数部データのうちの上位16ビットが前述の通り図示せぬ仮数部送信レジスタにストアされ、全て0の6ビットの指数部データおよび

10 残余の下位2ビットの仮数部データが図示せぬ指数部送信レジスタにストアされ、仮数部送信レジスタにストアされた16ビットの仮数部データがクロック信号SCLKおよび同期信号SYNCに基づいて、16ビットの固定小数点データとして

15 後段のデジタル／アナログ変換器26に転送される。このように、仮数部レジスタ31、32および41、42に浮動小数点データにおける仮数部の一部（本例では各上位16ビットのデータ）をストアし、指数部レジスタ33、34および43、

20 44に指数部（本例では各6ビットのデータ）および仮数部の残余の部分（本例では各下位2ビットのデータ）をストアし、仮数部レジスタ31、32および41、42の内容と指数部レジスタ33、34および43、44の内容とを個別に入力

または出力する端子 5 1、5 2 および 6 1、6 2 を設けたため、浮動小数点データにおける仮数部のビット数が外部で取り扱われる固定小数点データのビット長より長い場合でも、特別な変換回路を使用することなく、共通のクロック信号（本例では 1 サンプリング周期当たり 3 2 個のパルス信号）に基づいて演算処理および転送することができる。また処理装置 2 4、2 5 間のデータ転送においても浮動小数点データをそのままの形態で転送することができ、処理装置をその演算処理の内容または量に応じて複数個に分けた場合でも 1 個の処理装置で処理したのと同等の演算精度が得られる。

以上、詳細に説明したように、本発明によれば演算処理する浮動小数点データにおける仮数部のビット数が外部で取り扱われる固定小数点データのビット長より長い場合でも、特別な変換回路を使用することなく、共通のクロック信号に基づいて演算処理及び転送することができ、且つ精度を劣化させることがない。

実施例

第 5 8 図は、実施例の音声信号処理装置 2 1 の電氣的構成を示すブロック図である。入力端子 2 2 から入力されるたとえばラジオ受信機等からの

アナログ音声信号は、アナログ／デジタル変換器
23においてデジタル変換され、たとえば大規模
集積回路等で実現される処理装置24に与えられ
る。処理装置24では、入力されたデジタル音声
5 信号に、たとえばトーンコントロールのための演
算処理や遅延処理などを行ない、処理装置25に
与える。処理装置25では、他の演算処理等が行
なわれ、こうして加工されたデジタル音声信号は、
デジタル／アナログ変換器26においてアナログ
10 変換され、出力端子27に接続されるたとえば電
力増幅回路等に与えられる。

このように構成された音声信号処理装置21に
おいて、アナログ／デジタル変換器23から処理
装置24に導出される出力、および処理装置25
15 からデジタル／アナログ変換器26に導出される
出力は、ステレオ信号である場合、左右各チャネ
ルをたとえば16ビットずつとすると、1サンプ
リング周期当り合計32ビットの固定小数点デー
タである。これに対して処理装置24、25内で
20 は、S/N比およびダイナミックレンジ等を向上
するために、音声信号を左右各チャネル毎にた
とえば16ビットの仮数部と4ビットの指数部とに
よつて構成すると、音声信号は1サンプリング周
期当り合計40ビットの浮動小数点データとして、

演算処理やデータの転送等が行なわれる。

処理装置 24 は、入力されたデータをストアするためには、16 ビットの左チャネル用セル A 1 1 a と 16 ビットの右チャネル用セル A 1 1 b とから成る 32 ビットの仮数部受信レジスタ A 1 1 と、
5 4 ビットの左チャネル用セル A 1 2 a と 4 ビットの右チャネル用セル A 1 2 b とから成る 8 ビットの指数部受信レジスタ A 1 2 とを含んでおり、受信されたデータは、スイッチ S 1 1 の共通接点 3
10 1 に与えられ、個別接点 3 2, 3 3 にそれぞれ接続された仮数部受信レジスタ A 1 1 または指数部受信レジスタ A 1 2 に選択的に書込まれる。処理装置 24 はまた、16 ビットの左チャネル用セル
15 B 1 1 a と 16 ビットの右チャネル用セル B 1 1 b とから成る 32 ビットの仮数部送信レジスタ B 1 1 と、4 ビットの左チャネル用セル B 1 2 a と 4 ビットの右チャネル用セル B 1 2 b とから成る 8 ビットの指数部送信レジスタ B 1 2 とを有して
20 おり、これらの仮数部送信レジスタ B 1 1 または指数部送信レジスタ B 1 2 からのデータは、スイッチ S 1 2 の個別接点 3 4, 3 5 にそれぞれ与えられ、共通接点 3 6 から選択的に続出される。スイッチ S 1 1 とスイッチ S 1 2 とは、制御回路 3
8 によつてそのスイッチング態様が制御される。

処理装置 25 は、上述の処理装置 24 と同様に構成され、16 ビットの左チャネル用セル A 2 1 a と 16 ビットの右チャネル用セル A 2 1 b とから成る仮数部受信レジスタ A 2 1 と、4 ビットの左チャネル用セル A 2 2 a と 4 ビットの右チャネル用セル A 2 2 b とから成る指数部受信レジスタ A 2 2 と、16 ビットの左チャネル用セル B 2 1 a と 16 ビットの右チャネル用セル B 2 1 b とから成る仮数部送信レジスタ B 2 1 と、4 ビットの左チャネル用セル B 2 2 a と 4 ビットの右チャネル用セル B 2 2 b とから成る指数部送信レジスタ B 2 2 と、スイッチ S 2 1, S 2 2 と、制御回路 3 9 とを含む。制御回路 3 8, 3 9 間は、ライン 4 0 で接続される。スイッチ S 2 1 の共通接点 4 1 は、ライン 3 7 を介してスイッチ S 1 2 の共通接点 3 6 に接続され、一方の個別接点 4 2 は仮数部受信レジスタ A 2 1 に接続され、他方の個別接点 4 3 は指数部受信レジスタ A 2 2 に接続される。スイッチ S 2 2 の一方の個別接点 4 4 は仮数部送信レジスタ B 2 1 に接続され、他方の個別接点 4 5 は指数部送信レジスタ B 2 2 に接続され、共通接点 4 6 はデジタル／アナログ変換器 2 6 に接続される。第 5 8 図において各レジスタ内に示された数字 1 6, 4 は、各レジスタのストア領域のビ

ツト数を表わす。

本件実施例では、前段側の処理装置 24 において、スイッチ S 1 1 の共通接点 3 1 は個別接点 3 2 に導通したままとされ、また後段側の処理装置
5 25 において、スイッチ S 2 2 の共通接点 4 6 は個別接点 4 4 に導通したままとされる。

したがって、アナログ／デジタル変換器 23 からの 32 ビットの固定小数点データは、処理装置
24 の仮数部受信レジスタ A 1 1 の左右両チャネル用セル A 1 1 a, A 1 1 b にストアされ、40 ビ
10 ットの浮動小数点データに変換された後、20 ビットの左チャネル用セル C 1 1 a と 20 ビットの右チャネル用セル C 1 1 b とから成る 40 ビットのレジスタ C 1 1 にストアされる。レジスタ C 1
15 1 内のデータは、演算処理等が行なわれた後、その左チャネル用セル C 1 1 a 内のデータは仮数部送信レジスタ B 1 1 の左チャネル用セル B 1 1 a と指数部送信レジスタ B 1 2 の左チャネル用セル B 1 2 a とにそれぞれストアされ、またレジスタ
20 C 1 1 の右チャネル用セル C 1 1 b 内のデータは仮数部送信レジスタ B 1 1 の右チャネル用セル B 1 1 b と指数部送信レジスタ B 1 2 の右チャネル用セル B 1 2 b とにそれぞれストアされる。スイッチ S 1 2 が個別接点 3 4 に導通しているときに

は、スイッチ S 2 1 は個別接点 4 2 に導通しており、スイッチ S 1 2 が個別接点 3 5 に導通しているときには、スイッチ S 2 1 は個別接点 4 3 に導通する。こうしてスイッチ S 1 2, S 2 1 のスイッチング態様が連動して制御されるため、仮数部送信レジスタ B 1 1 の左右各チャネル用セル B 1 1 a, B 1 1 b の内容は仮数部受信レジスタ A 2 1 の左右各チャネル用セル A 2 1 a, A 2 1 b にそれぞれ転送され、また指数部送信レジスタ B 1 2 の左右各チャネル用セル B 1 2 a, B 1 2 b の内容は指数部受信レジスタ A 2 2 の左右各チャネル用セル A 2 2 a, A 2 2 b にそれぞれ転送される。

処理装置 2 5 において、仮数部受信レジスタ A 2 1 の左チャネル用セル A 2 1 a と指数部受信レジスタ A 2 2 の左チャネル用セル A 2 2 a とによつて受信された左チャネルのデータは、レジスタ C 2 1 の 2 0 ビットの左チャネル用セル C 2 1 a にストアされ、また仮数部受信レジスタ A 2 1 の右チャネル用セル A 2 1 b と指数部受信レジスタ A 2 2 の右チャネル用セル A 2 2 b とによつて受信された右チャネルのデータは、レジスタ C 2 1 の 2 0 ビットの右チャネル用セル C 2 1 b にストアされる。このようにストアされたデータは、演算処理等が行なわれた後、3 2 ビットの固定小数

- 128 -

点データに変換され、仮数部送信レジスタ B 2 1 の左右各チャンネル用セル B 2 1 a, B 2 1 b からデジタル／アナログ変換器 2 6 に与えられる。

このようにスイッチ S 1 1, S 1 2, S 2 1, S 2 2 のスイッチング態様を制御することによつて、
5 処理装置 2 4, 2 5 には同一の集積回路を共用することができる、かつその集積回路は比較的簡易な回路構成で実現することができる、部品コストを削減することができる。

10 以上のように本発明によれば、仮数部レジスタと指数部レジスタとは、制御手段によつてそのスイッチング態様が制御されるスイッチング手段によつて、送信のための端子または受信のための端子に選択的に接続されるようにしたので、伝送されるデータの形式が異なつていても、送受信を行
15 なうための回路構成の共通化を図ることができるようになり、特に集積回路などによつて本件処理装置を実現するのに極めて有利である。

20

請求の範囲

(1)第1および第2処理装置の相互のデータ転送方式において、

5 第1処理装置から、読出しおよび書込みを表わす命令と、読出しおよび書込みをすべき記憶領域のアドレスを指定するアドレス情報と、書込みを行なう際には前記アドレス指定された記憶領域に書込むべきデータとを順次的に送出し、

10 第1処理装置では、前記アドレス指定された記憶領域からのデータを受信し、

第2処理装置では、

前記命令と、アドレス情報と、データとを受信する受信レジスタと、

15 受信レジスタからの命令をデコードする手段と、受信レジスタからのアドレス情報をデコードする手段と、

命令デコード手段とアドレス情報デコード手段との出力に応答して、アドレス情報によつてアドレス指定された記憶領域にデータを書込み、または
20 は記憶領域からデータを読出すメモリと、メモリから読出されたデータを第1処理装置に転送する送信レジスタとを有することを特徴とするデータの転送方式。

(2)第1および第2の処理装置の相互のデータ転

送方式において、

第1処理装置から、第2処理装置の読出すべき記憶領域をアドレス指定するアドレス情報を送出し、

5 第1処理装置では、前記アドレス指定された記憶領域からのデータを受信し、

第2処理装置では、

アドレス情報を受信する受信レジスタと、

10 受信レジスタからのアドレス情報をデコードする手段と、

アドレス情報デコード手段の出力に回答してアドレス情報によつて、アドレス指定された記憶領域からデータを読出す手段と、

15 読出手段から読出されたデータを第1処理装置に転送する送信レジスタとを含むことを特徴とするデータ転送方式。

(3)第1および第2処理装置の相互のデータ転送方式において、

20 第1処理装置から、第2処理装置での書込みをすべき記憶領域をアドレス指定するアドレス情報と、前記アドレス指定された記憶領域に書込むべきデータとを順次的に送出し、

第2処理装置では、

アドレス情報とデータとを受信する受信レジス

タと、

受信レジスタからのアドレス情報をデコードする手段と、

- 5 アドレス情報デコード手段からの出力に応答してアドレス情報によつてアドレス指定された記憶領域にデータを書込む手段とを有することを特徴とするデータ転送方式。

(4)制御装置との間で相互にシリアルデータを転送するデータ転送装置であつて、

- 10 制御装置から転送されるコマンドデータとアドレスデータとの少なくとも一方を格納する第1記憶手段と、

制御装置との間で転送されるべきデータ本体を格納する第2記憶手段と、

- 15 制御装置から転送される上記各データを上記第1記憶手段または第2記憶手段のいずれかに切換えて入力する切換え手段とを含むことを特徴とするデータ転送装置。

- 20 (5)上記第2記憶手段は、制御装置から受信されるデータ本体および制御装置に送信されるデータ本体を選択的に格納する書込み／読出し兼用であることを特徴とする特許請求の範囲第4項記載のデータ転送装置。

(6)上記切換え手段は、制御装置から入力される

ラッチ信号に応じて、制御装置から入力されるクロック信号を上記第1記憶手段または第2記憶手段のいずれかに切換えて出力することを特徴とする特許請求の範囲第4項記載のデータ転送装置。

- 5 (7)制御装置と処理装置とを含み、これらの間で相互にシリアルデータを転送するデータ転送装置において、

制御装置と処理装置との間に設けられる信号ラインであつて、制御装置または処理装置から出力
10 される信号のレベルによつて処理装置または制御装置にデータの読出し動作状態または書込み動作状態のいずれかを指示するそのように信号ラインを設けたことを特徴とするデータ転送装置。

- 15 (8)上記データが複数種類の構成部分から成る場合において、

制御装置と処理装置との少なくとも一方には上記データまたはその構成部分のビット数をそれぞれ計数する複数の計数手段をそれぞれ設け、

- 20 計数手段の対応するビット数の計数終了出力によつて、対応するデータまたはその構成部分の読出し／書込み処理が行われるようにしたことを特徴とする特許請求の範囲第7項記載のデータ転送装置。

- (9)上記データが複数種類の構成部分から成る場

合において、書込み動作をする場合には書込みを行うデータの次に対象となるアドレスを転送し、読出し動作を行う場合には対象となるアドレスのみを転送することを特徴とする特許請求の範囲第5 7項記載のデータ転送装置。

(10)第1処理装置からのデータを第2処理装置に設けてあるメモリに書込むための書込み方式において、

第1処理装置からはまず、書込みをすべきことを表す書込命令と、書込みを行なうべき最初の記憶領域のアドレスを指定するアドレス情報とから成る第1の組合わせ情報を送出し、

次に書込動作を継続すべきかどうかを表す継続書込命令と、書込むべきデータとから成る第2の組合わせ情報を繰返し送出し、

第2処理装置ではまず、前記第1の組合わせ情報のアドレス情報によつてアドレス指定された記憶領域に、前記第2の組合わせ情報のデータを書込み、

次に前記第2の組合わせ情報の前記継続書込命令に応答して、データを順次的に書込んでゆくことを特徴とするデータ転送方式。

(11)第1処理装置に第2処理装置のメモリに記憶されているデータを読出す読出し方式において、

第1処理装置からはまず、読出しをすべきことを表す読出命令と、複数の各アドレスを有する記憶領域から順次的にデータを読出すブロック転送であるかどうかを表すブロック転送命令と、読出しを行なうべき最初の記憶領域のアドレスを指定するアドレス情報とから成る第3の組み合わせ情報を送出し、

次に読出しを行なうべきデータのワード数を表すワード数情報から成る第4の組み合わせ情報を送出し、

第2処理装置ではまず、前記第3の組み合わせ情報のアドレス情報によつてアドレス指定された記憶領域のデータを読出し、

次に前記ブロック転送命令からブロック転送であると判断されたときには、前記第4の組み合わせ情報のワード数情報によつて表されたワード数だけデータを順次的に読出してゆくことを特徴とするデータ転送方式。

補正された請求の範囲

[1988年8月12日 (12.08.88) 国際事務局受理；出願当初の請求の範囲1-11は取り下げられた；新しい請求の範囲12-14が加った (3頁)]

(1) (削除)

(2) (削除)

(3) (削除)

5 (4) (削除)

(5) (削除)

(6) (削除)

(7) (削除)

(8) (削除)

10 (9) (削除)

(10) (削除)

(11) (削除)

(12) (追加) 制御装置との間で相互にシリアルデータを転送するデータ転送装置であつて、

15 制御装置から転送されるコマンドデータとアドレスデータとの少なくとも一方を格納する第1記憶手段と、

制御装置との間で転送されるべきデータ本体を格納する第2記憶手段と、

20 制御装置から転送される上記各データを上記第1記憶手段または第2記憶手段のいずれかに切換えて入力する切換え手段とを含み、上記第2記憶手段は、制御装置から受信されるデータ本体および制御装置に送信されるデータ本体を選択的に格

納する書込み／読出し兼用であり、上記切換え手段は、制御装置から入力されるラッチ信号に応じて、制御装置から入力されるクロック信号を上記第1記憶手段または第2記憶手段のいずれかに切
5 換えて出力することを特徴とするデータ転送装置。

(13) (追加) 制御装置と処理装置とを含み、これらの間で相互にシリアルデータを転送するデータ転送装置において、

制御装置と処理装置との間に設けられる信号ラ
10 インであつて、制御装置または処理装置から出力される信号のレベルによつて処理装置または制御装置にデータの読出し動作状態または書込み動作状態のいずれかを指示するそのように信号ラインを設け、制御装置と処理装置との少なくとも一方
15 には上記データまたはその構成部分のビット数をそれぞれ計数する複数の計数手段をそれぞれ設け、

計数手段の対応するビット数の計数終了出力によつて、対応するデータまたはその構成部分の読
出し／書込み処理が行われるようにしたことを特
20 徴とするデータ転送装置。

(14) (追加) 制御装置と処理装置とを含み、これらの間で相互にシリアルデータを転送するデータ転送方式において、

制御装置と処理装置との間に設けられる信号ラ

インであつて、制御装置または処理装置から出力される信号のレベルによつて処理装置または制御装置にデータの読出し動作状態または書込み動作状態のいずれかを指示するそのように信号ラインを設け、書込み動作をする場合には書込みを行うデータの次に対象となるアドレスを転送し、読出し動作を行う場合には対象となるアドレスのみを転送することを特徴とするデータ転送方式。

10

15

20

第19条に基づく説明書

差し替え用紙に記載した請求の範囲は最初に提出した請求の範囲と以下の点で相違する。

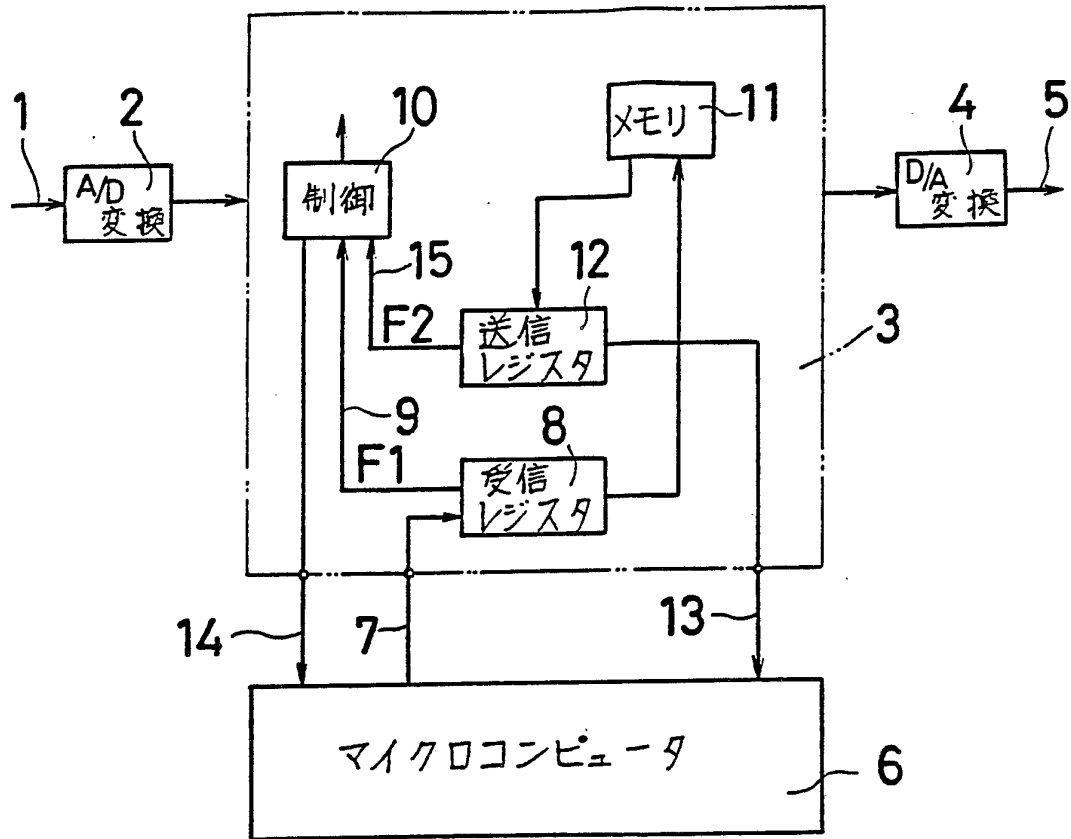
- 5 請求の範囲第1項～第11項はこれを捨てて削除した。

請求の範囲第12項は最初に提出した請求の範囲第4項、第5項および第6項に基づいて作成され追加された。

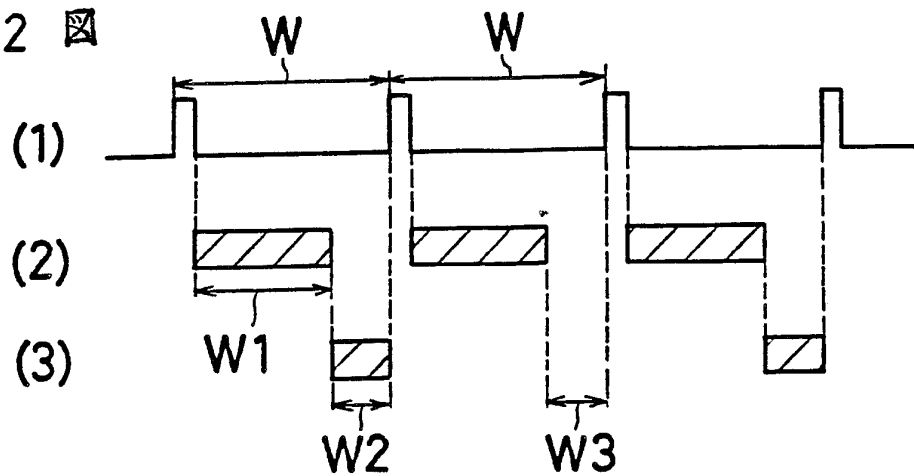
- 10 請求の範囲第13項は最初に提出した請求の範囲第7項および第8項に基づいて作成され追加された。

- 15 請求の範囲第14項は最初に提出した請求の範囲第7項および第9項に基づいて作成され追加された。

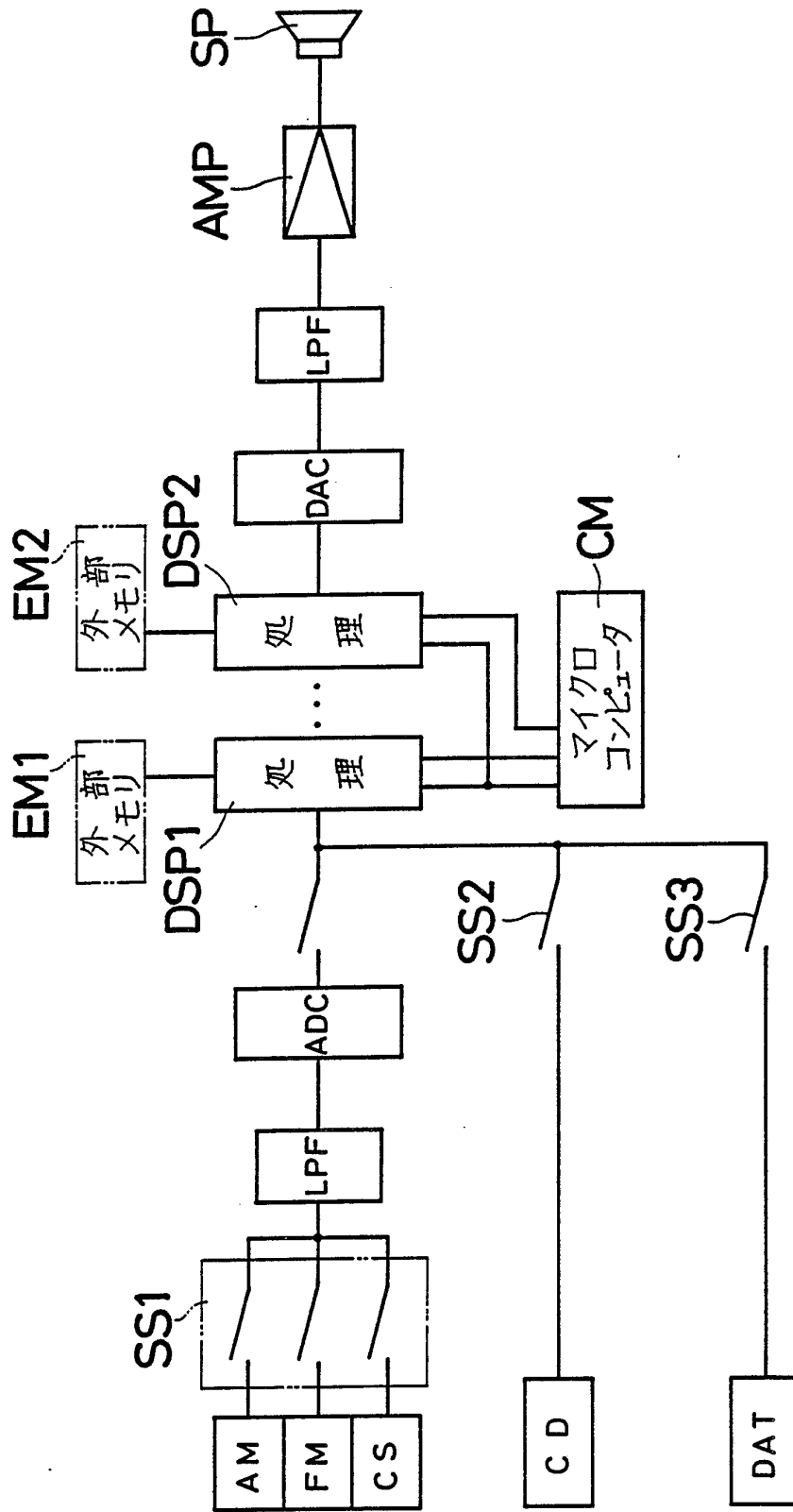
第 1 図

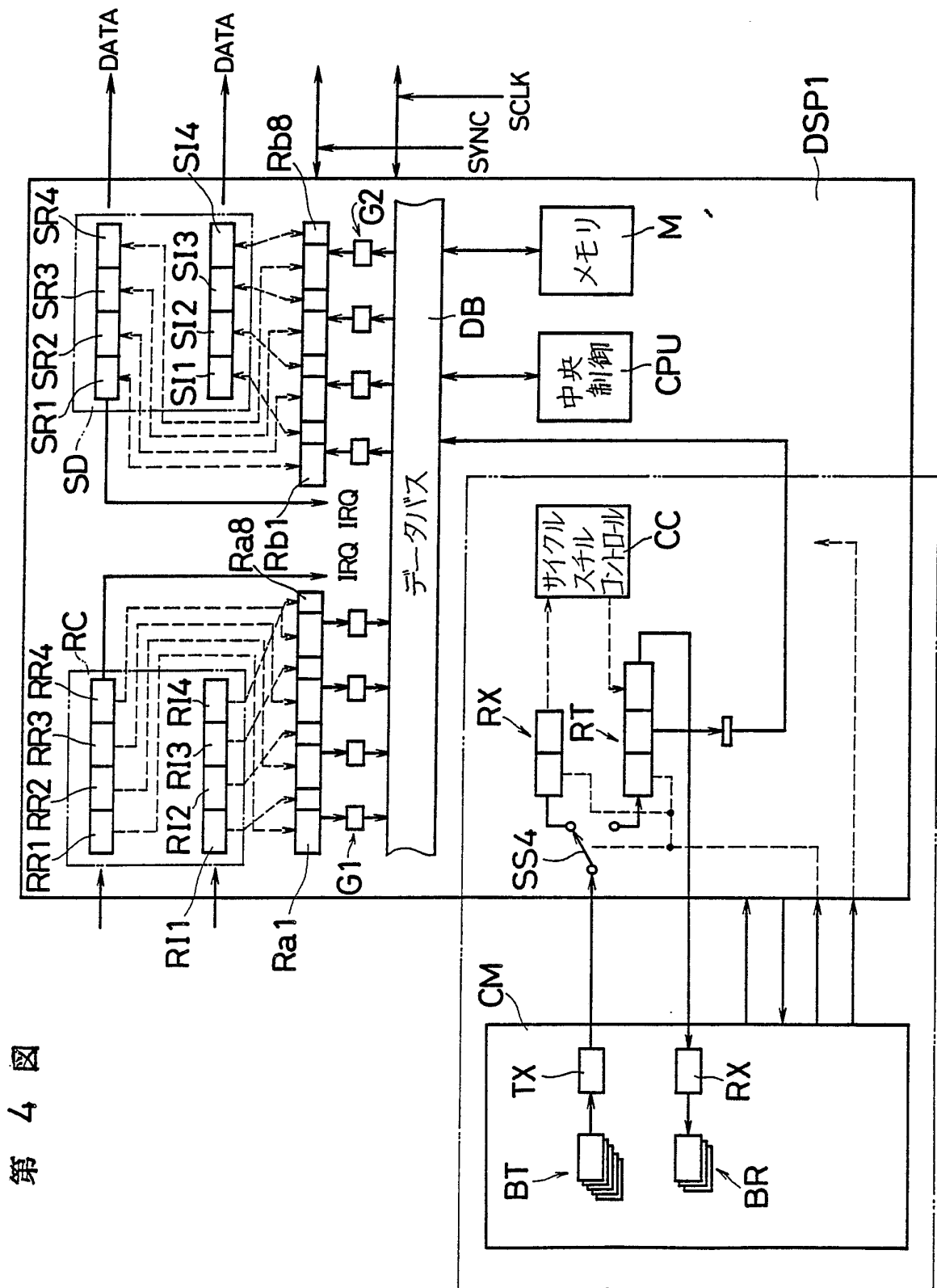


第 2 図



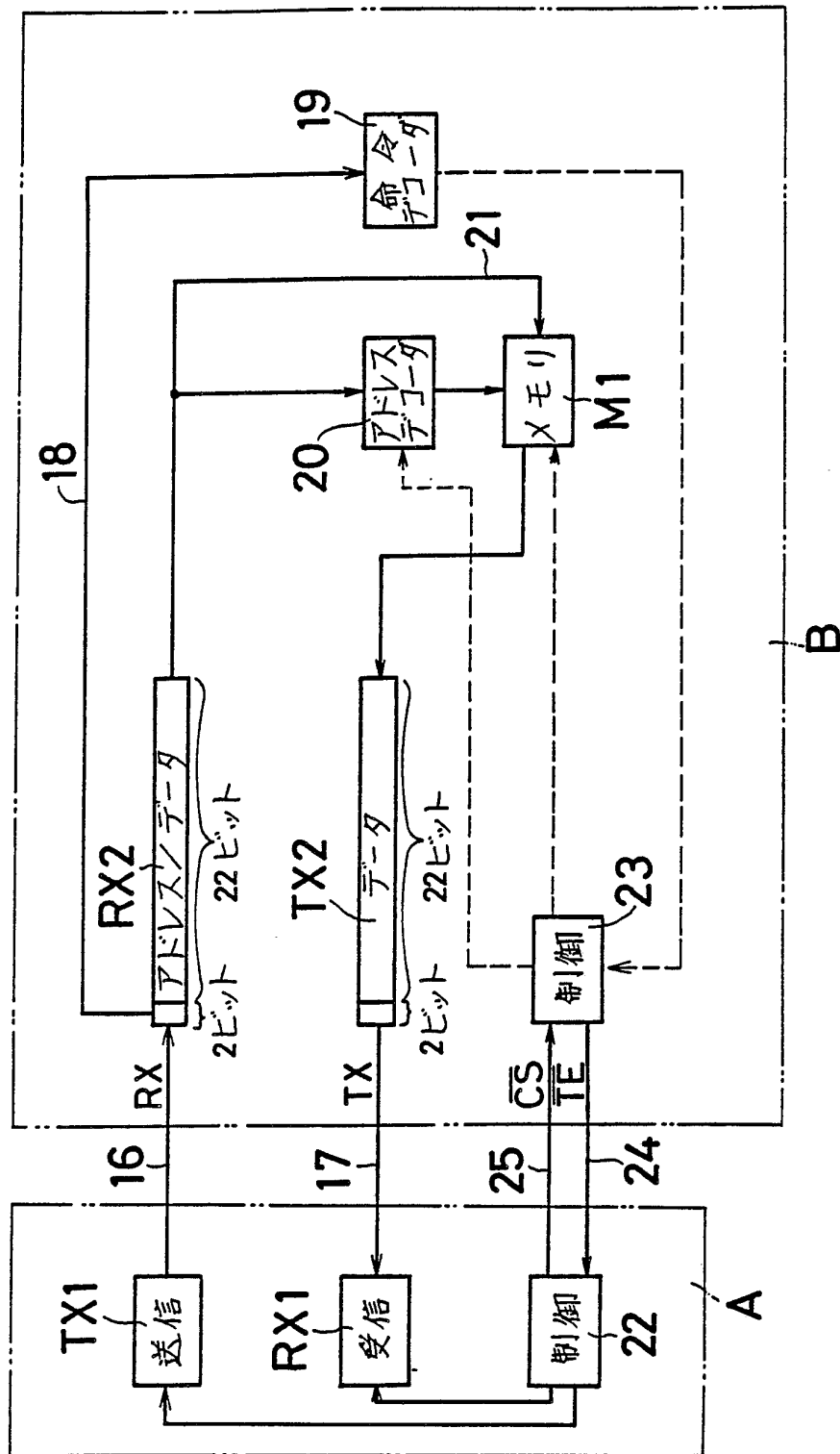
第 3 図



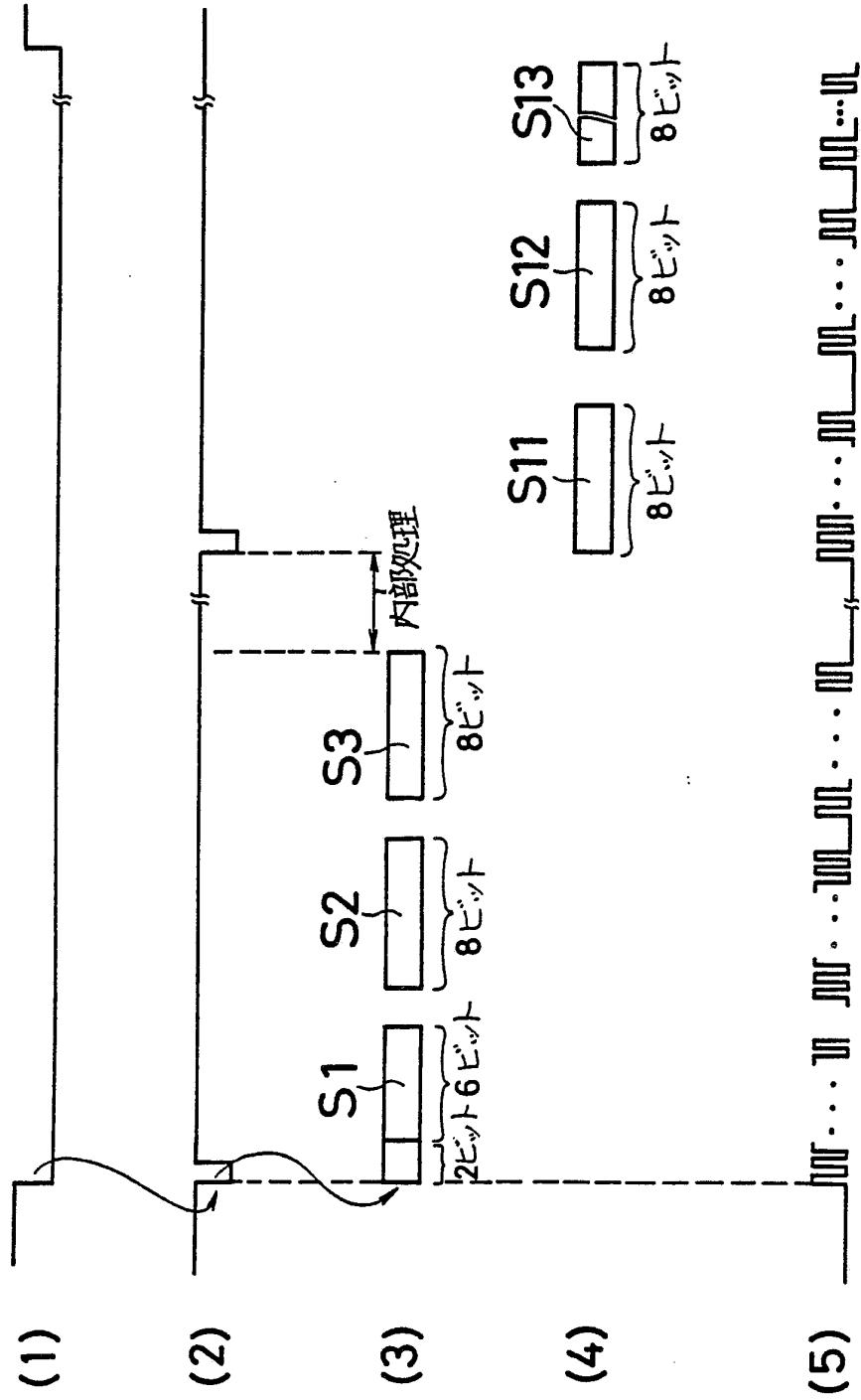


第 4 図

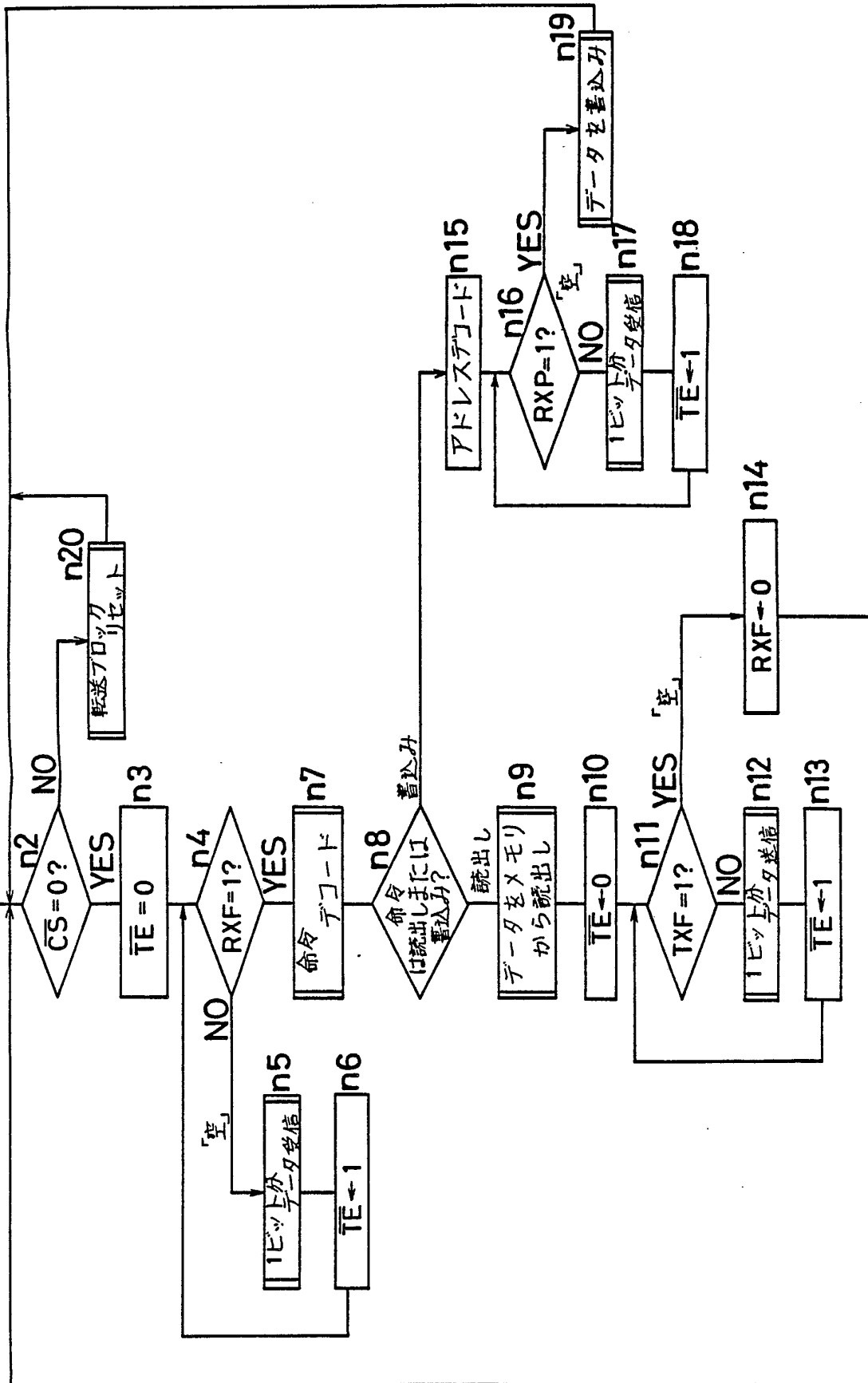
第 5 図



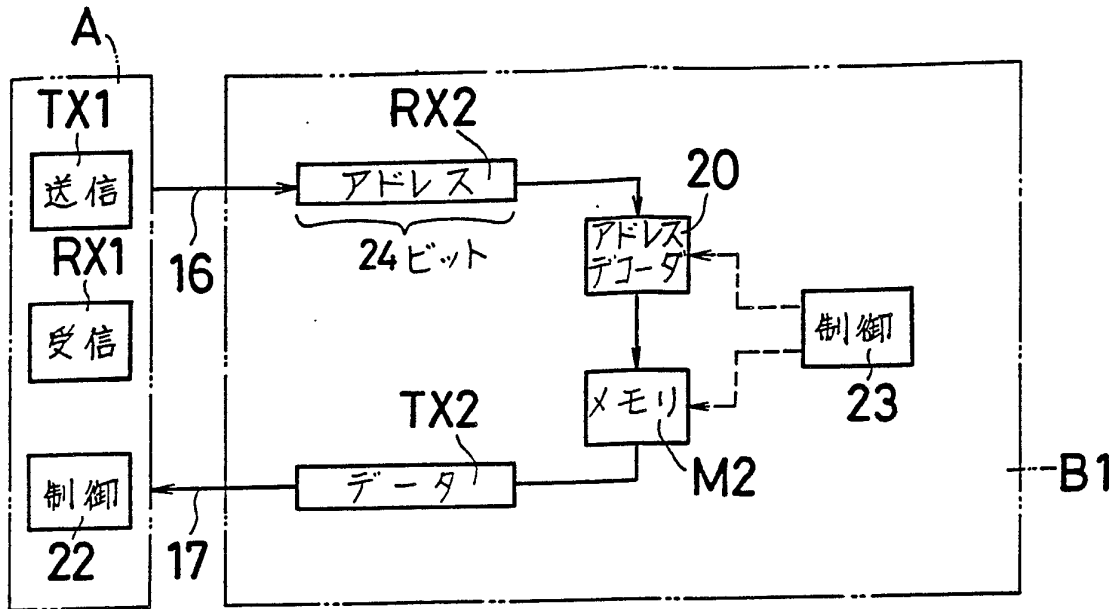
第 6 図



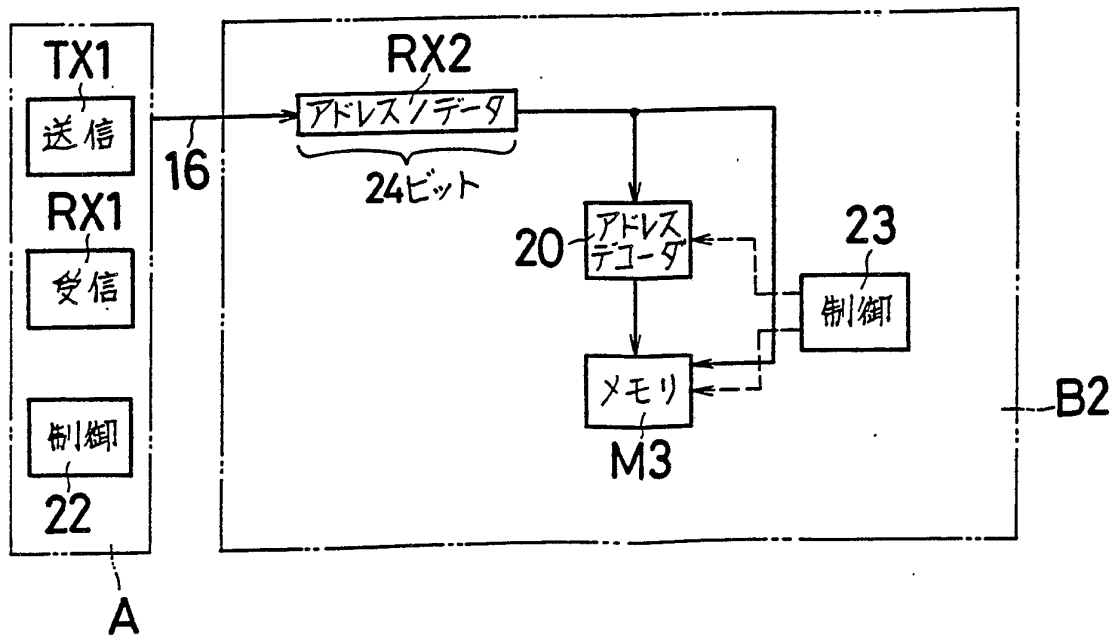
第 7 図

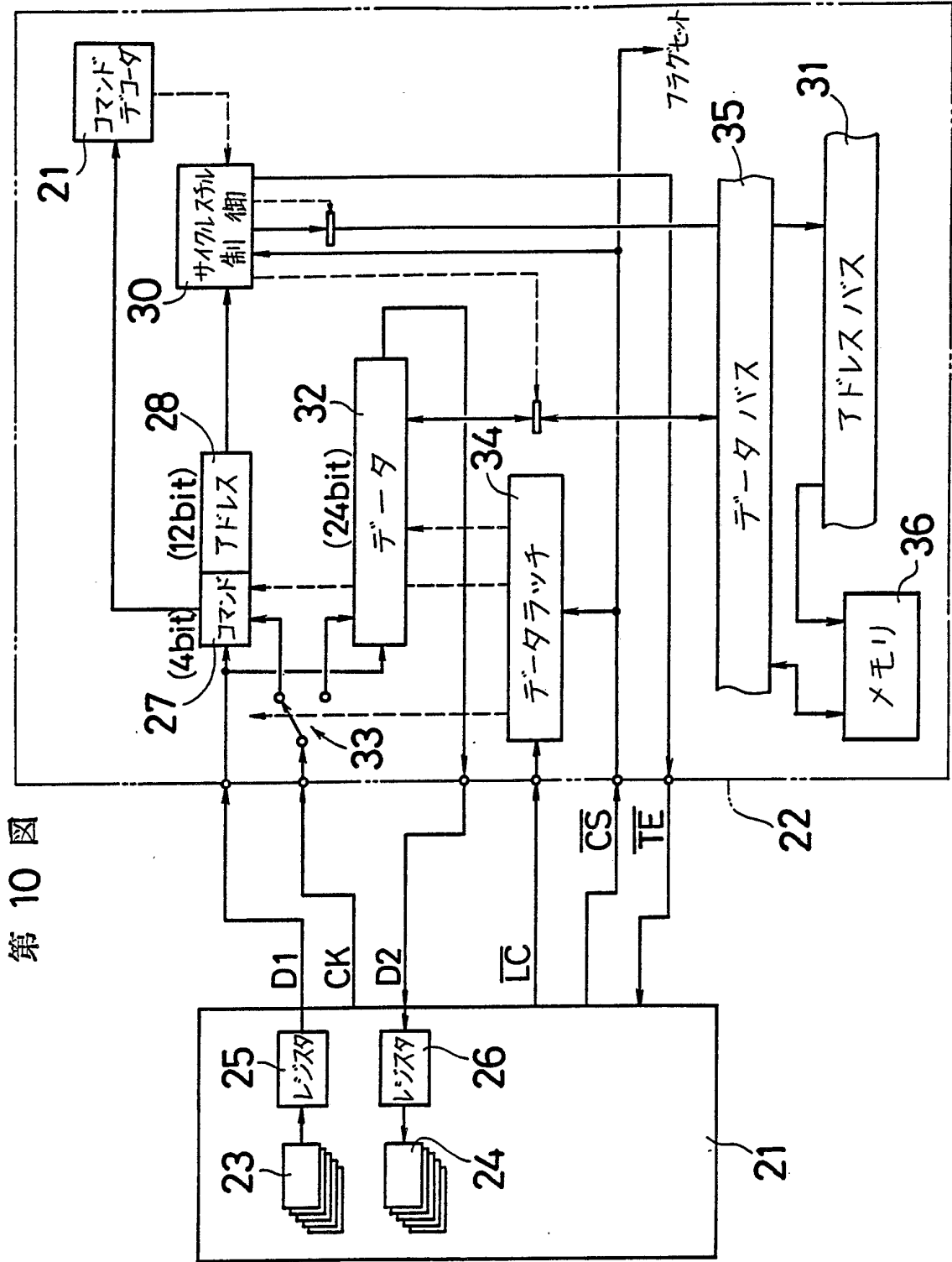


第 8 図



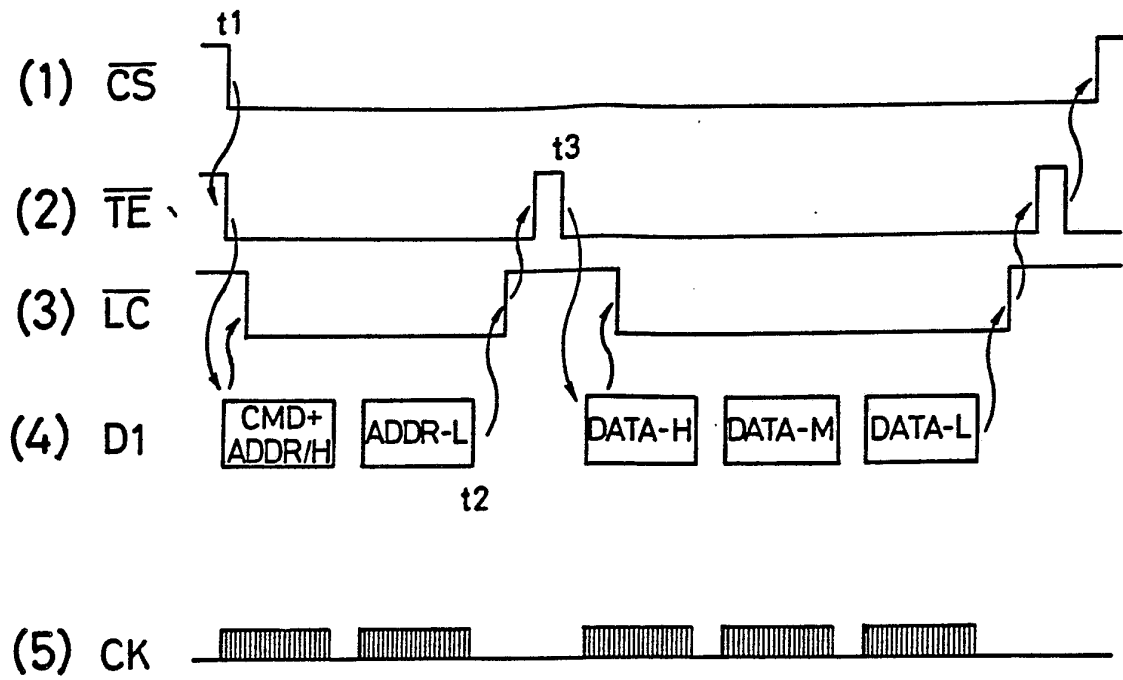
第 9 図



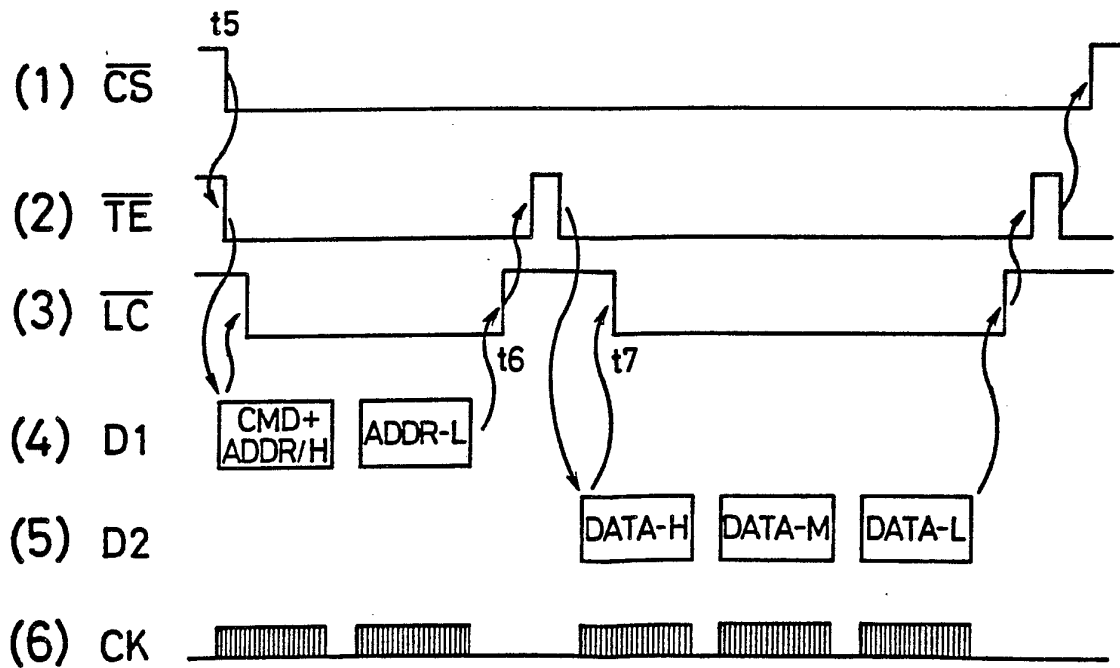


第 10 図

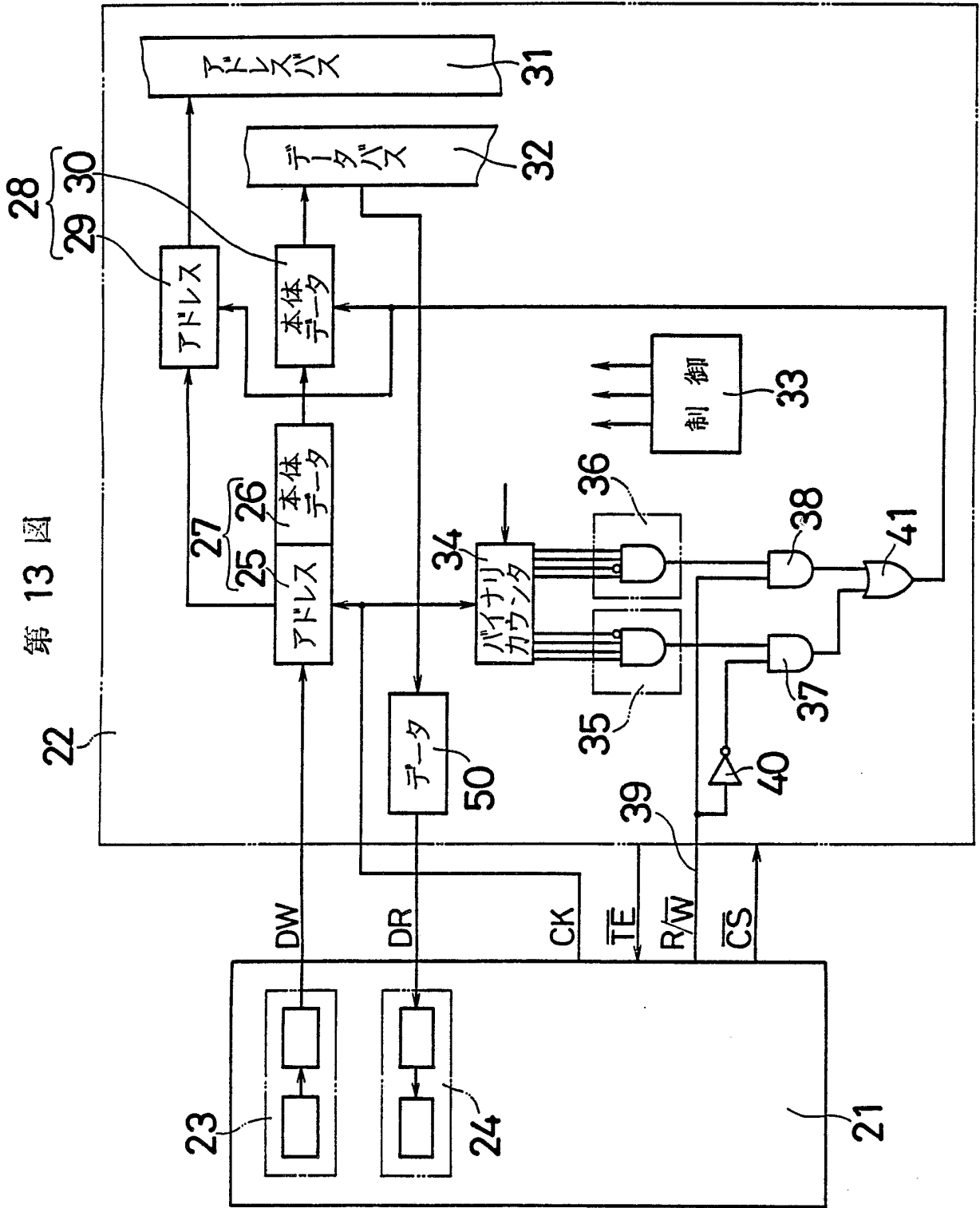
第 11 圖



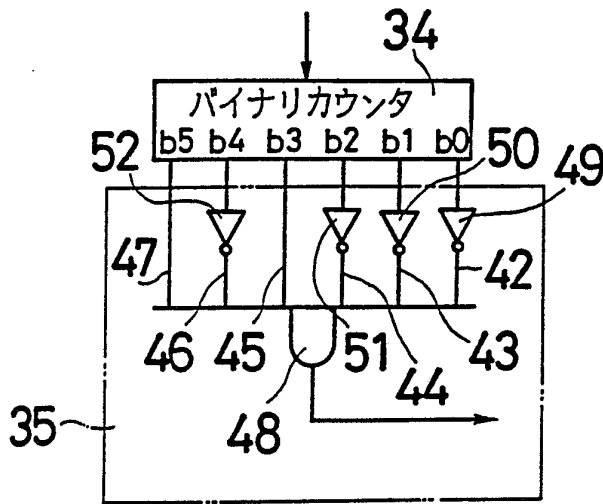
第 12 圖



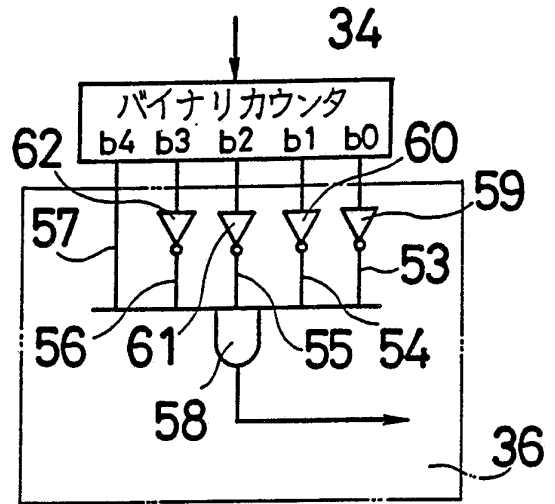
第 13 図



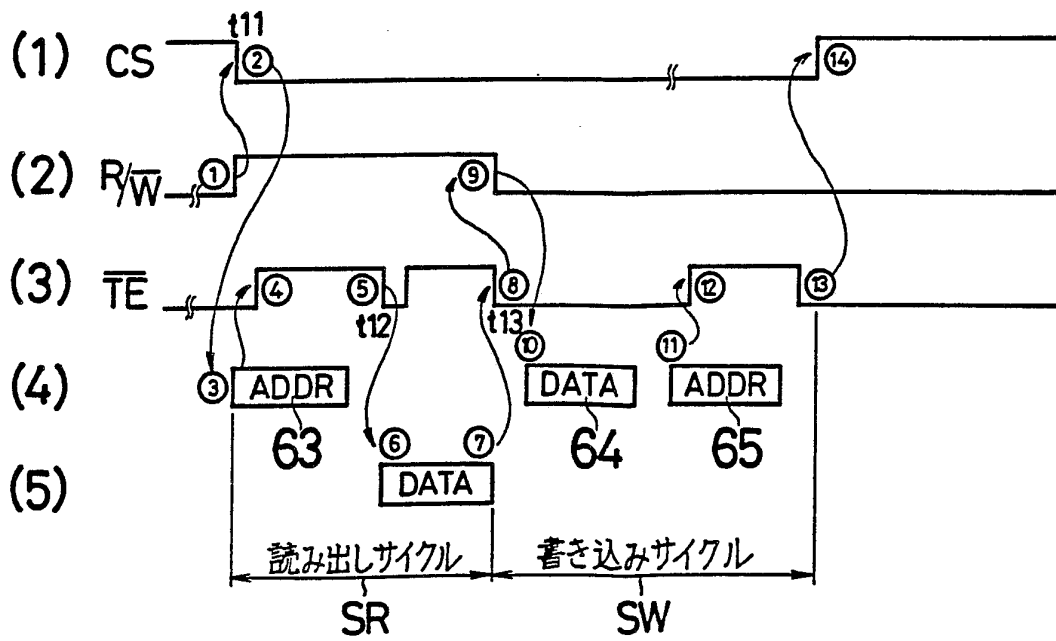
第 14 図



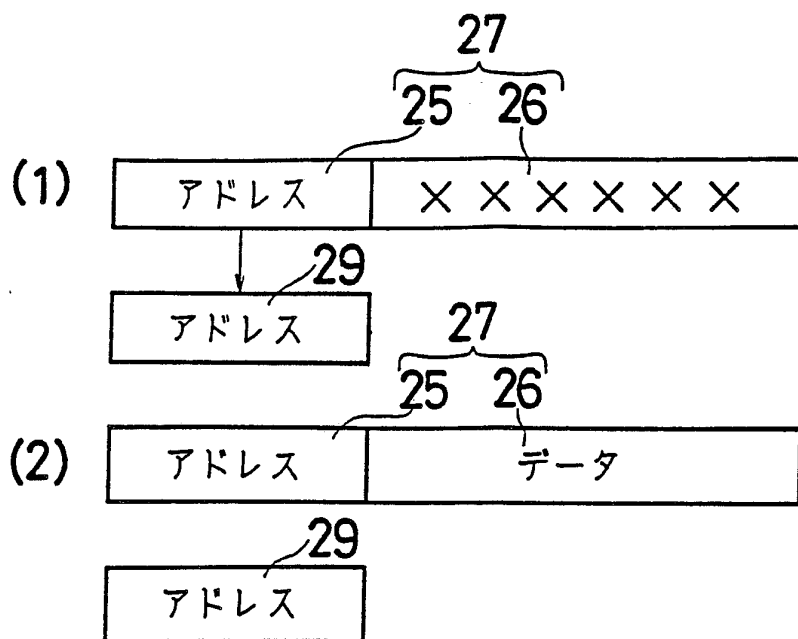
第 15 図



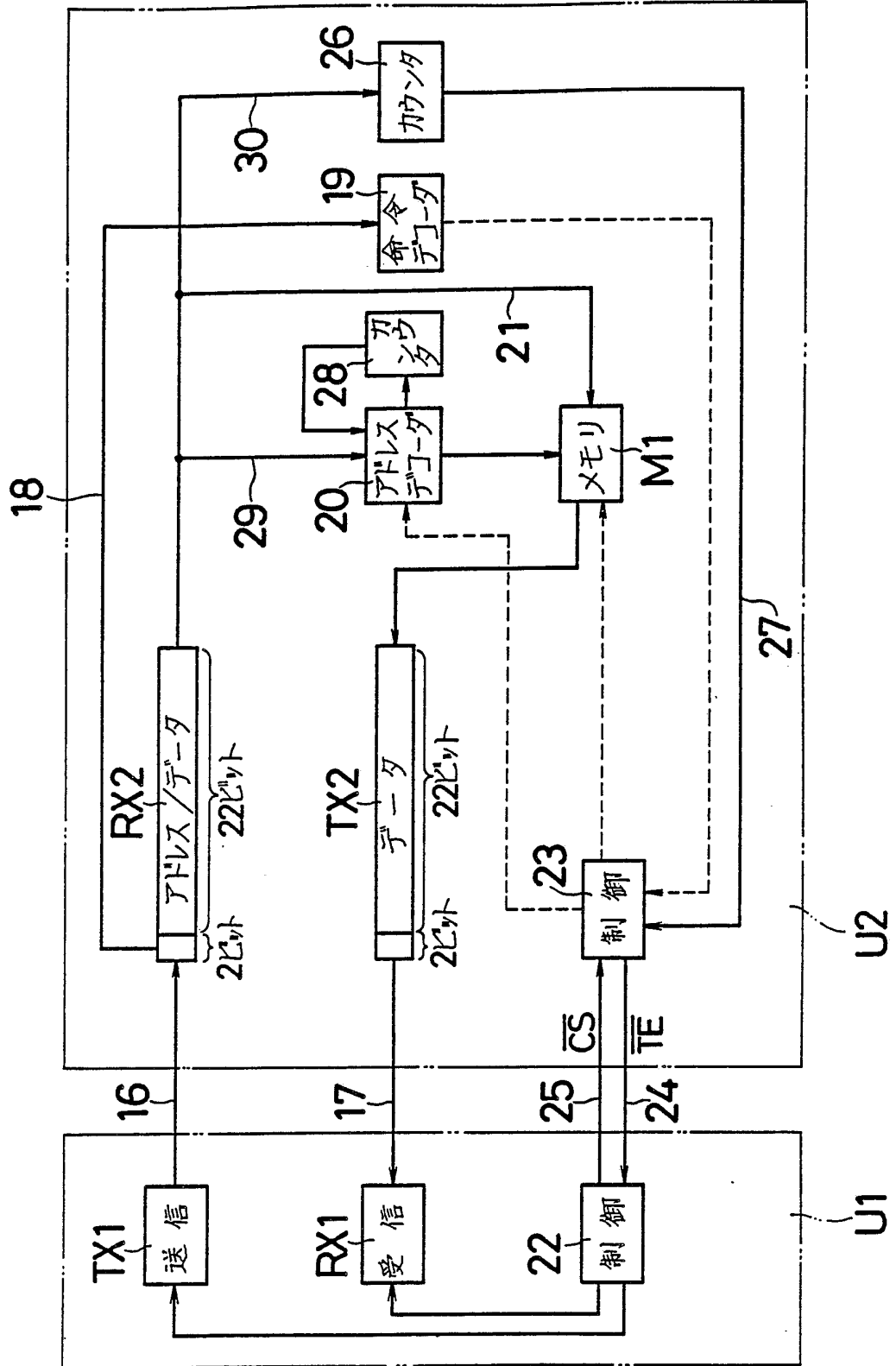
第 16 図



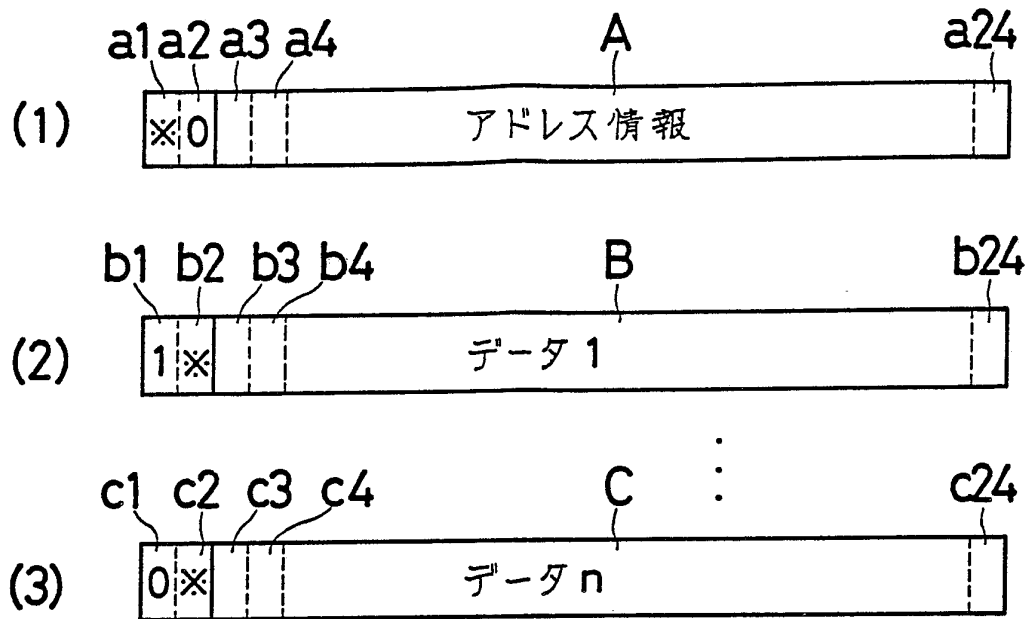
第 17 図



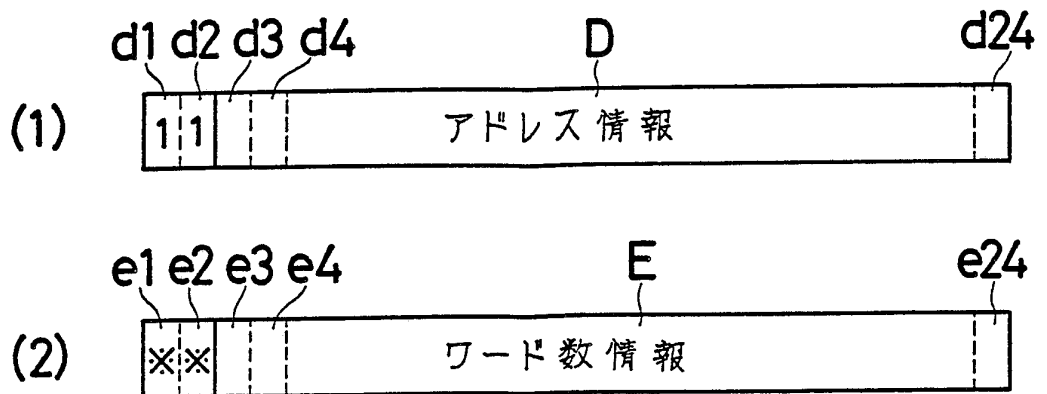
第 18 図



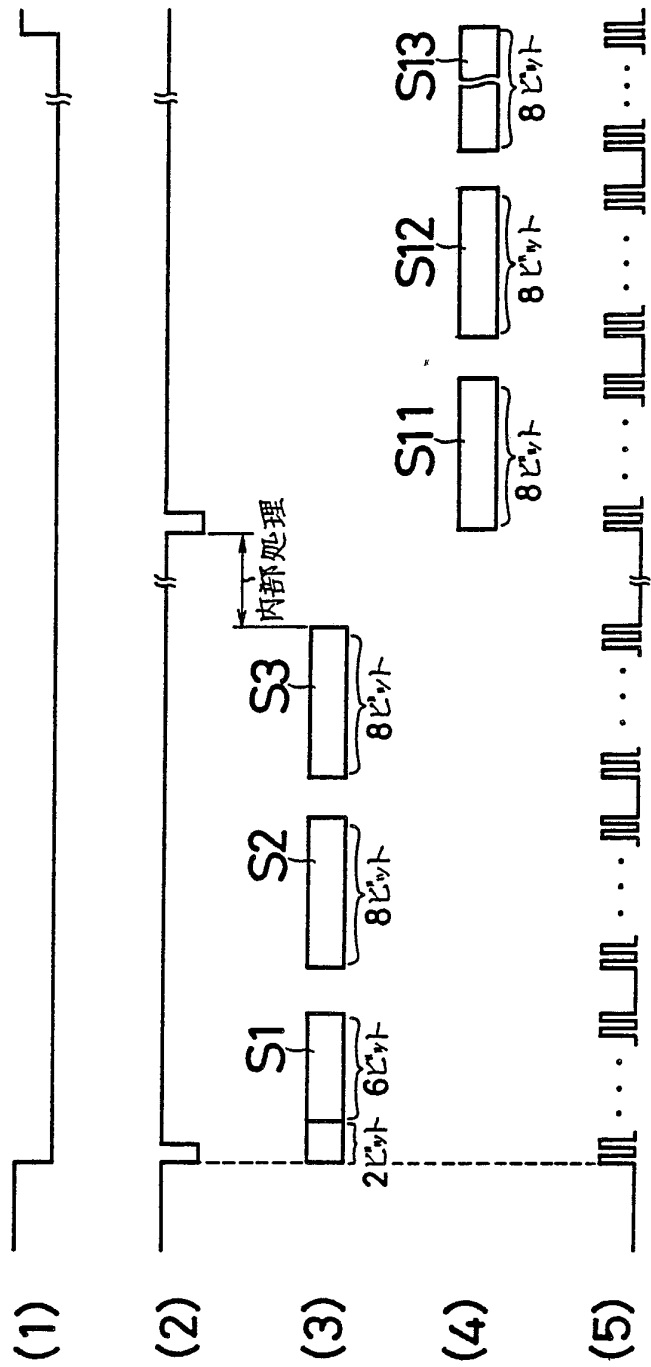
第 19 図



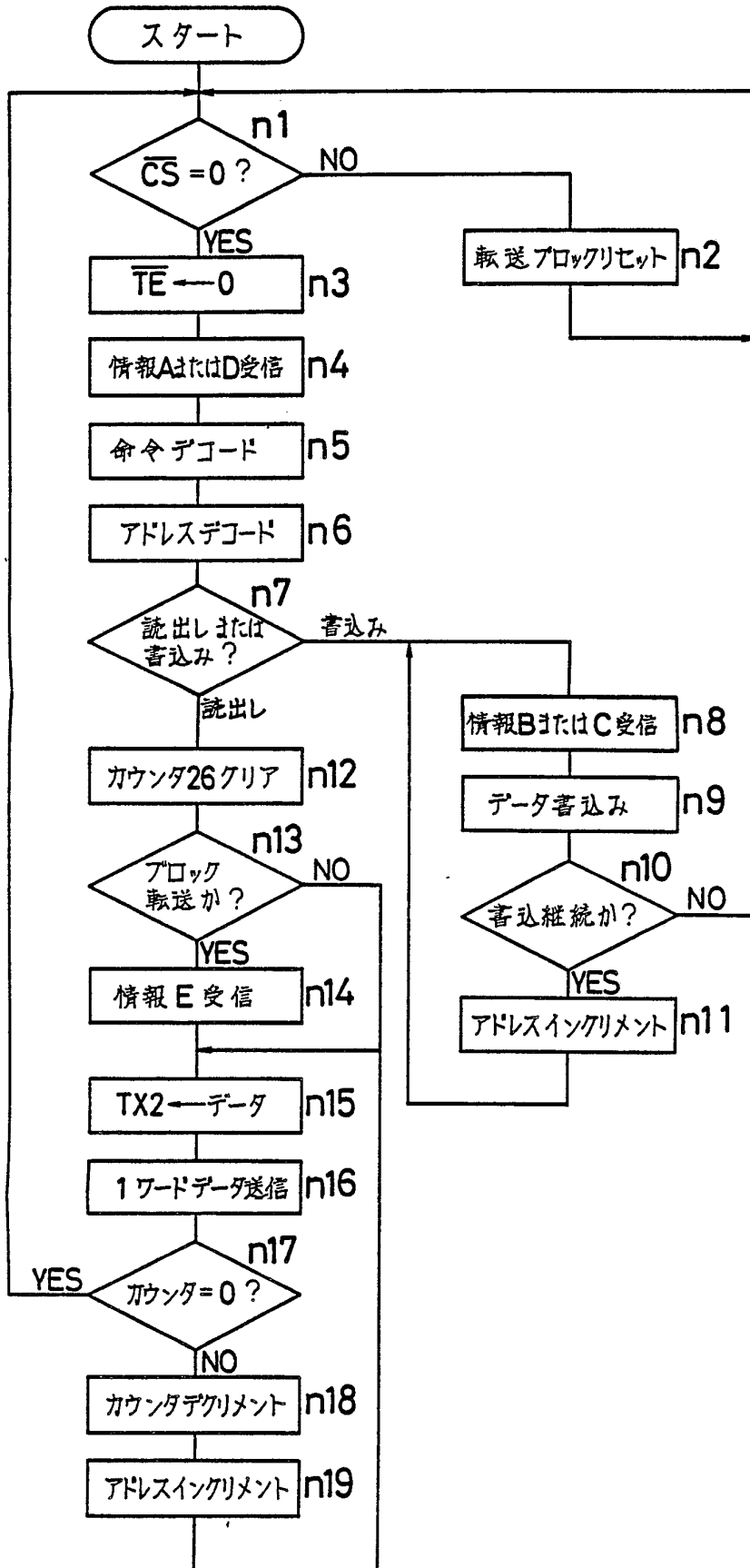
第 20 図



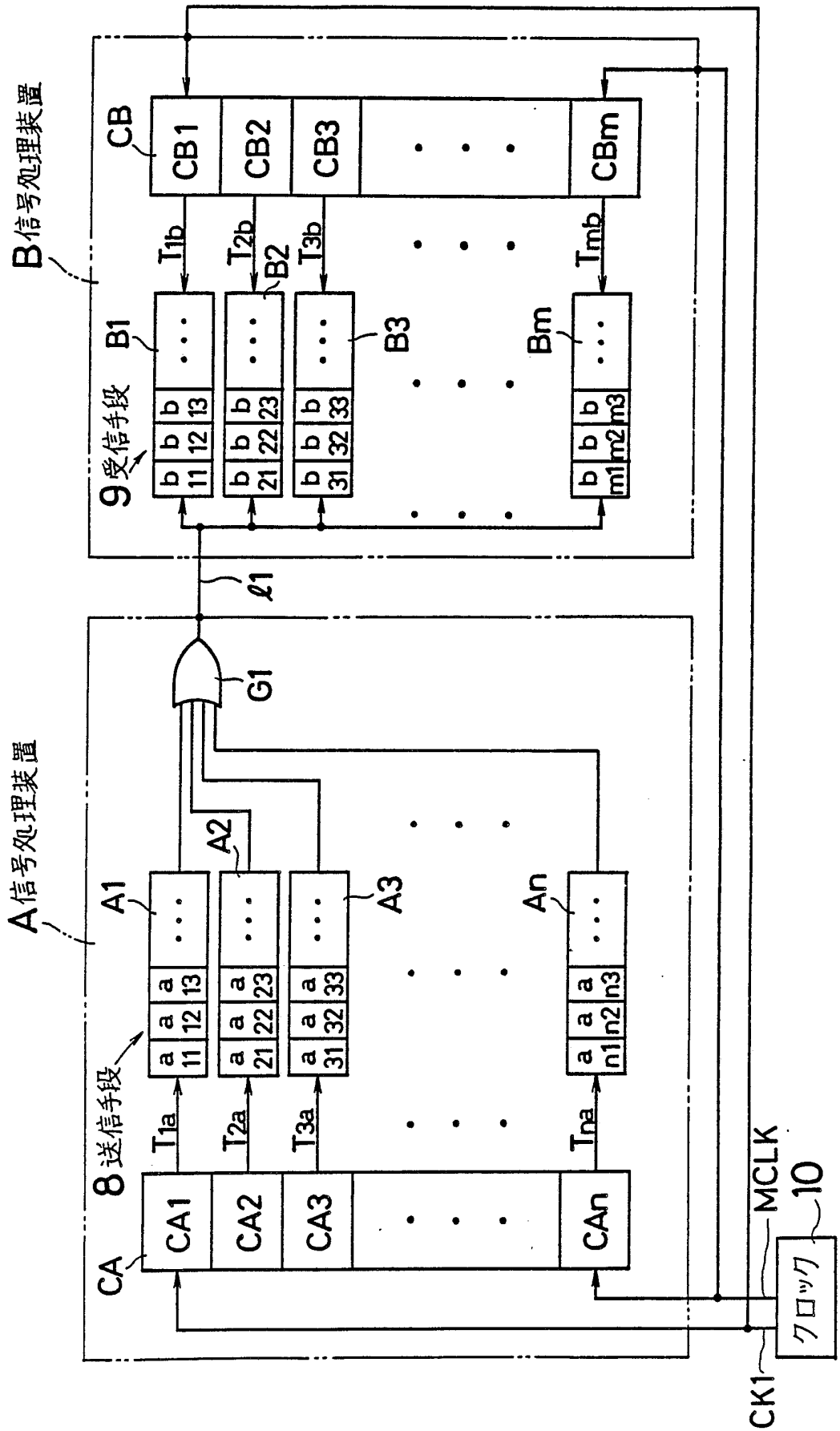
第 21 図



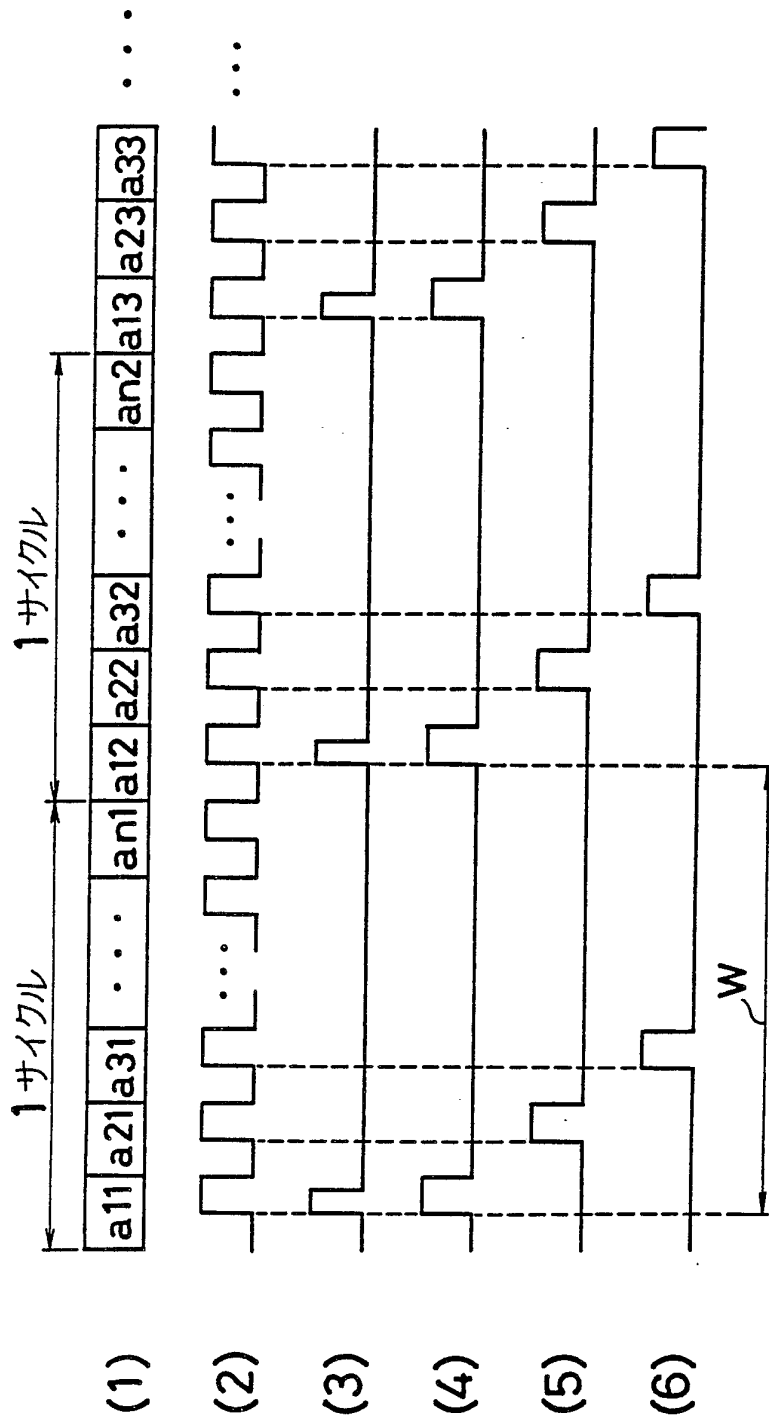
16/47
第 22 図



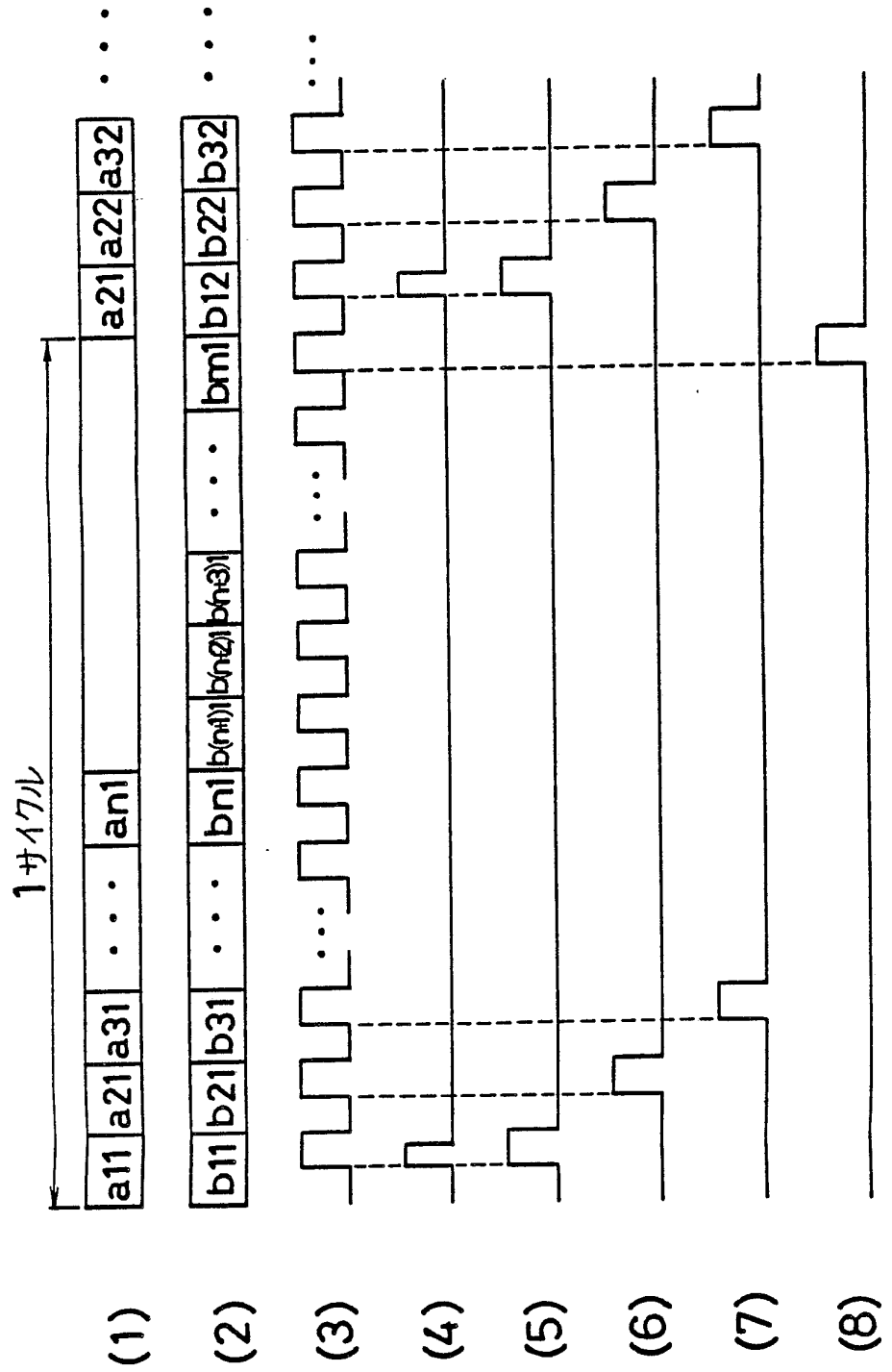
第 23 図



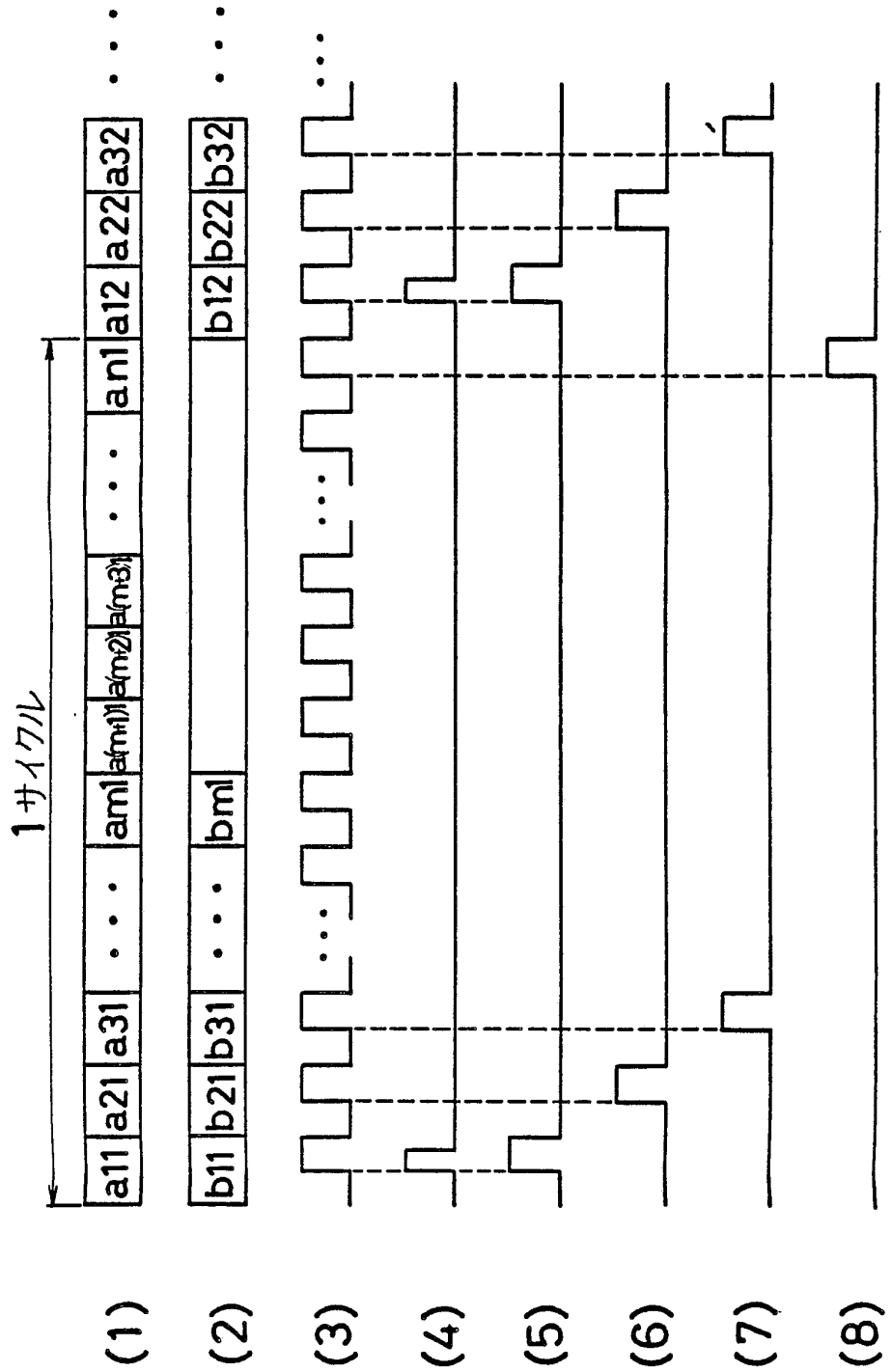
第 24 図



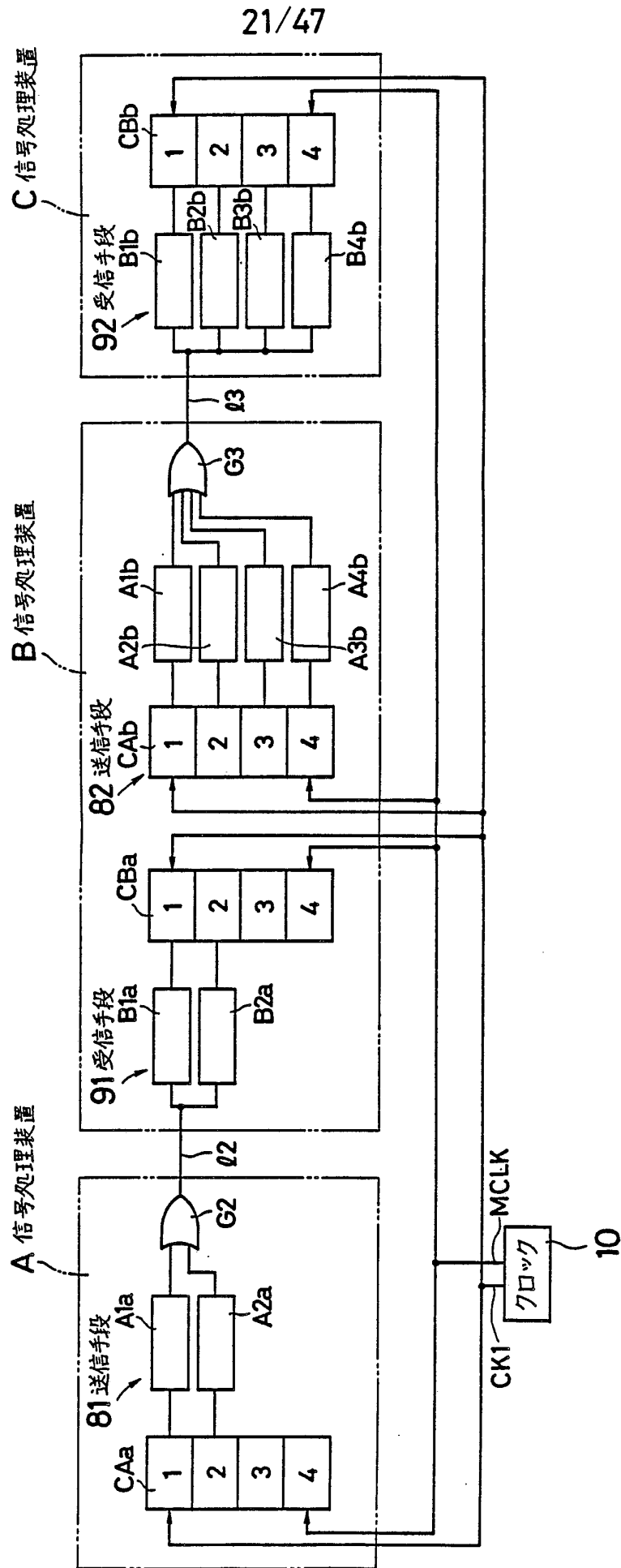
第 25 図



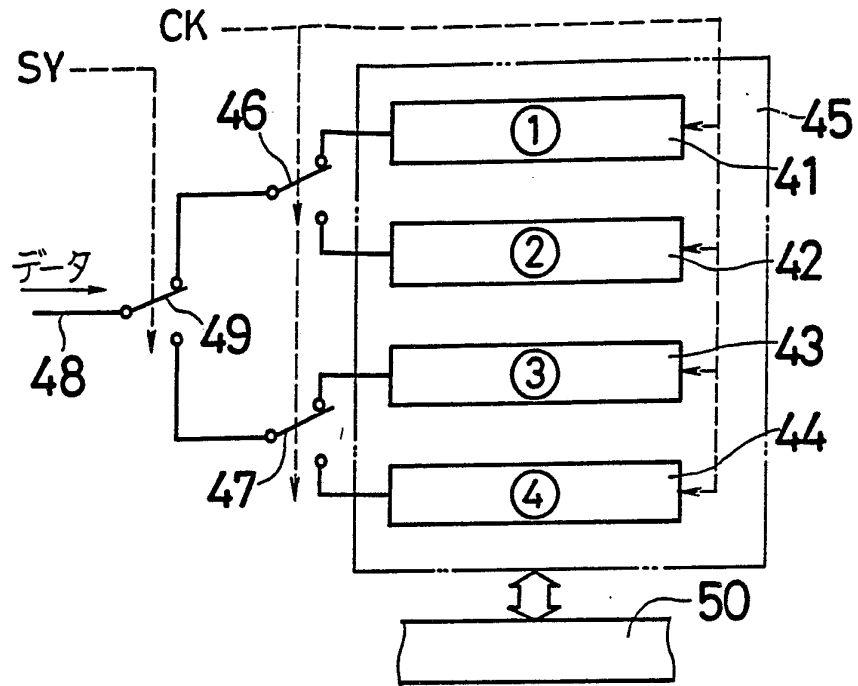
第 26 図



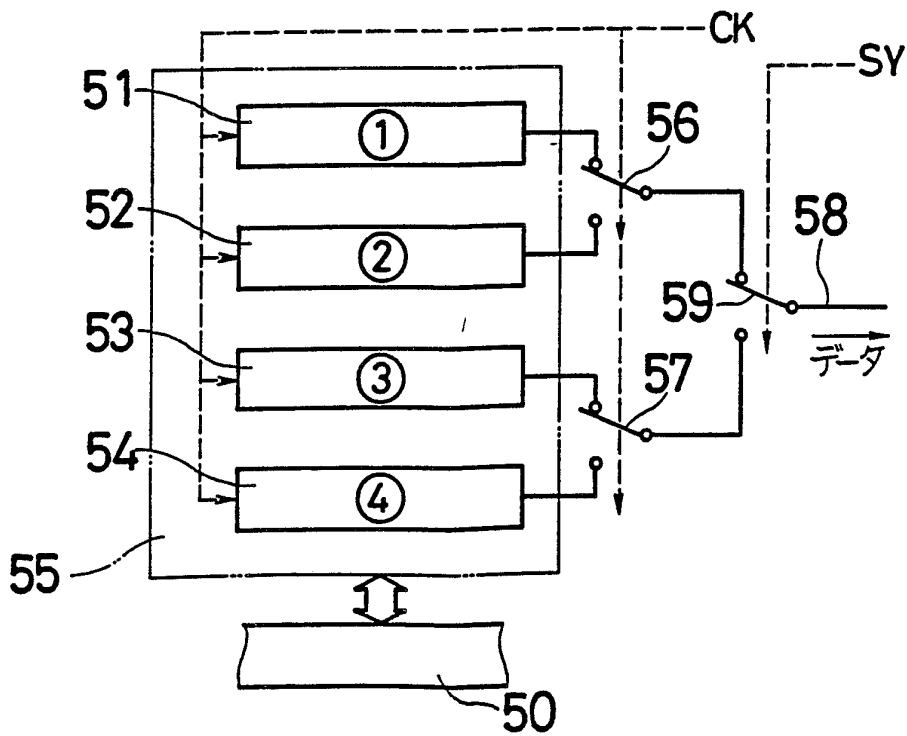
第 27 図



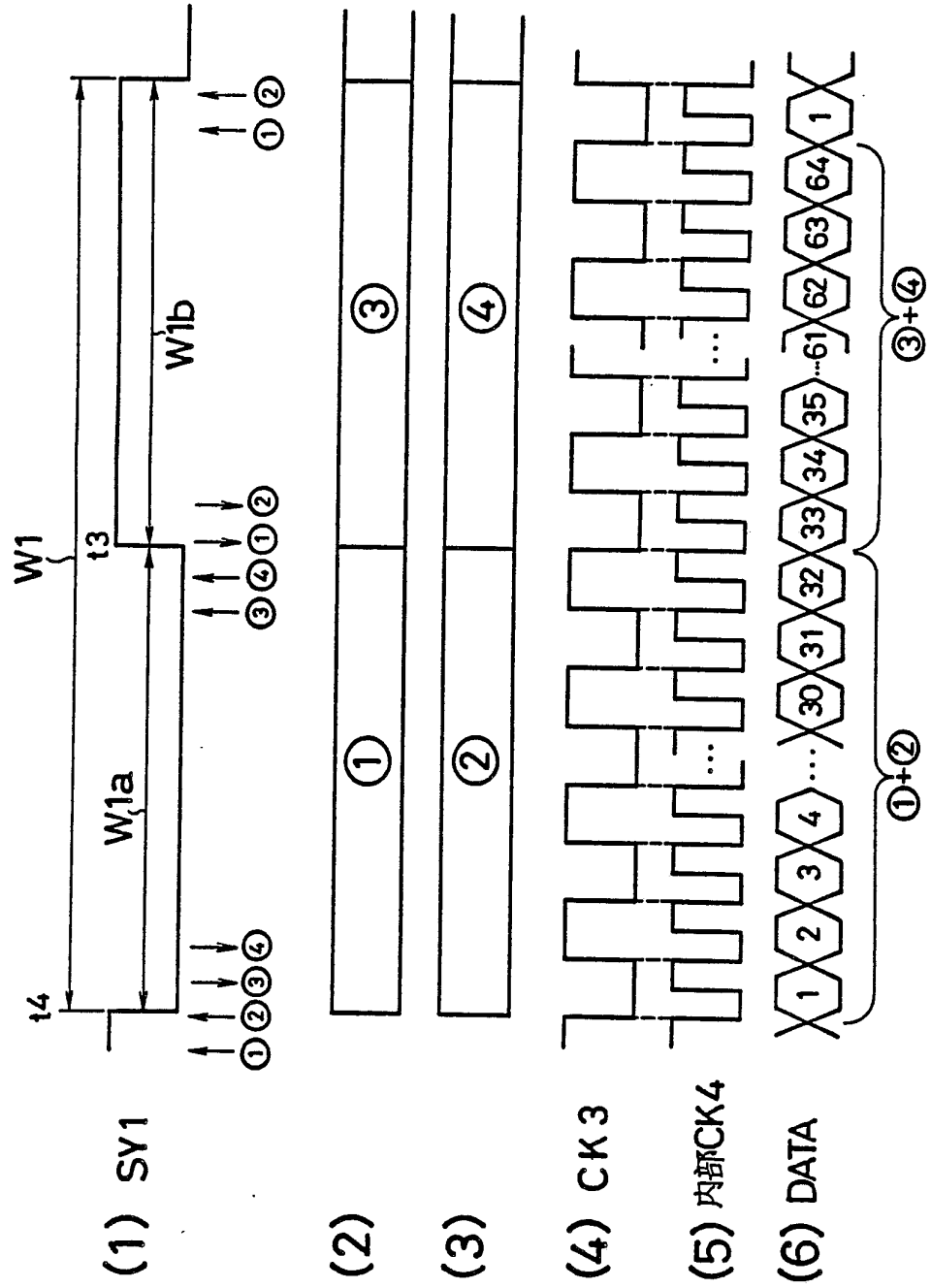
第 28 図



第 29 図



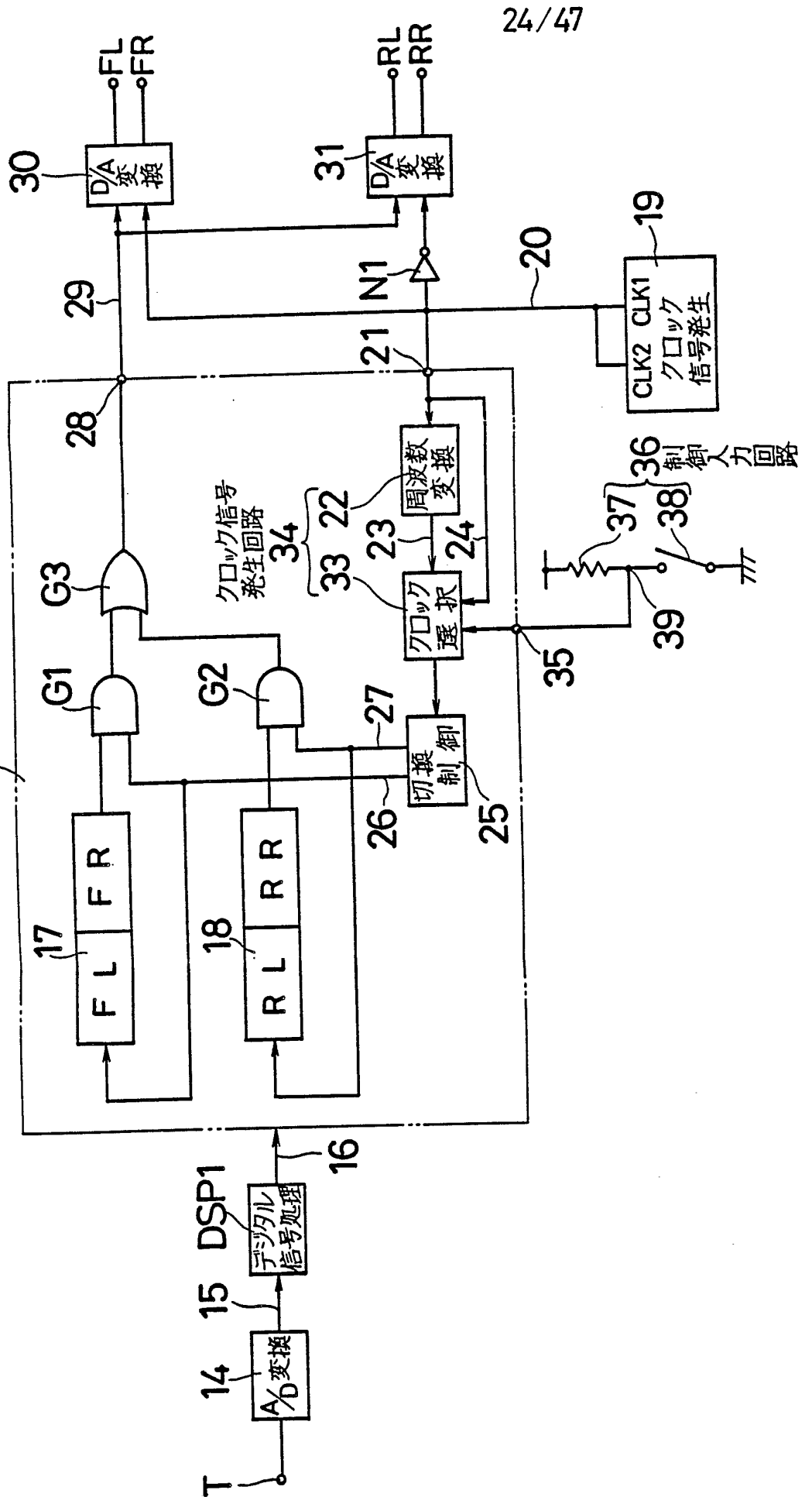
第 30 图

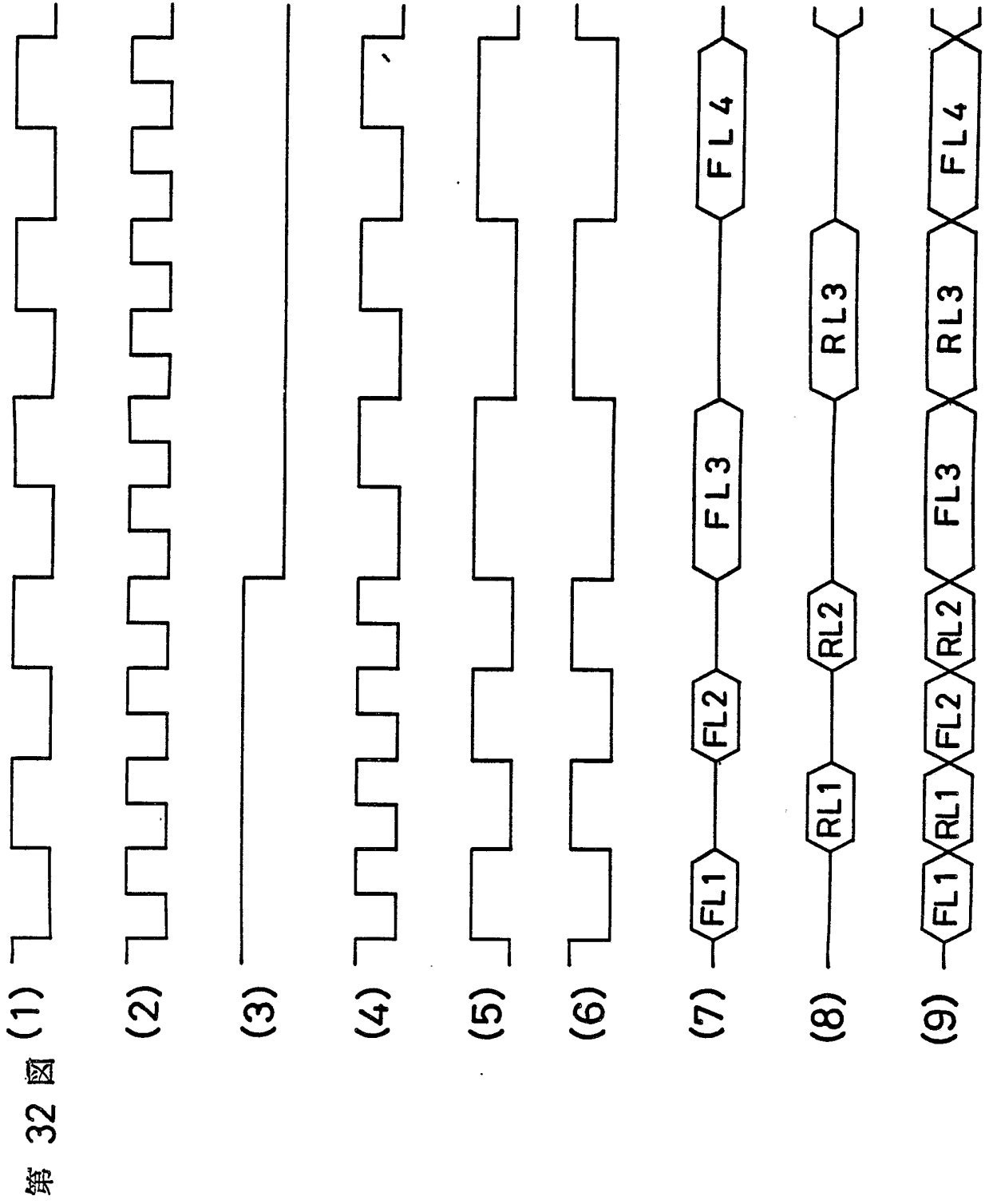


音声信号処理装置

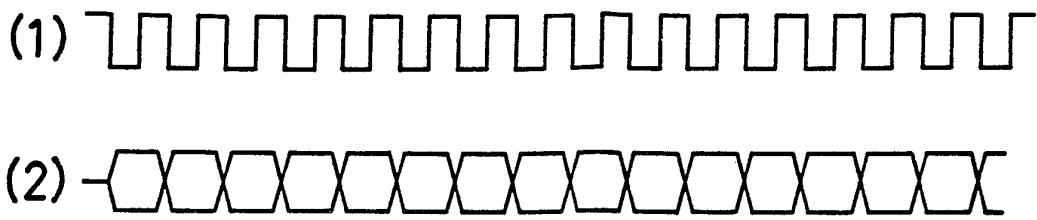
第 31 図

DSP2
デジタル信号処理回路

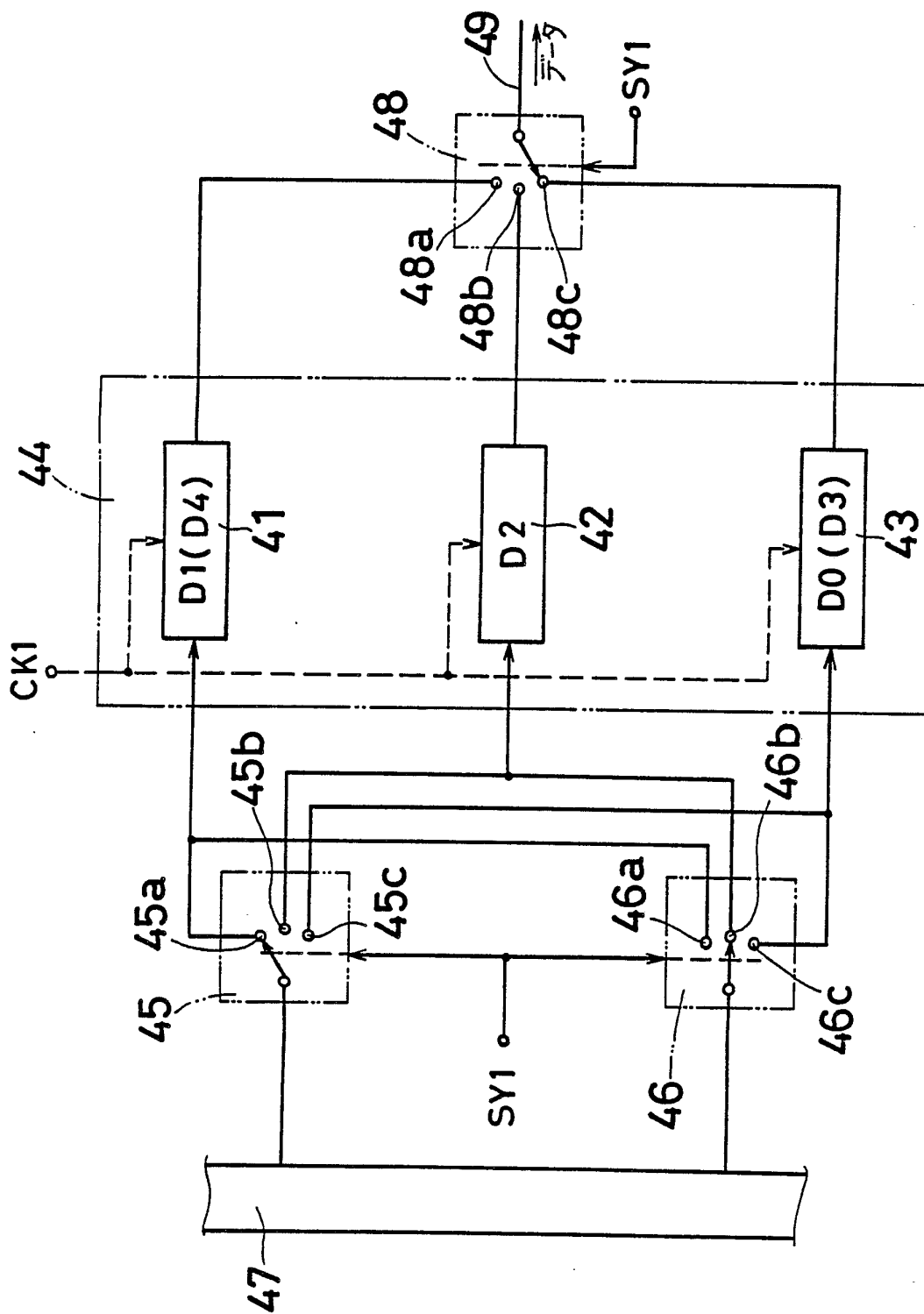




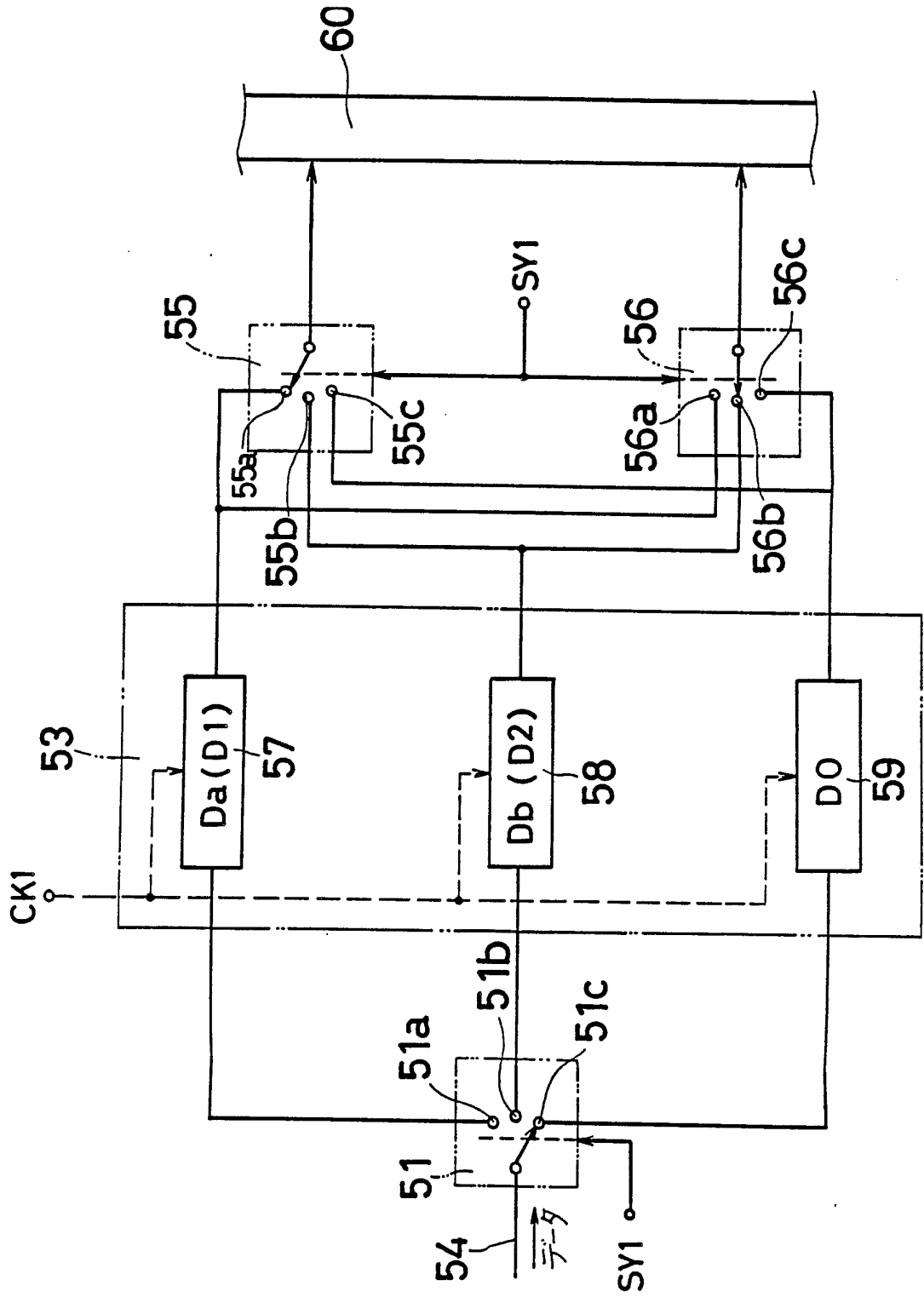
第 33 图



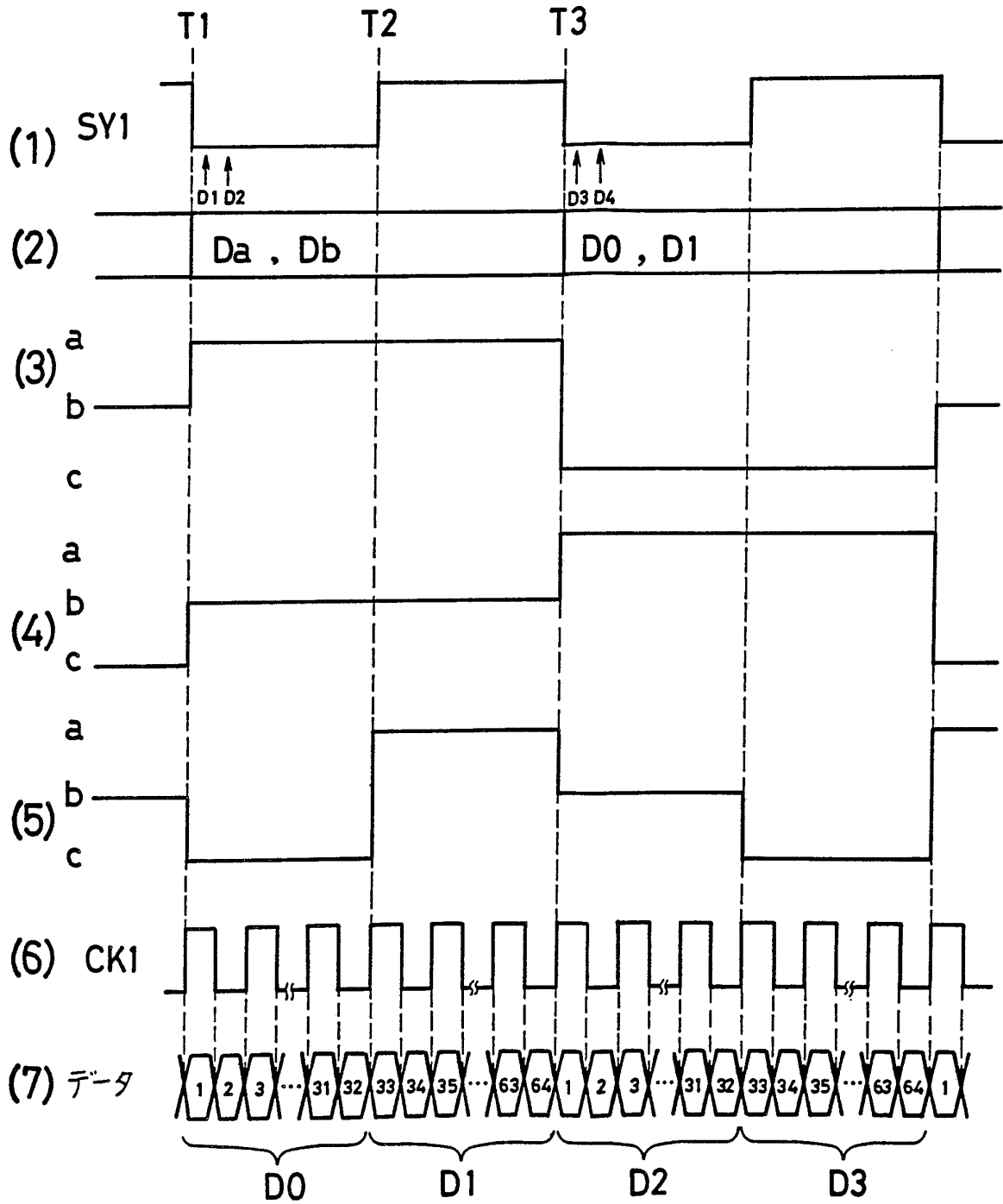
第 34 図



第 35 図

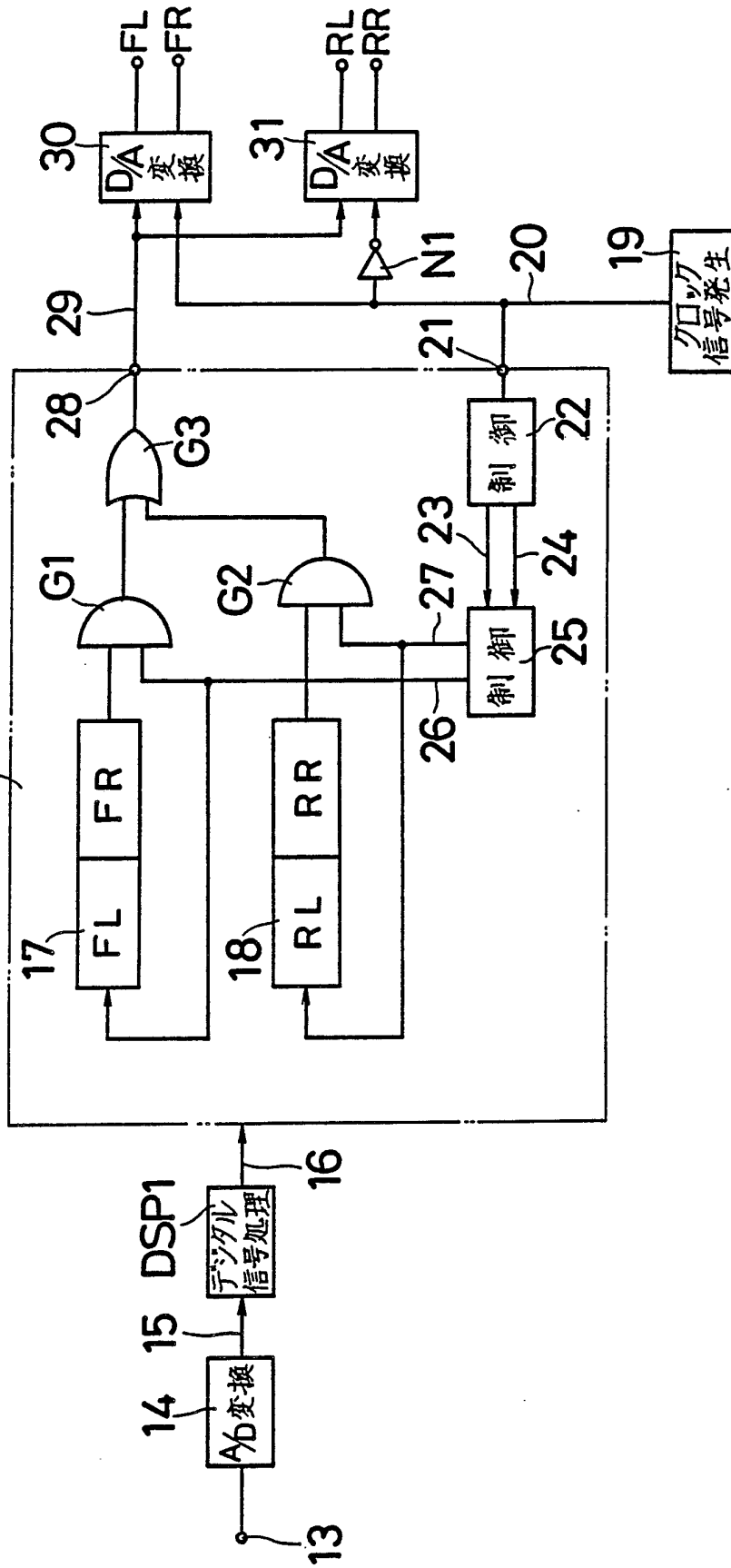


第 36 図

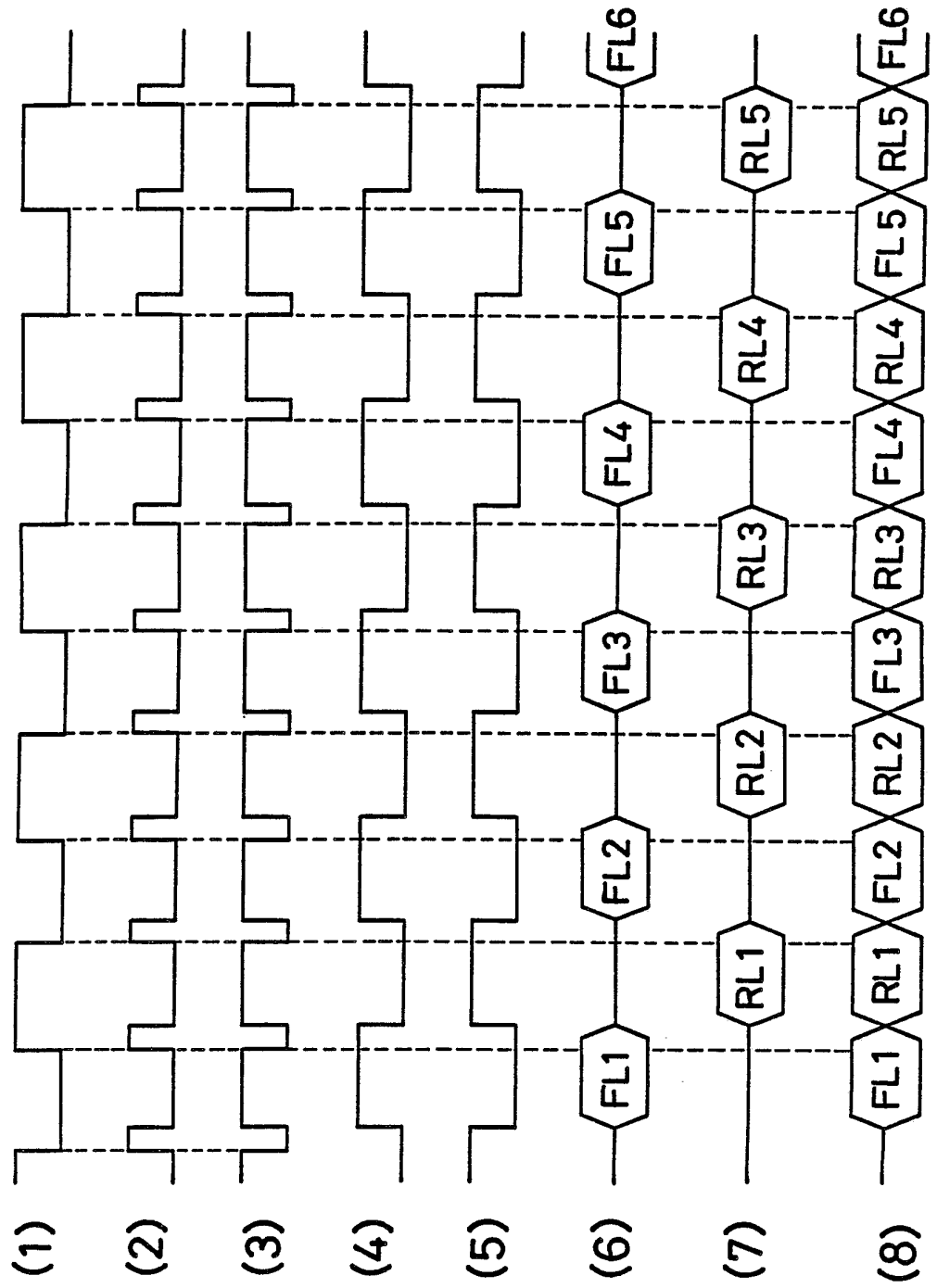


第 37 図

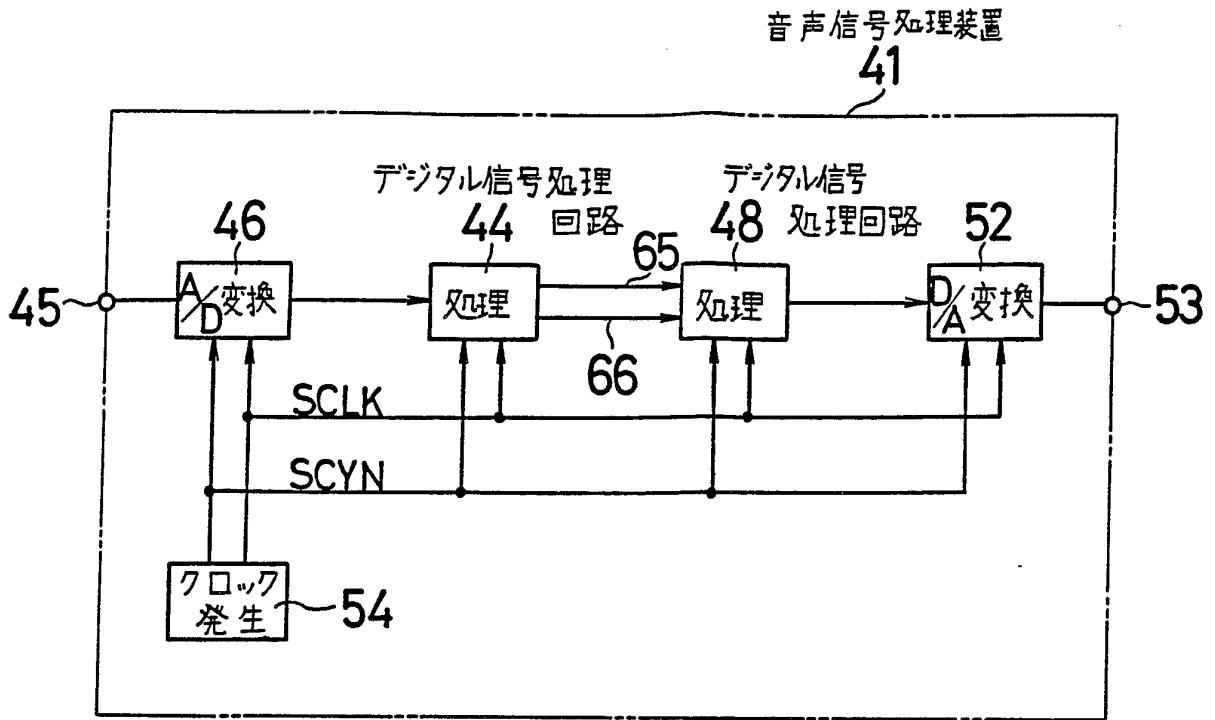
デジタル信号処理回路
DSP2



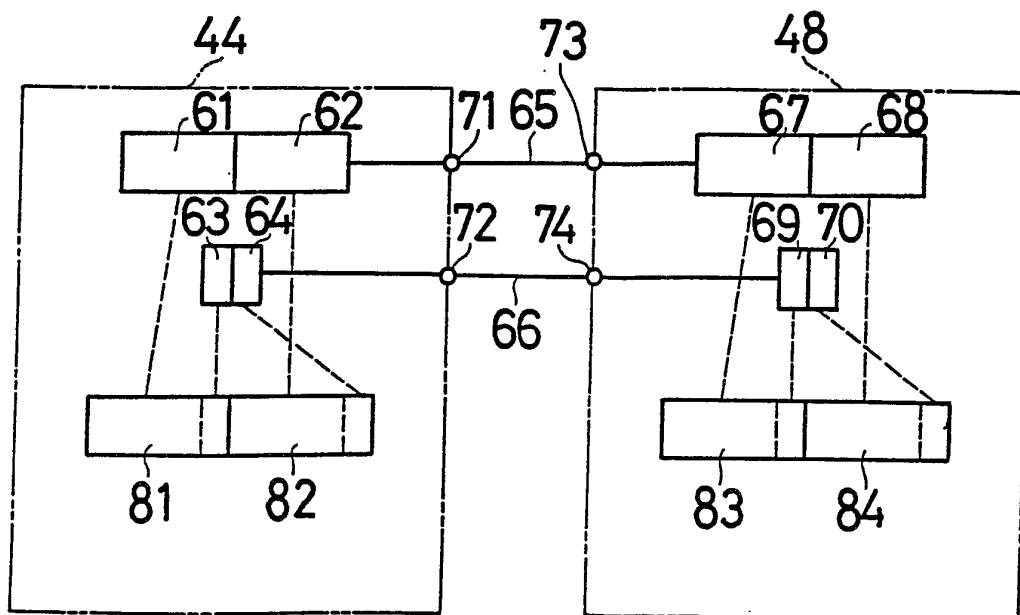
第 38 図



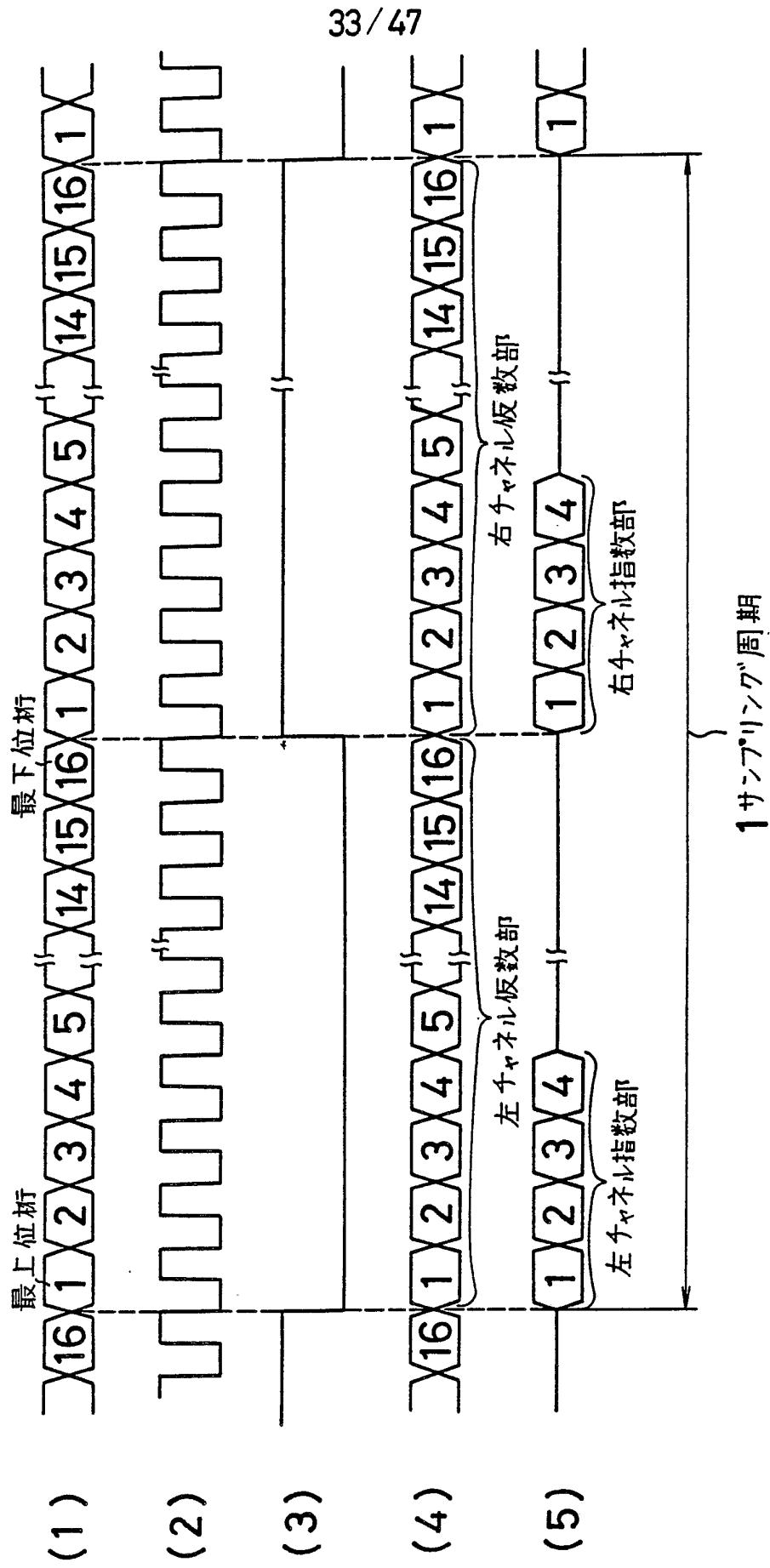
第 39 図



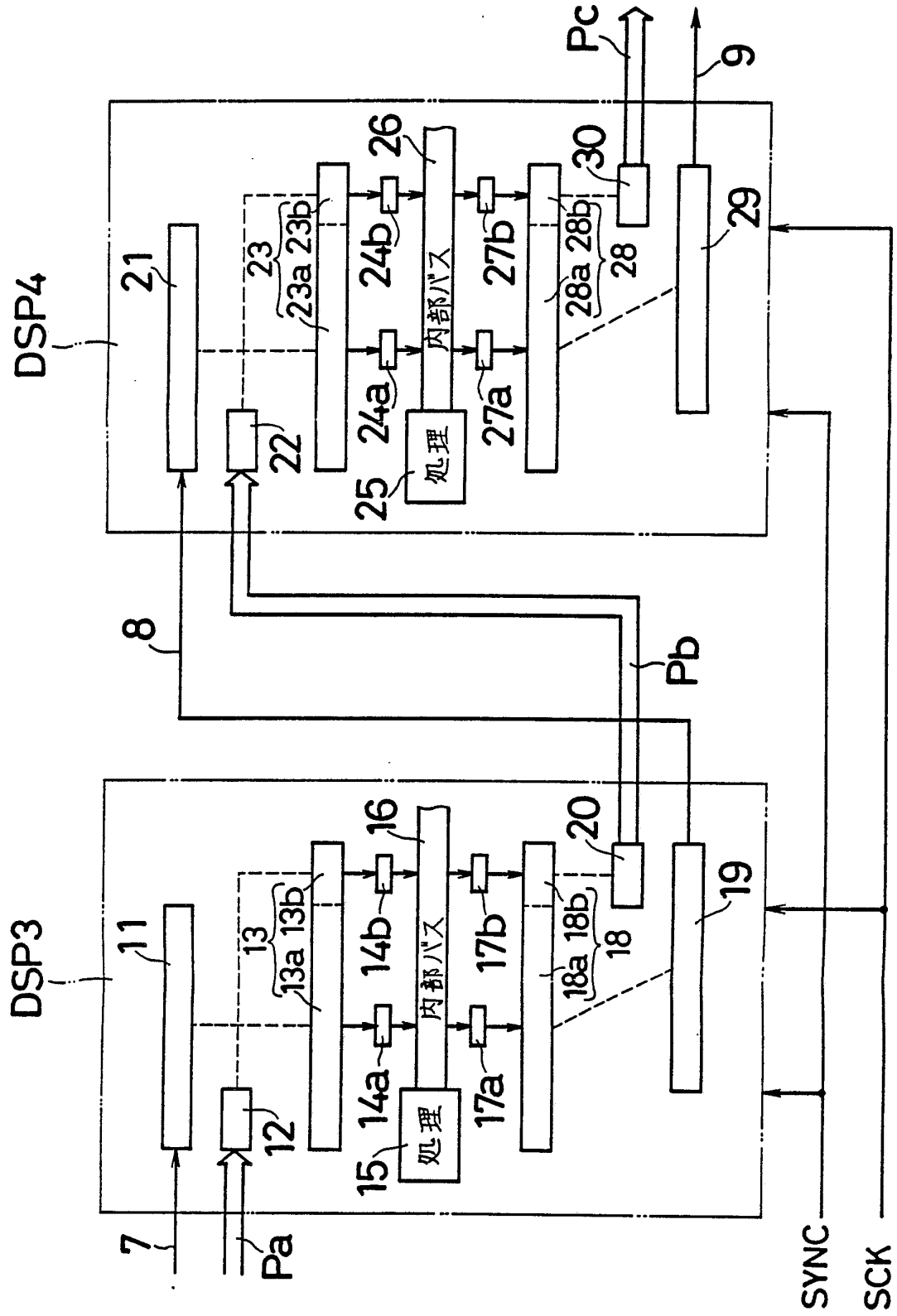
第 40 図



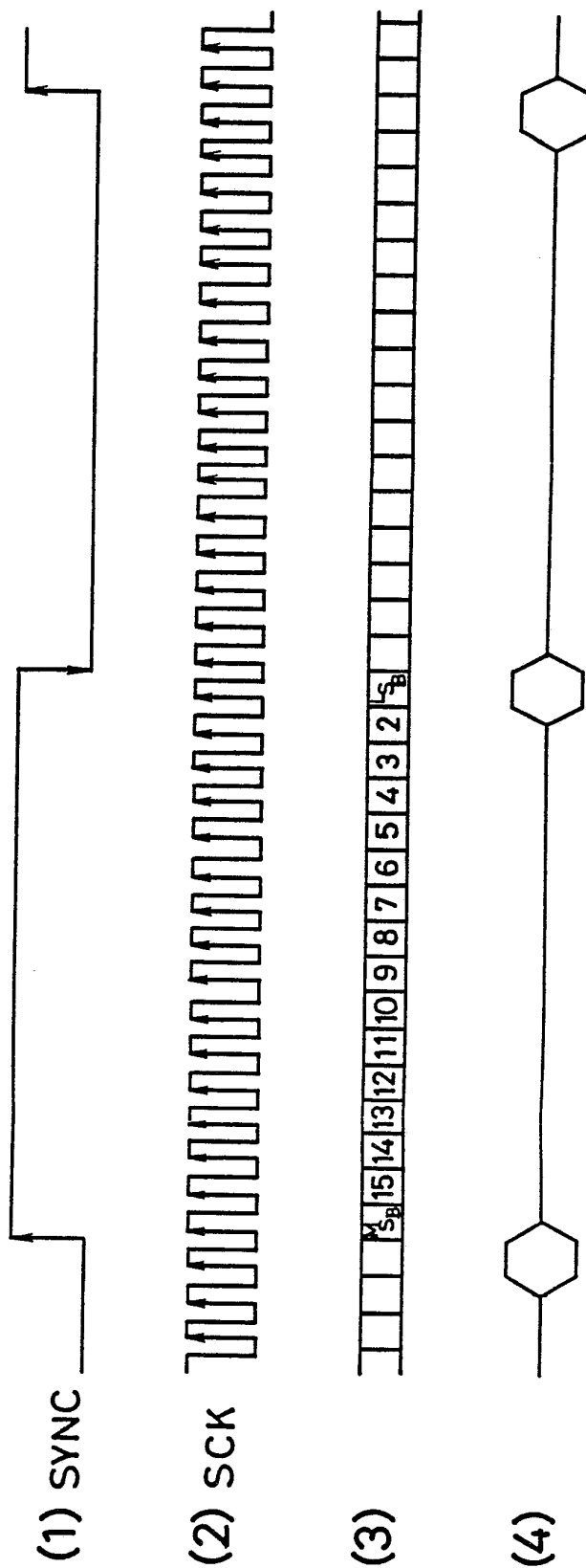
第 41 図



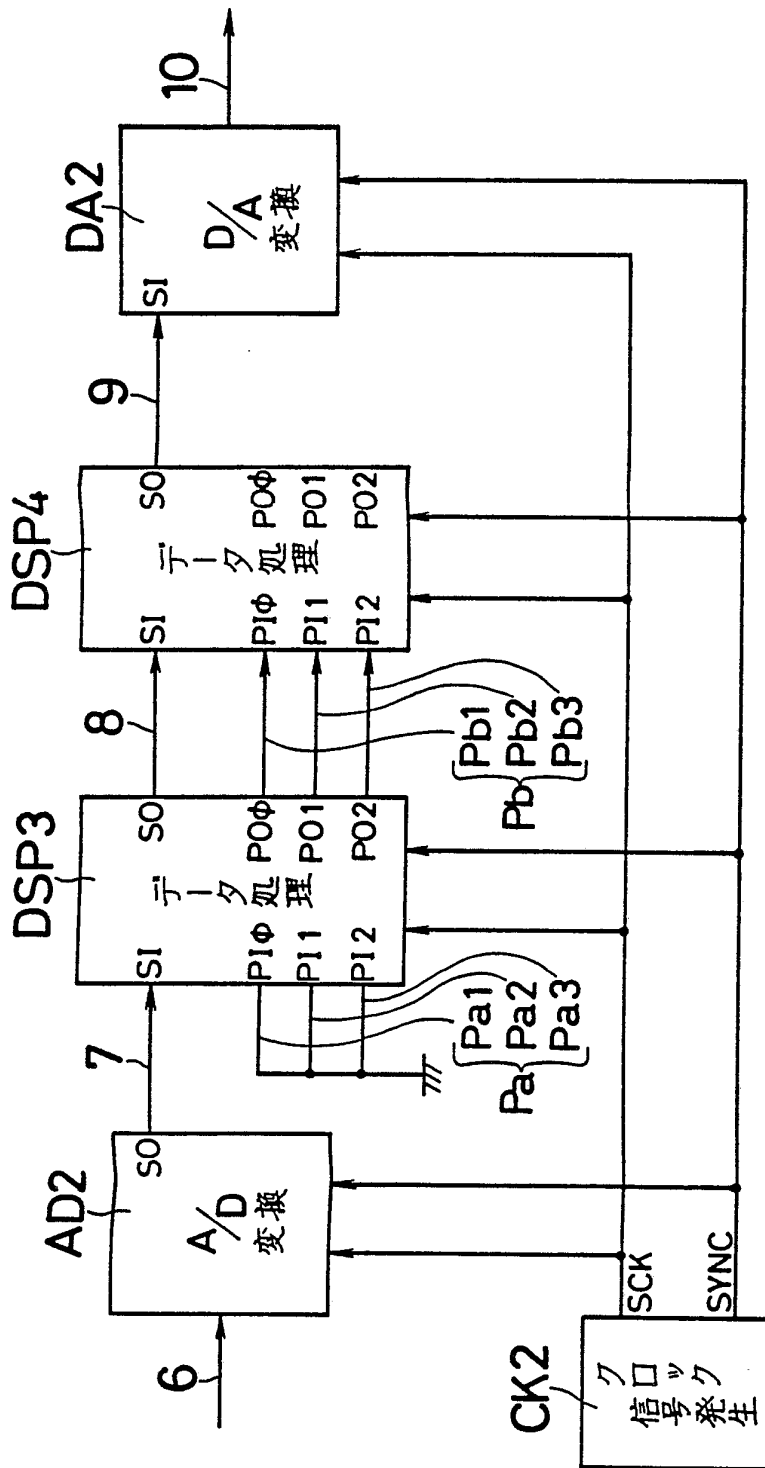
第 42 図



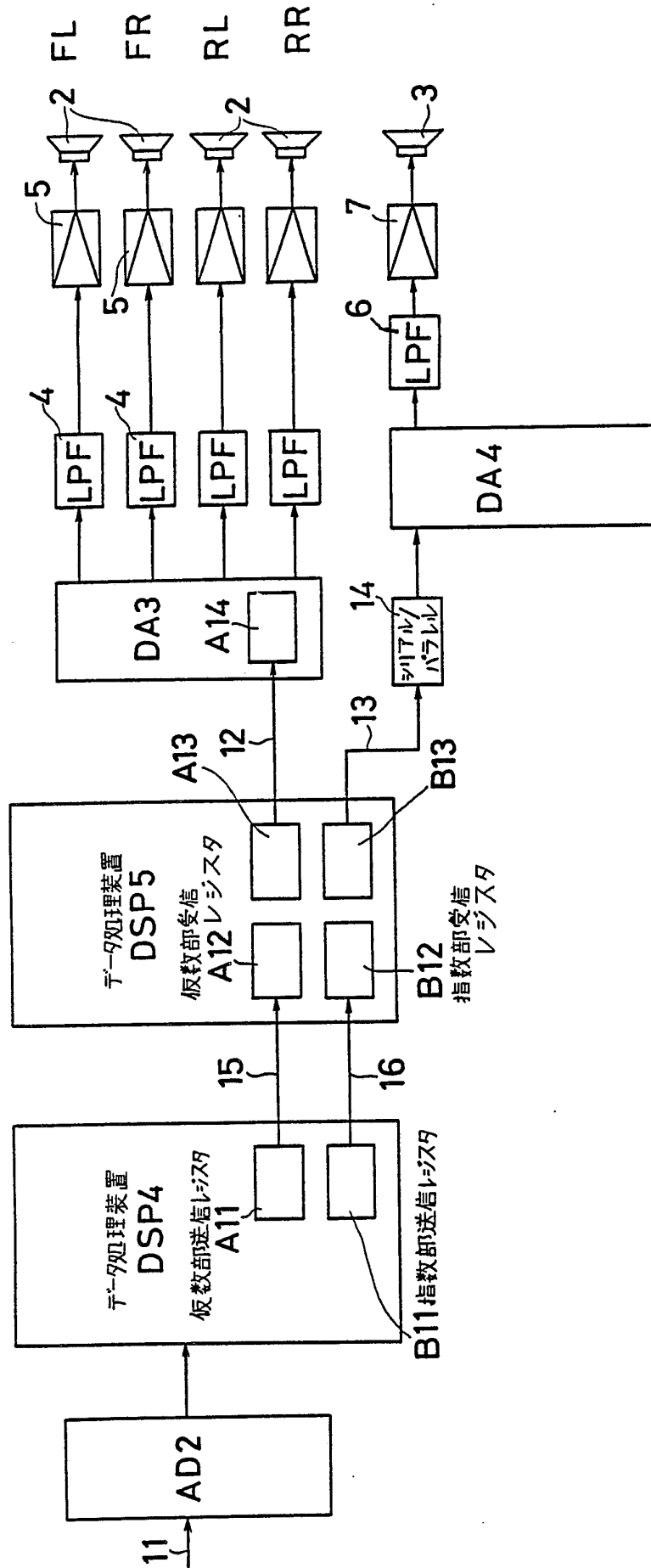
第 43 图



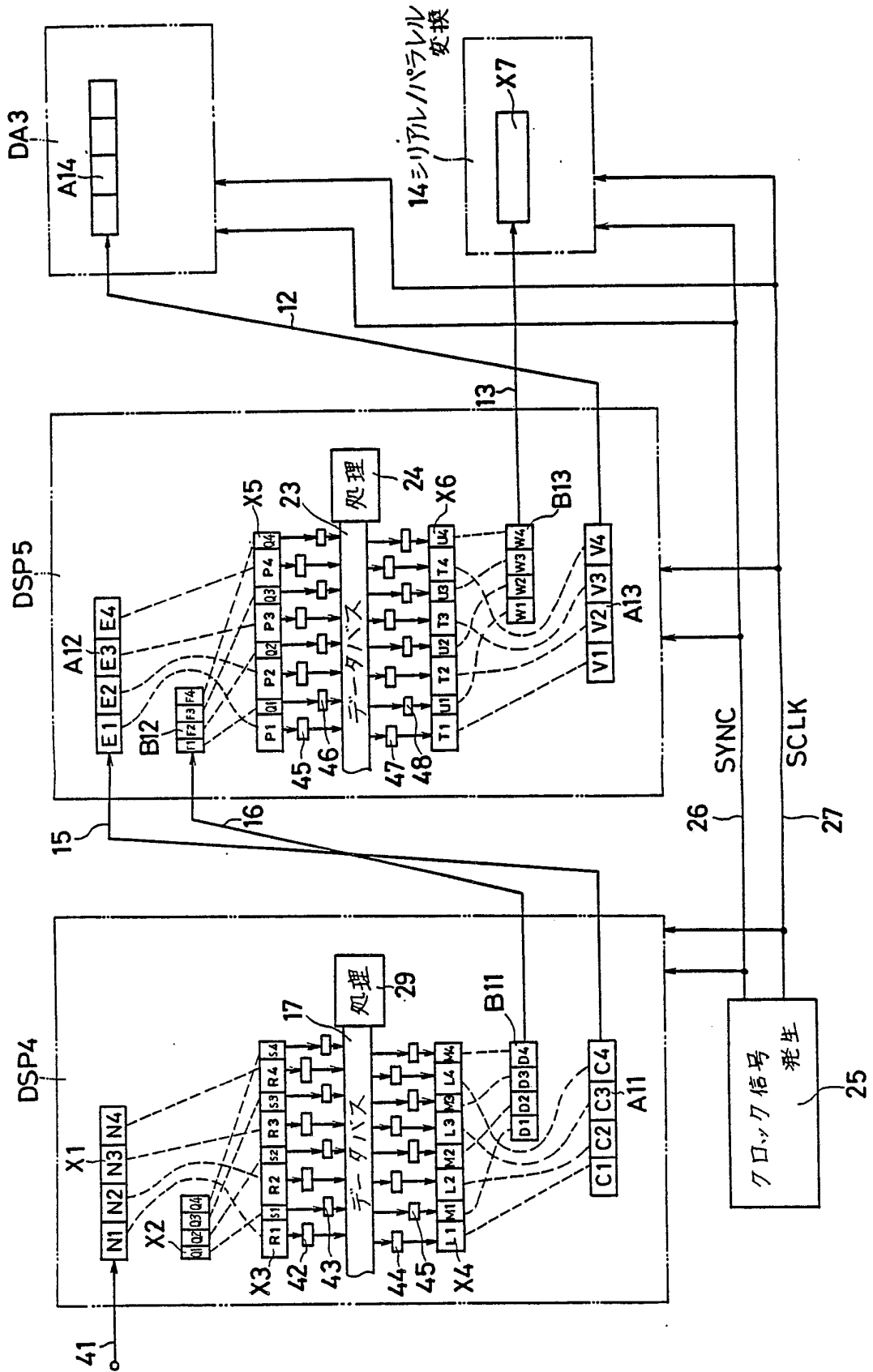
第 44 図



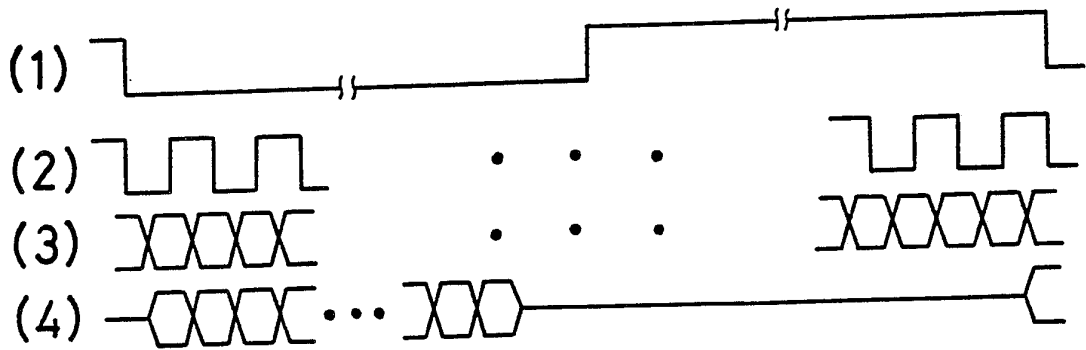
第 45 図



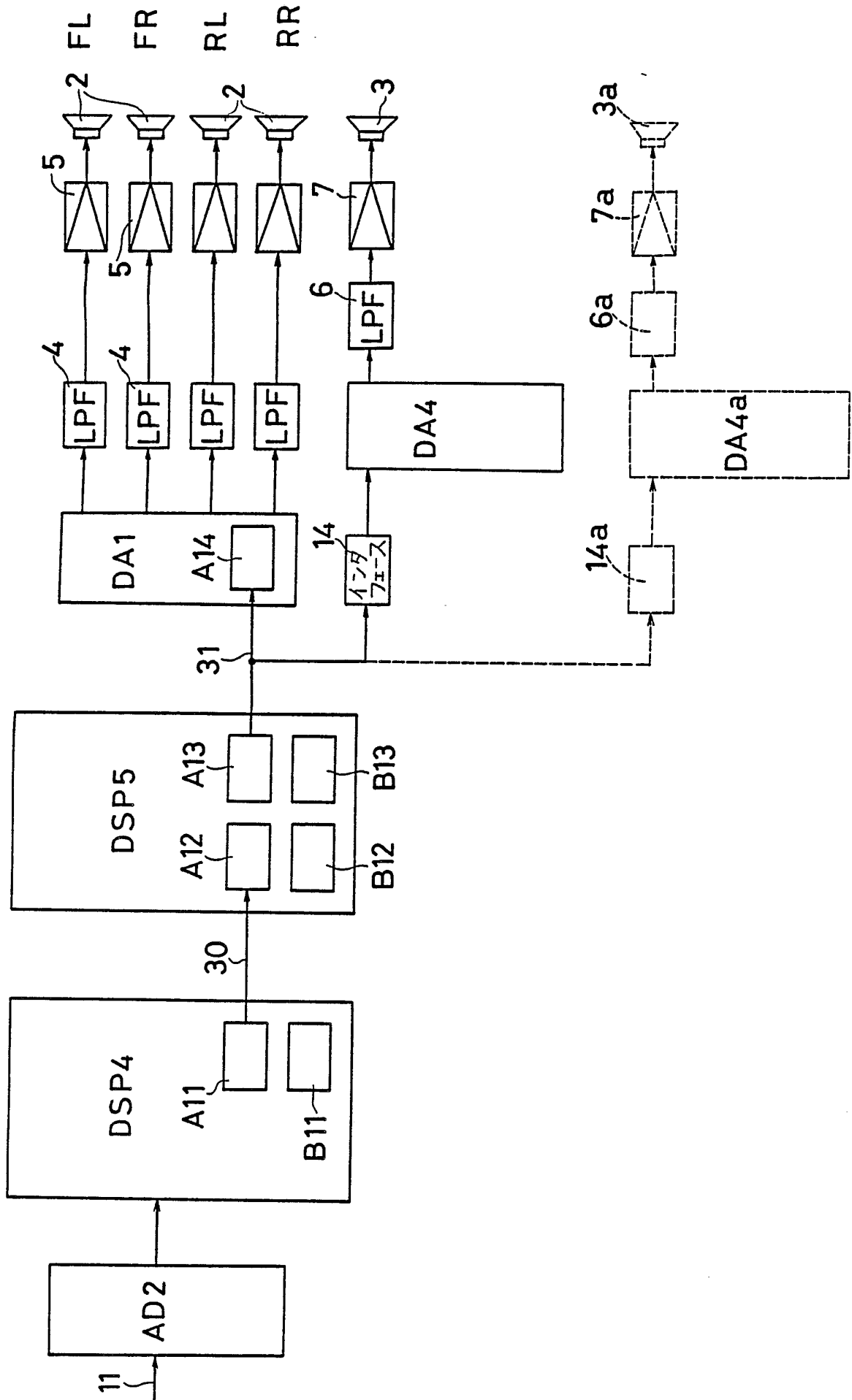
第 46 図



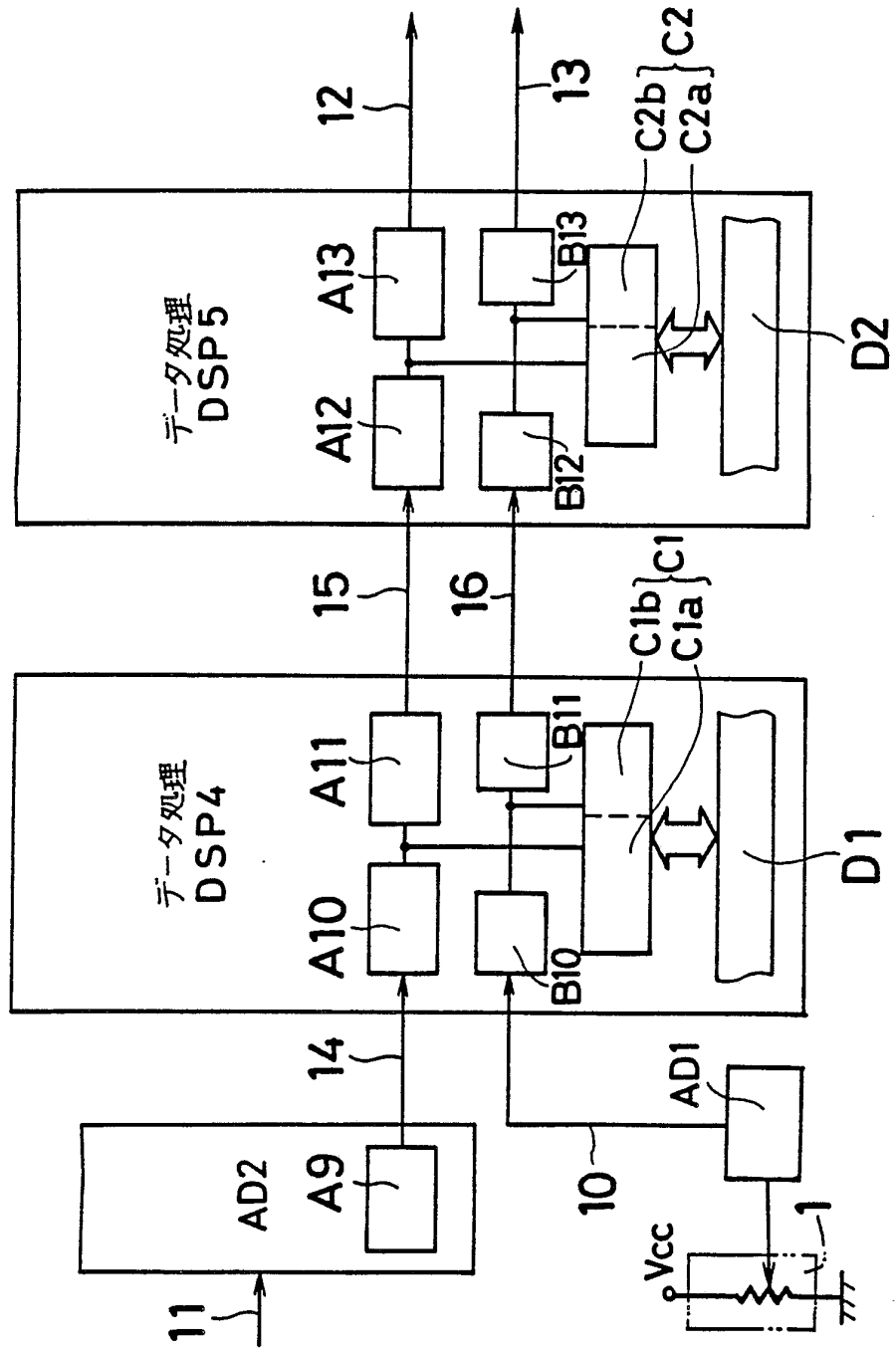
第 47 図



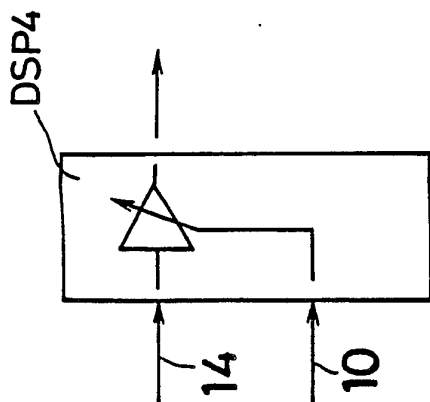
第 48 図



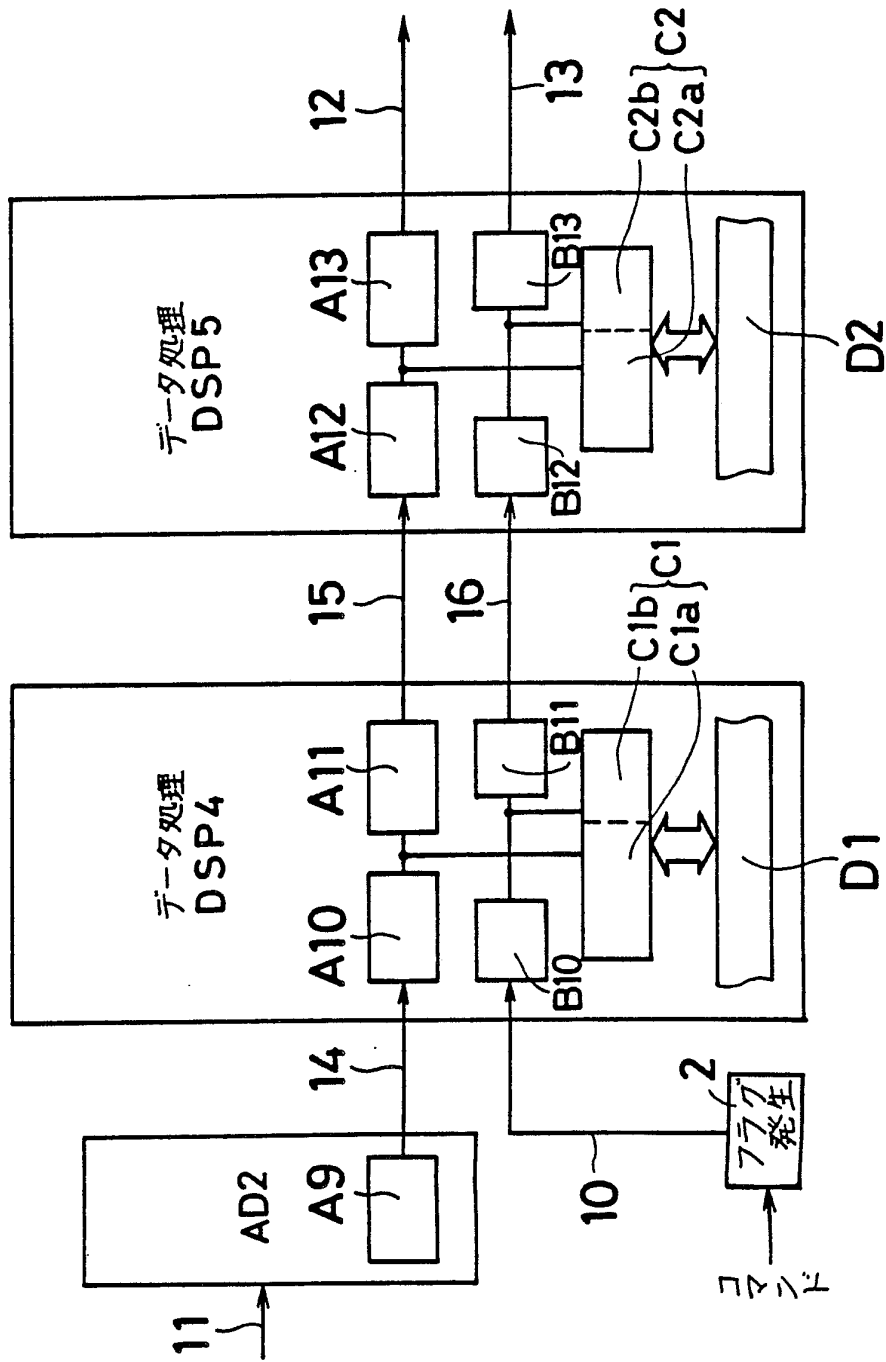
第 49 図



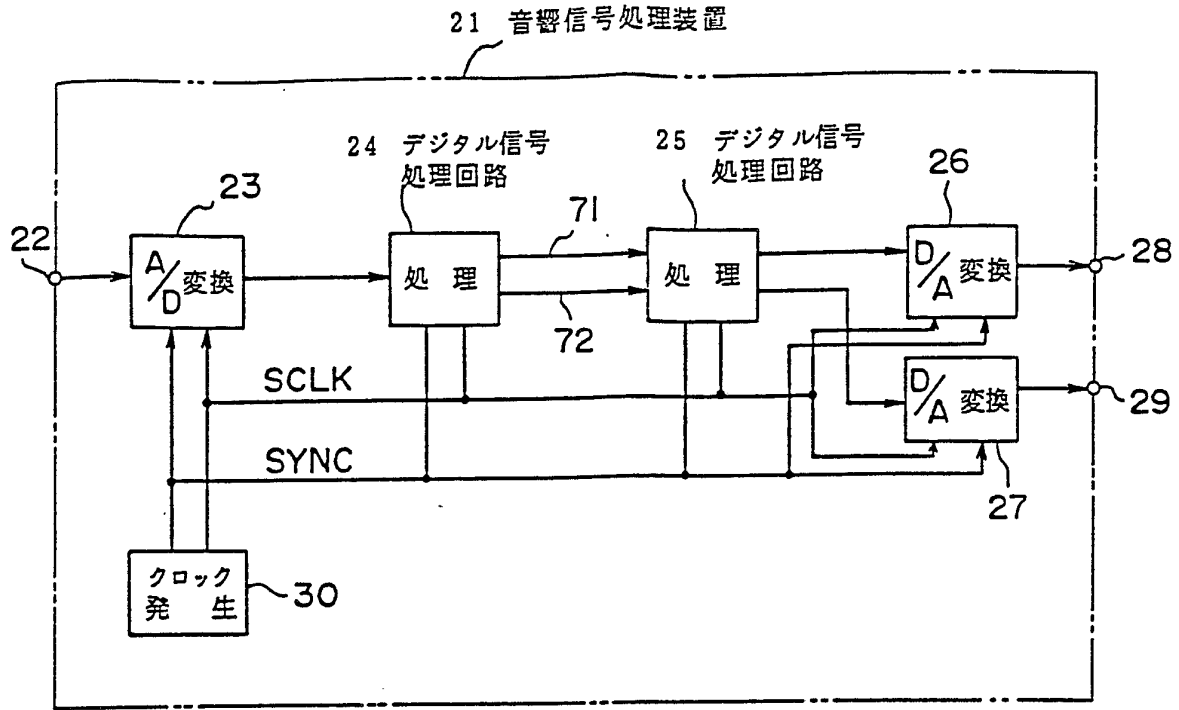
第 50 図



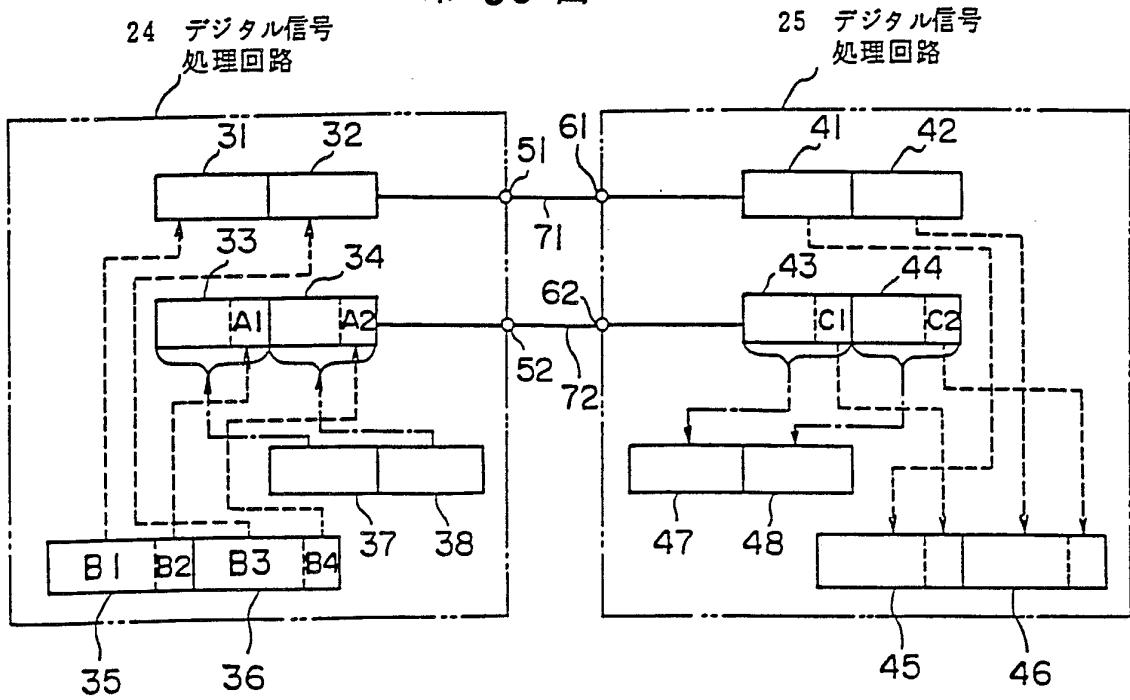
第 51 図



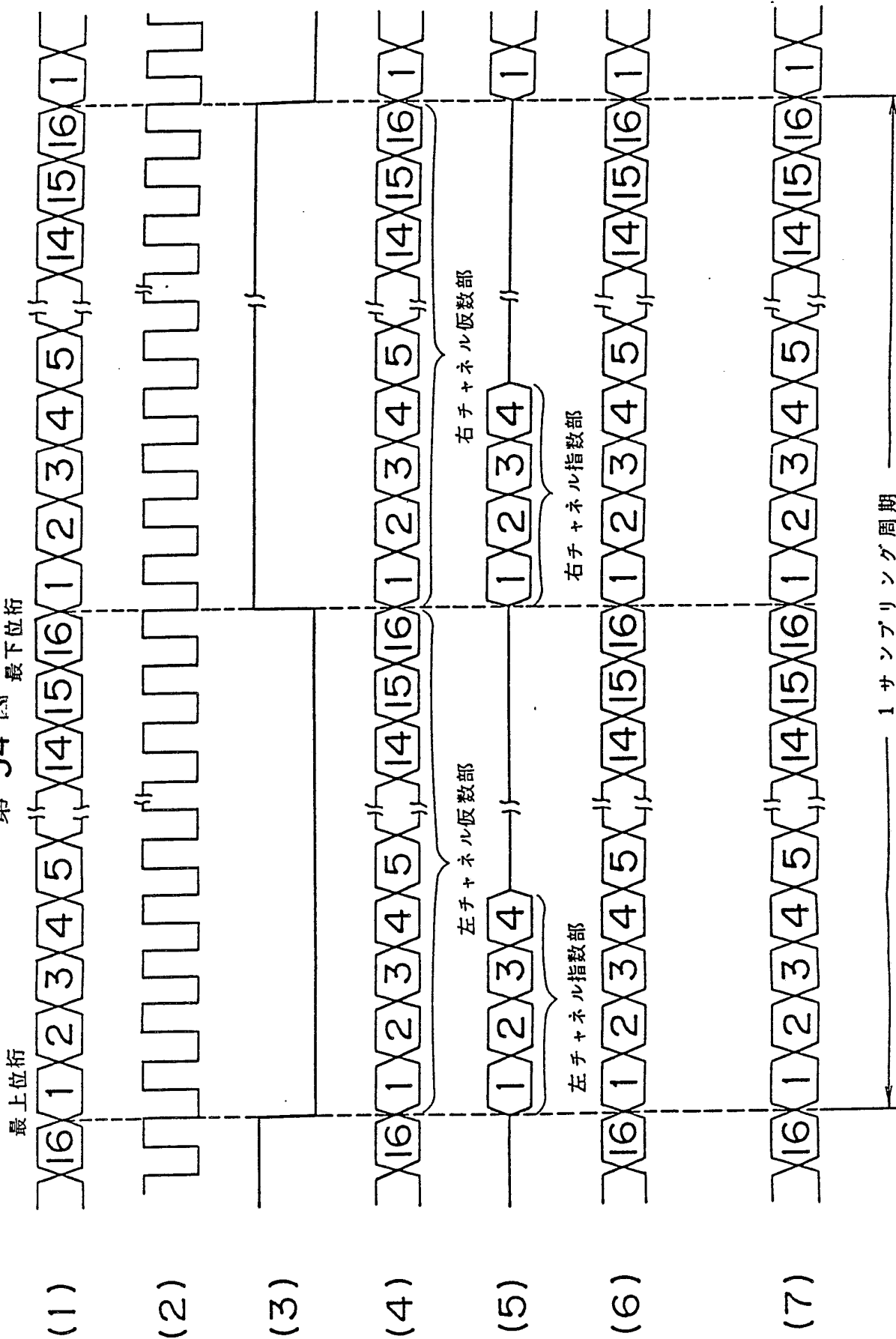
第 52 図



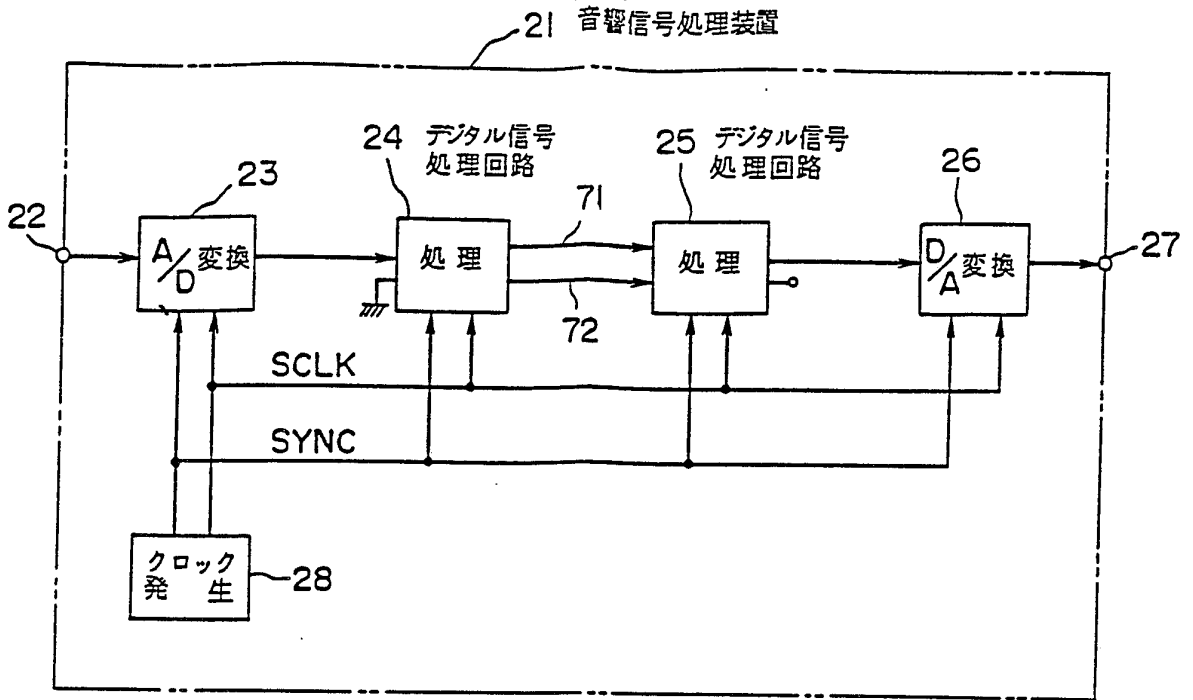
第 53 図



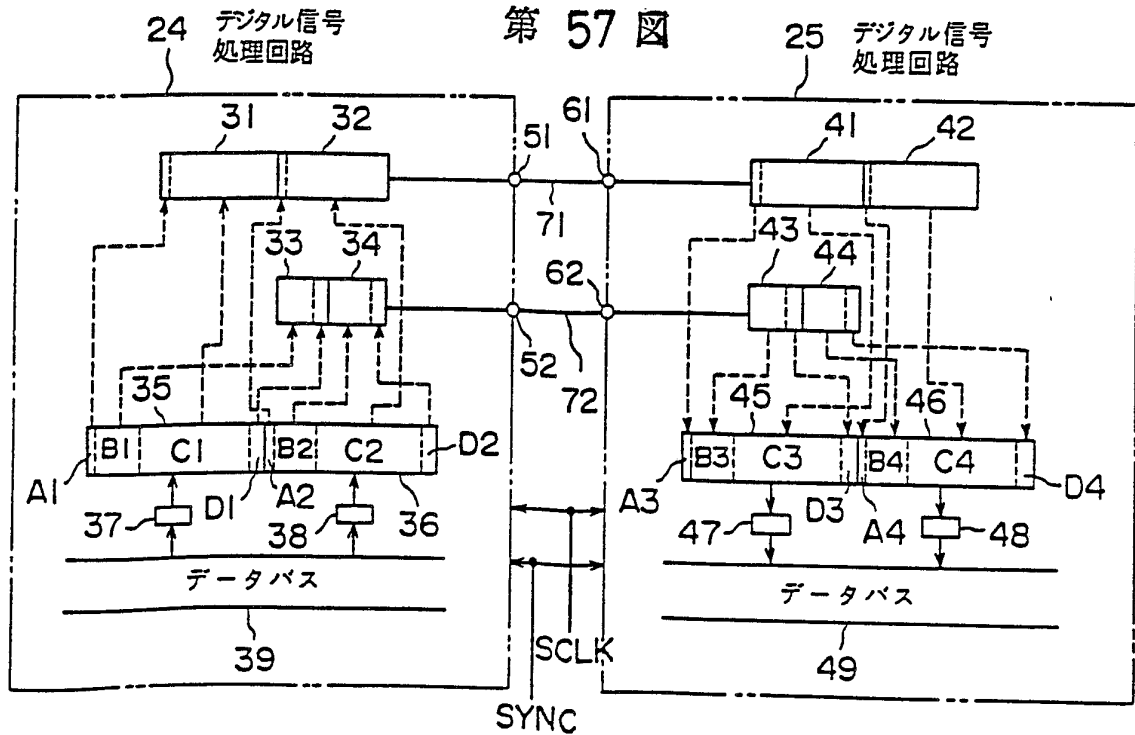
第 54 図 最上位桁 最下位桁



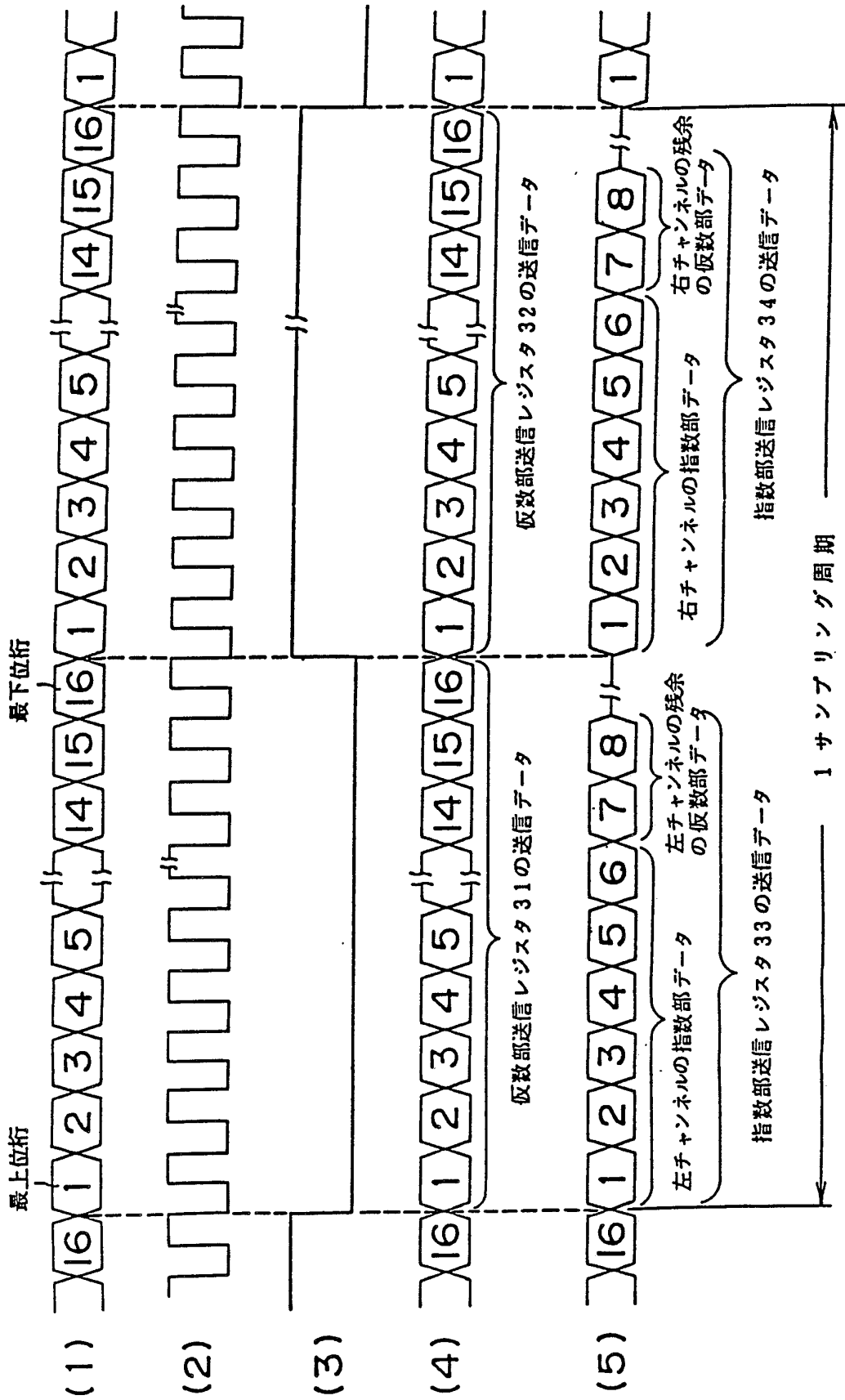
第 55 図 45/47



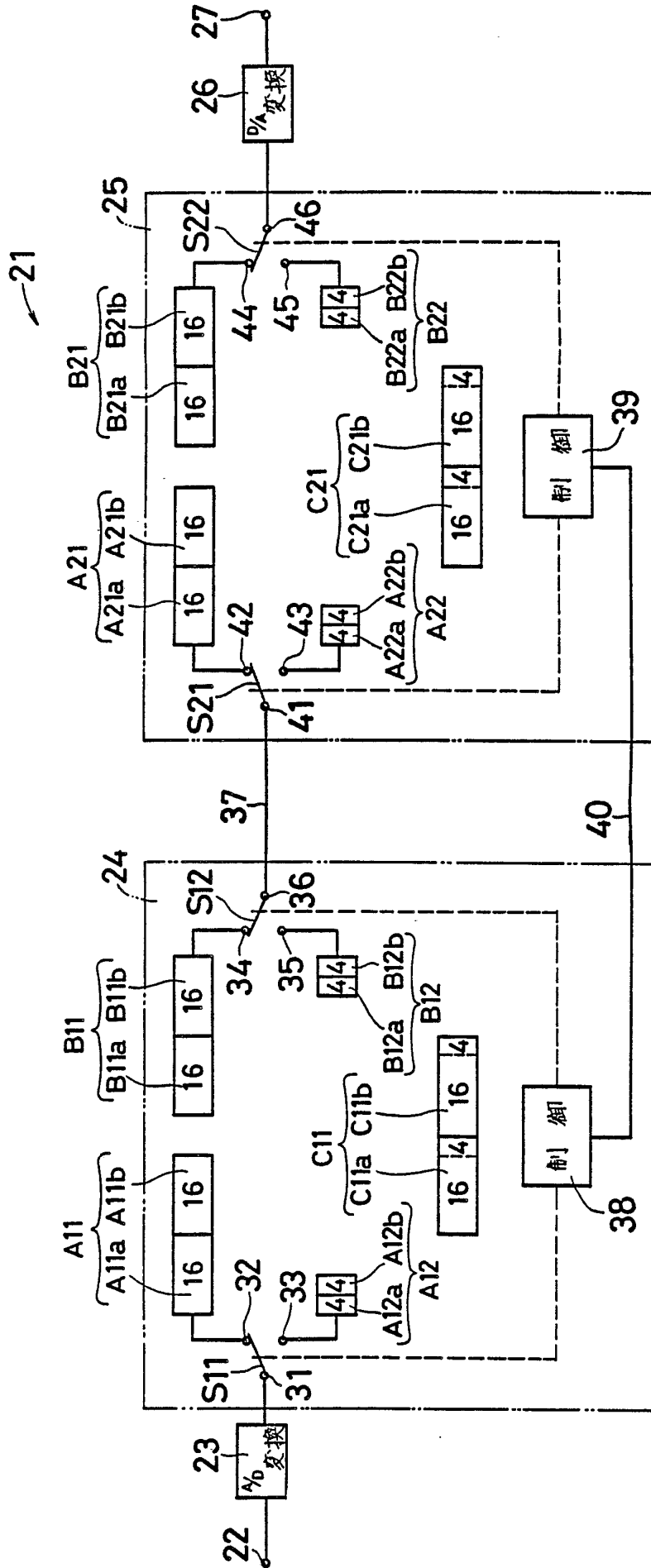
第 57 図



第 56 図



第 58 図



INTERNATIONAL SEARCH REPORT

International Application No

PCT/JP88/00442

I. CLASSIFICATION OF SUBJECT MATTER (if several classification symbols apply, indicate all) ⁶		
According to International Patent Classification (IPC) or to both National Classification and IPC		
Int.Cl ⁴	G06F15/16, 13/00	
II. FIELDS SEARCHED		
Minimum Documentation Searched ⁷		
Classification System	Classification Symbols	
IPC	G06F15/16, 13/00	
Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched ⁸		
III. DOCUMENTS CONSIDERED TO BE RELEVANT ⁹		
Category *	Citation of Document, ¹¹ with indication, where appropriate, of the relevant passages ¹²	Relevant to Claim No. ¹³
Y	JP, A, 54-122059 (NEC Corporation) 21 September 1979 (21. 09. 79) P.3, upper left column, line 19 to p.6, lower right column, line 5 & US, A, 4210782	1-11
Y	JP, A, 55-99633 (NEC Corporation) 29 July 1980 (29. 07. 80) P.2, upper left column, line 7 to p.3, upper left column, line 13 (Family: none)	1-11
Y	JP, A, 57-86,959 (Matsushita Electric Ind. Co., Ltd.) 31 May 1982 (31. 05. 82) P.1, lower right column, line 20 to p.4, upper left column, line 11 (Family: none)	1-11
Y	JP, A, 57-114957 (NEC Corporation) 17 July 1982 (17. 07. 82)	1-11
<p>* Special categories of cited documents: ¹⁰</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>		
IV. CERTIFICATION		
Date of the Actual Completion of the International Search	Date of Mailing of this International Search Report	
June 7, 1988 (07. 06. 88)	June 20, 1988 (20. 06. 88)	
International Searching Authority	Signature of Authorized Officer	
Japanese Patent Office		

FURTHER INFORMATION CONTINUED FROM THE SECOND SHEET

P.2, lower left column, line 2 to
 p.3, lower left column, line 3
 (Family: none)

V. OBSERVATIONS WHERE CERTAIN CLAIMS WERE FOUND UNSEARCHABLE¹⁰

This international search report has not been established in respect of certain claims under Article 17(2) (a) for the following reasons:

1. Claim numbers....., because they relate to subject matter¹² not required to be searched by this Authority, namely:
2. Claim numbers....., because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out¹³, specifically:

VI. OBSERVATIONS WHERE UNITY OF INVENTION IS LACKING¹¹

This International Searching Authority found multiple inventions in this international application as follows:

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims of the international application.
2. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims of the international application for which fees were paid, specifically claims:
3. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claim numbers:
4. As all searchable claims could be searched without effort justifying an additional fee, the International Searching Authority did not invite payment of any additional fee.

Remark on Protest

- The additional search fees were accompanied by applicant's protest.
- No protest accompanied the payment of additional search fees.

国際調査報告

国際出願番号PCT/JP88/00442

I. 発明の属する分野の分類		
国際特許分類 (IPC) Int. Cl. G06F15/16, 13/00		
II. 国際調査を行った分野		
調査を行った最小限資料		
分類体系	分類記号	
IPC	G06F15/16, 13/00	
最小限資料以外の資料で調査を行ったもの		
III. 関連する技術に関する文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
Y	JP, A, 54-122059 (日本電気株式会社) 21. 9月. 1979 (21. 09. 79) P. 3 左上欄 19 行 - P. 6 右下欄 5 行 & US, A, 4210782	1-11
Y	JP, A, 55-99633 (日本電気株式会社) 29. 7月. 1980 (29. 07. 80) P. 2 左上欄 7 行 - P. 3 左上欄 13 行 (ファミリーなし)	1-11
Y	JP, A, 57-86959 (松下電器産業株式会社) 31. 5月. 1982 (31. 05. 82) P. 1 右下欄 20 行 - P. 4 左上欄 11 行 (ファミリーなし)	1-11
Y	JP, A, 57-114957 (日本電気株式会社) 17. 7月. 1982 (17. 07. 82)	1-11
<p>※引用文献のカテゴリー</p> <p>「A」 特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>「E」 先行文献ではあるが、国際出願日以後に公表されたもの</p> <p>「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</p> <p>「O」 口頭による開示、使用、展示等に言及する文献</p> <p>「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献</p> <p>「T」 国際出願日又は優先日の後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>「&」 同一パテントファミリーの文献</p>		
IV. 認 証		
国際調査を完了した日	国際調査報告の発送日	
07. 06. 88	20. 06. 88	
国際調査機関	権限のある職員	5 B 6 7 4 5
日本国特許庁 (ISA/JP)	特許庁審査官	松 尾 浩 太 郎 ⊕

第2ページから続く情報

(Ⅱ欄の続き)

P. 2 左下欄 2 行 - P. 3 左下欄 3 行
(ファミリーなし)

V. 一部の請求の範囲について国際調査を行わないときの意見

次の請求の範囲については特許協力条約に基づく国際出願等に関する法律第8条第3項の規定によりこの国際調査報告を作成しない。その理由は、次のとおりである。

1. 請求の範囲 _____ は、国際調査をすることを要しない事項を内容とするものである。
2. 請求の範囲 _____ は、有効な国際調査をすることができる程度にまで所定の要件を満たしていない国際出願の部分に係るものである。
3. 請求の範囲 _____ は、従属請求の範囲でありかつPCT規則6.4(a)第2文の規定に従って起草されていない。

VI. 発明の単一性の要件を満たしていないときの意見

次に述べるようにこの国際出願には二以上の発明が含まれている。

1. 追加して納付すべき手数料が指定した期間内に納付されたので、この国際調査報告は、国際出願のすべての調査可能な請求の範囲について作成した。
2. 追加して納付すべき手数料が指定した期間内に一部分しか納付されなかったので、この国際調査報告は、手数料の納付があった発明に係る次の請求の範囲について作成した。
請求の範囲 _____
3. 追加して納付すべき手数料が指定した期間内に納付されなかったので、この国際調査報告は、請求の範囲に最初に記載された発明に係る次の請求の範囲について作成した。
請求の範囲 _____
4. 追加して納付すべき手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加して納付すべき手数料の納付を命じなかった。

追加手数料異議の申立てに関する注意

- 追加して納付すべき手数料の納付と同時に、追加手数料異議の申立てがされた。
- 追加して納付すべき手数料の納付に際し、追加手数料異議の申立てがされなかった。