

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年10月3日(03.10.2024)



(10) 国際公開番号

WO 2024/204537 A1

(51) 国際特許分類:
H01L 29/812 (2006.01) H01L 29/778 (2006.01)
H01L 21/338 (2006.01)

(21) 国際出願番号: PCT/JP2024/012641

(22) 国際出願日: 2024年3月28日(28.03.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
63/493,030 2023年3月30日(30.03.2023) US

(71) 出願人: ヌヴォトンテクノロジー
ジャパン株式会社 (NUVOTON TECHNOLOGY

CORPORATION JAPAN) [JP/JP]; 〒6178520 京
都府長岡京市神足焼町1番地 Kyoto (JP).

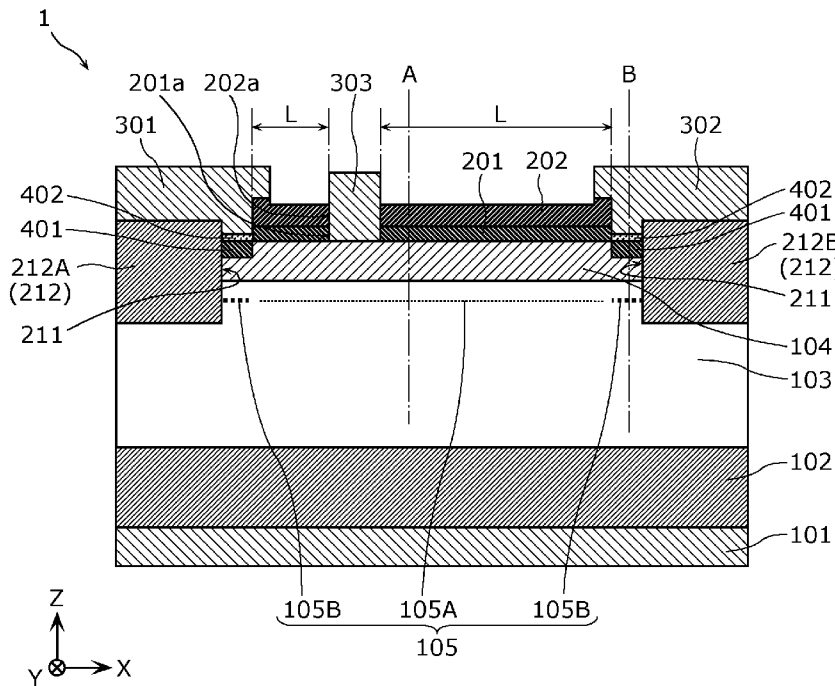
(72) 発明者: 神田 裕介(KANDA, Yusuke).

(74) 代理人: 新居 広守, 外 (NII, Hiromori et al.);
〒5320011 大阪府大阪市淀川区西中島5丁
目3番10号イトーピア新大阪ビル6階新
居国際特許事務所内 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置および半導体装置の製造方法



(57) Abstract: A semiconductor device (1) having: an electron travel layer (103); an electron supply layer (104) that is provided on the electron-traveling layer (103); a gate electrode (303) that is provided on the electron-supply layer (104); a contact layer (212) that, at a position where the gate electrode (303) is enclosed on either side, is embedded in a through-recess part (211) passing through the electron supply layer (104); an electron supply auxiliary layer (401) that is provided so as to be in contact with the electron supply layer (104) and the contact layer (212) but not be in contact



WO 2024/204537 A1

LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

with the gate electrode (303), the electron supply auxiliary layer (401) being an example of a n-type semiconductor layer composed of a n-type semiconductor that contains Si; an alloy layer (402) that is provided on the electron supply auxiliary layer (401) and that contains Si; a first insulating layer (201) that is provided so as to be in contact with the gate electrode (303) but not be in contact with the contact layer (212); and a source electrode (301) and/or a drain electrode (302) that is provided on the contact layer (212) and the alloy layer (402).

(57) 要約：半導体装置 (1) は、電子走行層 (103) と、電子走行層 (103) 上に設けられた電子供給層 (104) と、電子供給層 (104) 上に設けられたゲート電極 (303) と、ゲート電極 (303) を挟む位置において、電子供給層 (104) を貫通する貫通リセス部 (211) に埋め込まれたコンタクト層 (212) と、電子供給層 (104) に接するとともにコンタクト層 (212) と接しかつゲート電極 (303) と接することなく設けられた、Si を含有する n 型半導体からなる n 型半導体層の一例である電子供給補助層 (401) と、電子供給補助層 (401) 上に設けられ、Si を含有する合金層 (402) と、ゲート電極 (303) と接しかつコンタクト層 (212) と接することなく設けられた第1絶縁層 (201) と、コンタクト層 (212) 上および合金層 (402) 上に設けられた、ソース電極 (301) および/またはドレイン電極 (302) と、を有する。

明 細 書

発明の名称：半導体装置および半導体装置の製造方法

技術分野

[0001] 本開示は、半導体装置およびその製造方法に関し、特に、Ⅲ族窒化物半導体を用いたⅢ族窒化物半導体装置およびその製造方法に関する。

背景技術

[0002] Ⅲ族窒化物半導体、特に、窒化ガリウム（GaN）または窒化アルミニウムガリウム（AlGaN）を用いたⅢ族窒化物半導体装置は、材料のバンドギャップの広さから、高い絶縁破壊電圧を有する。また、Ⅲ族窒化物半導体装置では、AlGaN/GaN等のヘテロ構造を容易に形成できる。

[0003] AlGaN/GaNヘテロ構造では、材料間での格子定数差から発生するピエゾ分極とAlGaNおよびGaNの自発分極との差により、AlGaN層とGaN層との界面のGaN層側に高濃度の電子（二次元電子ガス：Two Dimensional Electron Gas）が発生し、二次元電子ガス層のチャンネルが形成される。この二次元電子ガスによるチャンネルを利用したⅢ族窒化物半導体装置は、電子飽和速度が比較的高く、かつ、耐絶縁性が比較的高く、熱伝導率も比較的高いことから、高周波パワーデバイス等に応用されている。

[0004] これらのⅢ族窒化物半導体装置において特性を高めるためには、Ⅲ族窒化物半導体装置内のオーミック電極と二次元電子ガス層とのコンタクト（以下「オーミックコンタクト」と称する）や二次元電子ガスによるチャンネルの抵抗等の寄生抵抗成分をできる限り低減させるとよい。

[0005] 従来、二次元電子ガスによるチャンネルを利用したⅢ族窒化物半導体装置において、オーミックコンタクト抵抗を低減する技術が提案されている。例えば、特許文献1には、オーミックコンタクト抵抗を低減するため、Ⅲ族窒化物半導体装置内のオーミック電極が形成される部分にAlGaNか

らなる電子供給層を貫通したリセス部（以下「貫通リセス部」と称する）を形成してオーミック電極を形成する技術が開示されている。

先行技術文献

特許文献

[0006] 特許文献1：国際公開第2021/246227号

発明の概要

発明が解決しようとする課題

[0007] しかしながら、特許文献1に開示された技術のように、電子供給層に貫通リセス部を形成すると、二次元電子ガス層と貫通リセス部に埋め込まれるコンタクト層とが本質的に点接続となることが不可避となる。また、電子供給層に貫通リセス部を形成すると、Ga₂Nからなる二次元電子ガス層（チャンネル層）とコンタクト層との界面に、貫通リセス部の形成時に結晶欠陥が生じるだけでなく、大気中の汚染物質や結合欠陥によって電子供給層における貫通リセス部の側面隣接部にキャリア（電子）濃度が低下する領域が発生し、最大ドレイン電流が低下するという問題がある。

[0008] 本開示は、このような課題を鑑みてなされたものであり、最大ドレイン電流が低下することを抑制できる半導体装置およびその製造方法を提供することを目的とする。

課題を解決するための手段

[0009] 上記目的を達成するために、本開示に係る半導体装置の一態様は、電子走行層と、前記電子走行層上に設けられ、前記電子走行層よりもバンドギャップが大きい電子供給層と、前記電子供給層上に設けられたゲート電極と、前記ゲート電極を挟む位置において、前記電子供給層を貫通するリセス部に埋め込まれたソース側コンタクト層およびドレイン側コンタクト層と、前記電子供給層に接するとともに、前記ソース側コンタクト層および／または前記ドレイン側コンタクト層と接しかつ前記ゲート電極と接することなく設けられた、Siを含むn型半導体からなるn型半導体層と、前記n型半導体

層上に設けられ、Siを含有し、厚さが2nm以下である合金層と、前記電子供給層のうち前記ゲート電極が設けられていない部分上に、前記ゲート電極と接しかつ前記ソース側コンタクト層および／または前記ドレイン側コンタクト層と接することなく設けられた絶縁層と、前記ソース側コンタクト層および／または前記ドレイン側コンタクト層上および前記合金層上に設けられた、ソース電極および／またはドレイン電極と、を有する。

[0010] また、本開示に係る半導体装置の第1の製造方法の一態様は、電子走行層上に、前記電子走行層よりもバンドギャップが大きい電子供給層を形成する工程と、前記電子供給層上に大気暴露せずにSiを含有する絶縁層を形成する工程と、前記絶縁層の一部を薄くして前記絶縁層に薄部を形成する工程と、前記薄部の一部を絶縁層残部として残しつつ前記絶縁層の前記薄部と前記電子供給層とを貫通して前記電子走行層にまで達する貫通リセス部を形成する工程と、前記貫通リセス部にコンタクト層を埋め込み形成する工程と、前記絶縁層残部と前記コンタクト層とを跨いでソース電極および／またはドレイン電極を形成する工程と、熱処理をして、前記絶縁層残部および前記電子供給層に合金層と電子供給補助層とを形成する工程と、前記絶縁層のうち前記ソース電極および／または前記ドレイン電極から離間した部分の前記絶縁層を除去してゲート電極を形成する工程と、を含む。

[0011] また、本開示に係る半導体装置の第2の製造方法の一態様は、電子走行層上に、前記電子走行層よりもバンドギャップが大きい電子供給層を形成する工程と、前記電子供給層上に大気暴露せずにSiを含有する絶縁層を形成する工程と、前記絶縁層の一部を薄くして前記絶縁層に薄部を形成する工程と、前記薄部の一部を絶縁層残部として残しつつ前記絶縁層の前記薄部と前記電子供給層とを貫通して前記電子走行層にまで達する貫通リセス部を形成する工程と、前記絶縁層残部と前記貫通リセス部とを跨いでソース電極および／またはドレイン電極を形成する工程と、熱処理をして、前記絶縁層残部および前記電子供給層に合金層と電子供給補助層とを形成する工程と、前記絶縁層のうち前記ソース電極および／または前記ドレイン電極から離間した部

分の前記絶縁層を除去してゲート電極を形成する工程と、を含む。

発明の効果

[0012] 本開示によれば、最大ドレイン電流が低下することを抑制できる半導体装置を得ることができる。

図面の簡単な説明

[0013] [図1]図1は、実施の形態1に係る半導体装置の構成を示す断面図である。

[図2]図2は、実施の形態1に係る半導体装置のエネルギーバンドの伝導帯を示す模式図である。

[図3A]図3Aは、実施の形態1に係る半導体装置の製造方法において、半導体積層構造体と第1絶縁層および第2絶縁層とを形成する工程を示す断面図である。

[図3B]図3Bは、実施の形態1に係る半導体装置の製造方法において、第1絶縁層に薄部を形成する工程を示す断面図である。

[図3C]図3Cは、実施の形態1に係る半導体装置の製造方法において、貫通リセス部を形成する工程を示す断面図である。

[図3D]図3Dは、実施の形態1に係る半導体装置の製造方法において、コンタクト層を形成する工程を示す断面図である。

[図3E]図3Eは、実施の形態1に係る半導体装置の製造方法において、ソース電極およびドレイン電極を形成する工程を示す断面図である。

[図3F]図3Fは、実施の形態1に係る半導体装置の製造方法において、熱処理をする工程を示す断面図である。

[図3G]図3Gは、実施の形態1に係る半導体装置の製造方法において、ゲート電極を形成する工程を示す断面図である。

[図4]図4は、実施の形態2に係る半導体装置の構成を示す断面図である。

[図5A]図5Aは、実施の形態2に係る半導体装置の製造方法において、半導体積層構造体と第1絶縁層および第2絶縁層とを形成する工程を示す断面図である。

[図5B]図5Bは、実施の形態2に係る半導体装置の製造方法において、第1

絶縁層に薄部を形成する工程を示す断面図である。

[図5C]図5 Cは、実施の形態2に係る半導体装置の製造方法において、貫通リセス部を形成する工程を示す断面図である。

[図5D]図5 Dは、実施の形態2に係る半導体装置の製造方法において、ソース電極およびドレイン電極を形成する工程を示す断面図である。

[図5E]図5 Eは、実施の形態2に係る半導体装置の製造方法において、熱処理をする工程を示す断面図である。

[図5F]図5 Fは、実施の形態2に係る半導体装置の製造方法において、ゲート電極を形成する工程を示す断面図である。

発明を実施するための形態

[0014] 以下、本開示の実施の形態について、図面を参照しながら説明する。ここで示す実施の形態は、いずれも本開示の一具体例を示すものである。したがって、以下の実施の形態で示される数値、形状、構成要素、構成要素の配置および接続形態、並びに、ステップ（工程）およびステップの順序等は、一例であって本開示を限定する趣旨ではない。よって、以下の実施の形態における構成要素のうち、本開示の最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。

[0015] また、各図は、模式図であり、必ずしも厳密に図示されたものではない。したがって、各図において縮尺等は必ずしも一致していない。各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略または簡略化する。

[0016] また、本明細書において、半導体装置の構成における「上」や「上方」および「下」や「下方」という用語は、絶対的な空間認識における上方向（鉛直上方）および下方向（鉛直下方）を指すものではなく、積層構造における積層順を基に相対的な位置関係により規定される用語である。また、「上」および「下」という用語は、2つの構成要素が互いに間隔を空けて配置されて2つの構成要素の間に別の構成要素が存在する場合のみならず、2つの構成要素が互いに密着して配置されて2つの構成要素が接する場合にも適用さ

れる。

[0017] また、本明細書および図面において、 x 軸、 y 軸および z 軸は、三次元直交座標系の三軸を示している。各実施の形態では、半導体装置が有する基板が含む上面に平行な二軸を x 軸および y 軸とし、この上面に直交する方向を z 軸方向としている。以下で説明する実施の形態において、 z 軸正方向を上と記載し、 z 軸負方向を下と記載する場合がある。なお、本明細書において「平面視」とは、半導体装置が有する基板を z 軸正方向から見たときのことをいう。

[0018] (実施の形態1)

まず、実施の形態1に係る半導体装置1について、図1を用いて説明する。図1は、実施の形態1に係る半導体装置1の構成を示す断面図である。

[0019] 本実施の形態では、半導体装置1がショットキー接合ゲート構造を備えた高電子移動度トランジスタ (High Electron Mobility Transistor: HEMT) である場合について説明する。

[0020] 図1に示すように、半導体装置1は、基板101と、バッファ層102と、電子走行層103と、電子供給層104と、第1絶縁層201と、第2絶縁層202と、ソース電極301と、ドレイン電極302と、ゲート電極303と、電子供給補助層401と、合金層402とを備える。

[0021] 基板101は、例えば、Siからなるシリコン基板である。本実施の形態において、基板101は、例えば、主面が(111)面のSi単結晶からなるシリコン基板である。なお、基板101は、シリコン基板に限らず、窒化物半導体層を形成するための下地となるサファイア (Sapphire)、SiC、GaN、または、AlN等からなる基板であってもよい。基板101の抵抗率は、例えば、1k Ω 以上である。なお、基板101として、抵抗率が20 Ω 以下のものを用いてもよい。

[0022] バッファ層102は、基板101の上に設けられている。バッファ層102は、例えば、AlNおよびAlGaNの複数の積層構造からなる厚さ2 μ mのIII族窒化物半導体層である。この場合、AlNとAlGaNとを1

ペアとして20~100ペア積層してもよい。また、バッファ層102は、 $Al_{1-\alpha}Ga_{\alpha}N$ ($0 \leq \alpha < 0.8$)層を複数層積層した構造であって、超格子構造を含んでもよい。その他に、バッファ層102は、 $InGaN$ 、 $AlInGaN$ 等のIII族窒化物半導体の単層もしくは複数層によって構成されていてもよい。なお、バッファ層102の炭素濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 以上としてバッファ層102を高抵抗化してもよい。

[0023] 電子走行層103は、バッファ層102の上に設けられている。本実施の形態において、電子走行層103は、例えば、厚さ150nmのGaNによって構成されたGa_{0.99}N層である。なお、電子走行層103を構成するIII族窒化物半導体は、Ga_{0.99}Nに限るものではない。電子走行層103は、 $InGaN$ 、 $AlGaN$ 、 $AlInGaN$ 等のIII族窒化物半導体によって構成されていてもよい。また、電子走行層103には、n型の不純物が含まれていてもよい。

[0024] 電子供給層104は、電子走行層103の上に設けられている。電子供給層104は、電子走行層103と比べてバンドギャップが大きい。本実施の形態において、電子供給層104は、例えば、Al組成比が30%の $AlGaN$ によって構成された厚さ13nmの $AlGaN$ 層である。電子供給層104と電子走行層103とのヘテロ界面の電子走行層103側には、高濃度の二次元電子ガスが発生し、二次元電子ガス層105のチャンネルが形成される。したがって、半導体装置1は、二次元電子ガス層105を有する。詳細は、後述するが、二次元電子ガス層105は、二次元電子ガスの電子濃度が異なる第1の二次元電子ガス層105Aと第2の二次元電子ガス層105Bとで構成されている。

[0025] なお、 $AlGaN$ からなる電子供給層104のAlの組成比は、30%に限るものではない。電子供給層104のAlの組成比は、20~100%であってもよい。また、電子供給層104を構成するIII族窒化物半導体は、 $AlGaN$ に限るものではない。電子供給層104は、 In を含んだ $AlInGaN$ 等のIII族窒化物半導体によって構成されていてもよい。また

、電子供給層104には、n型の不純物が含まれていてもよい。

[0026] 電子供給層104上には、キャップ層が設けられていてもよい。キャップ層としては、例えばGaNからなる厚さ約1~2nmのGaN層を用いることができる。また、電子走行層103と電子供給層104との間に、スペーサ層が設けられていてもよい。スペーサ層としては、例えば、AlNからなる厚さ約1nmのAlN層を用いることができる。

[0027] 第1絶縁層201は、電子供給層104の上に設けられている。第1絶縁層201は、Si（シリコン）を含む絶縁層である。本実施の形態において、第1絶縁層201は、SiNによって構成されたSiN層である。具体的には、第1絶縁層201は、In-situSiNによって構成された厚さが2nmのSiN層である。なお、In-situとは、大気暴露することなく形成されたことを意味している。したがって、In-situSiNによって構成された第1絶縁層201は、電子供給層104を形成した後に大気暴露せずに形成されたSiN層である。

[0028] このように第1絶縁層201をIn-situSiNによって構成することで、第1絶縁層201と電子供給層104との界面に酸素の偏在を無くすることができる。第1絶縁層201と電子供給層104との界面に酸素の偏在を無くすることで、界面準位の発生が抑えられる。これにより、界面のポテンシャルの上昇を回避して、二次元電子ガスの電子濃度が低くなることを抑制できる。

[0029] 第1絶縁層201の層厚は、2nm以上30nm以下であるとよい。第1絶縁層201の層厚を2nm以上にすることで、自然酸化によって第1絶縁層201と電子供給層104との界面に酸素が偏在することを抑制できる。一方、第1絶縁層201の層厚が30nmを超えると、半導体装置1を作製するときにウエハが反ってしまい、半導体装置1の品質が低下する。このため、第1絶縁層201の層厚は30nm以下であるとよい。つまり、第1絶縁層201の層厚を30nm以下にすることで、ウエハの反りを抑制することができる。

- [0030] また、第1絶縁層201は、酸素を含まない方がよい。第1絶縁層201が酸素を含むと、第1絶縁層201と電子供給層104との界面における界面準位が増加して、第1絶縁層201と電子供給層104との界面のポテンシャルが上昇し、二次元電子ガスの電子濃度が低くなる。第1絶縁層201が酸素を含まないことで、二次元電子ガスの電子濃度が低下することを抑制できる。
- [0031] 第2絶縁層202は、第1絶縁層201の上に設けられている。本実施の形態において、第2絶縁層202は、第1絶縁層201に接している。第2絶縁層202の層厚は、第1絶縁層201の層厚よりも厚いが、これに限らない。つまり、第2絶縁層202の層厚は、第1絶縁層201の層厚よりも薄くてもよい。第2絶縁層202は、例えば、 SiO_2 によって構成された厚さが50nmのシリコン酸化物層である。なお、第2絶縁層202は、 SiO_2 に限らず、 SiN または SiON 等によって構成されていてもよい。
- [0032] 第1絶縁層201には、開口部201aが設けられている。開口部201aは、第1絶縁層201において、ゲート電極303が設けられる領域に形成されている。したがって、第1絶縁層201は、電子供給層104のうちゲート電極303が設けられていない部分上に設けられている。
- [0033] また、第2絶縁層202には開口部202aが設けられている。開口部202aは、第2絶縁層202において、ゲート電極303が設けられる領域に形成されている。したがって、第2絶縁層202は、第1絶縁層201のうちゲート電極303が設けられていない部分上に設けられている。
- [0034] 第1絶縁層201および第2絶縁層202は、ゲート電極303と接している。また、第1絶縁層201および第2絶縁層202は、コンタクト層212とは接していない。本実施の形態において、第1絶縁層201および第2絶縁層202は、ソース側コンタクト層212Aおよびドレイン側コンタクト層212Bのいずれにも接していないが、これに限らない。例えば、第1絶縁層201は、ソース側コンタクト層212Aおよびドレイン側コンタクト層212Bの一方に接しないが、他方に接していてもよい。また、第2

絶縁層 202 は、ソース側コンタクト層 212 A およびドレイン側コンタクト層 212 B の一方に接しないが、他方に接していてもよい。

[0035] 電子供給層 104 には、貫通リセス部 211 が設けられている。本実施の形態において、貫通リセス部 211 は、第 1 絶縁層 201 と電子供給層 104 とを貫通し、電子走行層 103 に到達するように設けられている。貫通リセス部 211 は、電子走行層 103 の内部にまで到達しており、電子走行層 103 には凹部が設けられている。

[0036] 電子走行層 103 の上面から貫通リセス部 211 の底面の最底部までの距離は 10 nm 以下であるとよい。一例として、電子走行層 103 の上面から貫通リセス部 211 の底面の最底部までの距離は、5 nm である。また、貫通リセス部 211 の底面における中央部から側部へ向かう仰角は、10 度以下であるとよく、5 度以下であるとさらによい。このようにすることで、ドライエッチングによって貫通リセス部 211 を形成する際に貫通リセス部 211 の側面に結晶欠陥が生じることを低減することができ、最大ドレイン電流が低下することを抑制できる。

[0037] 貫通リセス部 211 は、ソース電極 301 とドレイン電極 302 とが設けられる領域に対応して設けられている。具体的には、貫通リセス部 211 は、ゲート電極 303 を挟んで対向するように一対設けられている。

[0038] 貫通リセス部 211 には、コンタクト層 212 が設けられている。コンタクト層 212 は、貫通リセス部 211 を埋め込むように設けられている。一対の貫通リセス部 211 の一方に設けられたコンタクト層 212 は、ソース側コンタクト層 212 A であり、一対の貫通リセス部 211 の他方に設けられたコンタクト層 212 は、ドレイン側コンタクト層 212 B である。ソース側コンタクト層 212 A とドレイン側コンタクト層 212 B とは、ゲート電極 303 を挟む位置に設けられている。

[0039] なお、貫通リセス部 211 は、第 1 絶縁層 201 および第 2 絶縁層 202 と離間して設けられている。したがって、貫通リセス部 211 に埋め込まれるコンタクト層 212 も第 1 絶縁層 201 および第 2 絶縁層 202 と離間し

ており、コンタクト層212と第1絶縁層201および第2絶縁層202とは接していない。

[0040] コンタクト層212は、例えば、n型Ga₂N₃によって構成されたn-GaN層である。なお、コンタクト層212を構成する材料は、n型Ga₂N₃に限らず、n型の不純物としてSiやGe等のドナーを含んだ、InGa₂N₃、AlGa₂N₃、AlInGa₂N₃等のIII族窒化物半導体によって構成されていてもよいし、Ti、Alとを順に積層した積層構造からなる多層電極膜で構成されていてもよい。また、コンタクト層212を構成する材料は、Ti、Ta、Al、Au、Hf、RuおよびCuを用いて構成されていてもよい。

[0041] コンタクト層212の上には、ソース電極301またはドレイン電極302が設けられている。具体的には、ソース側コンタクト層212Aの上にはソース電極301が設けられており、ドレイン側コンタクト層212Bの上にはドレイン電極302が設けられている。ソース電極301とドレイン電極302とは、ゲート電極303を挟んで対向するように設けられている。

[0042] また、ソース電極301およびドレイン電極302は、コンタクト層212上および合金層402上に設けられている。本実施の形態において、ソース電極301およびドレイン電極302は、さらに、第2絶縁層202の一部の上も覆っている。具体的には、ソース電極301は、ソース側コンタクト層212Aと合金層402と第2絶縁層202の一部とを覆うように設けられている。また、ドレイン電極302は、ドレイン側コンタクト層212Bと合金層402と第2絶縁層202の一部とを覆うように設けられている。

[0043] ソース電極301とドレイン電極302とは、例えば、層厚30nmのTi膜と層厚200nmのAl膜とを順に積層した積層構造からなる多層電極膜によって構成されるが、これに限らない。また、ソース電極301とドレイン電極302は、Ti、Ta、W、Al、Au、Hf、RuおよびCuを用いて構成されていてもよい。

[0044] ゲート電極303は、電子供給層104の上に設けられている。具体的に

は、ゲート電極303は、第1絶縁層201に設けられた開口部201aおよび第2絶縁層202に設けられた開口部202aを介して電子供給層104の上に設けられている。なお、第1絶縁層201の開口部201aの開口幅と第2絶縁層202の開口部202aの開口幅とは同じであるが、これに限らない。

[0045] ゲート電極303は、例えば、TiN膜とAl膜とを順に積層した積層構造からなる多層電極膜である。なお、ゲート電極303は、TiN膜とAl膜との積層構造に限るものではなく、遷移金属の窒化物および炭化物によって構成されていてもよい。具体的には、ゲート電極303は、TiN、WN、Ta₂N₅、HfNによって構成されていてもよい。また、ゲート電極303は、Ti、Ta、W、Al、Pd、Pt、Hf、RuおよびCuを用いて構成されていてもよく、これらの元素を含んだ化合物でもよいし、複数の積層構造からなる多層電極膜であってもよい。なお、電子供給層104とゲート電極303との間に、他の絶縁層またはp型の窒化物半導体層が設けられてもよい。

[0046] 電子供給補助層401は、Siを含有するn型半導体からなるn型半導体層である。電子供給補助層401の厚さは、2nm以下であるとよいが、これに限るものではない。本実施の形態において、電子供給補助層401は、Siを含有する厚さが1nmのn型AlGa_{1-x}Nからなるn-AlGa_{1-x}N層である。

[0047] 電子供給補助層401は、ゲート電極303には接しておらず、電子供給層104およびコンタクト層212に接している。平面視において、電子供給補助層401は、コンタクト層212と第1絶縁層201との間に設けられている。断面視において、電子供給補助層401は、電子供給層104のコンタクト層212側の端部に埋め込まれるように設けられている。具体的には、電子供給補助層401は、断面視において、上面が電子供給層104の上面と面一となり、下面が電子供給層104の上面と下面の間に位置するように設けられている。

- [0048] 本実施の形態において、電子供給補助層401は、ソース側コンタクト層212Aおよびドレイン側コンタクト層212Bの各々に接している。具体的には、電子供給補助層401は、電子供給層104におけるソース側コンタクト層212A側の端部に埋め込まれているとともに、ドレイン側コンタクト層212B側の端部に埋め込まれている。なお、電子供給補助層401は、ソース側コンタクト層212Aおよびドレイン側コンタクト層212Bのいずれか一方のみに接していてもよい。また、電子供給補助層401は、複数に分割されていてもよい。この場合、複数の電子供給補助層401のうちソース電極301側の電子供給補助層401がソース側コンタクト層212Aに接し、複数の電子供給補助層401のうちドレイン電極302側の電子供給補助層401がドレイン側コンタクト層212Bに接していてもよい。
- [0049] 電子供給補助層401の幅は、電子供給補助層401のゲート電極303側の端部とゲート電極303との距離Lより小さくてもよい。一例として、電子供給補助層401の幅は、断面視で、1 μ m以下である。このようにすることで、ゲート電極303とドレイン電極302との間のリーク電流が増加することを効率的に抑制できる。
- [0050] また、ソース電極301側の電子供給補助層401およびドレイン電極302側の電子供給補助層401のうち的一方がゲート電極303に接しておらず、他方がゲート電極303に接していてもよい。例えば、ドレイン電極302側の電子供給補助層401の幅が上記の距離Lの範囲内である場合には、ソース電極301側の電子供給補助層401についてはゲート電極303と接していてもよい。このようにすることで、ソース電極301とゲート電極303との間のアクセス抵抗を低減できるため、最大ドレイン電流を高くすることができる。
- [0051] 合金層402は、n型半導体層である電子供給補助層401の上に設けられている。具体的には、合金層402は、電子供給補助層401の直上に設けられており、電子供給補助層401に接している。

- [0052] 合金層402は、Siを含有するSi系合金層である。合金層402は、第1絶縁層201を構成する元素とソース電極301および／またはドレイン電極302を構成する元素とが反応した合金層である。この場合、合金層402を構成するSiは、第1絶縁層201に含まれるSiに由来するものである。本実施の形態において、第1絶縁層201がSiN層であり、ソース電極301およびドレイン電極302がTi膜とAl膜との積層膜であるので、合金層402は、Ti、Al、Si、Nによって構成された合金層である。具体的には、合金層402は、TiAlSiN合金によって構成された厚さが1nmのTiAlSiN合金層である。合金層402の厚さは、1nmに限るものではないが、2nm以下であるとよい。このようにすることで、電子供給層104に拡散するSi濃度を高くすることができる。
- [0053] なお、合金層402を構成する合金は、TiAlSiN合金に限るものではなく、第1絶縁層201を構成する元素の種類とソース電極301およびドレイン電極302を構成する元素の種類とによって、種々の組み合わせの合金が考えられる。具体的には、合金層402は、Ti、Ta、Al、Au、Hf、RuおよびCuの元素のうち少なくとも一つとSiとを含んだ合金によって構成されていてもよい。
- [0054] また、合金層402は、ゲート電極303には接していないが、コンタクト層212に接している。平面視において、合金層402は、コンタクト層212と第1絶縁層201との間に設けられている。本実施の形態において、合金層402は、コンタクト層212に接しているだけでなく、第1絶縁層201にも接している。
- [0055] 本実施の形態において、合金層402は、ソース側コンタクト層212Aおよびドレイン側コンタクト層212Bの各々に接している。なお、合金層402は、ソース側コンタクト層212Aおよびドレイン側コンタクト層212Bのいずれか一方のみに接していてもよい。また、合金層402は、複数に分割されていてもよい。この場合、複数の合金層402のうちソース電極301側の合金層402がソース側コンタクト層212Aに接し、複数の

合金層402のうちドレイン電極302側の合金層402がドレイン側コンタクト層212Bに接していてもよい。

[0056] このような構造の半導体装置1にすることで、二次元電子ガス層105の電子濃度を、電子供給補助層401および合金層402が存在する部分と電子供給補助層401および合金層402が存在しない部分とで異ならせることができる。具体的には、二次元電子ガス層105は、電子供給補助層401および合金層402の下方に位置しない部分の第1の二次元電子ガス層105Aと、電子供給補助層401および合金層402に位置する部分の第2の二次元電子ガス層105Bとを有しており、第2の二次元電子ガス層105Bの電子濃度は、第1の二次元電子ガス層105Aの電子濃度に対して高くなっている。なお、コンタクト層212と第2の二次元電子ガス層105Bとは、電氣的にオーミック接続されている。

[0057] ここで、第2の二次元電子ガス層105Bの電子濃度が第1の二次元電子ガス層105Aの電子濃度よりも高くなるメカニズムを、図2を用いて説明する。図2は、実施の形態1に係る半導体装置1のエネルギーバンドの伝導帯を示す模式図である。

[0058] 図2において、実線Aは、図1の一点鎖線Aに対応する部分のダイアグラムであり、破線Bは、図1の一点鎖線Bに対応する部分のダイアグラムである。つまり、図2における実線Aは、ゲート電極303の隣接部であるゲート隣接部（つまり電子供給補助層401および合金層402が設けられていない部分）のダイアグラムであり、対応する層の名称は下側の両矢印の列（A）で示している。また、図2における破線Bは、コンタクト層212の隣接部であるコンタクト隣接部（つまり電子供給補助層401および合金層402が設けられた部分）のダイアグラムであり、対応する層の名称は上側の両矢印の列（B）で示している。なお、電子供給補助層401より上側（図中の左側）の破線は、金属であるドレイン電極302のフェルミ準位が伝導帯と一致していることを示している。

[0059] 上記のように、本実施の形態における半導体装置1では、n型半導体から

なる電子供給補助層401が電子供給層104の内部に設けられている。これにより、電子供給層104が設けられた部分において、電子供給層104のポテンシャルが相対的に低下するため、電子供給層104と電子走行層103との界面位置のポテンシャルが低下する。この結果、第2の二次元電子ガス層105Bの電子濃度が増加することになる。すなわち、電子供給補助層401の下方に位置する第2の二次元電子ガス層105Bの電子濃度が、電子供給補助層401の下方に位置しない第1の二次元電子ガス層105Aの電子濃度に対して相対的に大きくなる。

[0060] このように、第2の二次元電子ガス層105Bの電子濃度が第1の二次元電子ガス層105Aの電子濃度よりも高くなることで、電子供給層104における貫通リセス部211の側面隣接部の電子濃度が低くなることを低減できる。この結果、最大ドレイン電流が低下することを抑制できる。しかも、第1の二次元電子ガス層105Aに対応するゲート隣接部の電子濃度が維持されているので、ゲート電極303とドレイン電極302との間のリーク電流を低減することもできる。つまり、本実施の形態における半導体装置1の構成により、最大ドレイン電流の低下抑制とゲートドレイン間のリーク電流低減との両立を図ることができる。また、コンタクト層212を介してだけでなく、電子供給補助層401および合金層402を介しての電流も増加するため、最大ドレイン電流が低下することをさらに抑制できる。

[0061] なお、本実施の形態における半導体装置1において、電子供給補助層401の幅は、 $1\ \mu\text{m}$ 以下であるとよい。このようにすることで、ゲート電極303とドレイン電極302との間のリーク電流を効率的に少なくすることができる。

[0062] また、本実施の形態における半導体装置1では、電子供給補助層401の下方において、電子供給層104における電子供給補助層401側のバンドギャップが、電子供給層104における電子走行層103側のバンドギャップよりも小さくてもよい。具体的には、電子供給層104がAlGaInで構成されている場合、電子供給層104における電子供給補助層401側のA

I組成が、電子供給層104における電子走行層103側のA組成よりも小さくてもよい。AlGaInはA組成が大きい程電子親和力が低いため、Siを含有する合金層402を電子供給補助層401に接触させたときの障壁高さが低くなる。このため、電子供給層104における電子供給補助層401側のバンドギャップを、電子供給層104における電子走行層103側のバンドギャップよりも小さくすることで、オーミックコンタクト抵抗を低減することができる。しかも、オーミックコンタクト抵抗を低くすることで、ドレイン電流のバラツキを低減することができる。

[0063] また、本実施の形態における半導体装置1において、第1絶縁層201と電子供給補助層401とは、フッ素(F)または塩素(Cl)等のハロゲンを含んでいてもよいが、第1絶縁層201と電子供給補助層401のハロゲン濃度は、いずれも $1 \times 10^{18} \text{ atoms/cm}^3$ 以下であるとよい。これは、半導体層や絶縁層中に含まれるハロゲンは、電気陰性度が高いために負の固定電荷となるからである。このため、第1絶縁層201のハロゲン濃度が $1 \times 10^{18} \text{ atoms/cm}^3$ 以下であることで、第1絶縁層201における負の固定電荷を少なくすることができる。これにより、電子供給層104と電子走行層103との界面位置のポテンシャルの上昇をなくすことができ、ハロゲンによって第2の二次元電子ガス層105Bの電子濃度が減少することをなくすことができる。

[0064] また、本実施の形態における半導体装置1において、第1絶縁層201の厚さは、合金層402の厚さよりも大きくてもよい。このようにすることで、ゲート電極303とドレイン電極302との間のリーク電流をさらに低減できる。

[0065] 次に、本実施の形態における半導体装置1の製造方法について、図3A～図3Gを用いて説明する。図3A～図3Gは、実施の形態1に係る半導体装置1の製造方法における各工程を示す断面図である。図3Aは、半導体積層構造体100と第1絶縁層201および第2絶縁層202とを形成する工程を示している。図3Bは、第1絶縁層201に薄部201bを形成する工程

を示している。図3Cは、貫通リセス部211を形成する工程を示している。図3Dは、コンタクト層212を形成する工程を示している。図3Eは、ソース電極301およびドレイン電極302を形成する工程を示している。図3Fは、熱処理をする工程を示している。図3Gは、ゲート電極303を形成する工程を示している。

[0066] まず、図3Aに示すように、有機金属気相成長法（MOCVD：Metal Organic Chemical Vapor Deposition）を用いて、基板101の上に、バッファ層102、電子走行層103および電子供給層104からなる半導体積層構造体100を形成する（半導体積層構造体形成工程）。

[0067] 本実施の形態では、Siからなる基板101の上に、層厚が2 μ mでAlNおよびAlGaNの積層構造からなるバッファ層102と、層厚が200nmでGa_{0.5}Nからなる電子走行層103と、層厚が20nmでAl組成比25%のAlGa_{0.25}Nからなる電子供給層104とを、+c面方向（<0001>方向）に順次エピタキシャル成長することで、半導体積層構造体100を形成する。

[0068] 次いで、半導体積層構造体100の上に、Siを含有する絶縁層として第1絶縁層201を形成する（第1絶縁層形成工程）。具体的には、半導体積層構造体100を形成した後に、同じ半導体結晶成長装置（MOCVD炉）内でSiNからなる層厚が2nmの第1絶縁層201を形成する。つまり、大気暴露せずに電子供給層104の上に第1絶縁層201を形成している。このように、大気暴露することなく第1絶縁層201を電子供給層104の直上に形成することで、電子供給層104と第1絶縁層201との間に酸素が偏在しない。

[0069] 次いで、第1絶縁層201の上に第2絶縁層202を形成する（第2絶縁層形成工程）。具体的には、第1絶縁層201を形成した後、半導体積層構造体100および第1絶縁層201が形成された基板101を別の装置に移して、SiO₂からなる層厚が50nmの第2絶縁層202を形成する。この

構造において、電子供給層104と電子走行層103とのヘテロ界面の電子走行層103側に、高濃度の二次元電子ガスが発生し、二次元電子ガス層105が形成される。

[0070] なお、第1絶縁層201と第2絶縁層202を形成する際の成膜条件としては、例えば、成長温度は900~1150℃であり、原料ガスはSiH₄とNH₃である。また、第1絶縁層201にハロゲンを不純物として混入させないために、MOCVD炉内をドライクリーニングする際にハロゲンを用いない方がよい。また、ドライクリーニングする際にハロゲンを用いたとしても、ドライクリーニングした後にN₂やNH₃等でMOCVD炉内からハロゲンを除去するとよい。

[0071] 次に、図3Bに示すように、第1絶縁層201の一部を薄くして第1絶縁層201に薄部201bを形成する（薄部形成工程）。

[0072] 具体的には、第2絶縁層202の上にレジストを塗布した後にリソグラフィ法によってレジストをパターニングすることで、第2絶縁層202上におけるコンタクト層212と電子供給補助層401および合金層402とを形成する領域を除いた部分にマスク（レジストマスク）を形成する。つまり、レジストにおけるコンタクト層212と電子供給補助層401および合金層402とを形成する領域に、開口部を形成する。具体的には、ソース側コンタクト層212Aおよびドレイン側コンタクト層212Bを形成する領域の各々を含む領域に開口部を形成する。

[0073] 続いて、開口部を有するレジストをマスクとしてエッチングを施すことで、第2絶縁層202の一部を除去するとともに第1絶縁層201の一部を薄膜化する。この場合、開口部を有するレジストをマスクとしてドライエッチングおよびウェットエッチングを施すことにより、第1絶縁層201に対して第2絶縁層202を選択的に除去することができる。つまり、ドライエッチングおよびウェットエッチングを施すことにより、コンタクト層212と電子供給補助層401および合金層402とを形成する領域について、第2絶縁層202を除去するとともに第1絶縁層201を薄膜化する。これによ

り、図3Bに示すように、第1絶縁層201の一部（コンタクト層212と電子供給補助層401および合金層402とを形成する領域）を薄くして、残膜として第1絶縁層201に薄部201bを形成することができる。その後、マスク（レジスト）およびドライエッチングで発生したポリマーを除去する。

[0074] なお、第1絶縁層201および第2絶縁層202にウェットエッチングを施す場合、DHFまたはBHFを用いることで、第1絶縁層201に対して第2絶縁層202を選択的に除去することができる。また、SiO₂からなる第2絶縁層202を形成するときに、第1絶縁層201の表面を酸化することで第1絶縁層201の一部のみを選択的に除去してもよい。

[0075] また、第1絶縁層201の薄部201b（残膜）の厚さは、2nm以下であるとよい。この場合、第1絶縁層201の薄部201b（残膜）の厚さは、薄膜化する前の第1絶縁層201の厚さの半分以上であるとよい（つまり半分以上残すとよい）が、これに限らない。一例として、薄化する前の第1絶縁層201の厚さが2nmである場合、第1絶縁層201の薄部201b（残膜）は、1.5nmである。

[0076] 次に、図3Cに示すように、第1絶縁層201の薄部201bの端部と半導体積層構造体100の一部とを除去して貫通リセス部211を形成する（貫通リセス部形成工程）。具体的には、第1絶縁層201の薄部201bの一部を絶縁層残部201b1として残しつつ第1絶縁層201の薄部201bと電子供給層104とを貫通して電子走行層103にまで達する貫通リセス部211を形成する。

[0077] この場合、まず、第2絶縁層202の上と第1絶縁層201の薄部201bの一部の上とにレジストを塗布した後にリソグラフィー法によりレジストをパターニングすることで、貫通リセス部211を形成する領域以外にマスク（レジストマスク）を形成する。つまり、レジストは、貫通リセス部211を形成する領域に開口部を形成する。具体的には、レジストは、ソース側コンタクト層212Aおよびドレイン側コンタクト層212Bを形成する領

域の各々に開口部を有する。

- [0078] 続いて、その開口部を有するレジストをマスクとしてドライエッチングを施すことにより、第1絶縁層201の薄部201bの一部を絶縁層残部201b1として残しつつ、第1絶縁層201の薄部201bの端部と電子供給層104とを貫通して電子走行層103にまで達する貫通リセス部211を形成する。具体的には、図3Cに示すように、ソース側コンタクト層212Aおよびドレイン側コンタクト層212Bを形成する領域の各々に対応して2つの貫通リセス部211を形成する。貫通リセス部211を形成することで、電子走行層103の一部が露出することになる。その後、マスク（レジスト）およびドライエッチングで発生したポリマーを除去する。
- [0079] なお、本実施の形態では、ドライエッチングによって貫通リセス部211を形成したが、これに限らない。具体的には、ウェットエッチングによって貫通リセス部211を形成してもよい。
- [0080] また、第1絶縁層201を薄膜化してドライエッチングにより貫通リセス部211を形成した後、SPM、APMまたはKOHを用いて選択的に電子供給層104の側面をウェットエッチングしてもよい。これにより、貫通リセス部211の側面を傾斜面にすることができる。具体的には、貫通リセス部211の側面を、貫通リセス部211の底面の中央から側部への方向に5度以下の仰角を含む傾斜面にすることができる。
- [0081] 次に、図3Dに示すように、貫通リセス部211にコンタクト層212を埋め込み形成する（コンタクト層形成工程）。
- [0082] 具体的には、第2絶縁層202と第1絶縁層201の絶縁層残部201b1とをマスクとして2つの貫通リセス部211を埋め込むようにMOCVDを用いて n^+GaN を成長させる。これにより、2つの貫通リセス部211の各々に n^+GaN からなるコンタクト層212を選択的に埋め込み形成することができる。なお、2つの貫通リセス部211の一方に埋め込まれたコンタクト層212がソース側コンタクト層212Aであり、2つの貫通リセス部211の他方に埋め込まれたコンタクト層212がドレイン側コンタ

ト層 212B である。

- [0083] 本実施の形態では、n型の不純物としてSiをドーピングし、100nmの厚さで n^+ -Ga_{0.99}Nを成長させることでコンタクト層212を形成した。コンタクト層212のSiのドーピング濃度は、例えば $2 \times 10^{19} / \text{cm}^3$ である。なお、コンタクト層212は、再成長に限らず、スパッタによって形成してもよいし、貫通リセス部211を形成せずにイオン注入およびプラズマ処理等によって形成してもよい。
- [0084] 次に、図3Eに示すように、第1絶縁層201の絶縁層残部201b1とコンタクト層212とを跨いでソース電極301およびドレイン電極302を形成する（ソース電極／ドレイン電極の形成工程）。
- [0085] 具体的には、蒸着またはスパッタにより層厚30nmのTi膜および層厚200nmのAl膜を順に堆積して積層膜を形成した後、リフトオフ法により不要な積層膜を除去することで、Ti膜とAl膜との積層膜からなる所定形状のソース電極301とドレイン電極302とをコンタクト層212の上に形成する。本実施の形態では、ソース側コンタクト層212Aの上にソース電極301が形成され、ドレイン側コンタクト層212Bの上にドレイン電極302が形成される。その後、レジストマスクおよびポリマーを除去する。
- [0086] なお、本実施の形態では、蒸着とリフトオフ法とによりソース電極301およびドレイン電極302を形成したが、これに限らない。例えば、スパッタによりTi膜およびAl膜を順に堆積して積層膜を形成した後に、リソグラフィ法およびドライエッチング法を用いて積層膜をパターニングすることで、所定形状のソース電極301とドレイン電極302とを形成してもよい。
- [0087] 次に、図3Fに示すように、熱処理をして、第1絶縁層201の絶縁層残部201b1および電子供給層104に、電子供給補助層401と合金層402とを形成する（熱処理工程）。
- [0088] この熱処理の温度は、例えば、400～600℃であり、好ましくは、5

00~550℃である。また、熱処理は、酸素を含まない雰囲気下で行うとよい。本実施の形態では、N₂雰囲気下で540℃の温度で熱処理を施した。

[0089] このように熱処理を施すことで、第1絶縁層201の絶縁層残部201b1および電子供給層104の各々を構成する元素とソース電極301およびドレイン電極302の各々を構成する元素とが熱により相互拡散および合金化して、電子供給補助層401および合金層402が形成される。

[0090] 具体的には、本実施の形態では、第1絶縁層201がSiを含む絶縁層であり、電子供給層104がAlGaIn層であるので、第1絶縁層201の絶縁層残部201b1に接する電子供給層104の上層部分は、第1絶縁層201を構成するSiの拡散によって窒素空孔が形成されてn型化して、電子供給補助層401としてn型AlGaIn層が形成される。つまり、n型半導体層である電子供給補助層401が形成される。

[0091] しかも、本実施の形態では、ソース電極301およびドレイン電極302がTiを含むので、このTiの拡散による窒素空孔の形成によっても電子供給層104の上層部分がn型化する。つまり、本実施の形態では、熱処理によるSiの拡散とTiの拡散とによって電子供給層104の上層部分がn型化してn型半導体層である電子供給補助層401が形成される。

[0092] このように、電子供給層104の上層部分がn型化してn型半導体層である電子供給補助層401が形成されることにより、第1の二次元電子ガス層105Aよりも電子濃度が高い第2の二次元電子ガス層105Bが生成される。この結果、第2の二次元電子ガス層105Bとソース電極301およびドレイン電極302とが電氣的にオーミック接続される。

[0093] なお、熱処理により第1絶縁層201のSiが電子供給層104にまで拡散しやすくするために、第1絶縁層201の薄部201bの一部である絶縁層残部201b1は、薄い方がよい。この場合、上記のように、第1絶縁層201の薄部201bの厚さは、2nm以下であるとよい。このようにすることで、電子供給層104の上層部分におけるSiの含有率を増大させることができ、電子供給層104の上層部分をよりn型化させることができる。

[0094] 次に、図3Gに示すように、第1絶縁層201のうちソース電極301およびドレイン電極302から離間した部分の第1絶縁層201を除去してゲート電極303を形成する（ゲート電極形成工程）。本実施の形態では、第1絶縁層201の上に第2絶縁層202が形成されているので、第1絶縁層201および第2絶縁層202のうちソース電極301およびドレイン電極302から離間した部分の第1絶縁層201を除去してゲート電極303を形成する。

[0095] 具体的には、第2絶縁層202の上にレジストを塗布した後にリソグラフィ法によりゲート電極303が形成される領域（ゲート電極形成予定領域）以外にマスク（レジストマスク）を形成する。次いで、ドライエッチング法を用いて第2絶縁層202と第1絶縁層201とを選択的に除去して、電子供給層104が露出するように第1絶縁層201に開口部201aを形成するとともに第2絶縁層202の開口部202aを形成する。次いで、マスク（レジストマスク）およびドライエッチングにより発生したポリマーを除去する。その後、開口部201a、202aにゲート電極303を形成する。具体的には、層厚が50nmのTiN膜と層厚が450nmのAl膜とをスパッタ法により順に堆積した積層膜を形成した後、リソグラフィ法およびドライエッチング法を用いて積層膜をパターニングすることで、図3Fに示される所定形状のゲート電極303を形成する。その後、マスクおよびドライエッチングにより発生したポリマーを除去する。

[0096] このように、図3A～図3Gの一連の工程を経ることで、図1に示される構造の半導体装置1が完成する。

[0097] （実施の形態2）

次に、実施の形態2に係る半導体装置2について、図4を用いて説明する。図4は、実施の形態2に係る半導体装置2の構成を示す断面図である。なお、以下では、実施の形態1との相違点を中心に説明を行い、共通点の説明を省略または簡略化する。

[0098] 本実施の形態に係る半導体装置2は、上記実施の形態1に係る半導体装置

1と比べて、ソース電極301Aおよびドレイン電極302Aの構成が異なる。具体的には、本実施の形態におけるソース電極301Aおよびドレイン電極302Aは、上記実施の形態1における半導体装置1において、ソース電極301およびドレイン電極302とコンタクト層212とが同一材料で構成されて一体になったものである。

[0099] より具体的には、本実施の形態におけるソース電極301Aは、上記実施の形態1において、ソース電極301とソース側コンタクト層212Aとが同じ材料によって構成されて一体になったものである。また、本実施の形態におけるドレイン電極302Aは、上記実施の形態1において、ドレイン電極302とドレイン側コンタクト層212Bとが同じ材料によって構成されて一体になったものである。つまり、本実施の形態に係る半導体装置2は、半導体材料からなるコンタクト層を有していない。

[0100] 本実施の形態において、ソース電極301Aおよびドレイン電極302Aは、貫通リセス部211を埋め込むように設けられている。また、ソース電極301Aおよびドレイン電極302Aは、合金層402と第2絶縁層202の一部とを覆うように設けられている。ソース電極301Aとドレイン電極302Aは、例えば、層厚30nmのTi膜と層厚200nmのAl膜とを順に積層した積層構造からなる多層電極膜によって構成されているが、これに限らない。また、ソース電極301Aおよびドレイン電極302Aは、Auを含まないが、これに限らない。また、ソース電極301Aおよびドレイン電極302Aを構成する材料は、Ti、Ta、Al、Hf、RuおよびCuを用いて構成されていてもよい。

[0101] このように構成されるソース電極301Aとドレイン電極302Aとは、第2の二次元電子ガス層105Bと電氣的にオーミック接続されている。

[0102] 本実施の形態に係る半導体装置2においても、上記実施の形態1と同様の効果を得ることができる。具体的には、本実施の形態においても、n型半導体層である電子供給補助層401と合金層402とが設けられているので、第2の二次元電子ガス層105Bの電子濃度が第1の二次元電子ガス層10

5 Aの電子濃度よりも大きくなっている。これにより、電子供給層104における貫通リセス部211の側面隣接部の電子濃度が低くなることを低減できるので、最大ドレイン電流が低下することを抑制できる。

[0103] さらに、本実施の形態に係る半導体装置2では、ソース電極301Aおよびドレイン電極302Aがコンタクト層の機能を兼ねており、半導体材料からなるコンタクト層が設けられていない。これにより、コンタクト層を形成する工程を削減することができる。また、本実施の形態に係る半導体装置2では、ソース電極301Aおよびドレイン電極302AにAuが含まれないので、製造コストを低減することができる。

[0104] 次に、本実施の形態における半導体装置2の製造方法について、図5A～図5Fを用いて説明する。図5A～図5Fは、実施の形態2に係る半導体装置2の製造方法における各工程を示す断面図である。図5Aは、半導体積層構造体100と第1絶縁層201および第2絶縁層202とを形成する工程を示している。図5Bは、第1絶縁層201に薄部201bを形成する工程を示している。図5Cは、貫通リセス部211を形成する工程を示している。図5Dは、ソース電極301Aおよびドレイン電極302Aを形成する工程を示している。図5Eは、熱処理をする工程を示している。図5Fは、ゲート電極303を形成する工程を示している。

[0105] まず、図5Aに示すように、MOCVDを用いて、基板101の上に、バッファ層102、電子走行層103および電子供給層104からなる半導体積層構造体100を形成する（半導体積層構造体形成工程）。この工程は、上記実施の形態1における図3Aの工程と同じである。

[0106] 次に、図5Bに示すように、第1絶縁層201の一部を薄くして第1絶縁層201に薄部201bを形成する（薄部形成工程）。この工程は、上記実施の形態1における図3Bの工程と同じである。

[0107] 次に、図5Cに示すように、第1絶縁層201の薄部201bの端部と半導体積層構造体100の一部とを除去して貫通リセス部211を形成する（貫通リセス部形成工程）。具体的には、第1絶縁層201の薄部201bの

一部を絶縁層残部201b1として残しつつ第1絶縁層201の薄部201bと電子供給層104とを貫通して電子走行層103にまで達する貫通リセス部211を形成する。この工程は、上記実施の形態1における図3Cの工程と同じである。

[0108] 次に、図5Dに示すように、貫通リセス部211にソース電極301Aおよびドレイン電極302Aを埋め込み形成する（ソース電極／ドレイン電極の形成工程）。具体的には、第1絶縁層201の絶縁層残部201b1と貫通リセス部211とを跨いでソース電極301Aおよびドレイン電極302Aを形成する。

[0109] 本実施の形態では、第2絶縁層202と第1絶縁層201とをマスクにして、貫通リセス部211に埋め込むようにスパッタ法によりTi膜およびAl膜を順に堆積して積層膜を形成した後、リソグラフィー法によりソース電極301Aとドレイン電極302Aとを形成する領域にマスクを形成する。このマスクが形成された領域は、平面視で、貫通リセス部211と第1絶縁層201の絶縁層残部201b1と第2絶縁層202とを跨ぐ領域である。その後、ドライエッチング法によりマスクが形成された領域以外のAl膜およびTi膜が除去されることで、第1絶縁層201の絶縁層残部201b1と貫通リセス部211とを跨いでソース電極301Aおよびドレイン電極302Aが形成される。その後、マスクおよびポリマーを除去する。

[0110] 次に、図5Eに示すように、熱処理をして、第1絶縁層201の絶縁層残部201b1および電子供給層104に、電子供給補助層401と合金層402とを形成する（熱処理工程）。この工程は、上記実施の形態1における図3Fの工程と同じである。つまり、熱処理を施すことで、第1絶縁層201の絶縁層残部201b1および電子供給層104の各々を構成する元素とソース電極301Aおよびドレイン電極302Aの各々を構成する元素とが熱により相互拡散および合金化して、電子供給補助層401および合金層402が形成される。

[0111] 次に、図5Fに示すように、第1絶縁層201のうちソース電極301A

およびドレイン電極302Aから離間した部分の第1絶縁層201を除去してゲート電極303を形成する（ゲート電極形成工程）。本実施の形態でも、第1絶縁層201の上に第2絶縁層202が形成されているので、第1絶縁層201および第2絶縁層202のうちソース電極301Aおよびドレイン電極302Aから離間した部分の第1絶縁層201を除去してゲート電極303を形成する。この工程は、上記実施の形態1における図3Gの工程と同じである。

[0112] このように、図5A～図5Fの一連の工程を経ることで、図4に示される構造の半導体装置2が完成する。

[0113] （変形例）

以上、本開示に係る半導体装置について、実施の形態1、2に基づいて説明したが、本開示は、上記実施の形態1、2に限定されるものではない。

[0114] 例えば、上記実施の形態1、2において、電子走行層103および電子供給層104は、III族窒化物半導体によって構成されていたが、これに限らない。具体的には、電子走行層103および電子供給層104は、III族砒化物半導体等のその他の半導体材料によって構成されていてもよい。

[0115] その他、上記実施の形態に対して当業者が思い付く各種変形を施して得られる形態や、本開示の趣旨を逸脱しない範囲で実施の形態における構成要素および機能を任意に組み合わせることで実現される形態も本開示に含まれる。また、本願出願時の請求の範囲に記載された複数の請求項の中から技術的に矛盾しない範囲で2つ以上の請求項を任意に組み合わせたものも本開示に含まれる。例えば、本願出願時の請求の範囲に記載された引用形式請求項を、技術的に矛盾しない範囲で上位請求項の全てを引用するようにマルチクレームまたはマルチマルチクレームとしたときに、そのマルチクレームまたはマルチマルチクレームに含まれる全ての請求項の組み合わせも本開示に含まれる。

産業上の利用可能性

[0116] 本開示の技術は、高速動作が要求される通信機器やインバータ、および、

電源回路等に用いられるスイッチング用トランジスタ等の半導体デバイスとして利用することができる。その中でも特に、本開示の技術は、オーミックコンタクト抵抗による発熱に大きな影響を及ぼす高周波パワーデバイスに有用である。

符号の説明

- [0117] 1、2 半導体装置
- 100 半導体積層構造体
 - 101 基板
 - 102 バッファ層
 - 103 電子走行層
 - 104 電子供給層
 - 105 二次元電子ガス層
 - 105A 第1の二次元電子ガス層
 - 105B 第2の二次元電子ガス層
 - 201 第1絶縁層
 - 201a 開口部
 - 201b 薄部
 - 201b1 絶縁層残部
 - 202 第2絶縁層
 - 202a 開口部
 - 211 貫通リセス部
 - 212 コンタクト層
 - 212A ソース側コンタクト層
 - 212B ドレイン側コンタクト層
 - 301、301A ソース電極
 - 302、302A ドレイン電極
 - 303 ゲート電極
 - 401 電子供給補助層

4 0 2 合金層

請求の範囲

- [請求項1] 電子走行層と、
前記電子走行層上に設けられ、前記電子走行層よりもバンドギャップが大きい電子供給層と、
前記電子供給層上に設けられたゲート電極と、
前記ゲート電極を挟む位置において、前記電子供給層を貫通するリセス部に埋め込まれたソース側コンタクト層およびドレイン側コンタクト層と、
前記電子供給層に接するとともに、前記ソース側コンタクト層および／または前記ドレイン側コンタクト層と接しかつ前記ゲート電極と接することなく設けられた、Siを含有するn型半導体からなるn型半導体層と、
前記n型半導体層上に設けられ、Siを含有し、厚さが2nm以下である合金層と、
前記電子供給層のうち前記ゲート電極が設けられていない部分上に、前記ゲート電極と接しかつ前記ソース側コンタクト層および／または前記ドレイン側コンタクト層と接することなく設けられた絶縁層と、
前記ソース側コンタクト層および／または前記ドレイン側コンタクト層上および前記合金層上に設けられた、ソース電極および／またはドレイン電極と、を有する、
半導体装置。
- [請求項2] 前記n型半導体層の厚さは2nm以下である、
請求項1に記載の半導体装置
- [請求項3] 断面視で、前記n型半導体層の幅は1 μ m以下である、
請求項1または2に記載の半導体装置。
- [請求項4] 前記n型半導体層の下部において、前記電子供給層における前記n型半導体層側の部分のバンドギャップは、前記電子供給層における前

記電子走行層側の部分のバンドギャップよりも小さい、

請求項 1 または 2 に記載の半導体装置。

[請求項5] 前記ソース電極と前記ソース側コンタクト層とは、同じ材料によって構成されており、かつ Au を含まず、

前記ドレイン電極と前記ドレイン側コンタクト層とは、同じ材料によって構成されており、かつ Au を含まない、

請求項 1 または 2 に記載の半導体装置。

[請求項6] 前記絶縁層はハロゲン濃度が $1 \times 10^{18} \text{ atoms/cm}^3$ 以下である、

請求項 1 または 2 に記載の半導体装置。

[請求項7] 前記絶縁層の厚さは前記合金層の厚さよりも大きい、

請求項 1 または 2 に記載の半導体装置。

[請求項8] 前記絶縁層の厚さは 2 nm 以上 30 nm 以下である、

請求項 7 に記載の半導体装置。

[請求項9] 前記絶縁層と前記電子供給層との間に酸素の偏在がない、

請求項 1 または 2 に記載の半導体装置。

[請求項10] 前記電子走行層および前記電子供給層は III 族窒化物半導体によって構成されている、

請求項 1 または 2 に記載の半導体装置。

[請求項11] 電子走行層上に、前記電子走行層よりもバンドギャップが大きい電子供給層を形成する工程と、

前記電子供給層上に大気暴露せずに Si を含有する絶縁層を形成する工程と、

前記絶縁層の一部を薄くして前記絶縁層に薄部を形成する工程と、

前記薄部の一部を絶縁層残部として残しつつ前記絶縁層の前記薄部と前記電子供給層とを貫通して前記電子走行層にまで達する貫通リセス部を形成する工程と、

前記貫通リセス部にコンタクト層を埋め込み形成する工程と、

前記絶縁層残部と前記コンタクト層とを跨いでソース電極および／またはドレイン電極を形成する工程と、

熱処理をして、前記絶縁層残部および前記電子供給層に合金層と電子供給補助層とを形成する工程と、

前記絶縁層のうち前記ソース電極および／または前記ドレイン電極から離間した部分の前記絶縁層を除去してゲート電極を形成する工程と、を含む、

半導体装置の製造方法。

[請求項12]

電子走行層上に、前記電子走行層よりもバンドギャップが大きい電子供給層を形成する工程と、

前記電子供給層上に大気暴露せずにSiを含有する絶縁層を形成する工程と、

前記絶縁層の一部を薄くして前記絶縁層に薄部を形成する工程と、

前記薄部の一部を絶縁層残部として残しつつ前記絶縁層の前記薄部と前記電子供給層とを貫通して前記電子走行層にまで達する貫通リセス部を形成する工程と、

前記絶縁層残部と前記貫通リセス部とを跨いでソース電極および／またはドレイン電極を形成する工程と、

熱処理をして、前記絶縁層残部および前記電子供給層に合金層と電子供給補助層とを形成する工程と、

前記絶縁層のうち前記ソース電極および／または前記ドレイン電極から離間した部分の前記絶縁層を除去してゲート電極を形成する工程と、を含む、

半導体装置の製造方法。

[請求項13]

前記絶縁層はSiNからなる、

請求項11または12に記載の半導体装置の製造方法。

[請求項14]

前記絶縁層と前記電子供給層との間に酸素の偏在がない、

請求項13に記載の半導体装置の製造方法。

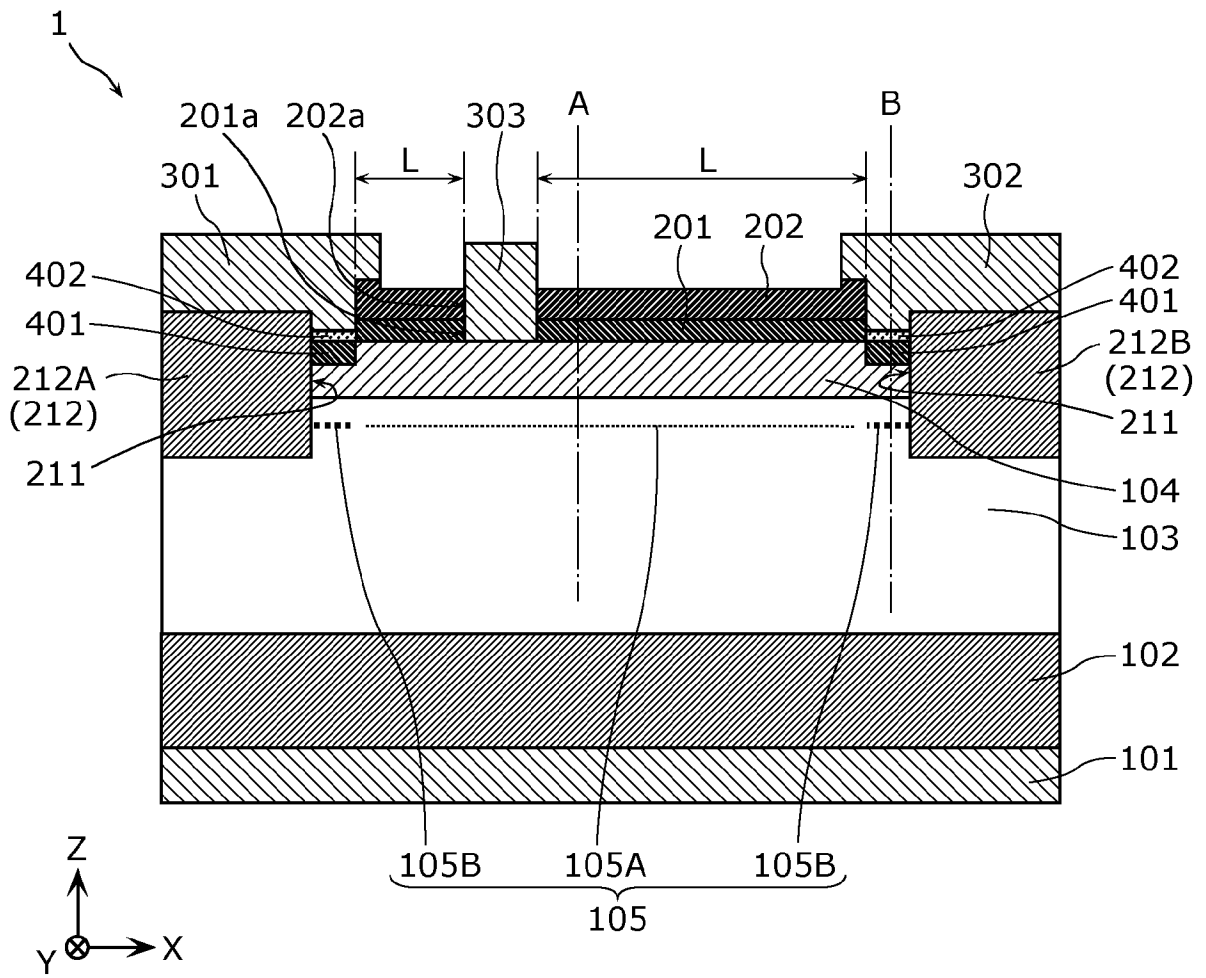
[請求項15] 前記絶縁層に薄部を形成する工程において、前記薄部の厚さが2 nm以下である、

請求項11または12に記載の半導体装置の製造方法。

[請求項16] 前記電子走行層および前記電子供給層はIII族窒化物半導体によって構成されている、

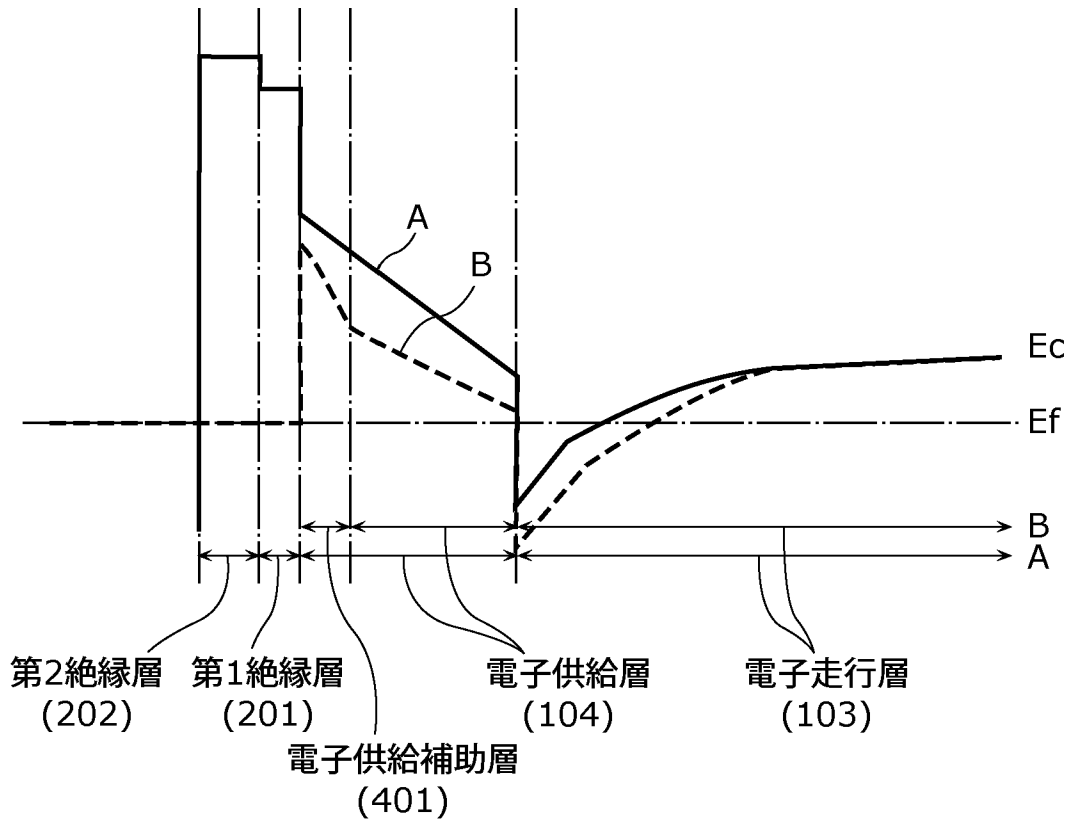
請求項11または12に記載の半導体装置の製造方法。

[図1]

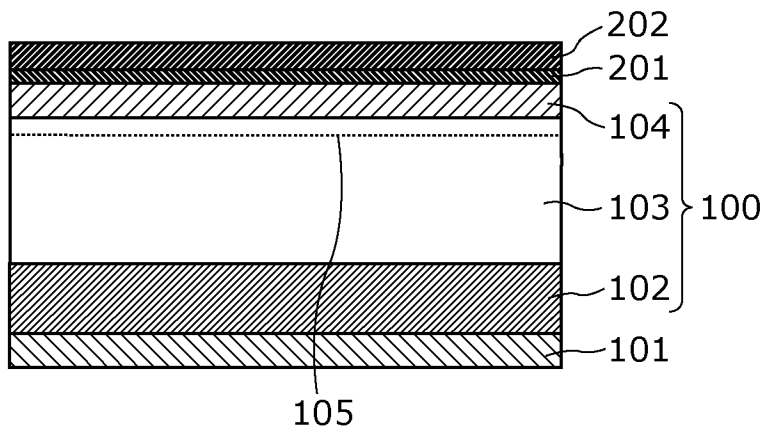


[図2]

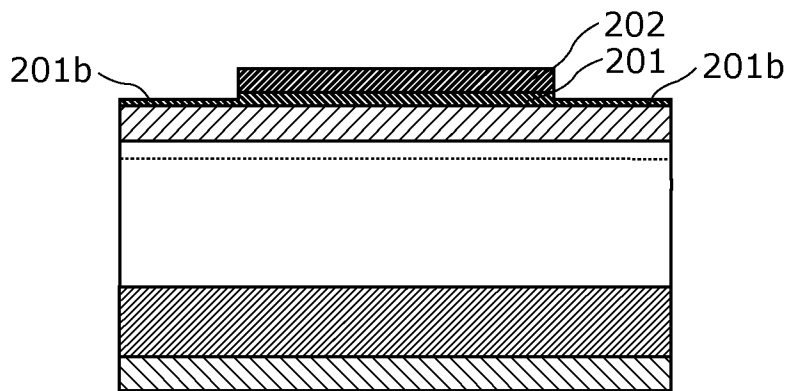
[エネルギーバンド(伝導帯)]



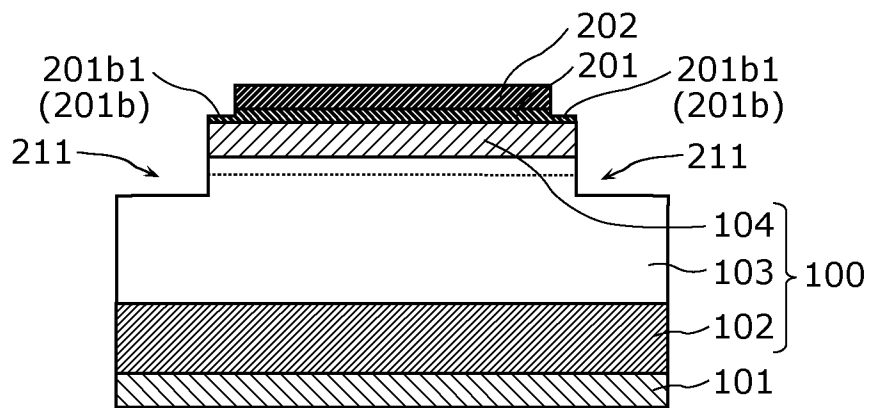
[図3A]



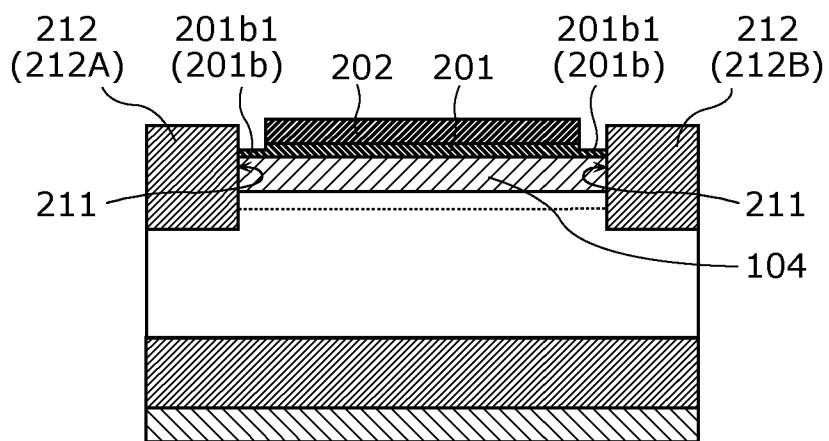
[図3B]



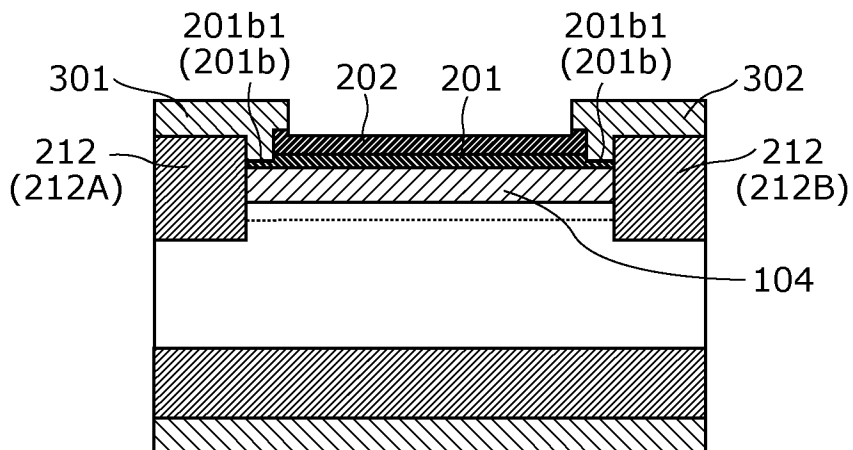
[図3C]



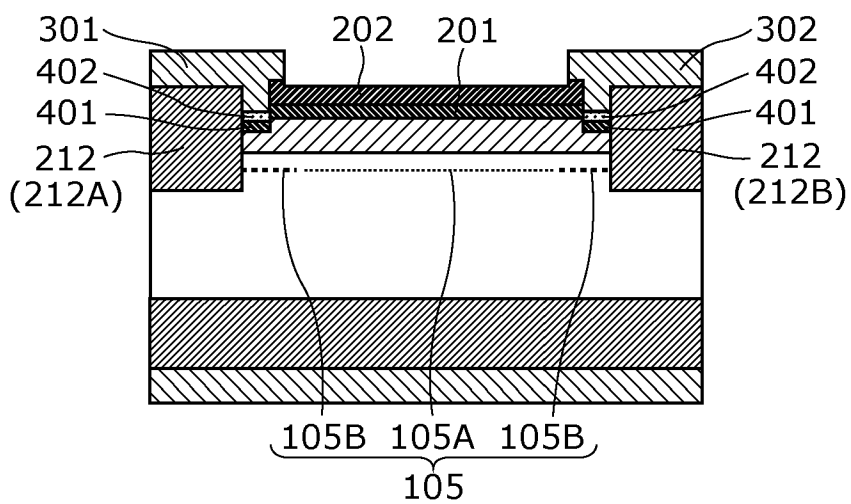
[図3D]



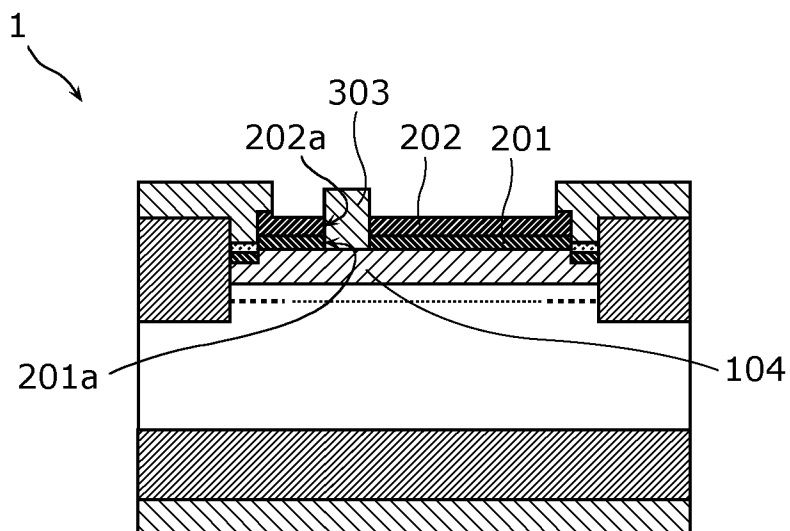
[図3E]



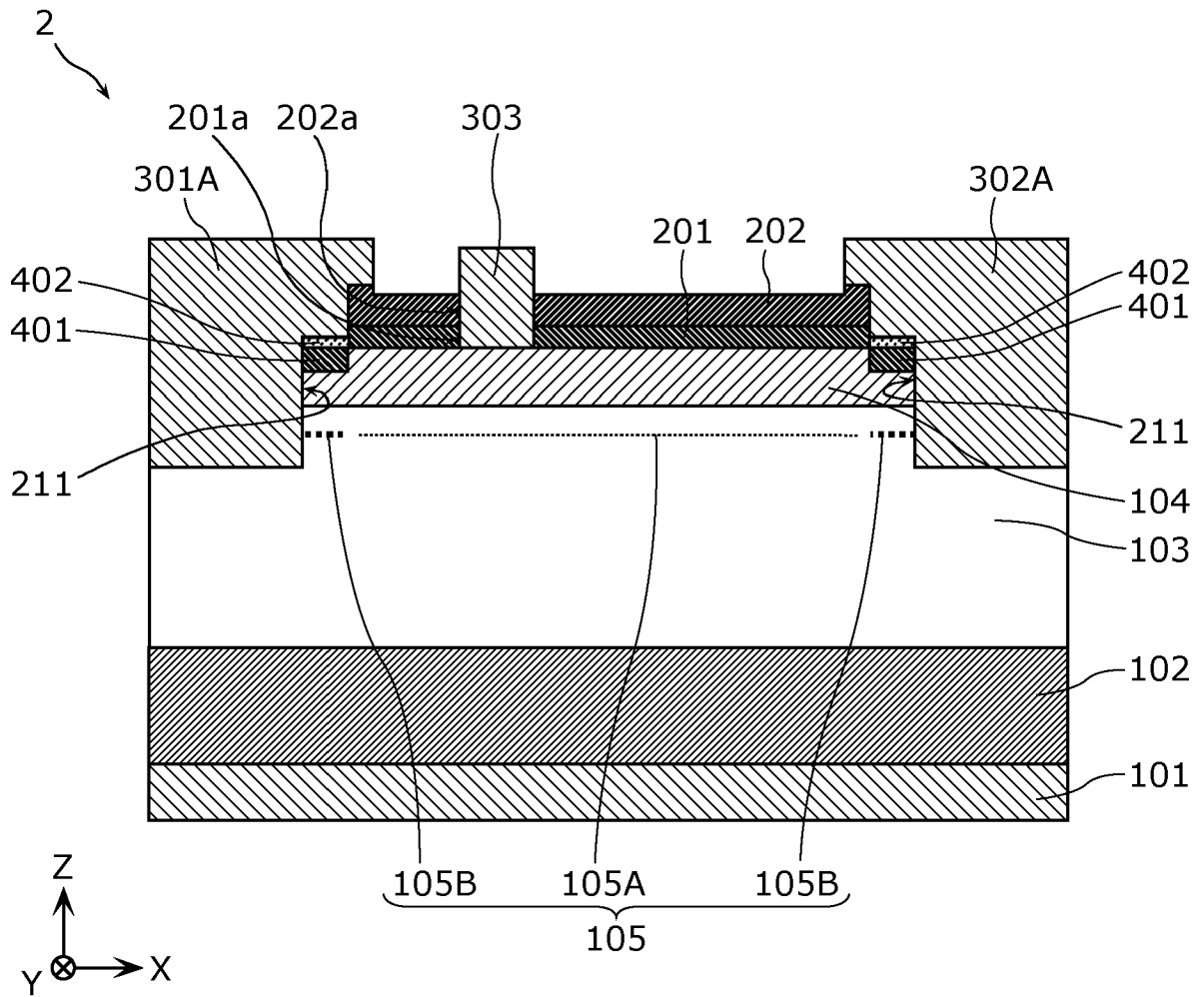
[図3F]



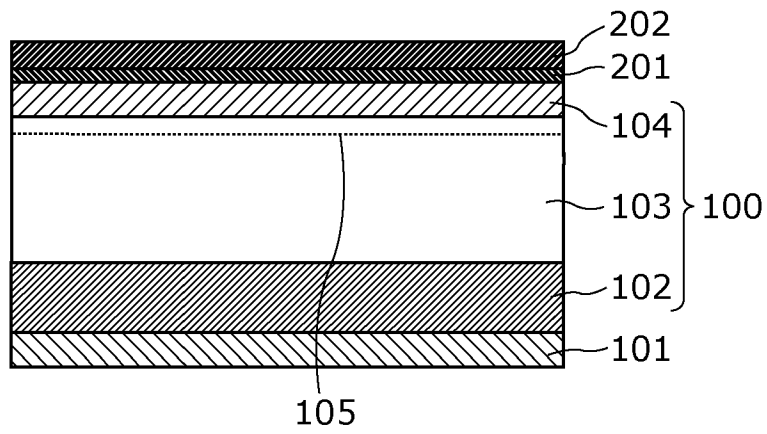
[図3G]



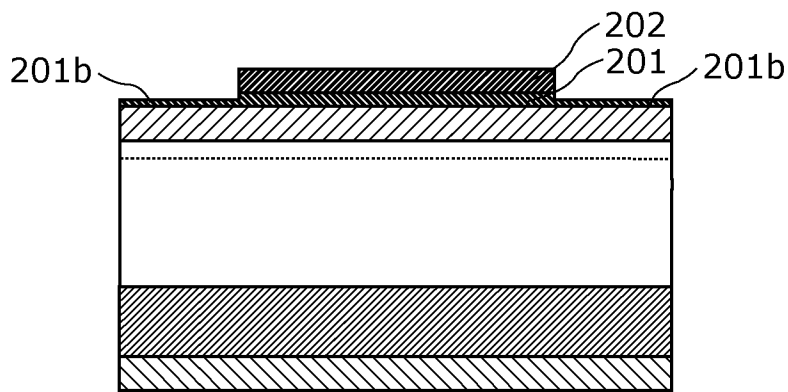
[図4]



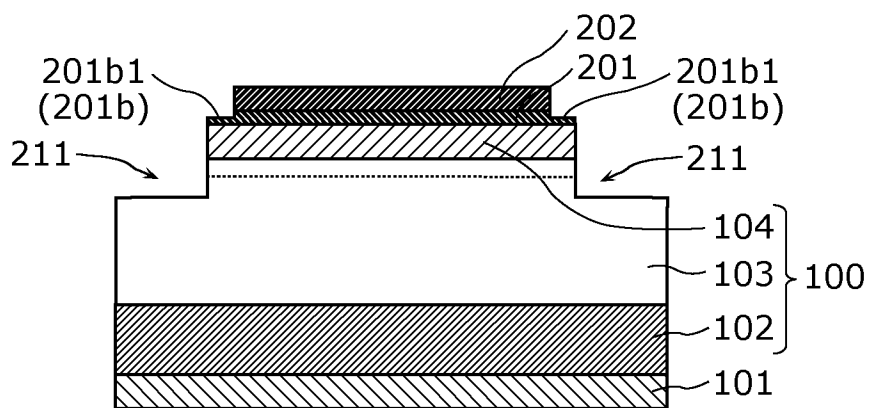
[図5A]



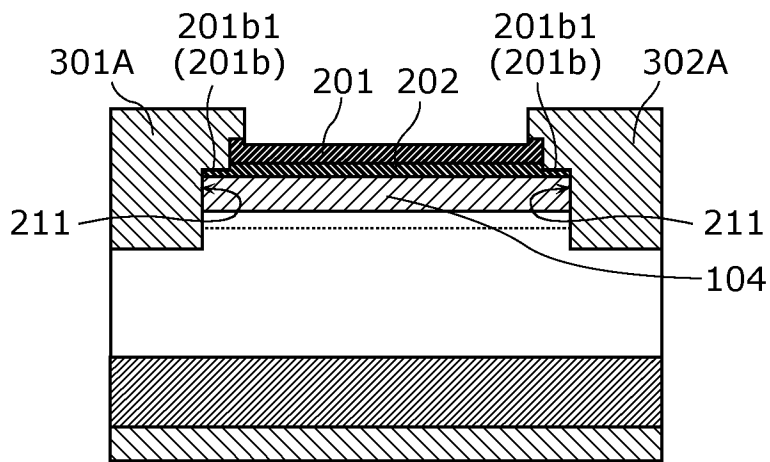
[図5B]



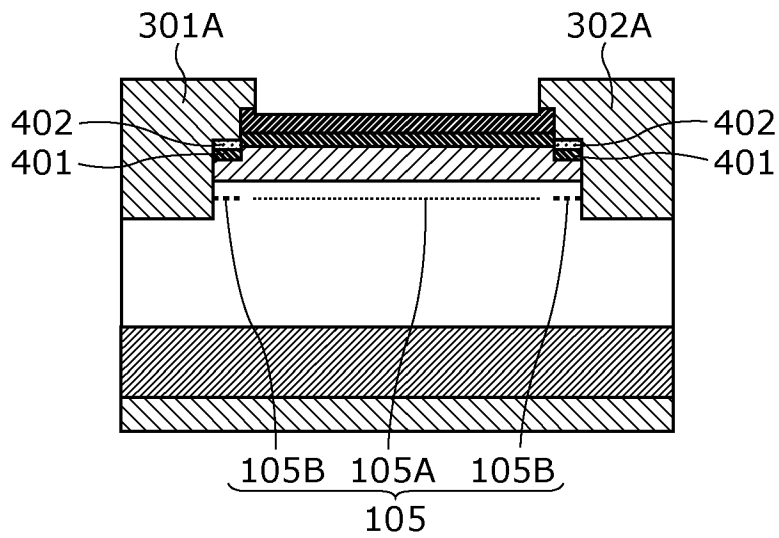
[図5C]



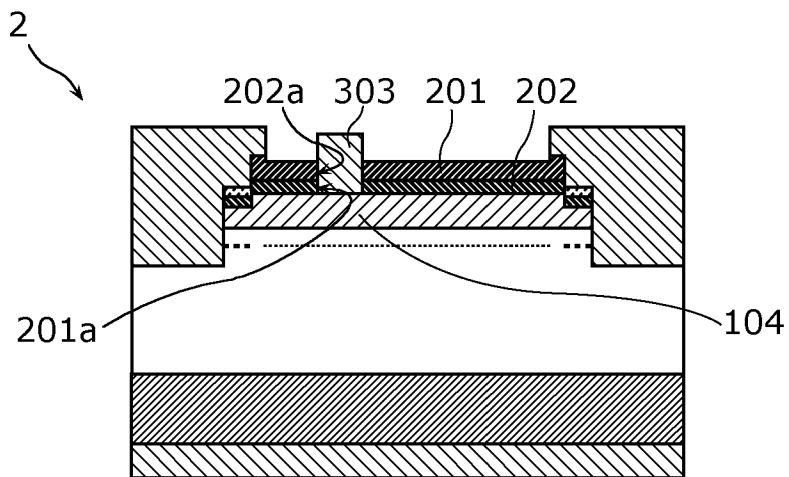
[図5D]



[図5E]



[図5F]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/012641

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 29/812</i> (2006.01)i; <i>H01L 21/338</i> (2006.01)i; <i>H01L 29/778</i> (2006.01)i FI: H01L29/80 F; H01L29/80 H		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L29/812; H01L21/338; H01L29/778		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2015/011870 A1 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 29 January 2015 (2015-01-29) paragraphs [0029]-[0057], fig. 1-4	1-16
A	JP 2015-090927 A (FUJITSU LIMITED) 11 May 2015 (2015-05-11) paragraphs [0012]-[0015], fig. 1, 3	1-16
A	JP 2019-012783 A (FUJITSU LIMITED) 24 January 2019 (2019-01-24) paragraphs [0039]-[0048], fig. 5, 6	1-16
A	JP 2017-022214 A (FUJITSU LIMITED) 26 January 2017 (2017-01-26) paragraphs [0012]-[0014], fig. 1	1-16
A	JP 2019-096774 A (SUMITOMO ELECTRIC INDUSTRIES, LTD.) 20 June 2019 (2019-06-20) paragraphs [0016]-[0019], fig. 1	1-16
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 06 June 2024		Date of mailing of the international search report 18 June 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/012641

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2020-013964 A (SUMITOMO ELECTRIC INDUSTRIES, LTD.) 23 January 2020 (2020-01-23) paragraphs [0013], [0014], [0021]-[0023], fig. 1, 2	1-16

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/JP2024/012641

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2015/011870	A1	29 January 2015	US 2016/0133739 A1 paragraphs [0038]-[0064], fig. 1-4	
-----				(Family: none)	
JP	2015-090927	A	11 May 2015		
JP	2019-012783	A	24 January 2019	US 2019/0006503 A1 paragraphs [0067]-[0076], fig. 5, 6	
-----				(Family: none)	
JP	2017-022214	A	26 January 2017		
JP	2019-096774	A	20 June 2019	US 2019/0165130 A1 paragraphs [0018]-[0021], fig. 1	
-----				CN 109841519 A	
JP	2020-013964	A	23 January 2020	US 2019/0244823 A1 paragraphs [0027]-[0028], [0032], fig. 1, 2	
-----				CN 110120347 A	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01L 29/812(2006.01)i; H01L 21/338(2006.01)i; H01L 29/778(2006.01)i FI: H01L29/80 F; H01L29/80 H</p>																							
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC）） H01L29/812; H01L21/338; H01L29/778</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2024年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2024年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2024年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2024年	日本国実用新案登録公報	1996 - 2024年	日本国登録実用新案公報	1994 - 2024年													
日本国実用新案公報	1922 - 1996年																						
日本国公開実用新案公報	1971 - 2024年																						
日本国実用新案登録公報	1996 - 2024年																						
日本国登録実用新案公報	1994 - 2024年																						
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>WO 2015/011870 A1（パナソニックIPマネジメント株式会社）29.01.2015（2015 - 01 - 29） 段落0029-0057, 図1-4</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>JP 2015-090927 A（富士通株式会社）11.05.2015（2015 - 05 - 11） 段落0012-0015, 図1,3</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>JP 2019-012783 A（富士通株式会社）24.01.2019（2019 - 01 - 24） 段落0039-0048, 図5-6</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>JP 2017-022214 A（富士通株式会社）26.01.2017（2017 - 01 - 26） 段落0012-0014, 図1</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>JP 2019-096774 A（住友電気工業株式会社）20.06.2019（2019 - 06 - 20） 段落0016-0019, 図1</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>JP 2020-013964 A（住友電気工業株式会社）23.01.2020（2020 - 01 - 23） 段落0013-0014, 0021-0023, 図1-2</td> <td>1-16</td> </tr> </tbody> </table> <p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <p>* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献</p>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	WO 2015/011870 A1（パナソニックIPマネジメント株式会社）29.01.2015（2015 - 01 - 29） 段落0029-0057, 図1-4	1-16	A	JP 2015-090927 A（富士通株式会社）11.05.2015（2015 - 05 - 11） 段落0012-0015, 図1,3	1-16	A	JP 2019-012783 A（富士通株式会社）24.01.2019（2019 - 01 - 24） 段落0039-0048, 図5-6	1-16	A	JP 2017-022214 A（富士通株式会社）26.01.2017（2017 - 01 - 26） 段落0012-0014, 図1	1-16	A	JP 2019-096774 A（住友電気工業株式会社）20.06.2019（2019 - 06 - 20） 段落0016-0019, 図1	1-16	A	JP 2020-013964 A（住友電気工業株式会社）23.01.2020（2020 - 01 - 23） 段落0013-0014, 0021-0023, 図1-2	1-16
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																					
A	WO 2015/011870 A1（パナソニックIPマネジメント株式会社）29.01.2015（2015 - 01 - 29） 段落0029-0057, 図1-4	1-16																					
A	JP 2015-090927 A（富士通株式会社）11.05.2015（2015 - 05 - 11） 段落0012-0015, 図1,3	1-16																					
A	JP 2019-012783 A（富士通株式会社）24.01.2019（2019 - 01 - 24） 段落0039-0048, 図5-6	1-16																					
A	JP 2017-022214 A（富士通株式会社）26.01.2017（2017 - 01 - 26） 段落0012-0014, 図1	1-16																					
A	JP 2019-096774 A（住友電気工業株式会社）20.06.2019（2019 - 06 - 20） 段落0016-0019, 図1	1-16																					
A	JP 2020-013964 A（住友電気工業株式会社）23.01.2020（2020 - 01 - 23） 段落0013-0014, 0021-0023, 図1-2	1-16																					
<p>国際調査を完了した日</p> <p>06.06.2024</p>	<p>国際調査報告の発送日</p> <p>18.06.2024</p>																						
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>恩田 和彦 5F 5896</p> <p>電話番号 03-3581-1101 内線 3514</p>																						

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/012641

引用文献			公表日	パテントファミリー文献			公表日
WO	2015/011870	A1	29.01.2015	US	2016/0133739	A1	
				段落0038-0064, 図1-4			
JP	2015-090927	A	11.05.2015	(ファミリーなし)			
JP	2019-012783	A	24.01.2019	US	2019/0006503	A1	
				段落0067-0076, 図5-6			
JP	2017-022214	A	26.01.2017	(ファミリーなし)			
JP	2019-096774	A	20.06.2019	US	2019/0165130	A1	
				段落0018-0021, 図1			
				CN	109841519	A	
JP	2020-013964	A	23.01.2020	US	2019/0244823	A1	
				段落0027-0028, 0032, 図1-2			
				CN	110120347	A	