(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2010 年 8 月 19 日(19.08.2010)

PCT

(10) 国際公開番号
WO 2010/092810 A1

(51) 国際特許分類:
H01L 29/786 (2006.01) *H01L 21/203* (2006.01)
C04B 35/00 (2006.01) *H01L 21/336* (2006.01)
C23C 14/34 (2006.01)

(21) 国際出願番号: PCT/JP2010/000829

(22) 国際出願日: 2010 年 2 月 10 日(10.02.2010)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2009-031308 2009 年 2 月 13 日(13.02.2009) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社アルバック (ULVAC, INC.) [JP/JP]; 〒2538543 神奈川県茅ヶ崎市萩園２５００番地 Kanagawa (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 小林大士 (KOBAYASHI, Motoshi) [JP/JP]; 〒2891226 千葉県山武市横田５２３株式会社アルバック　千葉超材料研究所内 Chiba (JP). 中村久三(NAKAMURA, Kyuzo) [JP/JP]; 〒2538543 神奈川県茅ヶ崎市萩園２５００番地株式会社アルバック内 Kanagawa (JP). 石橋暁(ISHIBASHI, Satoru) [JP/JP]; 〒2891226 千葉県山武市横田５２３株式会社アルバック　千葉超材料研究所内 Chiba (JP). 清田淳也(KIYOTA, Junya) [JP/JP]; 〒2891226 千葉県山武市横田５２３株式会社アルバック　千葉超材料研究所内 Chiba (JP). 赤松泰彦(AKAMATSU, Yasuhiko) [JP/JP]; 〒2891226 千葉県山武市横田５２３株式会社アルバック　千葉超材料研究所内 Chiba (JP). 武井応樹(TAKEI, Masaki) [JP/JP]; 〒2891226 千葉県山武市横田５２３株式会社アルバック　千葉超材料研究所内 Chiba (JP). 湯川富之(YUKAWA, Tomiyuki) [JP/JP]; 〒2891226 千葉県山武市横田５２３株式会社アルバック　千葉超材料研究所内 Chiba (JP).

(74) 代理人: 大森純一(OMORI, Junichi); 〒1070052 東京都港区赤坂７－５－４７　Ｕ＆Ｍ 赤坂ビル２Ｆ Tokyo (JP).

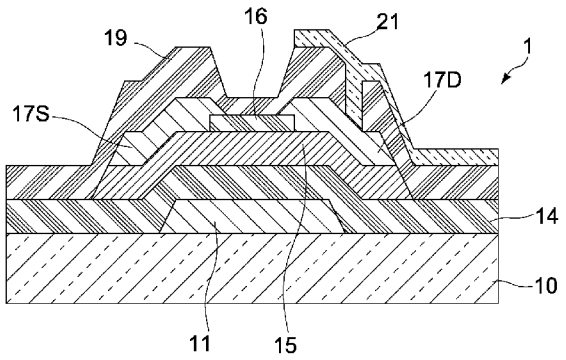
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) **Title**: METHOD FOR MANUFACTURING TRANSISTOR, TRANSISTOR, AND SPUTTERING TARGET

(54) 発明の名称 : トランジスタの製造方法、トランジスタ及びスパッタリングターゲット

[図1]



(57) **Abstract**: Disclosed is a method for manufacturing a transistor, which is capable of achieving desired electrical conduction characteristics of an active layer without introducing oxygen during the film formation. In a method for manufacturing a transistor according to one embodiment of the present invention, an oxide semiconductor layer (an active layer (15)) having the above-mentioned composition range is formed by sputtering a target, which is formed from an oxide semiconductor, in a non-oxidizing atmosphere. The oxide semiconductor has a composition range represented by the following general formula: $Zn_xGa_yIn_zO_{(x+3y/2+3z/2)}$, with the ratio z/y being 0 or greater but less than 0.9 and the ratio x/y being 0 or greater but less than 6.5. The oxide semiconductor layer is subjected to a heat treatment at a temperature of not less than 200°C but not more than 400°C. Consequently, a transistor having an on/off current ratio characteristic of not less than 5 digits can be manufactured.

(57) 要約:

[続葉有]

WO 2010/092810 A1

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

【課題】成膜時に酸素を導入することなく、目的とする活性層の電気伝導特性を得ることができるトランジスタの製造方法を提供する。 【解決手段】本発明の一実施形態に係るトランジスタの製造方法は、酸化物半導体からなるターゲットを非酸化性雰囲気中でスパッタすることで、上記組成範囲の酸化物半導体層（活性層１５）を形成する。上記酸化物半導体は、一般式$Zn_xGa_yIn_zO_{(x+3y/2+3z/2)}$で表され、比率ｚ／ｙが０以上０．９未満であり、かつ、比率ｘ／ｙが０以上６．５未満である組成範囲を有する。上記酸化物半導体層は、２００℃以上４００℃以下の温度で熱処理される。これにより、５桁以上のオン／オフ電流比特性を有するトランジスタを製造することができる。

明　細　書

発明の名称 ：

トランジスタの製造方法、トランジスタ及びスパッタリングターゲット

技術分野

[0001] 本発明は、酸化物半導体からなる活性層を有するトランジスタの製造方法、トランジスタ及びスパッタリングターゲットに関する。

背景技術

[0002] 近年、アクティブマトリクス型の液晶ディスプレイが広く用いられている。アクティブマトリクス型液晶ディスプレイは、画素ごとにスイッチング素子として電界効果型の薄膜トランジスタ（ＴＦＴ）を有している。

[0003] 薄膜トランジスタとしては、活性層がポリシリコンで構成されたポリシリコン型薄膜トランジスタ、活性層がアモルファスシリコンで構成されたアモルファスシリコン型薄膜トランジスタが知られている。

[0004] アモルファスシリコン型薄膜トランジスタは、ポリシリコン型薄膜トランジスタに比べて、活性層の作製が容易であるため、比較的大面積の基板に均一に成膜できるという利点がある。

[0005] 一方、アモルファスシリコンよりもキャリア（電子、ホール）の高移動度を実現できる活性層材料として、透明アモルファス酸化物薄膜の開発が進められている。例えば、特許文献１には、酸素雰囲気中でパルスレーザー蒸着法で成膜したホモロガス化合物$InGaO_3(ZnO)_m$（ｍは６未満の自然数）を活性層として用いる電界効果型トランジスタが記載されている。また、特許文献２には、Ｉｎ：Ｇａ：Ｚｎ＝１：１：１の焼結体からなるターゲットを酸素雰囲気中でスパッタリングすることによって導電性酸化物薄膜を形成する方法が記載されている。

[0006] 酸化物半導体からなる活性層の電気伝導特性は、含有する酸素の量に影響される。このため、従来では、成膜時の酸素分圧を調整することで、目的とする電気伝導性を有する酸化物半導体膜を形成するようにしていた。

先行技術文献

特許文献

[0007] 特許文献1：特開２００６－１６５５２９号公報（段落［００５７］）

特許文献2：特開２０００－４４２３６号公報（段落［００３０］、［００３４］）

発明の概要

発明が解決しようとする課題

[0008] しかしながら、成膜時の酸素分圧によって薄膜の酸素含有量を制御する方法では、基板面内における酸素濃度の均一化が必要となる。したがって、基板が大面積化するにしたがって、基板表面に対する均一な酸素供給が困難になることから、膜質の均一化が困難になり、基板の大型化に対応できないという問題がある。

[0009] 以上のような事情に鑑み、本発明の目的は、成膜時に酸素を導入することなく、目的とする活性層の電気伝導特性を得ることができるトランジスタの製造方法、トランジスタ及びスパッタリングターゲットを提供することにある。

課題を解決するための手段

[0010] 上記目的を達成するため、本発明の一形態に係るトランジスタの製造方法は、酸化物半導体からなるターゲットを非酸化性雰囲気中でスパッタすることで、前記組成範囲の酸化物半導体層を形成することを含む。前記酸化物半導体は、一般式$Zn_xGa_yIn_zO_{(x+3y/2+3z/2)}$で表され、比率ｚ／ｙが０以上０．９未満、かつ、比率ｘ／ｙが０以上６．５未満である組成範囲を有する。前記酸化物半導体層は、２００℃以上４００℃以下の温度で熱処理される。

[0011] 本発明の一形態に係るトランジスタは、ゲート電極と、活性層と、ゲート絶縁膜と、ソース電極と、ドレイン電極とを具備する。

前記活性層は、一般式$Zn_xGa_yIn_zO_{(x+3y/2+3z/2)}$で表され、比率

ｚ／ｙが０以上０．９未満、かつ、比率ｘ／ｙが０以上６．５未満である組成範囲を有する酸化物半導体からなる。

前記ゲート絶縁膜は、前記ゲート電極と前記活性層との間に形成される。前記ソース電極及びドレイン電極は、前記活性層と電気的に接続される。

[0012] 本発明の一形態に係るスパッタリングターゲットは、一般式$Zn_xGa_yIn_zO_{(x+3y/2+3z/2)}$で表され、比率ｚ／ｙが０以上０．９未満、かつ、比率ｘ／ｙが０以上６．５未満である組成範囲を有する酸化物半導体からなる。

図面の簡単な説明

[0013] [図1]本発明の一実施形態に係るトランジスタの構成を示す概略断面図である。

[図2]上記トランジスタの製造方法を説明する工程断面図である。

[図3]上記トランジスタの製造方法を説明する工程断面図である。

[図4]酸化性雰囲気でスパッタ成膜したＩＧＺＯ膜と非酸化性雰囲気でスパッタ成膜したＩＧＺＯ膜の電気特性を示す一実験結果であり、（Ａ）は成膜直後、（Ｂ）はアニール処理後のデータをそれぞれ示す。

[図5]組成比が異なるターゲットをスパッタすることで成膜されたＩＧＺＯ膜の電気特性を示す一実験結果であり、（Ａ）は成膜直後、（Ｂ）はアニール処理後のデータをそれぞれ示す。

[図6]４００℃アニールで５桁以上のオン／オフ電流比が得られるＩＧＺＯ膜（あるいはターゲット）の組成範囲を示す$InO_{1.5}$－$GaO_{1.5}$－ＺｎＯの三元系状態図である。

[図7]３００℃アニールで５桁以上のオン／オフ電流比が得られるＩＧＺＯ膜（あるいはターゲット）の組成範囲を示す$InO_{1.5}$－$GaO_{1.5}$－ＺｎＯの三元系状態図である。

[図8]３００℃アニールで５桁以上のオン／オフ電流比と１ｃｍ^2／Ｖ・ｓ以上の移動度が得られるＩＧＺＯ膜（あるいはターゲット）の組成範囲を示す$InO_{1.5}$－$GaO_{1.5}$－ＺｎＯの三元系状態図である。

[図9]４００℃アニールで５桁以上のオン／オフ電流比と１ｃｍ^2／Ｖ・ｓ以

上の移動度が得られるＩＧＺＯ膜（あるいはターゲット）の組成範囲を示す$InO_{1.5}$－$GaO_{1.5}$－ＺｎＯの三元系状態図である。

発明を実施するための形態

[0014] 本発明の一実施形態に係るトランジスタの製造方法は、酸化物半導体からなるターゲットを非酸化性雰囲気中でスパッタすることで、前記組成範囲の酸化物半導体層を形成することを含む。前記酸化物半導体は、一般式$Zn_xGa_yIn_zO_{(x+3y/2+3z/2)}$で表され（ｘ、ｙ及びｚは整数）、比率ｚ／ｙは０以上０．９未満、かつ、比率ｘ／ｙは０以上６．５未満（ｘ、ｙ及びｚが正数の場合、０＜（ｚ／ｙ）＜０．９、かつ、０＜（ｘ／ｙ）＜６．５）である組成範囲を有する。前記酸化物半導体層は、２００℃以上４００℃以下の温度で熱処理される。

[0015] 上記非酸化性雰囲気とは、反応性ガスとして酸素などの酸化性ガスがチャンバ内に意図的に導入されないで形成された真空雰囲気を意味し、減圧時にチャンバ内に残存する酸素をも排除する趣旨ではない。上記方法によれば、基板表面における酸素濃度の均一化を図ることなく、面内において均質な酸化物半導体層を形成することが可能となり、基板の大型化にも容易に対応することが可能となる。

[0016] また、上記ような雰囲気下で形成されるスパッタ膜は、ターゲットの組成と同一またはほぼ同一の組成を有する。上記のように成分比が規定されたターゲットをスパッタすることで成膜される酸化物半導体層は、そのままでは所定のトランジスタ特性が得られない。そこで、成膜された酸化物半導体層を上記温度範囲でアニール（熱処理）することより、当該酸化物半導体層の構造緩和が促され、所要のトランジスタ特性を発現させることが可能となる。

[0017] ターゲットの組成範囲に関しては、上記一般式において、比率ｚ／ｙが０以上０．９未満、かつ、比率ｘ／ｙが０以上６．５未満とする（ｘ、ｙ及びｚが正数の場合、０＜（ｚ／ｙ）＜０．９、かつ、０＜（ｘ／ｙ）＜６．５）。これにより、成膜後４００℃の熱処理によって、オン／オフ電流比（オ

ン電流値とオフ電流値との比）が５桁以上のトランジスタを得ることができる。

[0018] ここで、Ｉｎ含有量が０（ｚ＝０）及びＺｎ含有量が０（ｘ＝０）の場合でも、５桁以上のオン／オフ電流比を得ることができる。比率ｚ／ｙが０．９以上では、Ga_2O_3成分が不足して、トランジスタとして動作可能なオン／オフ電流比を得ることが困難である。また、比率ｘ／ｙが６．５以上では、ＺｎＯ成分が過剰となり、トランジスタとして動作可能なオン／オフ電流比を得ることが困難である。

[0019] 熱処理温度は、２００℃以上４００℃以下とされる。熱処理温度が２００℃未満では、酸化物半導体層の構造緩和作用を促進できず、５桁以上のオン／オフ電流比を確保することが困難となる。また、熱処理温度が４００℃を超えると、当該酸化物半導体層が成膜される基板や当該基板上に形成される各種機能膜に対して材料的な制約が生じることがある。

[0020] 前記比率ｚ／ｙは、０以上０．５未満であり、前記比率ｘ／ｙは、０より大きく６．５より小さい範囲（ｘ、ｙ及びｚが正数の場合、０＜（ｚ／ｙ）＜０．５、かつ、０＜（ｘ／ｙ）＜６．５）であってもよい。

これにより、成膜後３００℃の熱処理によって、オン／オフ電流比が５桁以上のトランジスタを製造することができる。

[0021] 前記比率ｚ／ｙは、０以上０．５未満であり、前記比率ｘ／ｙは、０．３より大きく２．６より小さい範囲（ｘ、ｙ及びｚが正数の場合、０＜（ｚ／ｙ）＜０．５、かつ、０．３＜（ｘ／ｙ）＜２．６）であってもよい。

これにより、成膜後３００℃の熱処理によって、オン／オフ電流比が５桁以上で、かつ、移動度が１．０cm^2／Ｖｓ以上のトランジスタを製造することができる。

[0022] 前記比率ｚ／ｙは、０以上０．９未満であり、前記比率ｘ／ｙは、０以上２．６未満であり、比率ｙ／（ｘ＋ｙ＋ｚ）は、０．８未満の範囲（ｘ、ｙ及びｚが正数の場合、０＜（ｚ／ｙ）＜０．９、かつ、０＜（ｘ／ｙ）＜２．６、かつ、（ｙ／（ｘ＋ｙ＋ｚ））＜０．８）であってもよい。

これにより、成膜後４００℃の熱処理によって、オン／オフ電流比が５桁以上で、かつ、移動度が１．０ｃｍ^2／Ｖｓ以上のトランジスタを製造することができる。

[0023] 本発明の一実施形態に係るトランジスタは、ゲート電極と、活性層と、ゲート絶縁膜と、ソース電極と、ドレイン電極とを具備する。

前記活性層は、一般式$Zn_xGa_yIn_zO_{(x+3y/2+3z/2)}$で表され、比率ｚ／ｙが０以上０．９未満、かつ、比率ｘ／ｙが０以上６．５未満である組成範囲（ｘ、ｙ及びｚが正数の場合、０＜（ｚ／ｙ）＜０．９、かつ、０＜（ｘ／ｙ）＜６．５）を有する酸化物半導体からなる。

前記ゲート絶縁膜は、前記ゲート電極と前記活性層との間に形成される。前記ソース電極及びドレイン電極は、前記活性層と電気的に接続される。

[0024] 上記トランジスタによれば、５桁以上のオン／オフ電流比を得ることができる。

[0025] 前記比率ｚ／ｙは、０以上０．５未満であり、前記比率ｘ／ｙは、０より大きく６．５より小さい範囲（ｘ、ｙ及びｚが正数の場合、０＜（ｚ／ｙ）＜０．５、かつ、０＜（ｘ／ｙ）＜６．５）であってもよい。

これにより、３００℃を超える高温処理を必要とすることなく、５桁以上のオン／オフ電流比を得ることができる。

[0026] 前記比率ｚ／ｙは、０以上０．５未満であり、前記比率ｘ／ｙは、０．３より大きく２．６より小さい範囲（ｘ、ｙ及びｚが正数の場合、０＜（ｚ／ｙ）＜０．５、かつ、０．３＜（ｘ／ｙ）＜２．６）であってもよい。

これにより、３００℃を越える高温処理を必要とすることなく、５桁以上のオン／オフ電流比と、１．０ｃｍ^2／Ｖｓ以上の移動度を得ることができる。

[0027] 前記比率ｚ／ｙは、０以上０．９未満であり、前記比率ｘ／ｙは、０以上２．６未満であり、比率ｙ／（ｘ＋ｙ＋ｚ）は、０．８未満の範囲（ｘ、ｙ及びｚが正数の場合、０＜（ｚ／ｙ）＜０．９、かつ、０＜（ｘ／ｙ）＜２．６、かつ、（ｙ／（ｘ＋ｙ＋ｚ））＜０．８）であってもよい。

これにより、４００℃を越える高温処理を必要とすることなく、５桁以上のオン／オフ電流比と、１．０ｃｍ^2／Ｖｓ以上の移動度を得ることができる。

[0028] 本発明の一実施形態に係るスパッタリングターゲットは、一般式$Zn_xGa_yIn_zO_{(x+3y/2+3z/2)}$で表され、比率ｚ／ｙが０以上０．９未満、かつ、比率ｘ／ｙが０以上６．５未満である組成範囲（ｘ、ｙ及びｚが正数の場合、０＜（ｚ／ｙ）＜０．９、かつ、０＜（ｘ／ｙ）＜６．５）を有する酸化物半導体からなる。

[0029] 上記スパッタリングターゲットによれば、５桁以上のオン／オフ電流比を有する、薄膜トランジスタ用の活性層を形成することができる。

[0030] 前記比率ｚ／ｙは、０以上０．５未満であり、前記比率ｘ／ｙは、０より大きく６．５より小さい範囲（ｘ、ｙ及びｚが正数の場合、０＜（ｚ／ｙ）＜０．５、かつ、０＜（ｘ／ｙ）＜６．５）であってもよい。

これにより、３００℃を超える高温処理を必要とすることなく、５桁以上のオン／オフ電流比を有する、薄膜トランジスタ用の活性層を形成することができる。

[0031] 前記比率ｚ／ｙは、０以上０．５未満であり、前記比率ｘ／ｙは、０．３より大きく２．６より小さい範囲（ｘ、ｙ及びｚが正数の場合、０＜（ｚ／ｙ）＜０．５、かつ、０．３＜（ｘ／ｙ）＜２．６）であってもよい。

これにより、３００℃を越える高温処理を必要とすることなく、５桁以上のオン／オフ電流比と、１．０ｃｍ^2／Ｖｓ以上の移動度を有する、薄膜トランジスタ用の活性層を形成することができる。

[0032] 前記比率ｚ／ｙは、０以上０．９未満であり、前記比率ｘ／ｙは、０以上２．６未満であり、比率ｙ／（ｘ＋ｙ＋ｚ）は、０．８未満の範囲（ｘ、ｙ及びｚが正数の場合、０＜（ｚ／ｙ）＜０．９、かつ、０＜（ｘ／ｙ）＜２．６、かつ、（ｙ／（ｘ＋ｙ＋ｚ））＜０．８）であってもよい。

これにより、４００℃を越える高温処理を必要とすることなく、５桁以上のオン／オフ電流比と、１．０ｃｍ^2／Ｖｓ以上の移動度を有する、薄膜トラ

ンジスタ用の活性層を形成することができる。

[0033] 以下、図面を参照しながら、本発明の実施形態を説明する。

[0034] 図１は、本発明の実施形態によるトランジスタの構成を示す概略断面図である。本実施形態では、いわゆるボトムゲート型の電界効果型トランジスタを例に挙げて説明する。

[0035] 本実施形態のトランジスタ１は、ゲート電極１１と、活性層１５と、ゲート絶縁膜１４と、ソース電極１７Ｓと、ドレイン電極１７Ｄとを有する。

[0036] ゲート電極１１は、基材１０の表面に形成された導電膜からなる。基材１０は、典型的には、透明なガラス基板である。ゲート電極１１は、典型的には、モリブデン（Ｍｏ）、クロム（Ｃｒ）、アルミニウム（Ａｌ）、銅（Ｃｕ）などの金属単層膜あるいは金属多層膜で構成され、例えばスパッタリング法によって形成される。本実施形態では、ゲート電極１１は、銅で構成される。ゲート電極１１の厚さは特に限定されず、例えば、３００ｎｍである。

[0037] 活性層１５は、トランジスタ１のチャネル層として機能する。活性層１５の膜厚は、例えば５０ｎｍ～２００ｎｍである。活性層１５は、一般式$Zn_xGa_yIn_zO_{(x+3y/2+3z/2)}$で表され、比率ｚ／ｙが０以上０．９未満、かつ、比率ｘ／ｙが０以上６．５未満である組成範囲を有する。

[0038] 活性層１５は、後に詳述するように、上記組成範囲を有するスパッタリングターゲットを用いて成膜された後、所定温度で熱処理（アニール）されることで形成される。上記ターゲットを非酸化性雰囲気下でスパッタリングすることにより、ターゲットの組成と同一又はほぼ同一の組成を有する酸化物半導体層が形成される。この半導体層をアニール処理することで、当該半導体層の構造緩和が促進され、例えば、５桁以上のオン／オフ電流比を発現させる活性層が形成される。

[0039] ゲート絶縁膜１４は、ゲート電極１１と活性層１５の間に形成される。ゲート絶縁膜１４は、シリコン酸化膜（ＳｉＯｘ）、シリコン窒化膜（ＳｉＮｘ）などで構成されるが、これに限らず、金属酸化膜等の種々の電気絶縁膜

を用いて形成することができる。成膜方法は特に限定されず、ＣＶＤ法でもよいし、スパッタリング法、蒸着法等であってもよい。ゲート絶縁膜１４の膜厚は特に限定されず、例えば、２００ｎｍ～４００ｎｍとされる。

[0040] ソース電極１７Ｓ及びドレイン電極１７Ｄは、活性層１５の上に相互に離間して形成される。ソース電極１７Ｓ及びドレイン電極１７Ｄは、例えば、アルミニウム、モリブデン、銅、チタンなどの金属単層膜あるいはこれら金属の多層膜で構成することができる。後述するように、ソース電極１７Ｓ及びドレイン電極１７Ｄは、金属膜をパターニングすることで同時に形成することができる。当該金属膜の厚さは、例えば、１００ｎｍ～５００ｎｍである。

[0041] 活性層１５の上には、ストッパ層１６が形成されている。ストッパ層１６は、ソース電極１７Ｓ及びドレイン電極１７Ｄのパターンエッチングする際に、エッチャントから活性層１５を保護するために設けられる。ストッパ層１６は、例えば、シリコン酸化膜、シリコン窒化膜またはこれらの積層膜で構成することができる。

[0042] ソース電極１７Ｓ及びドレイン電極１７Ｄは、保護膜１９によって被覆される。保護膜１９は、例えばシリコン窒化膜などの電気絶縁性材料で構成される。保護膜１９は、活性層１５を含む素子部を外気から遮蔽するためのものである。保護膜１９には適宜の位置にソース／ドレイン電極１７Ｓ、１７Ｄを配線層２１と接続するための層間接続孔が設けられている。配線層２１は、トランジスタ１を図示しない周辺回路へ接続するためのもので、アルミニウム、銅などの金属膜で構成されている。

[0043] 次に、以上のように構成される本実施形態のトランジスタ１の製造方法について説明する。図２及び図３は、トランジスタ１の製造方法を説明する各工程の要部断面図である。

[0044] まず、図２（Ａ）に示すように、基材１０の一表面にゲート電極１１を形成する。ゲート電極１１は、基材１０の表面に形成されたゲート電極膜を所定形状にパターニングすることによって形成される。

[0045] 次に、図２（Ｂ）に示すように、基材１０の表面に、ゲート電極１１を覆うようにゲート絶縁膜１４を形成する。ゲート絶縁膜１４の厚さは、例えば、２００ｎｍ～５００ｎｍである。

[0046] 続いて、図２（Ｃ）に示すように、ゲート絶縁膜１４の上に、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系組成を有する薄膜（以下単に「ＩＧＺＯ膜」という。）１５Ｆを形成する。

[0047] ＩＧＺＯ膜１５Ｆは、スパッタリング法によって形成される。スパッタリングターゲットとしては、一般式$Zn_xGa_yIn_zO_{(x+3y/2+3z/2)}$で表され（ｘ、ｙ及びｚは整数）、比率ｚ／ｙが０以上０．９未満、かつ、比率ｘ／ｙが０以上６．５未満である組成範囲を有する酸化物半導体の焼結体が用いられる。このターゲットを非酸化性雰囲気中でスパッタすることで、ＩＧＺＯ膜１５Ｆが形成される。

[0048] 上記スパッタリングターゲットは、In_2O_3、Ga_2O_3及びＺｎＯの各成分の原料粉末を上記組成比で混合した焼結体で構成することができる。あるいは、上記各成分の焼結体をそれぞれ用いてもよい。この場合、スパッタチャンバ内において、これら３元のターゲットを同時にスパッタすることによって、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系の酸化物半導体膜を形成することができる。このとき、ターゲット毎にスパッタ条件あるいは放電条件を異ならせることで、酸化物半導体膜の成分比を調整することが可能となる。

[0049] 酸化物半導体は、含有する酸素量によって、電気伝導特性が大きく変化する。従来、酸化物半導体膜をスパッタリング法によって成膜する場合、Ｉｎ：Ｇａ：Ｚｎ＝１：１：１のターゲットを用いるとともに、酸素を反応性ガスに用いた反応性スパッタリング法が用いられていた。この方法では、スパッタチャンバ内に導入する酸素ガスの流量を調整することで、形成される膜の酸化度が制御される。しかしながらこの方法では、基板の面内において均一に酸素を導入する必要があり、基板が大型化するにしたがって膜質の均一化を図ることが困難であった。

[0050] そこで本実施形態では、スパッタチャンバ内に酸素を導入しないでターゲ

ットをスパッタすることによって、膜質の均一性の高い酸化物半導体膜を形成するようにしている。そして、形成される酸化物半導体膜に酸素欠損が生じないように、ターゲットの組成範囲を上記のように規定し、目的とするトランジスタ特性を発現させるのに十分な活性層を形成するようにしている。

[0051] なお、本実施形態のスパッタ方法は、スパッタチャンバ内に積極的に酸素を導入せずにスパッタ成膜するという趣旨である。したがって、チャンバ内に不可避的に残存する酸素の共存下での成膜処理は、当該スパッタ方法に含まれる。

[0052] 本実施形態によれば、面内において均質な酸化物半導体層を形成することが可能となり、基板（基材１０）の大型化にも容易に対応することが可能となる。また、上記ような雰囲気下で形成されるスパッタ膜は、ターゲットの組成と同一またはほぼ同一の組成を有する。上記のように成分比が規定されたターゲットをスパッタすることで成膜される酸化物半導体層は、そのままでは所定のトランジスタ特性が得られない。そこで、成膜された酸化物半導体層を上記温度範囲でアニール（熱処理）することより、当該酸化物半導体層の構造緩和が促され、所要のトランジスタ特性を発現させることが可能となる。

[0053] スパッタの放電方式としては、ＤＣ放電、ＡＣ放電、ＲＦ放電のいずれでもよい。また、ターゲットの背面側に永久磁石を配置するマグネトロン放電方式を採用してもよい。ＩＧＺＯ膜１５Ｆは、基材１０を所定温度に加熱した状態で成膜されてもよいし、無加熱状態で成膜されてもよい。

[0054] 次に、図２（Ｄ）に示すように、ＩＧＺＯ膜１５Ｆの上にストッパ層１６を形成する。ストッパ層１６は、後述するソース電極及びドレイン電極を構成する金属膜のパターニング工程、及び、ＩＧＺＯ膜１５Ｆの不要領域をエッチング除去する工程において、ＩＧＺＯ膜のチャネル領域をエッチャントから保護するエッチング保護層として機能する。

[0055] ストッパ層１６は、例えば、シリコン窒化膜で構成される。ストッパ層１６は、ＩＧＺＯ膜１５Ｆの上に成膜されたシリコン窒化膜を所定形状にパタ

ーニングすることによって形成される。ストッパ層１６の膜厚は特に限定されず、例えば、３０ｎｍ～３００ｎｍである。

[0056] 次に、図２（Ｅ）に示すように、ＩＧＺＯ膜１５Ｆ及びストッパ層１６を覆うように金属膜１７Ｆを形成する。金属膜１７Ｆは、典型的には、モリブデンやクロム、アルミニウム、銅等の金属単層膜又は金属多層膜で構成され、例えば、スパッタリング法によって形成される。金属膜１７Ｆの厚さは特に限定されず、例えば、１００ｎｍ～５００ｎｍである。

[0057] 続いて、図３（Ａ）及び（Ｂ）に示すように、金属膜１７Ｆをパターニングする。金属膜１７Ｆのパターニング工程は、レジストマスク１８の形成工程（図３（Ａ））と、金属膜１７Ｆのエッチング工程（図３（Ｂ））とを有する。レジストマスク１８は、ストッパ層１６の直上領域と、個々のトランジスタの周辺領域とを開口させるマスクパターンを有する。レジストマスク１８の形成後、ウェットエッチング法によって、金属膜１７Ｆがエッチングされる。これにより、金属膜１７Ｆは、活性層１５とそれぞれ電気的に接続されるソース電極１７Ｓとドレイン電極１７Ｄとに分離される。

[0058] ソース電極１７Ｓ及びドレイン電極１７Ｄの形成工程において、ストッパ層１６は、金属膜１７Ｆのエッチングストッパ層として機能する。すなわち、ストッパ層１６は、金属膜１７Ｆに対するエッチャント（例えばリン硝酢酸）からＩＧＺＯ膜１５Ｆを保護する機能を有する。ストッパ層１６は、ＩＧＺＯ膜１５Ｆのソース電極１７Ｓとドレイン電極１７Ｄとの間に位置する領域（以下「チャネル領域」という。）を覆うように形成されている。したがって、ＩＧＺＯ膜１５Ｆのチャネル領域は、金属膜１７Ｆのエッチング工程によっては影響を受けることはない。

[0059] 次に、図３（Ｂ）に示すように、レジストマスク１８をマスクとしてＩＧＺＯ薄膜１５Ｆをエッチングする。エッチング方法は特に限定されず、ウェットエッチング法でもよいし、ドライエッチング法でもよい。このＩＧＺＯ膜１５Ｆのエッチング工程により、ＩＧＺＯ膜１５Ｆは素子単位でアイソレーション化されるとともに、ＩＧＺＯ膜１５Ｆからなる活性層１５が形成さ

れる。

[0060] このとき、ストッパ層１６は、チャネル領域に位置するＩＧＺＯ膜１５Ｆのエッチング保護膜として機能する。すなわち、ストッパ層１６は、ＩＧＺＯ膜１５Ｆに対するエッチャント（例えばシュウ酸系）からストッパ層１６直下のチャネル領域を保護する機能を有する。これにより、活性層１５のチャネル領域は、ＩＧＺＯ膜１５Ｆのエッチング工程によっては影響を受けることはない。

[0061] ＩＧＺＯ膜１５Ｆのパターニング後、レジストマスク１８はアッシング処理等によってソース電極１７Ｓ及びドレイン電極１７Ｄから除去される。

[0062] 次に、図３（Ｃ）に示すように、基材１０の表面に、ソース電極１７Ｓ、ドレイン電極１７Ｄ、ストッパ層１６、活性層１５、ゲート絶縁膜１４を被覆するように保護膜（パッシベーション膜）１９が形成される。

[0063] 保護膜１９は、活性層１５を含むトランジスタ素子を外気から遮断することで、所定の電気的、材料的特性を確保するためのものである。保護膜１９としては、典型的には、シリコン酸化膜（SiO_2）、シリコン窒化膜（ＳｉＮｘ）等の酸化膜又は窒化膜で構成され、例えば、ＣＶＤ法、スパッタリング法によって形成される。保護膜１９の厚さは特に限定されず、例えば、２００ｎｍ～５００ｎｍである。

[0064] 続いて、図３（Ｃ）に示すように、保護膜１９にソース／ドレイン電極と連通するコンタクトホール１９ａを形成する。この工程は、保護膜１９の上にレジストマスクを形成する工程と、レジストマスクの開口部から露出する保護膜１９をエッチングする工程と、レジストマスクを除去する工程とを有する。

[0065] コンタクトホール１９ａの形成は、ドライエッチング法が採用されるが、ウェットエッチング法が採用されてもよい。また、図示は省略しているが、任意の位置にソース電極１７Ｓと連絡するコンタクトホールも同様に形成される。

[0066] 次に、図３（Ｄ）に示すように、コンタクトホール１９ａを介してソース

／ドレイン電極にコンタクトする透明導電膜２１を形成する。この工程は、透明導電膜膜２１を形成する工程と、透明導電膜２１の上にレジストマスクを形成する工程と、レジストマスクで覆われていない透明導電膜２１をエッチングする工程と、レジストマスクを除去する工程とを有する。

[0067] 透明導電膜２１は、典型的には、ＩＴＯ膜やＩＺＯ膜で構成され、例えば、スパッタ法、ＣＶＤ法によって形成される。透明導電膜２１のエッチングは、ウェットエッチング法が採用されるが、これに限られず、ドライエッチング法が採用されてもよい。

[0068] 図３（Ｄ）に示す透明導電膜２１の形成されたトランジスタ１は、その後、活性層１５の構造緩和を目的としたアニール工程（熱処理）が実施される。これにより、活性層１５のトランジスタ特性を向上させることができる。なお、このアニール工程は、活性層１５の成膜直後（例えばストッパ層１６の形成前）に実施されてもよい。

[0069] アニール工程は、大気中、２００℃以上４００℃以下の温度で実施される。これにより、５桁以上のオン／オフ電流比を有するトランジスタ１を製造することができる。アニール温度が２００℃未満では、活性層１５の構造緩和作用を促進できず、５桁以上のオン／オフ電流比を確保することが困難となる。また、アニール温度が４００℃を超えると、耐熱性の観点から基材１０や基材１０上に形成される各種機能膜に対して材料的な制約が生じることがある。

[0070] 以上のように構成される本実施形態のトランジスタ１は、ソース電極１７Ｓとドレイン電極１７Ｄとの間に一定の順方向電圧（ソースードレイン電圧：Ｖｄｓ）が印加される。この状態において、ゲート電極１１とソース電極１７Ｓの間に閾値電圧（Ｖｔｈ）以上のゲート電圧（Ｖｇｓ）が印加されることで、活性層１５中にキャリア（電子、正孔）が生成されるとともに、ソースードレイン間の順方向電圧によって、ソースードレイン間に電流（ソースードレイン電流：Ｉｄｓ）が発生する。ゲート電圧が大きくなるほど、ソースードレイン電流（Ｉｄｓ）も大きくなる。

[0071] このときのソースードレイン電流は、オン電流（on-state current）とも呼ばれ、活性層１５の移動度が高いほど、大きな電流値が得られる。本実施形態では、活性層１５が酸化物半導体で構成されているため、アモルファスシリコンで構成される活性層と比較して、移動度が高い。したがって、本実施形態によれば、オン電流値が高い電界効果トランジスタ１を得ることができる。

[0072] 一方、ゲート電極１１への印加電圧がオフ（０）の場合、ソースードレイン間に発生する電流は、ほとんどゼロとなる。このときのソースードレイン電流は、オフ電流（off-state current）とも呼ばれ、活性層１５の電気抵抗値とソースードレイン電圧とで決まる。オフ電流値が小さいほど、オン電流値とオフ電流値との比（オンーオフ電流比）が大きくなるため、トランジスタとしては良好な特性が得られることになる。

[0073] 本発明者らは、図１に示したトランジスタ構造において、活性層の構成を異ならせて作製した各種サンプルのトランジスタ特性（オン／オフ電流特性）を測定した。

[0074] 図４（Ａ）及び（Ｂ）は、Ｉｎ：Ｇａ：Ｚｎ＝１：１：１の成分比を有するＩｎーＧａーＺｎーＯ系ターゲットをスパッタリングすることで成膜されたＩＧＺＯ膜のトランジスタ特性を示す一実験結果である。図４（Ａ）は、成膜直後におけるＩＧＺＯ膜のトランジスタ特性を示し、図４（Ｂ）は、成膜後４００℃でアニール処理したＩＧＺＯ膜のトランジスタ特性を示している。スパッタ条件は、放電パワー（ＲＦ）８０Ｗ、アルゴン分圧０．８Ｐａ、アルゴン流量１００ｓｃｃｍとした。また、図中、◆は、酸素分圧０．０Ｐａの条件下で成膜したＩＧＺＯ膜（サンプル１）の実験結果を示し、■は、酸素分圧０．１５Ｐａの条件下で成膜したＩＧＺＯ膜（サンプル２）の実験結果を示している。

[0075] 図４（Ａ）に示すように、成膜直後に関しては、サンプル１は、サンプル２と比較して、ソースードレイン電流（Ｉｄｓ）の値が大きい。これは、サンプル１が非酸化性雰囲気で成膜されたものであるため、サンプル２に比べ

て酸化度が低く、活性層の導電率が高いことによる。また、各サンプルともにオン／オフ電流特性が発現しておらず、このままではトランジスタとして使用することが不可能である。

[0076] そこで、図４（Ａ）に示したサンプル１、２を４００℃でアニール処理することにより、図４（Ｂ）に示したようなオン／オフ電流特性が発現することがわかる。アニール処理によりＩＧＺＯ膜の構造緩和が促進されることによる。さらに、サンプル１に比べて、サンプル２の方が高いオン／オフ電流比を示すことが確認された。図４（Ｂ）の結果から明らかなように、成分比が１：１：１のＩＧＺＯターゲットを使用する場合、酸素ガスの共存下でスパッタすることによって、オン／オフ電流特性に優れたトランジスタを作製することができる。

[0077] 一方、非酸化性雰囲気で成膜されるＩＧＺＯ膜のその成分比の違いによる特性の変化の一例を図５（Ａ）及び（Ｂ）に示す。本例では、In_2O_3ターゲットと、Ga_2O_3ターゲットと、ＺｎＯターゲットをそれぞれスパッタチャンバ内に設置し、これらを同時にスパッタしたときに所定の成分比のＩＧＺＯ膜が得られるように、各ターゲットの放電パワーを制御した。

[0078] 図５（Ａ）は、成膜直後におけるＩＧＺＯ膜のトランジスタ特性を示している。図５（Ｂ）は、成膜後４００℃でアニール処理したＩＧＺＯ膜のトランジスタ特性を示している。図中、◆は、Ｉｎ／Ｇａ／Ｚｎ＝３５／３３／３２ａｔ％（放電パワー：１２０／１２０／１２０Ｗ）のＩＧＺＯ膜（サンプル３）の実験結果を示し、■は、Ｉｎ／Ｇａ／Ｚｎ＝２８／５７／１５ａｔ％（放電パワー：６０／１２０／４０Ｗ）のＩＧＺＯ膜（サンプル４）の実験結果を示している。スパッタ雰囲気は、アルゴン分圧０．８Ｐａ（流量１００ｓｃｃｍ）、酸素分圧０．００Ｐａとした。

[0079] 図５（Ａ）に示すように、成膜直後に関しては、何れのサンプルにも有効なトランジスタ特性は認められなかった。一方、図５（Ｂ）に示すように４００℃アニールの処理後は、何れのサンプルについてもオン電流値とオフ電流値の明確な違いが現れるが、サンプル３とサンプル４の特性の違いは顕著

となる。サンプル４に関しては、オン／オフ電流比が５桁以上、移動度３．７６ｃｍ^2／Ｖ・ｓ、閾値電圧（Ｖｔｈ）は１．６６Ｖであった。

[0080] Ｉｎ／Ｇａ／Ｚｎの成分比が概ね１：１：１であるサンプル３と比べると、サンプル４は、Ｇａの含有量が高い。つまり、Ｇａを他の成分よりも多く添加することにより、非酸化性雰囲気においても有効なトランジスタ特性を示すことが確認された。

[0081] そこで、本発明者らは、ターゲットの組成比（成分比）を異ならせて非酸化性雰囲気中でスパッタ成膜した複数種のＩＧＺＯ膜を基に、図１に示した構造のトランジスタを作製し、これらのトランジスタ特性を評価した。評価に際しては、ＩＧＺＯ膜を３００℃及び４００℃でアニールしたサンプルについて、オン／オフ電流比（Ion/Ioff）と、移動度を測定した。

[0082] 測定の結果、アニール温度４００℃で５桁以上のオン／オフ電流比が得られた組成範囲を図６の状態図においてハッチングで示す。図６は、$InO_{1.5}$－$GaO_{1.5}$－ＺｎＯの三元系状態図である。図６において、ハッチングで示す領域の境界線が実線の場合は当該境界線が上記組成範囲に含まれるものとし、上記境界線が破線の場合は当該境界線が上記組成範囲に含まれないものとする。この境界線の線種の意味は、図７～図９においても同様とする。

[0083] 図６のハッチング領域Ｒ１は、ＩＧＺＯ膜の組成を一般式$Zn_xGa_yIn_zO_{(x+3y/2+3z/2)}$で表したときに、比率ｚ／ｙが０以上０．９未満、かつ、比率ｘ／ｙが０以上６．５未満の範囲を示している。この領域Ｒ１の組成範囲を有するＩＧＺＯ膜は、４００℃のアニール処理を施すことで、５桁以上のオン／オフ電流比を有するトランジスタを構成することができる。

[0084] ここで、Ｉｎ含有量が０（ｚ＝０）及びＺｎ含有量が０（ｘ＝０）の場合でも、５桁以上のオン／オフ電流比を得ることができる。領域Ｒ１に含まれるサンプルの成分比の一例（Ｃ１～Ｃ５）を以下に示す。

サンプルＣ１＝Ｉｎ：Ｇａ：Ｚｎ（ｚ：ｙ：ｘ）＝０：１００：０

サンプルＣ２＝Ｉｎ：Ｇａ：Ｚｎ＝２５．５：３４．７：３９．８

サンプルＣ３＝Ｉｎ：Ｇａ：Ｚｎ＝８．８：２９．２：６２．０

サンプルＣ４＝Ｉｎ：Ｇａ：Ｚｎ＝１３．１：７０．３：１６．６

サンプルＣ５＝Ｉｎ：Ｇａ：Ｚｎ＝０：８０：２０

[0085] 比率ｚ／ｙが０．９以上では、Ga_2O_3成分が不足して、トランジスタとして動作可能なオン／オフ電流比を得ることが困難である。また、比率ｘ／ｙが６．５以上では、ＺｎＯ成分が過剰となり、トランジスタとして動作可能なオン／オフ電流比を得ることが困難である。

[0086] 図７は、アニール温度３００℃で５桁以上のオン／オフ電流比が得られた組成範囲Ｒ２を示す$InO_{1.5}$－$GaO_{1.5}$－ＺｎＯの三元系状態図である。図７のハッチング領域Ｒ２は、ＩＧＺＯ膜の組成を一般式$Zn_xGa_yIn_zO_{(x+3y/2+3z/2)}$で表したときに、比率ｚ／ｙが０以上０．５未満、かつ、比率ｘ／ｙが０より大きく６．５より小さい範囲を示している。この領域Ｒ２の組成範囲を有するＩＧＺＯ膜は、３００℃のアニール処理を施すことで、５桁以上のオン／オフ電流比を有するトランジスタを構成することができる。この領域Ｒ２に該当するサンプルとして、上記Ｃ１～Ｃ５のうち、サンプルＣ１、Ｃ３、Ｃ４及びＣ５が挙げられる。

[0087] なお、サンプルＣ５に関しては、２００℃のアニール処理で５桁以上のオン／オフ電流比が得られることが確認されている。

[0088] 図８は、アニール温度３００℃で５桁以上のオン／オフ電流比と１ｃｍ^2／Ｖ・ｓ以上の移動度が得られた組成範囲Ｒ３を示す$InO_{1.5}$－$GaO_{1.5}$－ＺｎＯの三元系状態図である。図８のハッチング領域Ｒ３は、ＩＧＺＯ膜の組成を一般式$Zn_xGa_yIn_zO_{(x+3y/2+3z/2)}$で表したときに、比率ｚ／ｙが０以上０．５未満、かつ、比率ｘ／ｙが０．３より大きく２．６より小さい範囲を示している。この領域Ｒ３の組成範囲を有するＩＧＺＯ膜は、３００℃のアニール処理を施すことで、５桁以上のオン／オフ電流比と１ｃｍ^2／Ｖ・ｓ以上の移動度を有するトランジスタを構成することができる。この領域Ｒ３に該当するサンプルとして、上記Ｃ１～Ｃ５のうち、サンプルＣ３が挙げられる。

[0089] 図９は、アニール温度４００℃で５桁以上のオン／オフ電流比と１ｃｍ^2／

Ｖ・ｓ以上の移動度が得られた組成範囲Ｒ４を示すＩｎ$O_{1.5}$－Ｇａ$O_{1.5}$－ＺｎＯの三元系状態図である。図９のハッチング領域Ｒ４は、ＩＧＺＯ膜の組成を一般式$Zn_xGa_yIn_zO_{(x+3y/2+3z/2)}$で表したときに、比率ｚ／ｙが０以上０．９未満、比率ｘ／ｙが０以上２．６未満、かつ、比率ｙ／（ｘ＋ｙ＋ｚ）が０．８未満の範囲を示している。この領域Ｒ４の組成範囲を有するＩＧＺＯ膜は、４００℃のアニール処理を施すことで、５桁以上のオン／オフ電流比と１ｃｍ^2／Ｖ・ｓ以上の移動度を有するトランジスタを構成することができる。この領域Ｒ４に該当するサンプルとして、上記Ｃ１～Ｃ５のうち、サンプルＣ２、Ｃ３及びＣ４が挙げられる。

[0090] 以上のように、本実施形態によれば、ターゲットの組成範囲を上記のように規定することによって、スパッタチャンバ内に酸素を導入することなく、５桁以上のオン／オフ電流比を有する薄膜トランジスタを製造することができる。

[0091] また、スパッタチャンバ内に酸素を導入することなく所定のトランジスタ特性を有するトランジスタを製造することができるので、基板の面内における膜質の均一性を高めることができ、基板の大型化にも容易に対応することが可能である。

[0092] 以上、本発明の実施形態について説明したが、本発明はこれに限定されることはなく、本発明の技術的思想に基づいて種々の変形が可能である。

[0093] 例えば、以上の実施形態では、いわゆるボトムゲート型（逆スタガ型）のトランジスタを例に挙げて説明したが、トップゲート型（スタガ型）のトランジスタにも本発明は適用可能である。

[0094] また、上述したトランジスタ１は、液晶ディスプレイや有機ＥＬディスプレイ等のアクティブマトリクス型表示パネル用のＴＦＴとして用いることができる。これ以外に、上記トランジスタ１は、各種半導体装置あるいは電子機器のトランジスタ素子として用いることができる。

符号の説明

[0095] １…トランジスタ

１０…基材

１１…ゲート電極

１４…ゲート絶縁膜

１５…活性層

１５Ｆ…ＩＧＺＯ膜

１６…ストッパ層

１７Ｓ…ソース電極

１７Ｄ…ドレイン電極

請求の範囲

[請求項1] 一般式$Zn_xGa_yIn_zO_{(x+3y/2+3z/2)}$で表され、比率ｚ／ｙが０以上０．９未満、かつ、比率ｘ／ｙが０以上６．５未満である組成範囲を有する酸化物半導体からなるターゲットを非酸化性雰囲気中でスパッタすることで、前記組成範囲の酸化物半導体層を形成し、

前記酸化物半導体層を２００℃以上４００℃以下の温度で熱処理する

トランジスタの製造方法。

[請求項2] 請求項１に記載のトランジスタの製造方法であって、

前記比率ｚ／ｙは、０以上０．５未満であり、

前記比率ｘ／ｙは、０より大きく６．５より小さい

トランジスタの製造方法。

[請求項3] 請求項２に記載のトランジスタの製造方法であって、

前記比率ｚ／ｙは、０以上０．５未満であり、

前記比率ｘ／ｙは、０．３より大きく２．６より小さい

トランジスタの製造方法。

[請求項4] 請求項１に記載のトランジスタの製造方法であって、

前記比率ｚ／ｙは、０以上０．９未満であり、

前記比率ｘ／ｙは、０以上２．６未満であり、

比率ｙ／（ｘ＋ｙ＋ｚ）は、０．８未満である

トランジスタの製造方法。

[請求項5] ゲート電極と、

一般式$Zn_xGa_yIn_zO_{(x+3y/2+3z/2)}$で表され、比率ｚ／ｙが０以上０．９未満、かつ、比率ｘ／ｙが０以上６．５未満である組成範囲を有する酸化物半導体からなる活性層と、

前記ゲート電極と前記活性層との間に形成されたゲート絶縁膜と、

前記活性層と電気的に接続されるソース電極及びドレイン電極と

を具備するトランジスタ。

[請求項6] 請求項５に記載のトランジスタであって、
前記比率ｚ／ｙは、０以上０．５未満であり、
前記比率ｘ／ｙは、０より大きく６．５より小さい
トランジスタ。

[請求項7] 請求項６に記載のトランジスタであって、
前記比率ｚ／ｙは、０以上０．５未満であり、
前記比率ｘ／ｙは、０．３より大きく２．６より小さい
トランジスタ。

[請求項8] 請求項５に記載のトランジスタであって、
前記比率ｚ／ｙは、０以上０．９未満であり、
前記比率ｘ／ｙは、０以上２．６未満であり、
比率ｙ／（ｘ＋ｙ＋ｚ）は、０．８未満である
トランジスタ。

[請求項9] 一般式$Zn_xGa_yIn_zO_{(x+3y/2+3z/2)}$で表され、比率ｚ／ｙが０以上０．９未満、かつ、比率ｘ／ｙが０以上６．５未満である組成範囲を有する酸化物半導体からなるスパッタリングターゲット。

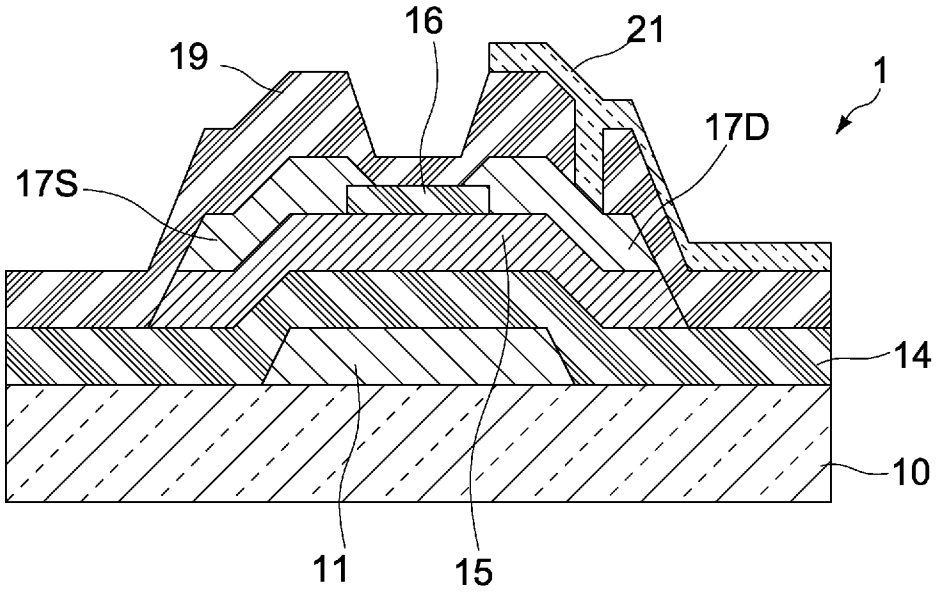
[請求項10] 請求項９に記載のスパッタリングターゲットであって、
前記比率ｚ／ｙは、０以上０．５未満であり、
前記比率ｘ／ｙは、０より大きく６．５より小さい
スパッタリングターゲット。

[請求項11] 請求項１０に記載のスパッタリングターゲットであって、
前記比率ｚ／ｙは、０以上０．５未満であり、
前記比率ｘ／ｙは、０．３より大きく２．６より小さい
スパッタリングターゲット。

[請求項12] 請求項９に記載のスパッタリングターゲットであって、
前記比率ｚ／ｙは、０以上０．９未満であり、
前記比率ｘ／ｙは、０以上２．６未満であり、
比率ｙ／（ｘ＋ｙ＋ｚ）は、０．８未満である

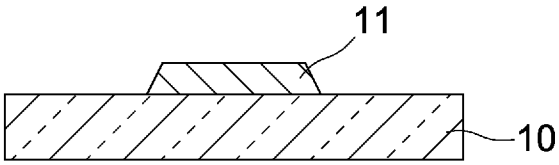
スパッタリングターゲット。

[図1]

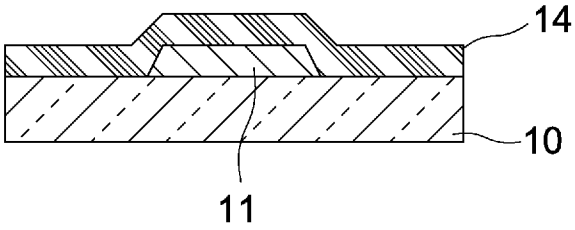


[図2]

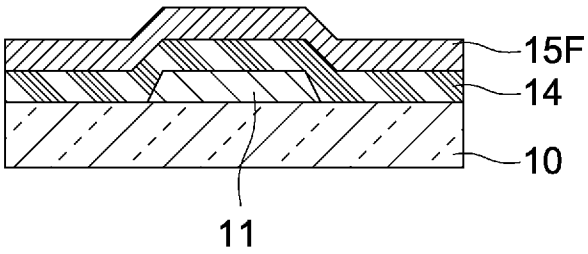
(A)



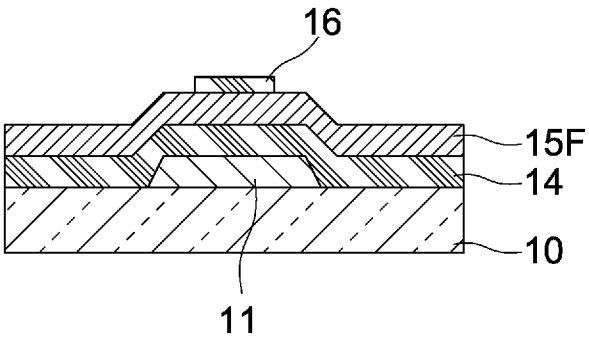
(B)



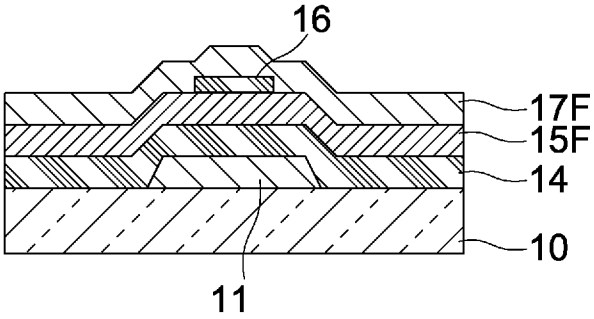
(C)



(D)

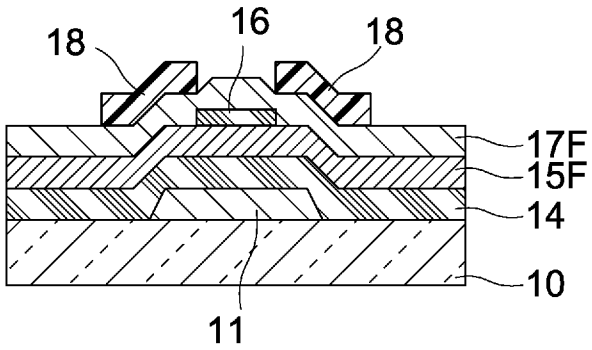


(E)

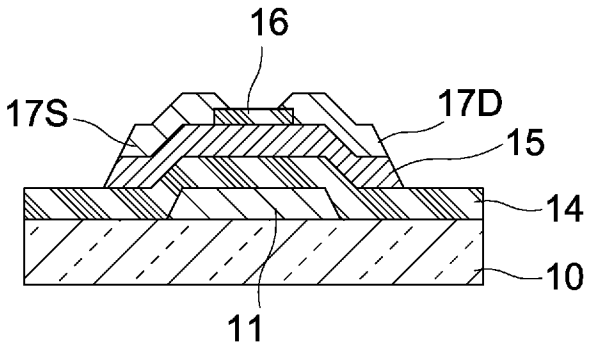


[図3]

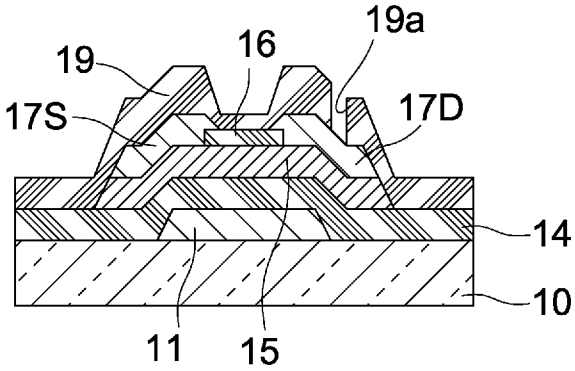
(A)


18
16
18
17F
15F
14
10
11

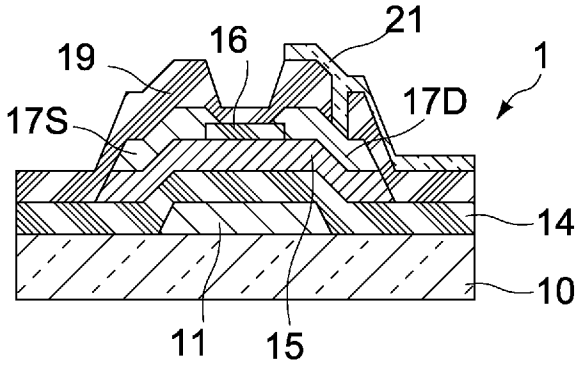
(B)


16
17S
17D
15
14
10
11

(C)

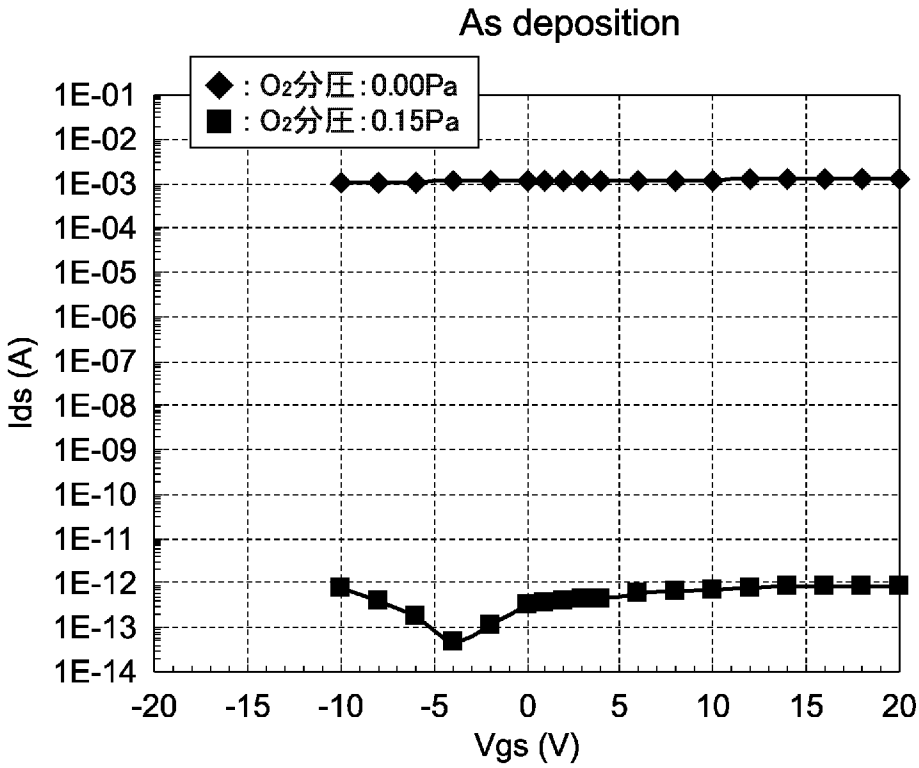

19a
19
16
17S
17D
14
10
11
15

(D)

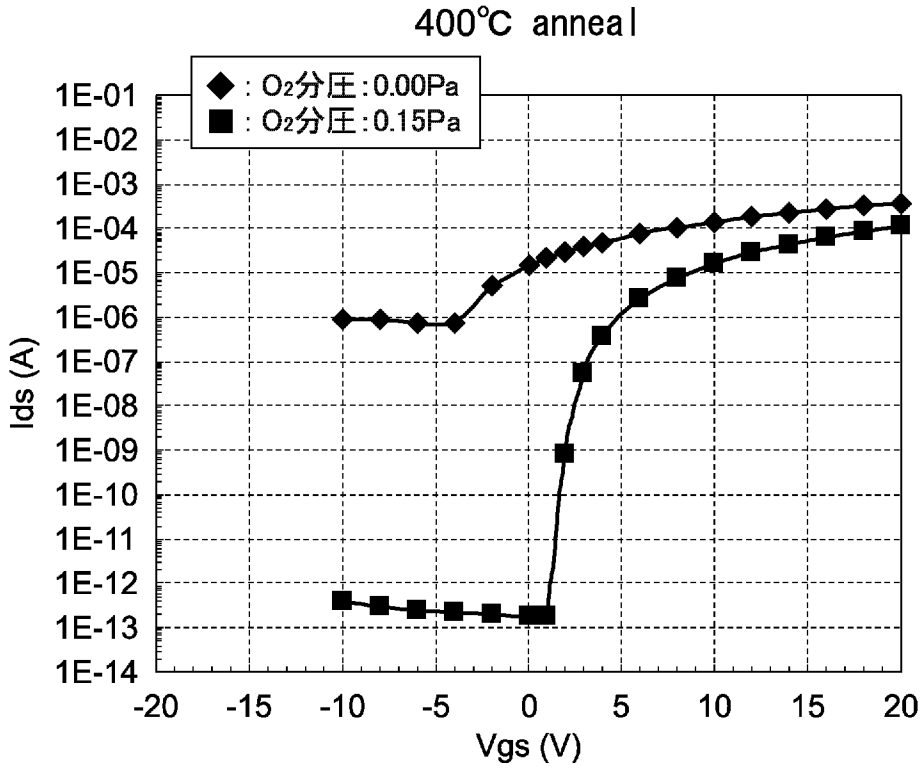

21
19
16
1
17S
17D
14
10
11
15

[図4]

(A)

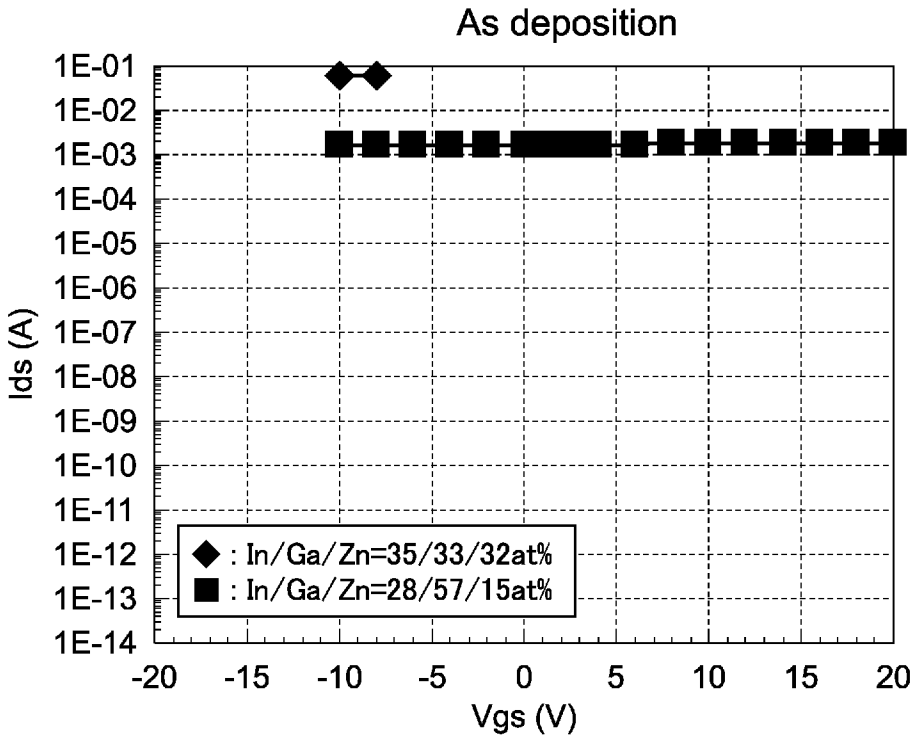

As deposition
◆ : O2分圧 : 0.00Pa
■ : O2分圧 : 0.15Pa
Ids (A)
1E-01
1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
1E-13
1E-14
-20 -15 -10 -5 0 5 10 15 20
Vgs (V)

(B)

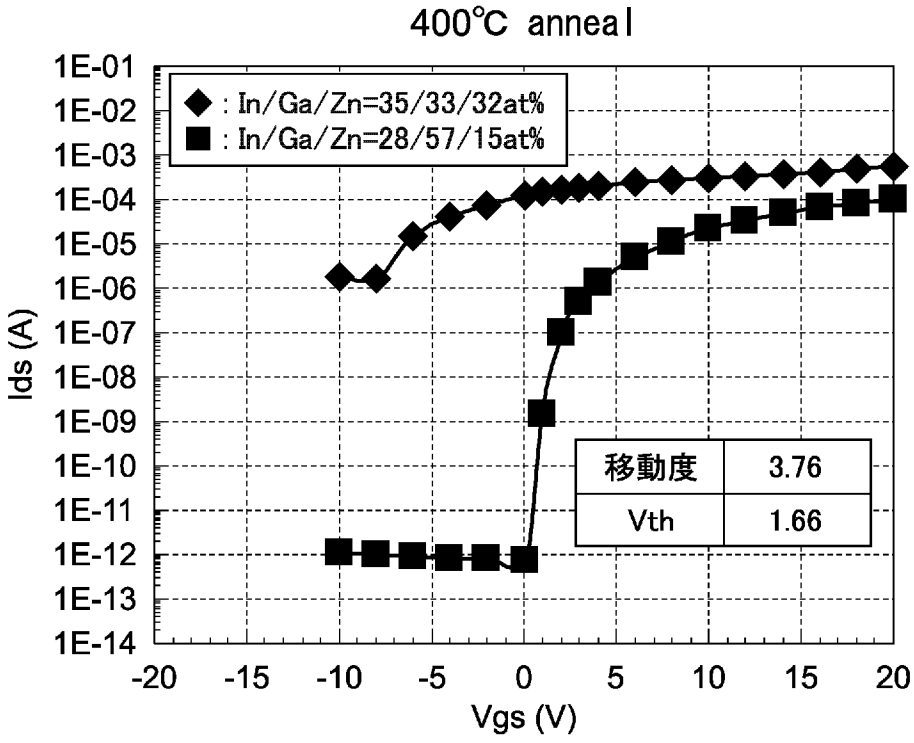

400℃ anneal
◆ : O2分圧 : 0.00Pa
■ : O2分圧 : 0.15Pa
Ids (A)
1E-01
1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
1E-13
1E-14
-20 -15 -10 -5 0 5 10 15 20
Vgs (V)

[図5]

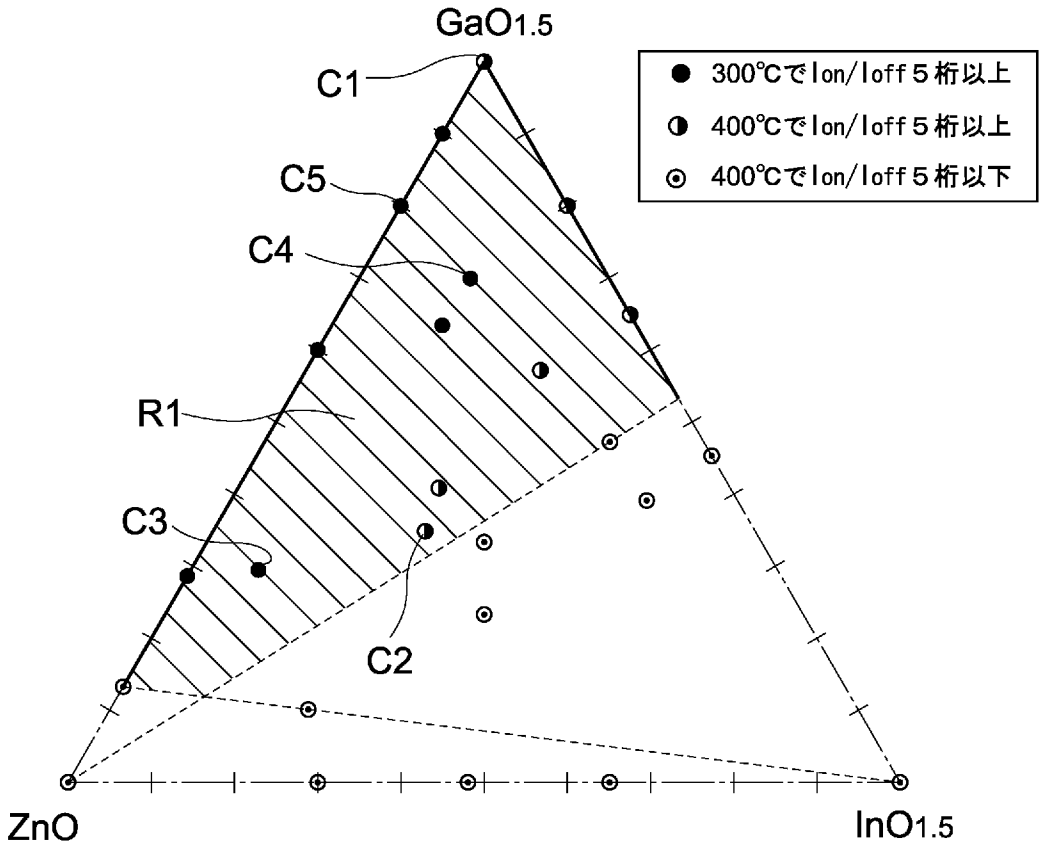
(A)


As deposition
1E-01
1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
1E-13
1E-14
Ids (A)
◆ : In/Ga/Zn=35/33/32at%
■ : In/Ga/Zn=28/57/15at%
-20 -15 -10 -5 0 5 10 15 20
Vgs (V)

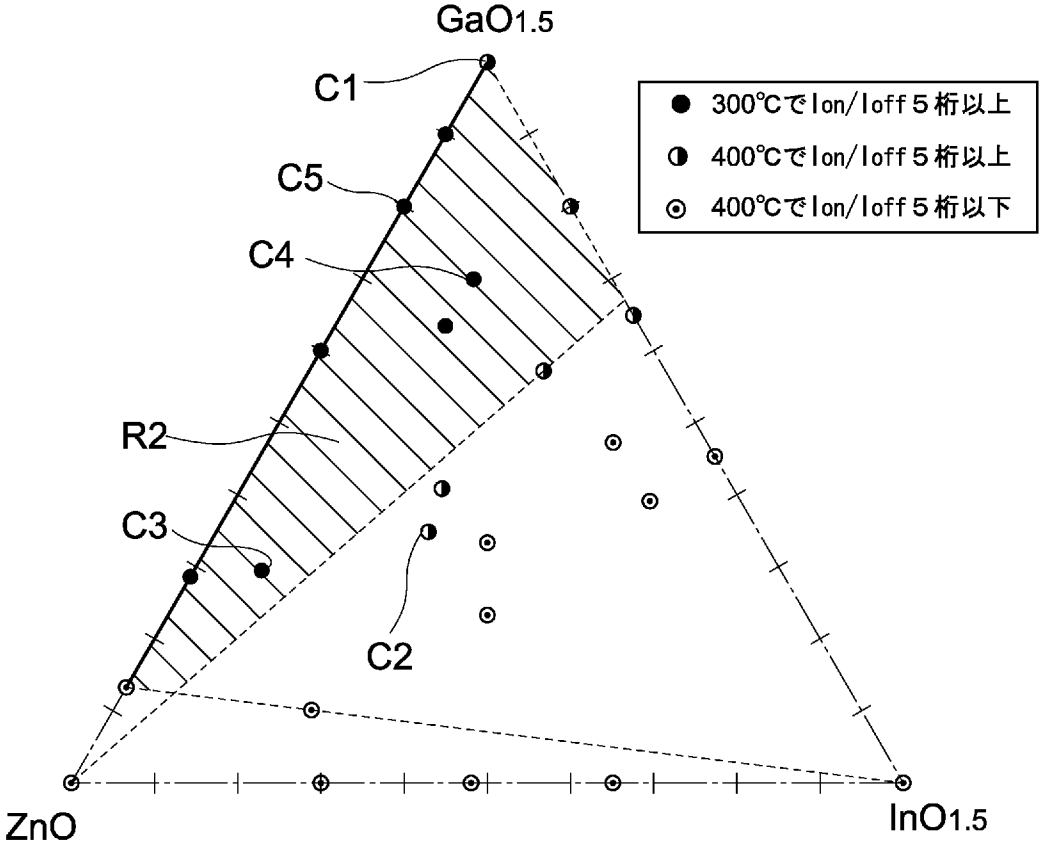
(B)


400℃ anneal
1E-01
1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
1E-13
1E-14
Ids (A)
◆ : In/Ga/Zn=35/33/32at%
■ : In/Ga/Zn=28/57/15at%
移動度 3.76
Vth 1.66
-20 -15 -10 -5 0 5 10 15 20
Vgs (V)

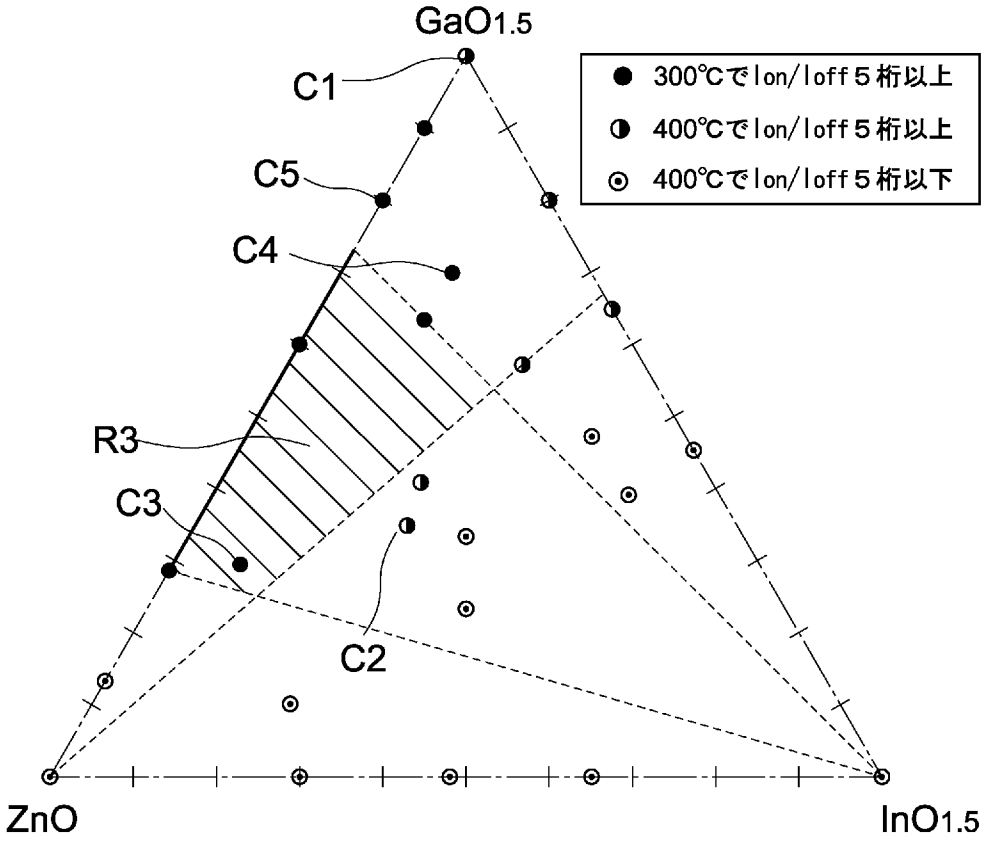
[図6]


GaO1.5
C1
C5
C4
R1
C3
C2
ZnO
InO1.5
300℃でIon/Ioff５桁以上
400℃でIon/Ioff５桁以上
400℃でIon/Ioff５桁以下

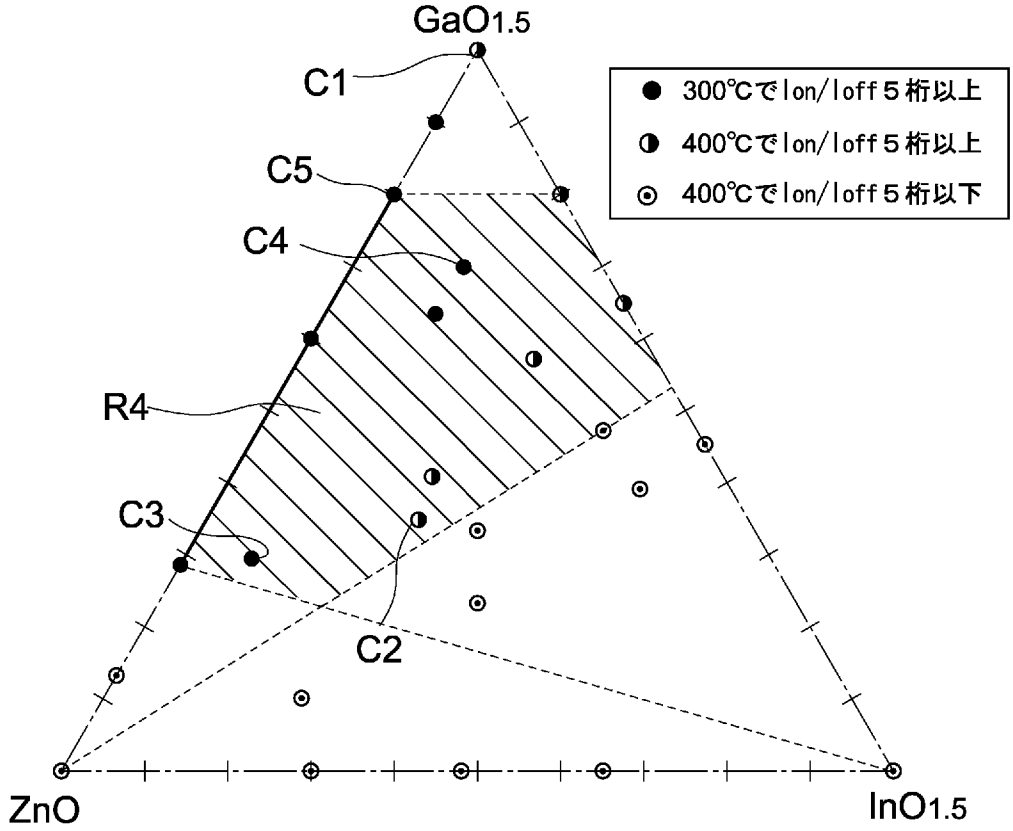
[図7]


GaO1.5
C1
C5
C4
R2
C3
C2
ZnO
InO1.5
300℃でIon/Ioff５桁以上
400℃でIon/Ioff５桁以上
400℃でIon/Ioff５桁以下

[図8]


GaO1.5
C1
C5
C4
R3
C3
C2
ZnO
InO1.5
300℃でIon/Ioff５桁以上
400℃でIon/Ioff５桁以上
400℃でIon/Ioff５桁以下

[図9]


GaO1.5
C1
C5
C4
R4
C3
C2
ZnO
InO1.5
300℃でIon/Ioff５桁以上
400℃でIon/Ioff５桁以上
400℃でIon/Ioff５桁以下

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2010/000829

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/786(2006.01)i, *C04B35/00*(2006.01)i, *C23C14/34*(2006.01)i, *H01L21/203*(2006.01)i, *H01L21/336*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/786, C04B35/00, C23C14/34, H01L21/203, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2007-281409 A (Canon Inc.), 25 October 2007 (25.10.2007), paragraphs [0054] to [0168] & WO 2007/032294 A1 & EP 1925034 A & KR 10-2008-0058406 A & CN 101263605 A & US 2009/0189153 A & RU 2371809 C	5-8 1-4,9-12
X Y	WO 2007/120010 A1 (Samsung Electronics Co., Ltd.), 25 October 2007 (25.10.2007), paragraphs [0039], [0040], [0057] & JP 2009-533884 A & KR 10-2007-0102939 A & CN 101060139 A & US 2007/0252147 A1 & EP 2008310 A	5-12 1-4

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
10 March, 2010 (10.03.10)	23 March, 2010 (23.03.10)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2010/000829

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2008/117810 A1 (Idemitsu Kosan Co., Ltd.), 02 October 2008 (02.10.2008), paragraphs [0057] to [0061] & JP 2008-243928 A	1-4,9-12

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2010/000829

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The technical feature common to the invention of claim 1 and the invention of claims 5-12 is "an oxide semiconductor having a composition represented by the following general formula: $Zn_xGa_yIn_zO$ (x + 3y/2 + 3z/2), with the ratio z/y being 0 or more, but less than 0.9, and the ratio x/y being 0 or more, but less than 6.5".

The international search, however, has revealed that this common technical feature is not novel since it is disclosed in document JP 2007-281409 A (Canon Inc.), 25 October 2007 (25.10.2007), paragraphs 0054-0168, and document WO 2007/120010 A1 (Samsung Electronics Co., Ltd.), 25 October 2007 (25.10.2007), paragraph 57. (Continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.

☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.

☐ No protest accompanied the payment of additional search fees.

Continuation of Box No.III of continuation of first sheet(2)

Consequently, the common technical feature cannot be considered as a special technical feature.

This international application therefore does not satisfy the requirement of unity of invention.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１０／０００８２９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/786(2006.01)i, C04B35/00(2006.01)i, C23C14/34(2006.01)i, H01L21/203(2006.01)i, H01L21/336(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/786, C04B35/00, C23C14/34, H01L21/203, H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１０年
日本国実用新案登録公報	１９９６－２０１０年
日本国登録実用新案公報	１９９４－２０１０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y	JP 2007-281409 A (キヤノン株式会社) 2007.10.25, 段落 0054-0168 & WO 2007/032294 A1 & EP 1925034 A & KR 10-2008-0058406 A & CN 101263605 A & US 2009/0189153 A & RU 2371809 C	5-8 1-4,9-12
X Y	WO 2007/120010 A1 (サムスン　エレクトロニクス　カンパニー　リミテッド) 2007.10.25, 段落 39,40,57 & JP 2009-533884 A & KR 10-2007-0102939 A & CN 101060139 A & US 2007/0252147 A1 & EP 2008310 A	5-12 1-4

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 １０．０３．２０１０	国際調査報告の発送日 ２３．０３．２０１０
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　４Ｍ　２９３４ 綿引　隆 電話番号　０３－３５８１－１１０１　内線　３４６２

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	WO 2008/117810 A1 (出光興産株式会社) 2008.10.02, 段落 0057-0061 & JP 2008-243928 A	1-4,9-12

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１０／０００８２９

第Ⅱ欄　請求の範囲の一部の調査ができないときの意見（第１ページの２の続き）

法第8条第3項（ＰＣＴ17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

１．☐ 請求項 ＿＿＿＿＿＿＿＿ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、

２．☐ 請求項 ＿＿＿＿＿＿＿＿ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

３．☐ 請求項 ＿＿＿＿＿＿＿＿ は、従属請求の範囲であってＰＣＴ規則6.4(a)の第２文及び第3文の規定に従って記載されていない。

第Ⅲ欄　発明の単一性が欠如しているときの意見（第１ページの３の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求項１に係る発明と、請求項５～１２に係る発明に共通の事項は、「一般式$Zn_xGa_yIn_zO$（ｘ＋３ｙ／２＋３ｚ／２）で表され、比率ｚ／ｙが０以上０．９未満、かつ、比率ｘ／ｙが０以上６．５未満である組成範囲を有する酸化物半導体」である。

しかしながら、調査の結果、この共通の事項はJP 2007-281409 A（キヤノン株式会社）2007.10.25, 段落0054-0168、WO 2007/120010 A1（サムスン　エレクトロニクス　カンパニー　リミテッド）2007.10.25, 段落57 に開示されているため、新規でないことが明らかとなった。

結果として、上記の共通の事項は、特別な技術的特徴とは認められない。

よって、この国際特許出願は、発明の単一性の要件を満たしていない。

１．☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。

２．☑ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。

３．☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。

４．☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。

☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。

☐ 追加調査手数料の納付はあったが、異議申立てはなかった。