



PCT
WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro
INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation ⁵ : G06F 11/26	A1	(11) Internationale Veröffentlichungsnummer: WO 93/03434 (43) Internationales Veröffentlichungsdatum: 18. Februar 1993 (18.02.93)
(21) Internationales Aktenzeichen: PCT/DE92/00638 (22) Internationales Anmeldedatum: 3. August 1992 (03.08.92) (30) Prioritätsdaten: P 41 26 333.2 8. August 1991 (08.08.91) DE (71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-8000 München 2 (DE). (72) Erfinder; und (75) Erfinder/Anmelder (nur für US) : ZEPP, Claus-Peter [DE/DE]; Portweg 1 a, D-8000 München 45 (DE). (81) Bestimmungsstaaten: JP, US, europäisches Patent (AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, SE).		

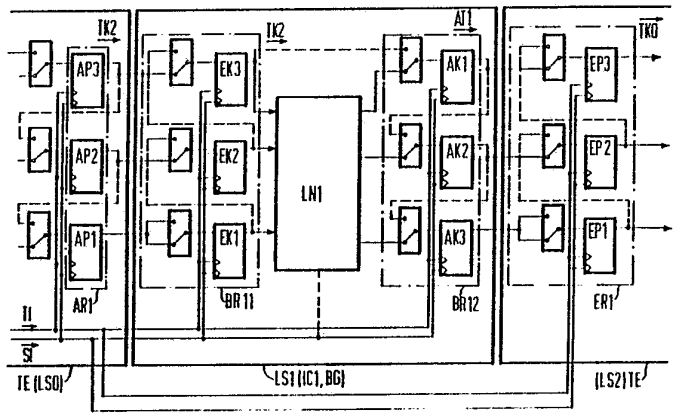
Veröffentlicht
Mit internationalem Recherchenbericht.

(54) Title: PROCESS FOR TESTING INTEGRATED CIRCUITS WITH AT LEAST ONE LOGIC CIRCUIT AND TESTABLE INTEGRATED CIRCUIT

(54) Bezeichnung: VERFAHREN ZUR PRÜFUNG VON INTEGRIERTEN SCHALTKREISEN MIT MINDESTENS EINER LOGIKSCHALTUNG UND PRÜFBARER INTEGRIERTER SCHALTKREIS

(57) Abstract

Two test combinations TK1 and TK2 are fitted into the input trigger circuit (EK1 to EK2) of the logic circuit (LS1) to be tested and the output trigger circuits (AP1 to AP2) of the upstream test device (TE) or an upstream logic circuit (LSO). The second test combination TK2 is taken with the first system test pulse into the input trigger circuits (EK1 to EK3) and the appropriate output combination (AT2) is taken with the second test pulse into the output trigger circuits (AK1 to AK2). The former is then taken into the test device (TE) and checked. An integrated circuit suitable for implementing the process has trigger stages with two beat inputs.



(57) Zusammenfassung

Zur Echtzeit-Prüfung werden in die Eingangs-Kippstufen (EK1 bis EK2) der zu prüfenden Logikschaltung (LS1) und die Ausgangs-Kippstufen (AP1 bis AP2) der vorgeschalteten Testeinrichtung (TE) oder einer vorgeschalteten Logikschaltung (LSO) zwei Testkombinationen TK1 und TK2 eingeschrieben. Die zweite Testkombination TK2 wird mit dem ersten System-Testimpuls in die Eingangs-Kippstufen (EK1 bis EK3) übernommen, und mit dem zweiten Testimpuls wird in die Ausgangs-Kippstufen (AK1 bis AK2) die zugehörige Ausgangskombination (AT2) übernommen. Diese wird anschließend in die Testeinrichtung (TE) übernommen und überprüft. Ein zur Durchführung des Verfahrens geeigneter integrierter Schaltkreis weist Kippstufen mit zwei Takteingängen auf.

LEDIGLICH ZUR INFORMATION

Code, die zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AT	Österreich	FI	Finnland	MR	Mauritanien
AU	Australien	FR	Frankreich	MW	Malawi
BB	Barbados	GA	Gabon	NL	Niederlande
BE	Belgien	GB	Vereinigtes Königreich	NO	Norwegen
BF	Burkina Faso	GN	Guinea	NZ	Neuseeland
BG	Bulgarien	GR	Griechenland	PL	Polen
BJ	Benin	HU	Ungarn	PT	Portugal
BR	Brasilien	IE	Irland	RO	Rumänien
CA	Kanada	IT	Italien	RU	Russische Föderation
CF	Zentrale Afrikanische Republik	JP	Japan	SD	Sudan
CG	Kongo	KP	Demokratische Volksrepublik Korea	SE	Schweden
CH	Schweiz	KR	Republik Korea	SK	Slowakische Republik
CI	Côte d'Ivoire	LI	Liechtenstein	SN	Senegal
CM	Kamerun	LK	Sri Lanka	SU	Soviet Union
CS	Tschechoslowakei	LU	Luxemburg	TD	Tschad
CZ	Tschechische Republik	MC	Monaco	TG	Togo
DE	Deutschland	MG	Madagaskar	UA	Ukraine
DK	Dänemark	ML	Mali	US	Vereinigte Staaten von Amerika
ES	Spanien	MN	Mongolei		

1

1 Verfahren zur Prüfung von integrierten Schaltkreisen mit mindestens einer Logikschaltung und prüfbarer integrierter Schaltkreis

5 Die Erfindung betrifft ein Verfahren zur Prüfung von integrierten Schaltkreisen nach dem Oberbegriff des Patentanspruchs 1 und einen prüfbaren integrierten Schaltkreis nach dem Oberbegriff des Patentanspruchs 8.

10 Zur Prüfung von integrierten Logikschaltkreisen und mit Logikschaltkreisen bestückten Baugruppen wird das Boundary-Scan-Verfahren verwendet. Die mit diesem Verfahren prüfba-
ren Logikschaltkreise weisen an ihren Signaleingängen und
ihren Signalausgängen Prüfstufen (Boundary-Scan-Cells) auf,
15 die jeweils einen Umschalter und mindestens eine Speicher-
stufe enthalten. Die Eingangs-Prüfstufen und die Ausgangs-
Prüfstufen sind als Schieberegisterkette schaltbar. Auch
können alle Schieberegisterketten von mehreren auf einer
Baugruppe angeordneten Logikschaltkreisen in Reihe zusammen-
20 geschaltet werden. Das Boundary-Scan-Verfahren ist in der
Zeitschrift "electronic" in einer Fortsetzungs-Artikelserie
in den Heften 12 (Seiten 52 bis 57) / 13 (Seiten 102 bis
108) / 14 (Seiten 96 bis 103) / 15 (Seiten 69 bis 74) und
17 (Seiten 62 bis 68) 1989 beschrieben. Mit Hilfe des Boun-
25 dary-Scan-Verfahrens lassen sich die Verbindungsleitungen
von der Steckerleiste der Baugruppe zu den Anschlüssen (Ein-
und Ausgänge) der integrierten Bausteine und Verbindungs-
leitungen zwischen den integrierten Bausteinen und die Ver-
bindungen zu den Anschlüssen überprüfen. Ebenso ist es wei-
30 terhin möglich, die Funktionen der Logikschaltungen der in-
tegrierten Bausteine zu testen. Hierzu werden in die Schie-
beregister Prüfkombinationen seriell eingeschrieben. Die
Ausgangskombination der Logikschaltung wird in die Ausgangs-

1 Prüfstufen übernommen, ausgelesen und überprüft. Dies kann
auch bei einem entsprechend umfangreichen Prüfprogramm bei
kompletten Schaltbaugruppen erfolgen. Bisher wurde nur eine
statische Prüfung der eingebauten Logikschaltungen durchge-
5 führt, wenn überhaupt eine solche Prüfung erfolgte.

Die Verwendung von Testmultiplexern, die in die Signalleitungen eingeschaltet sind, ermöglicht zwar auch eine Echtzeit-Prüfung der Logikschaltungen, sie erfordern jedoch
10 einen hohen Aufwand durch zusätzliche Anschlußpunkten und eine komplizierte Verdrahtung.

Aufgabe der Erfindung ist es, ein Verfahren zur Echtzeit-Prüfung von Logikschaltkreisen anzugeben, das nur einen geringen zusätzlichen Schaltungsaufwand benötigt. Außerdem
15 sind die zur Durchführung des Verfahrens geeigneten Logikschaltkreise anzugeben.

Diese Aufgabe wird durch das im Anspruch 1 angegebene Verfahren gelöst.
20

In dem unabhängigen Patentanspruch wird ein geeigneter Schaltkreis angegeben.

25 Vorteilhafte Ausbildungen der Erfindung sind in den Unteransprüchen angegeben.

Durch das erfindungsgemäße Verfahren wird eine Echtzeit-Prüfung möglich. Der zusätzliche Schaltungsaufwand entspricht etwa dem beim Boundary-Scan-Verfahren. Es sind nur
30 wenige zusätzliche Anschlußpunkte erforderlich. Reine Gatterschaltungen können bereits durch Doppelimpulse des System-Testsignals in mehreren Prüfzyklen getestet werden. Beinhaltet die Logikschaltung getaktete Speicherglieder,
35

1 so kann die Anzahl der System- Testimpulse je Prüfzyklus
problemlos erhöht werden. Ebenso können Baugruppen getes-
tet werden, die mehrere in Kette geschaltete integrierte
Schaltkreise (IC's, ASIC's) aufweisen.

5

Es ist zweckmäßig, wenn die Testkombination seriell in die
Eingangs- und Ausgangs-Kippstufen eingeschrieben werden.
Durch die Reihenschaltung der aus Eingangs- und Ausgangs-
Kippstufen gebildeten Schieberegister erfolgt das serielle
10 Einschreiben der Testkombinationen über einen einzigen An-
schlußpunkt der Baugruppe. Es ist notwendig, die Funktion
mit allen relevanten Folgen von Testkombinationen zu Über-
prüfen, wobei an den Eingängen der eigentlichen Logikschal-
tung abwechselnd Eins-Null und Null-Eins Übergänge angelegt
15 werden müssen.

Es ist vorteilhaft, wenn an den Ausgängen der Testvorrich-
tung nicht nur jeweils Folgen von zwei binären Zuständen
sondern drei - oder mehr - beispielsweise 001, 010 , 101
20 usw. abgegeben werden können. In die Ausgangs-Kippstufen
der Logikschaltung und die Eingangs-Prüfstufen der Test-
vorrichtung werden die zugehörigen Ausgangs-Kombinationen
parallel eingeschrieben. Hierdurch kann die Prüfzeit we-
sentlich verkürzt werden. Mit jedem weiteren Ausgangs-Prüf-
25 register und Eingangs-Prüfregister der Testeinrichtung
(Prüfautomat) kann jeweils eine weitere Kombination dyna-
misch durchgetestet werden und die Ausgangskombinationen
parallel in die Testeinrichtung übernommen werden. Sind
mehrere Logikschaltungen in Kette geschaltet, dann können
30 nur jeweils zwei Ausgangskombinationen getestet werden,
wenn alle Ausgangskombinationen mit definierten Testkom-
binationen überprüft werden sollen. Ebenso können auch nur
zwei Testkominationen an die Eingänge der nachgeschalteten
Logikschaltung angelegt und deren Ausgangskombinationen

35

1 Überprüft werden. Ein Prüfzyklus umfaßt dann zwei Testkom-
binationen und zwei System-Testimpulse. Bei Logikschaltun-
gen, die außer Gatterschaltungen auch Kippstufen enthalten,
5 kann die Anzahl der System-Testimpulse je Testzyklus natür-
lich vergrößert werden.

Es ist zweckmäßig, wenn die Prüfstufen ähnlich den Boundary-
Scan-Prüfstufen aufgebaut werden. Hierbei kann auch eine
Trennung der eingangsseitigen und ausgangsseitigen Einspei-
10 chertakte vorgenommen werden, wodurch dann auch mit den ent-
sprechenden Prüfprogrammen gearbeitet werden kann. Im Gegen-
satz zu den bekannten Prüf-Verfahren sind die Eingangs-
und Ausgangs- Kippstufen der Prüfstufen wahlweise durch
ein Test-Taktsignal oder ein System-Taktsignal triggerbar.

15 Hierbei ist es zweckmäßig, Kippstufen mit zwei Takteingän-
gen vorzusehen, um zusätzliche Laufzeiten durch Taktum-
schalter zu vermeiden. Durch Verknüpfung der Takteingänge
mit den Dateneingängen kann auch auf Umschalter (Multi-
20 plexer) in den Eingangs- und Ausgangs-Prüfstufen verzichtet
werden. Vorzugsweise werden flankengetriggerte Kippstufen
verwendet.

Ausführungsbeispiele der Erfindung werden anhand von Figu-
25 ren näher erläutert.

Es zeigen:

- 30 Fig. 1 ein Prinzipschaltbild einer prüfbaren Logik-
schaltung,
Fig. 2 das Prinzipschaltbild für die dynamische
Prüfung,
Fig. 3 ein Prinzipschaltbild einer Baugruppe mit
mehreren Logikschaltkreisen und
35 angeschalteter Testeinrichtung,

- 1 Fig. 4 eine Variante der Eingangs- und Ausgangs-
Kippstufen und
Fig. 5 ein Zeitdiagramm mit Test-Taktsignalen und
System-Testsignalen.

5

Das in Figur 1 dargestellte Prinzipschaltbild zeigt eine Logikschaltung LSI eines integrierten Schaltkreises ICI, in deren Eingangsleitungen jeweils die Reihenschaltung eines Eingangsmultiplexers EM1 und einer Eingangs-Kippstufe EK1; EM2 und EK2; EM3 und EK3 eingeschaltet ist.
10 Über die Multiplexer können die Eingänge (Anschlußpunkte) E1 bis E3 der integrierten Schaltung ICI mit den Eingängen EL1 bis EL3 eines Logiknetzwerkes LNI verbunden werden. In diesem Zustand, dem Betriebs-Modus, erfüllt die Logikschaltung ihre eigentliche Funktion. Die Multiplexer EM1 bis EM3 ermöglichen - gesteuert durch ein Signal S/P - für Prüfzwecke jedoch auch eine Zusammenschaltung der Eingangs-Kippstufen EK1 bis EK3 zu einem Schieberegister (Seriell-Modus), wie in Figur 1 dargestellt. In entsprechender Weise
20 sind die Ausgänge AL1 bis AL3 des Logiknetzwerkes LNI über Ausgangs-Multiplexer AM1 bis AM3 mit Ausgangs-Kippstufen AK1 bis AK3 verbunden. Über die Ausgangs-Multiplexer können die Ausgangs-Kippstufen ebenfalls in Reihe geschaltet werden, so daß auch sie ein Schieberegister bilden, das an den Ausgang der letzten Kippstufe EK3 des eingangsseitigen Schieberegisters angeschaltet ist. In die Schieberegister können in diesem Seriell-Mode Testkombinationen seriell
25 eingeschrieben werden.

30 Der Datenfluß in beiden Schieberegistern kann in beliebiger Richtung erfolgen. Den Eingangs-Kippstufen und den Ausgangs-Kippstufen werden jeweils zu Prüfzwecken einzelne Impulse TI oder SI zweier unterschiedlicher Taktsignale zugeführt, eines Test-Taktsignals TT und eines System-

35

1 Taktsignals ST (Fig. 5). Bei einer alternativen Schaltungs-
anordnung können auch Kippstufen mit nur einem Takteingang
gewählt werden, wobei dann zwischen beiden Taktsignalen
umgeschaltet werden muß.

5

Der Logikschaltung LS1 kann eine andere Logikschaltung LS0
vorgeschaltet und eine weitere Logikschaltung LS2 nachge-
schaltet sein. Die Eingänge E1 bis E3 der ersten Logik-
schaltung LS1 sind in Fig. 1 mit den Ausgängen einer Test-
10 einrichtung TE verbunden und die Ausgänge A1 bis A3 der
letzten Logikschaltung sind an die Eingänge der Testein-
richtung angeschaltet. In der Fig. 1 wurde aus Gründen der
Übersichtlichkeit nur eine Logikschaltung dargestellt und
die Bezeichnungen der gegebenenfalls vor- und nachgeschal-
15 teten Logikschaltungen aber in Klammern hinzugefügt. Die
Ausgangs-Kippstufen der vorgeschalteten Testeinrichtung
oder Logikschaltung sind mit AP1 bis AP3 bezeichnet. Bei
einer Logikschaltung sind sie über Multiplexer wiederum in
Kette zu einem Schieberegister zusammenschaltbar, bei einer
20 Prüfeinrichtung ist dies in der Regel nicht erforderlich.

An die Ausgänge A1 bis A3 der Logikschaltung sind die Ein-
gänge der Testeinrichtung TE oder der nachgeschalteten Lo-
gikschaltung LS2 über Eingangs- Multiplexer EM21 bis EM23
25 angeschaltet. Die Information der Ausgangs-Kippstufen AK1
bis AK3 der Logikschaltung LS1 kann über die Multiplexer
EM21 bis EM23 parallel in Kippstufen EP1 bis EP3 übernom-
men werden, die in der Testeinrichtung als Eingangs-Prüf-
stufen dienen. Häufig werden mehrere Logikschaltungen LS0,
30 LS1, LS2, ... in Kette geschaltet sein. Diese können in
einem integrierten Schaltkreis angeordnet sein oder auch
mehreren Schaltkreisen zugehören. Für in Kette zu einem
mehrstufigen Netzwerk geschaltete Logikschaltungen ist das
serielle Einschreiben der Testkombinationen unbedingt er-
35 forderlich.

1 In der Testeinrichtung sind die Multiplexer EM21 bis EM23
nicht unbedingt erforderlich; sie gestatten jedoch das
serielle Einschreiben der von den Ausgangs-Kippstufen AK1
bis AK3 abgegebenen binären Ausgangskombination und der in
5 den Eingangs-Kippstufen EK1 bis EK3 gespeicherten logischen
Zustände. Die Anzahl der Eingangs-Prüfstufen EP muß dann
natürlich vergrößert werden, wenn in einen Testabschnitt
mehr Ausgangskombinationen überprüft werden sollen und
nicht in mehreren Testabschnitten jeweils die Ausgangskom-
10 bination einer Logikschaltung überprüft wird. Bei nur einer
Logikschaltung, wie in Fig. 1 dargestellt, kann natürlich
die Testkombination auch parallel über die Eingänge E1 bis
E3 übernommen werden. Zum besseren Verständnis der Funktion
des Prüfverfahrens soll jedoch zunächst die Beschränkung
15 auf eine Logikschaltung beibehalten werden. Ist diese auf
einer Baugruppe montiert, so werden im Betriebsfall und zum
Testen die Signale über Eingänge der Baugruppe EB1 bis EB3
zugeführt. Die Eingangs-Kippstufen der Logikschaltung wer-
den zu einem Boundary-Register BR11, die Ausgangs-Kippstufen
20 zu einem Boundary-Register BR12 und die Ausgangs- und Ein-
gangs-Prüfstufen zu einem Ausgangs- Prüfregister AR1 bzw.
Eingangs-Prüfregister ER1 zusammengefaßt.

Parallel an die Eingänge EB1 bis EB3 der Baugruppe BG ange-
25 legte Testkombinationen gestatten ein Überprüfen der Ein-
gangsleitungen und der Lötstellen; in die Ausgangs-Kipp-
stufen seriell eingeschriebene Testkombinationen ermögli-
chen eine Überprüfung der Lötstellen und der Ausgangslei-
tungen bzw. der Verbindungsleitungen zwischen den Bausteinen.

30 Die dynamische Prüfung kann natürlich sowohl bei Baugrup-
pen als auch bei einzelnen integrierten Schaltkreisen
durchgeführt werden, die in entsprechende Adapter einer

- 1 Testeinrichtung eingesetzt werden. Der Schwerpunkt des
Verfahrens liegt jedoch in der Prüfung von Baugruppen mit
einzelnen oder mehreren integrierten Schaltkreisen.
- 5 Die statische Prüfung der Logikschaltung LS1 kann wie beim
bisherigen Boundary-Scan-Verfahren durchgeführt werden,
indem alle relevanten Testkombinationen in die Eingangs-
Kippstufen EK1 bis EK3 eingeschrieben werden und die von
der Logikschaltung LS1 (bzw. dem Logiknetzwerk LN1) erzeugte
10 Ausgangskombination AT1 in die Ausgangs-Kippstufen AK1 bis
AK3 übernommen werden und aus diesen Kippstufen ausgelesen
werden, um in der Testeinrichtung TE überprüft zu werden.

Zur dynamischen Prüfung werden mit Taktimpulsen TI (Figur
15 5) des Test-Taktsignals TT Testkombinationen TK1, TK2 in
die Eingangs-Kippstufen EK1 bis EK3 und die Ausgangs-Prüf-
stufen AP1 bis AP3 - also eine Testdoppelkombination -
eingeschrieben. Zur statischen Überprüfung der Ausgangslei-
tungen wurde vorher noch die Testkombination TK0 in die
20 Ausgangs-Kippstufen AK1 bis AK3 seriell eingeschrieben.
Hierdurch bedingt mußte auch die Testkombination TK1 seri-
ell in die Eingangs-Kippstufen eingeschrieben werden, wenn
dieselben Test-Taktimpulse beiden Gruppen von Kippstufen
EK1 bis EK3 und AK1 bis AK3 zugeführt werden.

25 Anschließend werden die Multiplexer vom Seriell-Modus in
den Betriebs-Modus umgeschaltet, wie in Fig. 2 dargestellt,
und anstelle von Taktimpulsen TI des Test-Taktsignals TT
werden System-Testimpulse SI des System-Taktsignals ST
30 (Fig. 5) den Kippstufen und gegebenenfalls auch dem Logik-
netzwerk LN1 zugeführt. Das System-Taktsignal kann von
einem Taktgenerator des zu prüfenden Systems erzeugt wer-
den und von diesem über die Testeinrichtung zugeführt wer-
den. Ebenso kann es durch einen einstellbaren Generator

1 der Testeinrichtung geliefert werden. In der Testeinrich-
tung sind Steuereinrichtungen (Zählervorrichtungen) vor-
gesehen, die es ermöglichen, eine beliebige Anzahl von
Taktimpulsen TI und System-Testimpulsen SI innerhalb eines
5 Prüfzyklusses abzurufen, der Taktimpulse TI zum seriellen
Einschreiben bzw. Auslesen und System-Testimpulse zum dy-
namischen Prüfen umfaßt.

Zur Erhöhung der Übersichtlichkeit sind in Fig. 2 die Aus-
gangskippstufen AP1 bis AP3 zu einem Ausgangs-Prüfregister
10 AR1, die Eingangs-Kippstufen EP1 bis EP3 zu einem Eingangs-
Prüfregister ER1 und die Eingangs- und Ausgangskippstufen
der Logikschaltung zu Boundary-Registern zusammengefaßt.

15 Mit dem ersten System-Testimpuls SI wird die neue Testkom-
bination TK2 von den Ausgangs-Prüfstufen AP1 bis AP3 in
die Eingangs-Kippstufen EK1 bis EK3 der Logikschaltung LS1
übernommen. Mit demselben Impuls wird - zur statischen
Funktionsprüfung - die bereits als Funktion der ersten Test-
20 kombination TK1 an den Ausgängen des Logiknetzwerkes LN1
anliegende Ausgangskombination AT1 in die Ausgangs-Kipp-
stufen AK1 bis AK3 übernommen. Die Testkombination TK0
wird gleichzeitig parallel in die Eingang- Prüfstufen EP1
bis EP3 der Testeinrichtung zum Überprüfen der Verbindungs-
25 leitungen eingeschrieben. Die in Fig. 2 angegebenen Test-
und Ausgangskombinationen gelten für diese Phase.

Mit dem zweiten System-Testimpuls wird die dynamische Funk-
tion der Logikschaltung LS1 überprüft, indem festgestellt
30 wird, ob die der neuen Testkombination TK2 entsprechende
Ausgangskombination AT2 der Logikschaltung bereits in die
Ausgangs-Kippstufen AK1 bis AK3 übernommen wird oder ob
aufgrund von zu langen Laufzeiten Fehler auftreten.

1 Es ist prinzipiell auch möglich, die zweite Ausgangs-Kom-
bination AT2 seriell in die Testeinrichtung TE zu überneh-
men. Eine parallele Übernahme ist jedoch zeitsparender,
aber nur bei einer zu prüfenden Logikschaltung möglich
5 (oder bei der letzten Ausgangskombination, wenn mehrere
Logikschaltungen in Kette geschaltet sind). Hierzu ist ein
dritter System-Testimpuls notwendig. In der Testeinrich-
tung ist ein weiteres Prüfregister erforderlich, wenn auch
die vorhergehende Ausgangskombination TK1 noch überprüft
10 werden soll.

Mit dem zweiten System-Testimpuls ändert sich die Testkom-
bination am Eingang des Logiknetzwerkes LN1 nicht, wenn
auch die Eingangszustände der Eingangs-Kippstufen unverän-
15 dert bleiben. Es würde zum Takten der Eingangs-Kippstufen
EK1 bis EK3 also ein erster System-Testimpuls ausreichen.
Da die Unterdrückung des zweiten (und eines weiteren) Sys-
tem-Testimpulses den Schaltungsaufwand vergrößern würde,
wird er aber den Eingangs-Kippstufen weiterhin zugeführt.
20 Entsprechend ist für das dynamische Prüfen nur der zweite
Testimpuls für die Ausgangs-Kippstufen erforderlich. In
besonderen Fällen kann auch das Anlegen einer dritten Test-
kombination mit dem zweiten System-Testimpuls für die Prü-
fung zweckmäßig sein.

25 Prinzipiell reicht die Verwendung eines Prüfzyklusses mit
zwei Testkombination und zwei System-Testimpulsen aus,
nach denen jeweils die Ausgangskombinationen ausgewertet
werden.

30 In Figur 3 ist eine Baugruppe BG dargestellt, bei der meh-
rere Logikschaltungen LS1, LS2 von integrierten Schaltkrei-
sen IC1 und IC2, in Kette geschaltet. Die Eingangs-Kippstu-
fen und Ausgangs-Kippstufen sind zu den Boundary-Registern
35 BR11 bis BR22 zusammengefaßt

1 dargestellt. Die Testkombinationen werden von der Testein-
richtung TE seriell über den Eingang EB1 in die Eingangs-
und Ausgangs-Kippstufen der Logikschaltungen LS1 und LS2
eingeschrieben. Nach zwei System-Testimpulsen SI enthalten
5 die Eingangs-Kippstufen des Boundary-Registers BR12 der
zweiten Logikschaltung LS2 und des Prüfregisters PR1 der
Testeinrichtung TE das Ergebnis der statischen Überprüfung
bei der Logikschaltungen. Die Ausgangs-Kippstufen (Regis-
ter BR12, BR22) enthalten die Ausgangskombinationen der
10 dynamischen Prüfung. Durch dieses Verfahren ist ein Test
mit definierten - nicht von einem vorgeschalteten Schalt-
kreis abhängigen - Testkombinationen möglich. Das Auslesen
und Überprüfen der Ausgangskombinationen kann in mehreren
Abschnitten erfolgen. Während des seriellen Auslesens und
15 Überprüfens der Ausgangskombinationen werden bereits neue
Testkombinationen eingeschrieben und die nächste dynamische
Prüfung folgt.

Die statische Überprüfung der Logikschaltung kann auch be-
20 reits bei der herkömmlichen Boundary-Scan-Prüfung vorge-
nommen werden.

Nach einer solchen Überprüfung kann dann auch mit einem
drei System-Testimpulse umfassenden Prüfzyklus gearbeitet
25 werden, bei dem die erste (statische) Ausgangskombination
der ersten Logikschaltung LS1 zunächst in das Boundary-Re-
gister BR12 gespeichert, dann in das Boundary-Register
BR21 der nächsten Logikschaltung LS2 übernommen und schließ-
lich durch die erste "dynamische" Ausgangskombination AT2
30 überschrieben wird. Die Testeinrichtung muß dann natürlich
eine entsprechende Anzahl von Eingangs-Prüfregistern PR1,
PR2, ... aufweisen, deren Inhalte parallel oder zeitlich
gestaffelt während des Einschreibens neuer Prüfkombinatio-
nen in einer Auswerteschaltung AW überprüft werden. Weist
35 die Testeinrichtung ebenfalls mehrere Ausgangs-Prüfregister

1 AR1, AR2, ... auf, von denen in Figur 3 die Ausgangs-Prüf-
register AR1 und AR2 eingezeichnet sind (oder können die
Testkombinationen dem System-Testsignal entsprechend
5 schnell gesendet werden), so kann der Test mit mehreren
aufeinanderfolgenden Testkombinationen erfolgen, wodurch
die Prüfzeit verkürzt wird. Bei in Kette geschalteten
Schaltkreisen werden dann in jedem Prüfzyklus mehrere Aus-
gangs-Kombinationen der vorgeschalteten Logikschaltungen
- hier der Logikschaltung LS1 - überschrieben; es wird ein
10 "Test über alles" durchgeführt, der beim Auftreten eines
Fehlers durch Prüfzyklen mit jeweils zwei System-Testim-
pulsen zur Lokalisierung des Fehlers ergänzt werden muß.

Auch in einem integrierten Baustein können mehrere Logik-
15 schaltungen realisiert sein, die miteinander in Kette ge-
schaltet sein können. Ebenso wird eine Baugruppe (oder
ein ASIC) häufig mehr als zwei integrierte Schaltkreise
aufweisen. Außerdem können die Verbindungsleitungen auch
von Ausgängen einer Logikschaltung auf mehrere verzweigen.
20 Zum seriellen Einschreiben oder Auslesen von Testinforma-
tion werden wieder sämtliche Eingangs-Kippstufen und Aus-
gangs-Kippstufen in Reihe als Schieberegister geschaltet
und zur dynamischen Prüfung in den Betriebs- Modus geschal-
tet.

25 Die Logikschaltungen können auch Speicherelemente aufwei-
sen, die im Betrieb von dem System-Taktsignal getaktet wer-
den. Auch deren Funktion kann überprüft werden, indem die
Anzahl der System-Testimpulse SI erhöht wird, bis die von
30 dem Speicherelement verursachte Änderung der Ausgangskombi-
nation auftritt.

1 Eine Logikschaltung kann vollständig überprüft werden, in-
dem auf jede beliebige Prüfkombination jeweils sämtliche
übrigen Prüfkombinationen folgen. Es ist jedoch ausreichend,
die tatsächlich auftretenden Folgen der Eingangs-Kombina-
5 tionen zu überprüfen. Die Erstellung des Prüfprogrammes
wird in der Regel rechnergestützt erfolgen. Durch das Prüf-
programm wird auch das serielle Ein- und Auslesen sowie
die Auswertung gesteuert.

10 In Figur 4 ist eine Schaltungsvariante dargestellt, bei
der die Multiplexer durch die Verwendung spezieller Kipp-
stufen mit zwei Takteingängen TE1 und T2 ersetzt werden.
Jedem Takteingang ist ein Dateneingang DE1 bzw. DE2 zuge-
ordnet. Die Daten- und die Takteingänge sind logisch je-
15 weils über ein ODER-Gatter zusammengefaßt.

Mit den Impulsen TI des Test-Taktsignals TT wird automa-
tisch das logische Ausgangssignal der vorhergehenden Kipp-
stufe EK2 in die folgende Kippstufe übernommen. Mit den
20 Impulsen SI des System-Taktsignal bzw. des System-Testsi-
gnals erfolgt dagegen eine parallele Datenübernahme in die
Eingangs-Kippstufen. Dieselbe Anordnung kann auch für die
Ausgangs-Kippstufen verwendet werden.

25

30

35

1 Patentansprüche

1. Verfahren zur Prüfung von integrierten Bausteinen (IC) mit mindestens einer Logikschaltung (LS1) bei der im Betriebs-Modus in Signalleitungen zwischen Eingängen (E1, E2, ...) des Logiknetzwerkes (LN1) und den Eingangs-Anschlußpunkten (E1, E2, ...) der Logikschaltung (LS1) jeweils eine Eingangs-Kippstufe (EK1, EK2,...) angeordnet ist und zwischen Ausgängen (A1, A2,...) des Logiknetzwerkes (LN1) und Ausgangs-Anschlußpunkten (A1, A2, ...) jeweils eine Ausgangs-Kippstufe (AK1, AK2,...) angeordnet ist und die Eingangs-Kippstufen (EK1, EK2,...) und zum seriellen Einschreiben und Auslesen von Information Ausgangs-Kippstufen (AK1, AK2,...) als Schieberegister in Reihe schaltbar sind,
- d a d u r c h g e k e n n z e i c h n e t,
- daß in die Eingangs-Kippstufen (EK1, EK2,...) und/oder die Ausgangs-Kippstufen (AK1, AK2,...) Testkombinationen (TK1, TK2,...) eingeschrieben werden,
- daß zumindest jeweils eine zweite Testkombination (TK2) von parallelen Ausgängen einer Testvorrichtung (TE) oder einer vorgeschalteten Logikschaltung (LS0) an die Eingangs-Anschlußpunkte (E1, E2,...) der Eingangs-Kippstufen (EK1, EK2, ...) angelegt wird,
- daß zum dynamischen Testen die Eingangs-Kippstufen (EK1, EK2,..) die Ausgangs-Kippstufen (AK1, AK2,...) in den Betriebs-Modus geschaltet werden,
- daß mit mindestens einem System-Testimpuls (SI) jeweils mindestens eine zweite Testkombination (TK2) parallel in die Eingangs-Kippstufen (EK1, EK2,...) übernommen wird,
- daß mit mindestens einem nächsten System-Testimpuls (SI) jeweils eine Ausgangskombination (AT1) einer Logikschaltung (LS1) in die Ausgangs-Kippstufen (AK1, AK2,...) eingespeichert wird, und
- daß die Ausgangskombinationen (AT1, ...) in der Testeinrichtung (TE) überprüft werden.

- 1 2. Verfahren nach Anspruch 1,
d a d u r c h g e k e n n z e i c h n e t,
daß die Eingangs-Kippstufen (EK1, EK2,...) und die Aus-
gangskippstufen (AK1, AK2,...) von denselben und jeweils
5 mindestens zwei aufeinanderfolgenden System-Testimpulsen
(SI) angesteuert werden.
3. Verfahren nach Anspruch 1 oder 2,
d a d u r c h g e k e n n z e i c h n e t,
10 daß die Testkombinationen (TK1,...) in die zu Boundary-Re-
gister (BR11, BR12, ...) bildenden Eingangs-Kippstufen
(EK1, EK2, ...) und Ausgangs-Kippstufen (AK1, AK2,...) von
in Kette geschalteten Logikschaltungen (LS1, LS2) einge-
schrieben werden.
- 15 4. Verfahren nach Anspruch 3,
d a d u r c h g e k e n n z e i c h n e t,
daß die in den Boundary-Registern (BR11, BR12,...) gespei-
cherten Ausgangskombinationen (AT1, AT2, ...) seriell aus-
20 gelesen werden.
5. Verfahren nach einem der vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t,
daß die Ausgangskombinationen (AT1) der letzten Logik-
25 schaltung (LS2) parallel in die Testeinrichtung (TE)
übernommen werden.
6. Verfahren nach einem der vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t,
30 daß alle relevanten Folgen von Testkombinationen (TK1,
TK2, TK1, TK3,...) nacheinander zur Prüfung der Logik-
schaltung (LS1, LS2) getestet werden.
- 35

- 1 7. Verfahren nach einem der vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t,
daß bei in dem Logiknetzwerk (LN1) vorhandenen getakteten
Speichergliedern die Anzahl der System-Testtakte erhöht
5 wird bis eine von dem Speicherglied verursachte Änderung
der Ausgangskombination auftritt.
8. Prüfbarer integrierter Schaltkreis (IC) mit mindestens
einer Logikschaltung (LS1, LS2) bei der im Betriebs-Modus
10 zwischen Eingängen (EL1, EL12, ...) des Logiknetzwerkes
(LN1) und den Eingangs-Anschlußpunkten (E1, E2,...) der
Logikschaltung (LS1) jeweils eine Eingangs-Kippstufe (EK1,
EK2, ...) angeordnet ist und zwischen Ausgängen (AL1, AL2,
...) des Logiknetzwerkes (LN1) und Ausgangs-Anschlußpunkten
15 (A1, A2, ...) jeweils eine Ausgangs-Kippstufe (AK1, AK2,
...) angeordnet ist und die Eingangs-Kippstufen (EK1, EK2,
...) und zum seriellen Einschreiben und Auslesen von Infor-
mation Ausgangs-Kippstufen (AK1, Ak2, ...) als Schieberegis-
ter in Reihe schaltbar sind,
20 d a d u r c h g e k e n n z e i c h n e t,
daß die Eingangs-Kippstufen (EK1, EK2,...) und die Ausgangs-
Kippstufen (AK1, AK2,...) jeweils zwei Takteingänge aufwei-
sen.
- 25 9. Prüfbarer integrierter Schaltkreis nach Anspruch 8,
d a d u r c h g e k e n n z e i c h n e t,
daß den Eingängen der Eingangs-Kippstufen (EK2, EK3, ...) und den Eingängen der Ausgangs-Kippstufen (AK1, AK2, AK3, ..) Multiplexer () vorgeschaltet sind mit den die Ein-
30 gangs- und Ausgangs-Kippstufen wahlweise in die Signalleitungen eingeschaltet oder als Schieberegister geschaltet werden können.

1 10. Prüfbare integrierter Schaltkreis nach Anspruch 8,
d a d u r c h g e k e n n z e i c h n e t,
daß die Eingangs-Kippstufen (EK1, EK2, ...) und die Aus-
gangs- Kippstufen (AK1, AK2, ...) jeweils zwei Taktein-
5 gänge mit jeweils einem zugeordneten Dateneingang (D1, D2)
aufweisen, und jeweils mit dem einen Dateneingang (D1) in
die Signalleitung eingeschaltet sind und mit dem anderen
Dateneingang (D2) mit der vorhergehenden Kippstufe als
Schieberegister verbunden sind.

10

15

20

25

30

35

FIG1

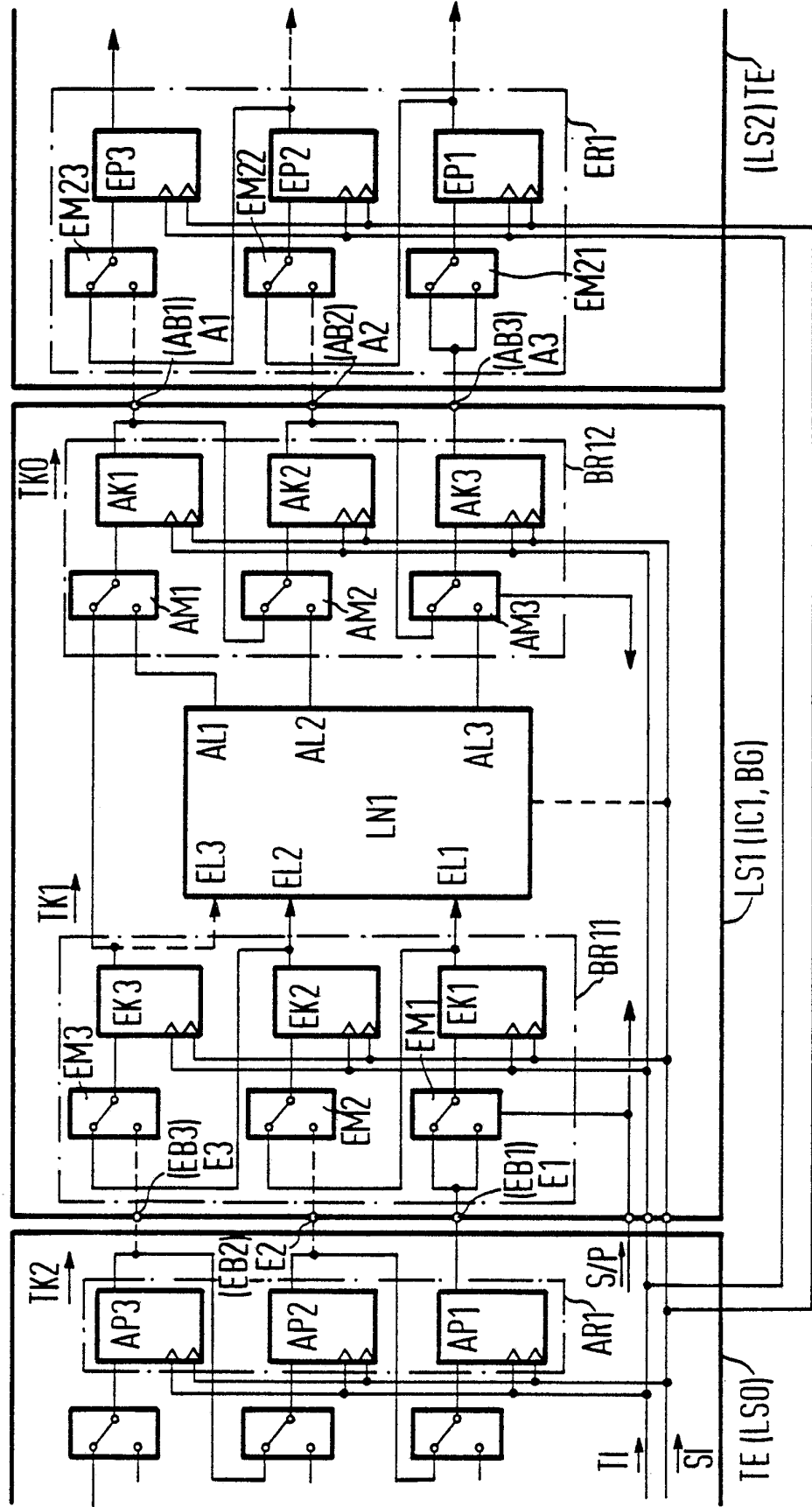


FIG 2

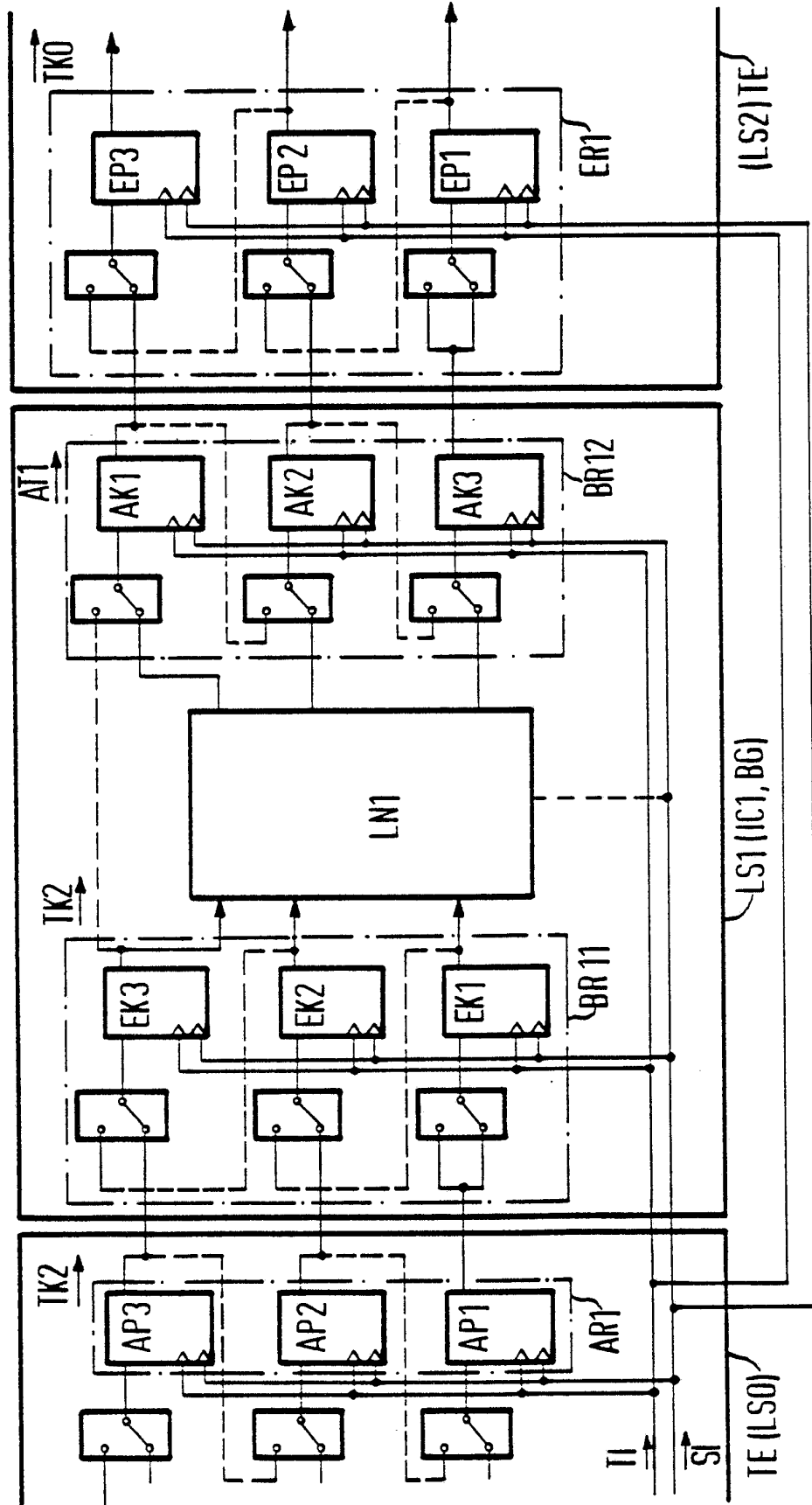


FIG 3

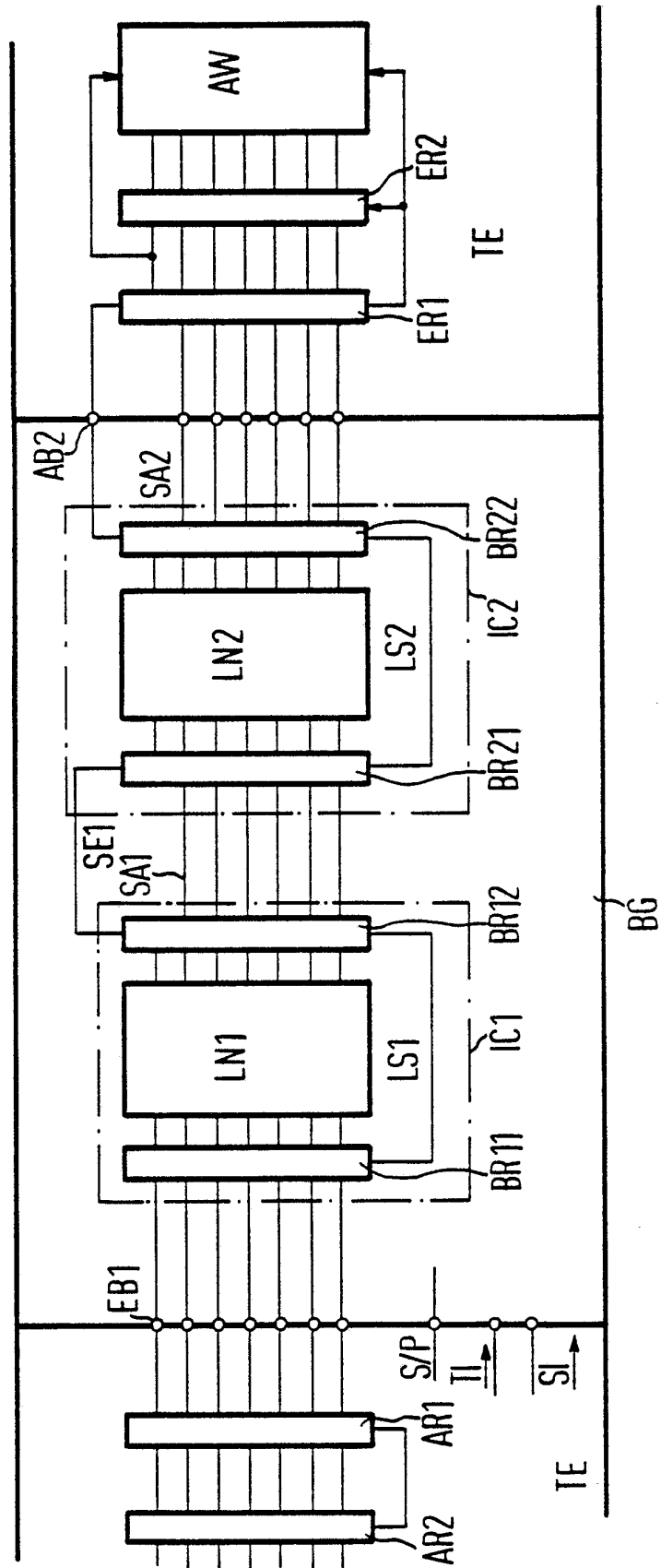
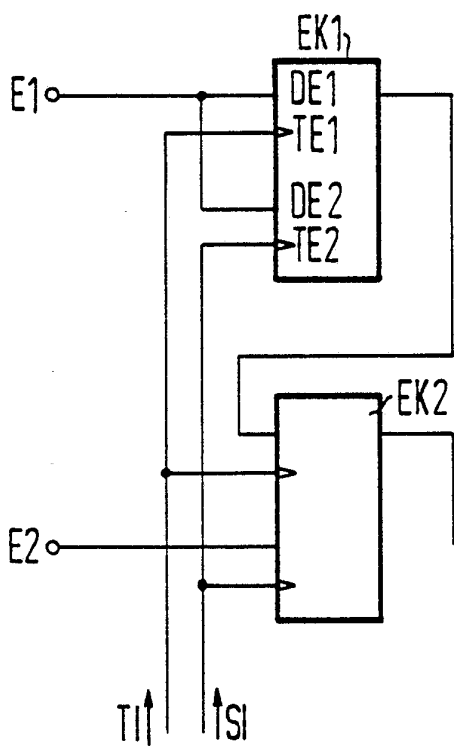
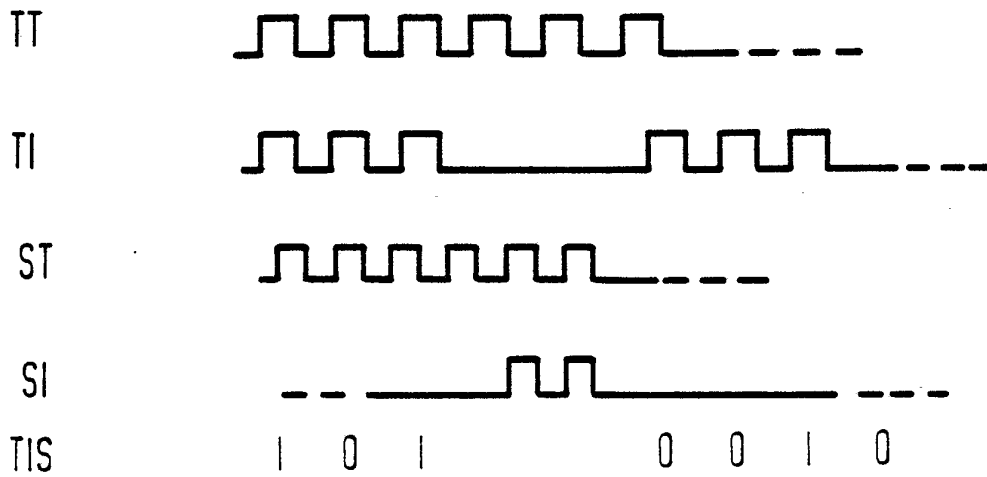


FIG 4



5/5

FIG 5



	1	0	1		0	0	1	0
	1	0	1	1				
BR 11	X	1	0	0				
	X	X	1	0				
			TK1	TK2				

BR12	0	0	1	1	0			
	X	0	0	1	0			
	X	X	0	1	1			
			TKO	AT1	AT2			

				1	1	1	0	0
ER1				0	1	1	1	0
				0	1	1	1	1
			TKO	AT1				AT2

INTERNATIONAL SEARCH REPORT

International application No.


PCT/DE 92/00638

A. CLASSIFICATION OF SUBJECT MATTER		
Int.Cl. 5 G06F11/26		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
Int.Cl. 5 G06F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	IBM JOURNAL OF RESEARCH AND DEVELOPMENT Vol. 34, No. 2/3, March 1990, NEW YORK US pages 299 - 312 F. MOJKA ET AL. 'A logic chip delay-test method based on system timing' see page 301, left-hand column, line 5 - page 302, left-hand column, line 5	1-4, 6, 8 10
A	EP, A, 0 403 436 (VEB FORSCHUNGSZENTRUM MIKROELEKTRONIK DRESDEN) 19 December 1990 see claim 1	1, 2, 8, 9
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
30 September 1992 (30.09.92)		23 October 1992 (23.10.92)
Name and mailing address of the ISA European Patent Office		Authorized officer
Facsimile No.		Telephone No.

**ANNEX TO THE INTERNATIONAL SEARCH REPORT
ON INTERNATIONAL PATENT APPLICATION NO. DE 9200638
SA 62767**

This annex lists the patent family members relating to the patent documents cited in the above-mentioned international search report.
The members are as contained in the European Patent Office EDP file on
The European Patent Office is in no way liable for these particulars which are merely given for the purpose of information. 30/09/92

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP-A-0403436	19-12-90	None	

I. KLASSIFIKATION DES ANMELDUNGSGEGENSTANDS (bei mehreren Klassifikationssymbolen sind alle anzugeben) ⁶		
Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC Int.Kl. 5 G06F11/26		
II. RECHERCHIERTE SACHGEBIETE		
Recherchierter Mindestprüfstoff ⁷		
Klassifikationssystem	Klassifikationssymbole	
Int.Kl. 5	G06F	
Recherchierte nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Sachgebiete fallen ⁸		
III. EINSCHLAGIGE VERÖFFENTLICHUNGEN ⁹		
Art. ^o	Kennzeichnung der Veröffentlichung ¹¹ , soweit erforderlich unter Angabe der maßgeblichen Teile ¹²	Betr. Anspruch Nr. ¹³
A	IBM JOURNAL OF RESEARCH AND DEVELOPMENT Bd. 34, Nr. 2/3, März 1990, NEW YORK US Seiten 299 - 312 F. MOTIKA ET AL. 'A logic chip delay-test method based on system timing' siehe Seite 301, linke Spalte, Zeile 5 - Seite 302, linke Spalte, Zeile 5 -----	1-4, 6, 8, 10
A	EP,A,0 403 436 (VEB FORSCHUNGSZENTRUM MIKROELEKTRONIK DRESDEN) 19. Dezember 1990 siehe Anspruch 1 -----	1, 2, 8, 9
<p>^o Besondere Kategorien von angegebenen Veröffentlichungen ¹⁰ :</p> <p>"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist</p> <p>"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist</p> <p>"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)</p> <p>"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht</p> <p>"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist</p> <p>"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist</p> <p>"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden</p> <p>"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist</p> <p>"Z" Veröffentlichung, die Mitglied derselben Patentfamilie ist</p>		
IV. BESCHEINIGUNG		
Datum des Abschlusses der internationalen Recherche	Absenddatum des internationalen Recherchenberichts	
30. SEPTEMBER 1992	23 OCT. 1992 23 OCT 1992	
Internationale Recherchenbehörde	Unterschrift des bevollmächtigten Bediensteten	
EUROPAISCHES PATENTAMT	Guido Corremans 	

**ANHANG ZUM INTERNATIONALEN RECHERCHENBERICHT
ÜBER DIE INTERNATIONALE PATENTANMELDUNG NR.**

DE 9200638
SA 62767

In diesem Anhang sind die Mitglieder der Patentfamilien der im obengenannten internationalen Recherchenbericht angeführten Patentdokumente angegeben.
Die Angaben über die Familienmitglieder entsprechen dem Stand der Datei des Europäischen Patentamts am
Diese Angaben dienen nur zur Unterrichtung und erfolgen ohne Gewähr.

30/09/92

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP-A-0403436	19-12-90	Keine	

EPO FORM P0073

Für nähere Einzelheiten zu diesem Anhang : siehe Amtsblatt des Europäischen Patentamts, Nr.12/82