

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3611202号

(P3611202)

(45) 発行日 平成17年1月19日(2005.1.19)

(24) 登録日 平成16年10月29日(2004.10.29)

(51) Int. Cl.⁷

F I

H O 1 L 21/82

H O 1 L 21/82

B

G O 6 F 17/50

G O 6 F 17/50

6 5 8 A

請求項の数 2 (全 8 頁)

(21) 出願番号	特願2001-122996 (P2001-122996)	(73) 特許権者	000005821
(22) 出願日	平成13年4月20日 (2001.4.20)		松下電器産業株式会社
(65) 公開番号	特開2002-319622 (P2002-319622A)		大阪府門真市大字門真1006番地
(43) 公開日	平成14年10月31日 (2002.10.31)	(74) 代理人	100105647
審査請求日	平成16年2月2日 (2004.2.2)		弁理士 小栗 昌平
		(74) 代理人	100105474
			弁理士 本多 弘徳
		(74) 代理人	100108589
			弁理士 市川 利光
		(74) 代理人	100115107
			弁理士 高松 猛
		(74) 代理人	100090343
			弁理士 濱田 百合子

最終頁に続く

(54) 【発明の名称】 非矩形 L S I レイアウト方法

(57) 【特許請求の範囲】

【請求項 1】

矩形 L S I 自動レイアウトツールを用いて行う非矩形 L S I レイアウト方法において、レイアウト対象の非矩形領域のブロック境界に外接する付加領域を付加することにより前記非矩形領域を内包する最小の矩形領域を得る工程と、前記付加領域に接する前記非矩形領域のピン位置を前記付加領域に接する前記矩形領域のピン位置に変更する工程と、前記付加領域をセル配置禁止領域とする工程と、前記矩形領域をレイアウト領域としてセル配置を行う工程と、前記付加領域において前記非矩形領域の変更前のピン位置と前記矩形領域の変更後のピン位置とのそれぞれ対応するピンを結ぶ配線のみを可能にする配線領域を除いて配線禁止領域を設ける工程と、前記矩形領域をレイアウト領域として配線を行う工程と、前記矩形領域のレイアウト後にレイアウト領域のブロック境界を前記矩形領域から前記非矩形領域に変更する工程と、前記矩形領域のレイアウト後に前記矩形領域のピン位置を前記非矩形領域のピン位置に戻す工程と、を含むことを特徴とする非矩形 L S I レイアウト方法。

【請求項 2】

前記矩形領域のレイアウトにおいてセルの電源および接地配線が前記付加領域にレイアウト

10

20

トされた場合に、前記矩形領域のレイアウト後に前記付加領域のセルの電源および接地配線を削除する工程を含むことを特徴とする請求項1記載の非矩形LSIレイアウト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は矩形LSI自動レイアウトツールを用いて行う非矩形レイアウト方法に関するものである。

【0002】

【従来の技術】

近年の大規模集積回路(LSI)の発展を支えてきた不可欠の技術として自動設計技術がある。LSI設計の一段階として回路設計に基づいてウェーハ上に半導体回路セルの配置配線を行うレイアウト設計は、その結果得られるチップサイズがLSIのコストを直接左右するため、LSI設計の成否を決定付ける重要なステップである。そのため、自動レイアウト設計においても、ウェーハから無駄なくLSIが採取できるように、レイアウト領域をできるだけ小さな矩形にまとめる工夫がなされてきた。

10

【0003】

デジタルLSIにおいては、半導体回路セルとして一群のスタンダードセルを用いてLSIを設計する手法が確立されている。さらに大規模なLSI開発においては、設計されたLSIレイアウトを1つのLSIブロックとし、このようなLSIブロックやメモリ回路ブロックをスタンダードセルと組み合わせて設計する手法が一般的となっている。

20

【0004】

アナログLSIにおいては、2値論理で記述できるデジタル回路設計と異なり、開発費も含めた総コストの観点から、スタンダードセルを用いたデジタルLSI設計と同様な設計手法が必ずしも有利とは言えない。むしろ、近年のさまざまな分野へのLSIの用途では、アナログ機能をデジタルLSIと組み合わせて構成するハイブリッド型LSIの需要が圧倒的に多いことから、1つのアナログ機能は1つのLSIブロックとして別途設計し、それらのアナログLSIブロックを他のLSIブロックとともにスタンダードセルと組み合わせて設計する手法が一般的になっている。

【0005】

【発明が解決しようとする課題】

30

このようなハイブリッド型LSIの設計においては、LSIブロックはレイアウト形状があらかじめ与えられ、これとスタンダードセルを用いた自動設計ブロックを合わせて1チップに収めなければならない。しかしながら、特にアナログLSIブロックはアナログ系の電気特性の考慮を優先して設計されるために、デジタル系の自動レイアウトと組み合わせるのに必ずしも都合の良い形状をしていない。

【0006】

このような場合であっても、従来のデジタル系のLSI自動レイアウトツールは矩形対象ツールであるため、LSI設計で自動レイアウトを実施しないLSIブロックがチップの大部分を占める場合には、レイアウトされたLSIブロック間に無駄な空きスペースが発生する可能性があった。

40

【0007】

これに対して、デジタル系の自動レイアウトを非矩形で行うことが考えられるが、従来から使用されているLSI自動レイアウトツールは矩形レイアウト形状のみを対象としているため、非矩形レイアウトを実施しようとしても、レイアウト時に必要な入力データの読み込みが不可能であるという問題を有していた。

【0008】

本発明は上記従来の問題点を解決するもので、スタンダードセルを用いた非矩形LSIブロックのレイアウトに矩形LSI自動レイアウトツールを用いることを可能にすることにより、LSIレイアウトにおける無駄な空きスペースの発生をなくすることができる非矩形LSIレイアウト方法を提供することを目的とする。

50

【 0 0 0 9 】

【 課題を解決するための手段 】

本発明の請求項 1 に係る非矩形 L S I レイアウト方法は、レイアウト対象の非矩形領域のブロック境界に外接する付加領域を付加することにより前記非矩形領域を内包する最小の矩形領域を得る工程 (1 0 0) と、前記付加領域に接する前記非矩形領域のピン位置を前記付加領域に接する前記矩形領域のピン位置に変更する工程 (1 0 1) と、前記付加領域をセル配置禁止領域とする工程 (1 0 3) と、前記矩形領域をレイアウト領域としてセル配置を行う工程 (1 0 4) と、前記付加領域において前記非矩形領域の変更前のピン位置と前記矩形領域の変更後のピン位置とのそれぞれ対応するピンを結ぶ配線のみを可能にする配線領域を除いて配線禁止領域を設ける工程 (1 0 6) と、前記矩形領域をレイアウト領域として配線を行う工程 (1 0 7) と、前記矩形領域のレイアウト後にレイアウト領域のブロック境界を前記矩形領域から前記非矩形領域に変更する工程 (1 0 8) と、前記矩形領域のレイアウト後に前記矩形領域のピン位置を前記非矩形領域のピン位置に戻す工程 (1 1 0) と、を含むことにより、矩形 L S I 自動レイアウトツールを用いて非矩形 L S I レイアウトを行う方法である。

10

【 0 0 1 0 】

請求項 1 記載の非矩形 L S I レイアウト方法によれば、レイアウト対象の非矩形領域に付加領域を付加して矩形領域を得、ピン位置をこの矩形領域に合わせて変更し、付加領域に対してセル配置禁止や配線禁止領域を指定することにより、矩形 L S I 自動レイアウトツールに対して非矩形領域を矩形領域と認識させることができ、矩形 L S I 自動レイアウトツールを用いて非矩形 L S I ブロックのレイアウトを実施することが可能になる。

20

【 0 0 1 1 】

本発明の請求項 2 に係る L S I レイアウト方法は、請求項 1 記載の非矩形 L S I レイアウト方法において、セルの電源および接地配線が前記付加領域にレイアウトされた場合に、前記矩形領域のレイアウト後に前記付加領域のセルの電源および接地配線を削除する工程 (1 0 9) を含むものである。

【 0 0 1 2 】

請求項 2 記載の非矩形 L S I レイアウト方法によれば、請求項 1 記載の非矩形 L S I レイアウト方法において、セルの電源および接地配線が付加領域にレイアウトされた場合に、前記矩形領域のレイアウト後に前記付加領域のセルの電源および接地配線を削除することができ、矩形 L S I 自動レイアウトツールを用いて非矩形 L S I ブロックのレイアウトを実施する際に生成される冗長な部分を削除することができる。

30

【 0 0 1 3 】

【 発明の実施の形態 】

以下、本発明の実施の形態について図面を参照して説明する。図 1 は本発明の一実施の形態に係る矩形 L S I 自動レイアウトツールを用いた非矩形 L S I レイアウト方法を示すフローチャートである。また、図 2 から図 1 1 は、図 1 に示すフローチャートの各工程に対応する L S I レイアウトの様子を説明する図である。

【 0 0 1 4 】

図 1 において、工程 1 0 0 はレイアウト対象の非矩形領域の外側に付加領域を付加して非矩形領域を含む最小の矩形領域を得る工程である。工程 1 0 0 について図 2 から図 4 を用いて説明する。図 2 はレイアウト対象の非矩形領域を示し、非矩形領域のブロック境界 2 0 2 を有する。図 3 は図 2 の非矩形領域を含む最小の矩形領域を示し、矩形領域のブロック境界 3 0 1 を有する。図 4 には、ブロック境界 2 0 2 を有する非矩形領域からブロック境界 3 0 1 を有する矩形領域を得るために、非矩形領域のブロック境界 2 0 2 の外側に付加した付加領域 4 0 0 を示す。

40

【 0 0 1 5 】

工程 1 0 1 は、工程 1 0 0 で付加した付加領域に接する非矩形領域のピン位置を矩形領域のピン位置に変更する工程である。工程 1 0 1 について図 2 から図 4 を用いて説明する。図 2 において、2 0 0 は付加領域 4 0 0 に接していないため変更が不要なピン位置を示し

50

、201は付加領域400に接しているため変更の対象となるピン位置を示す。図3において、300はピン位置を変更した後の矩形領域のピン位置を示す。矩形LSI自動レイアウトツールは矩形領域のデータのみ認識可能なので、工程102で、変更により得られた矩形領域のピン位置データを矩形LSI自動レイアウトツールに読み込ませる。

【0016】

工程103は、工程100で付加した付加領域をセル配置禁止領域とする工程である。工程103について図4および図5を用いて説明する。図4の付加領域400は実際のレイアウト対象の非矩形領域に存在しない領域であるので、付加領域400をスタンダードセルの配置禁止領域500として指定する。

【0017】

工程104は矩形領域にスタンダードセルの配置を行う工程である。工程104について図5に示すスタンダードセルの配置図を用いて説明する。工程103で付加領域400がスタンダードセルの配置禁止領域500として指定されているので、工程104によりスタンダードセルの配置を行うと、スタンダードセル501は非矩形領域のブロック境界202の形状に合わせて配置される。ただし矩形LSI自動レイアウトツールはレイアウト形状を矩形領域のブロック境界301で認識しているため、非矩形領域のブロック境界202は認識していない。

【0018】

工程105はスタンダードセルの電源・グランド配線を行う工程である。105の工程について図6に示すスタンダードセルの電源・グランド接続図を用いて説明する。図6において、スタンダードセル用にあらかじめ固定パターンとして設定された電源・グランド配線600により、スタンダードセルの電源およびグランドを配線が行われる。図6においては、電源・グランド配線が機械的に行われた結果、スタンダードセルの配置禁止領域500にも電源・グランド配線が行われる場合を示している。

【0019】

工程106は付加領域に配線禁止領域を指定する工程である。106の工程について図7に示すスタンダードセルの配線禁止領域の指定図を用いて説明する。付加領域400は実際のレイアウト対象の非矩形領域に存在しない領域であるので、配線禁止領域に指定しなければならないが、工程101においてピン位置201がピン位置300に変更されているので、ピン位置300には配線されなければならない。

【0020】

工程106においては、図7に示すように、ピン位置201からピン位置300に変更されたN本のピンについて、ピン位置201とピン位置300の対応するそれぞれのピンを結ぶN本の配線のみを可能にするように、付加領域400上にスタンダードセルの配線禁止領域700を互いに間隔を空けてN+1個指定する。図7において、スタンダードセルの配線禁止領域700を隔てるN個の配線領域701は、それぞれ1本の配線のみが可能のように幅が設定される領域である。

【0021】

工程107はスタンダードセルの配線を行う工程である。工程107について図8を用いて説明する。工程107でスタンダードセルの配線を行うと、矩形LSI自動レイアウトツールはレイアウト形状を矩形領域のブロック境界301で認識して配線を行うが、工程106で付加領域400上にスタンダードセルの配線禁止領域701が指定されているので、結果的として、スタンダードセルの配線802は非矩形領域のブロック境界202の形状に合わせて配線される。また、工程101でピン位置201から変更されたピン位置300の各ピンに対しては、変更前のそれぞれのピン位置201を経由し、それぞれ配線領域701を通して配線が行われる。

【0022】

工程108は矩形領域のブロック境界を非矩形領域のブロック境界に変更する工程である。工程108について図9を用いて説明する。工程107まではスタンダードセルの配置および配線の自動レイアウト処理を行うために、矩形LSI自動レイアウトツールにレイ

10

20

30

40

50

アウト形状を矩形領域のブロック境界 301 で認識させる必要があったが、自動レイアウト処理が終了したことにより、工程 108 ではレイアウト形状を元の非矩形領域のブロック境界 202 に戻す。図 9 は矩形領域のブロック境界 301 を非矩形領域のブロック境界 202 に戻す変更を行った図である。

【0023】

工程 109 は付加領域に残されたスタンダードセルの電源・グランド配線を削除する工程である。109 の工程について図 10 を用いて説明する。図 10 は工程 105 でスタンダードセルの電源・グランド配線が付加領域にも適用された場合を示す図であり、冗長な電源・グランド配線 1001 は削除されなければならない。工程 109 において冗長な電源・グランド配線 1001 が削除されると、スタンダードセルの電源・グランド配線 600 が残る領域はブロック境界 202 で示される非矩形領域と一致する。

10

【0024】

工程 110 は、工程 101 においてピン位置 201 からピン位置 300 に変更されたピン位置を、非矩形領域のブロック境界に合わせて元のピン位置に戻す工程である。工程 110 について図 11 を用いて説明する。図 11 において、ピン位置 1101 はピン位置 300 のうち工程 101 でピン位置 201 から変更された部分である。工程 109 において、工程 107 で配線領域 701 を通してピン位置 1101 に配線された配線部分を削除することにより、非矩形領域内からピン位置 201 までの配線が残り、ピン位置 1101 を非矩形領域のブロック境界の元のピン位置 201 に移動させることができる。

【0025】

20

以上のように本実施の形態によれば、非矩形領域に付加領域を付加して矩形領域を得る手順と、矩形領域に合わせてピン位置を変更する手順と、付加領域に対してスタンダードセルの配置禁止領域および配線禁止領域を指定する手順と、スタンダードセルの自動レイアウト処理後に不要な部分を削除する手順とを加えることにより、矩形 LSI 自動レイアウトツールを用いて非矩形レイアウトを行うことができる。

【0026】

【発明の効果】

以上説明したように、本発明によれば、非矩形領域に付加領域を付加し矩形領域を得ることにより、矩形 LSI 自動レイアウトツールに対して非矩形領域データを矩形領域データとして認識させ、付加領域に対してスタンダードセルの配置禁止領域および配線禁止領域を指定することにより、付加領域にスタンダードセルの不要な配置配線が行われることを避けることができ、矩形 LSI 自動レイアウトツールを用いて非矩形レイアウトを実現することが可能になる。

30

【図面の簡単な説明】

【図 1】本発明の一実施の形態に係る矩形 LSI 自動レイアウトツールを用いた非矩形 LSI レイアウト方法を示すフローチャート。

【図 2】非矩形領域とそのピン位置を説明する図。

【図 3】矩形領域とそのピン位置を説明する図。

【図 4】付加領域とそのピン位置を説明する図。

【図 5】スタンダードセルの配置禁止領域とスタンダードセルの配置を説明する図。

40

【図 6】スタンダードセルの電源・グランドピン接続図。

【図 7】スタンダードセルの配線禁止領域の指定を説明する図。

【図 8】スタンダードセルの配線図。

【図 9】矩形領域から非矩形領域へのブロック境界の変更を説明する図。

【図 10】スタンダードセルの電源・グランド配線の削除を説明する図。

【図 11】矩形領域から非矩形領域へのピン位置の変更を説明する図。

【符号の説明】

200 変更が不要な非矩形領域のピン位置

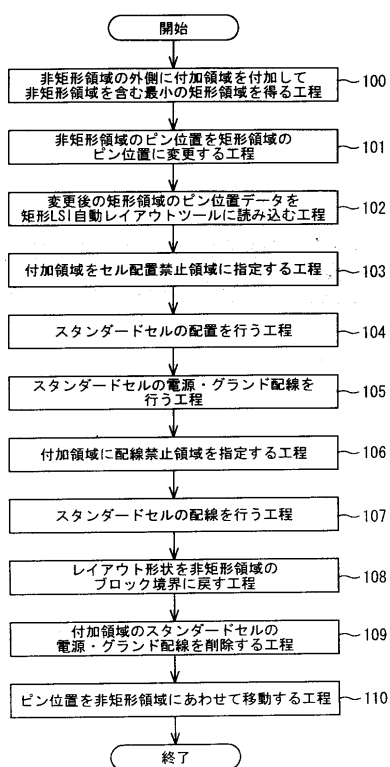
201 変更が必要な非矩形領域のピン位置

202 非矩形領域のブロック境界

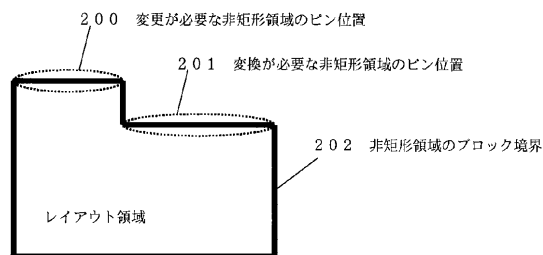
50

- 3 0 0 変更後の矩形領域のピン位置
- 3 0 1 矩形領域のブロック境界
- 4 0 0 付加領域
- 5 0 0 スタンダードセルの配置禁止領域
- 5 0 1 スタンダードセル
- 6 0 0 スタンダードセルの電源・グランド配線
- 7 0 0 スタンダードセルの配線禁止領域
- 7 0 1 1本の配線が可能な配線領域
- 8 0 2 スタンダードセルの配線
- 1 0 0 1 削除するスタンダードセルの電源・グランド配線
- 1 1 0 1 工程101で変更された矩形領域のピン位置

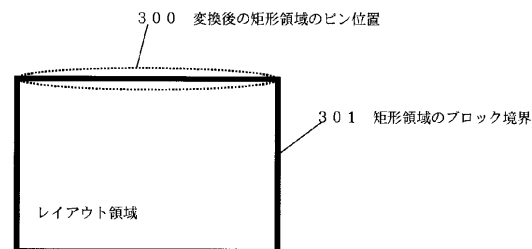
【図1】



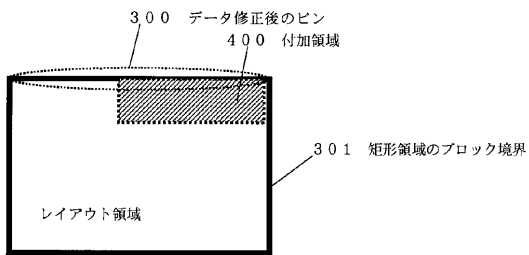
【図2】



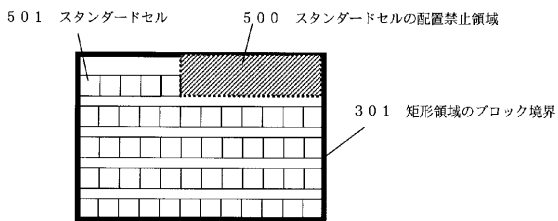
【図3】



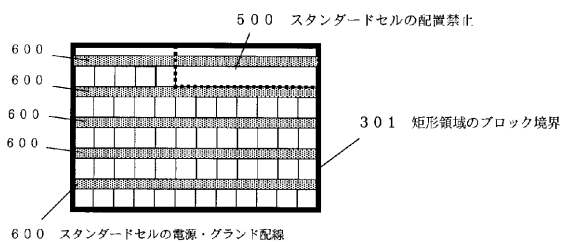
【図4】



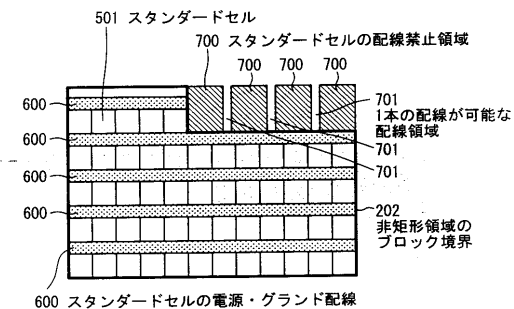
【図5】



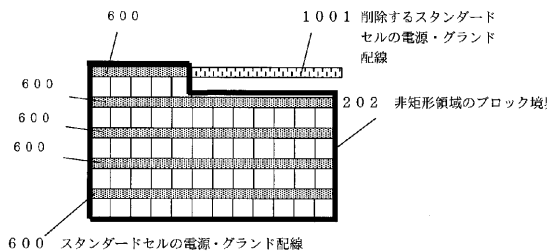
【図6】



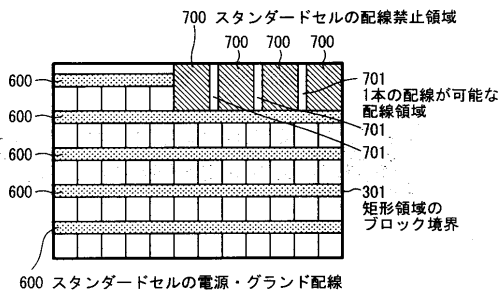
【図9】



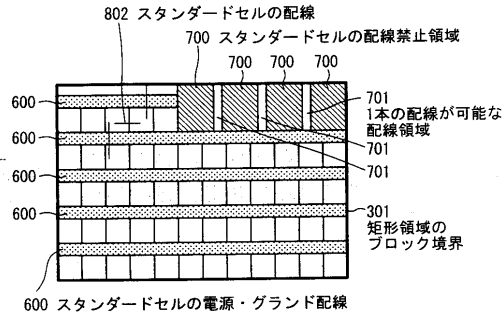
【図10】



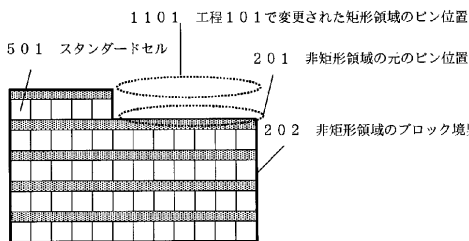
【図7】



【図8】



【図11】



フロントページの続き

(72)発明者 山中 三枝
大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 大嶋 洋一

(56)参考文献 特開平06-029389(JP,A)
特開平07-007142(JP,A)
特開平08-063493(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 21/82

H01L 21/822

H01L 27/04

G06F 17/50