

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3851404号
(P3851404)

(45) 発行日 平成18年11月29日(2006.11.29)

(24) 登録日 平成18年9月8日(2006.9.8)

(51) Int.C1.

F 1

H03F 3/45 (2006.01)
H03F 1/34 (2006.01)H03F 3/45
H03F 1/34

Z

請求項の数 6 (全 10 頁)

(21) 出願番号 特願平9-59479
 (22) 出願日 平成9年3月13日(1997.3.13)
 (65) 公開番号 特開平10-256846
 (43) 公開日 平成10年9月25日(1998.9.25)
 審査請求日 平成16年2月20日(2004.2.20)

(73) 特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100068755
 弁理士 恩田 博宣
 (72) 発明者 鈴木 久雄
 愛知県春日井市高蔵寺町二丁目1844番
 2 富士通ヴィエルエスアイ株式会社内
 審査官 甲斐 哲雄

(56) 参考文献 特開平O1-168105 (JP, A)
 特開昭61-065506 (JP, A)
 特開昭60-148209 (JP, A)
 最終頁に続く

(54) 【発明の名称】差動増幅回路

(57) 【特許請求の範囲】

【請求項1】

トランジスタ対を備え、該トランジスタ対に差動入力信号が入力される入力段差動回路と、

前記差動入力信号に基づく出力信号を出力する出力回路と、

前記入力段差動回路から出力される信号をレベルシフトするレベルシフト回路及び前記入力段差動回路におけるトランジスタ対とは異なる導電型のトランジスタ対を備えている中間段差動回路と

を備え、前記中間段差動回路におけるトランジスタ対は、前記レベルシフト回路によりレベルシフトされた信号に基づいて、前記入力段差動回路におけるトランジスタ対に流れる電流が同一となるように制御する帰還信号を前記入力段差動回路に出力するとともに前記出力回路を駆動する信号を出力することを特徴とする差動増幅回路。

【請求項2】

前記入力段差動回路を構成するトランジスタ対からの電流と前記帰還信号とが供給されるカレントミラー回路を備えることを特徴とする請求項1記載の差動増幅回路。

【請求項3】

前記カレントミラー回路を構成するトランジスタを飽和状態となるまで動作可能としたことを特徴とする請求項2記載の差動増幅回路。

【請求項4】

前記レベルシフト回路は、

前記入力段差動回路の出力信号が入力される入力トランジスタを備え、
前記入力トランジスタの出力電流に基づいて前記中間段差動回路を制御することを特徴とする請求項 1、請求項 2、又は請求項 3 記載の差動増幅回路。

【請求項 5】

前記入力段差動回路を構成するトランジスタ対を流れる電流は、コレクタ電流であることを特徴とする請求項 1、請求項 2、請求項 3 又は請求項 4 記載の差動増幅回路。

【請求項 6】

前記入力段差動回路を構成するトランジスタ対からのコレクタ電流が供給されるカレントミラー回路を備え、

前記カレントミラー回路は、

前記帰還信号に基づいてベース電流が制御されるトランジスタを備えることを特徴とする請求項 1 記載の差動増幅回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、差動増幅回路に関するものである。

差動増幅回路は、電子回路を構成する基本回路として広く使用されている。近年の電子機器の高精度化にともない、当該電子機器を構成する電子回路の特性を高精度化することが必要となっている。従って、差動増幅回路の出力特性を向上させることが必要となっている。

【0002】

【従来の技術】

従来の差動増幅回路の一例を図 3 に示す。入力信号 V_{in1} , V_{in2} は PNP トランジスタ T_{r1} , T_{r2} のベースに入力され、同トランジスタ T_{r1} , T_{r2} のエミッタには電流源 1a からエミッタ電流が供給される。

【0003】

前記トランジスタ T_{r1} のコレクタは NPN トランジスタ T_{r3} , T_{r4} のベース及び同トランジスタ T_{r3} のコレクタに接続され、同トランジスタ T_{r3} , T_{r4} のエミッタはグランド GND に接続される。また、前記トランジスタ T_{r2} のコレクタは、前記トランジスタ T_{r4} のコレクタに接続される。

【0004】

前記トランジスタ T_{r2} , T_{r4} のコレクタは、NPN トランジスタ T_{r5} のベースに接続され、同トランジスタ T_{r5} のエミッタはグランド GND に接続されるとともに、コレクタには電流源 1b からコレクタ電流が供給される。

【0005】

前記電流源 1b は、NPN トランジスタ T_{r6} のベースにベース電流を供給し、同トランジスタ T_{r6} のコレクタは電源 V_{cc} に接続され、エミッタは NPN トランジスタ T_{r7} のベースに接続されるとともに、抵抗 R_1 を介してグランド GND に接続される。

【0006】

前記トランジスタ T_{r7} のエミッタは、グランド GND に接続され、コレクタは抵抗 R_2 を介して電源 V_{cc} に接続される。また、トランジスタ T_{r7} のコレクタから出力信号 V_{out} が output され、その出力信号 V_{out} が前記入力信号 V_{in2} としてトランジスタ T_{r2} のベースに入力される。

【0007】

上記のように構成された差動増幅回路では、入力信号 V_{in1} の入力レベルが入力信号 V_{in2} より高くなると、トランジスタ T_{r1} のコレクタ電流が減少し、トランジスタ T_{r3} , T_{r4} のベース電流が減少し、トランジスタ T_{r4} のコレクタ電流が減少する。

【0008】

すると、トランジスタ T_{r5} のベース電流が増大して、同トランジスタ T_{r5} のコレクタ電流が増大する。トランジスタ T_{r5} のコレクタ電流が増大すると、トランジスタ T_{r6} のベース

10

20

30

40

50

電流が減少して、同トランジスタ Tr6のコレクタ電流が減少する。

【 0 0 0 9 】

トランジスタ Tr6のコレクタ電流が減少すると、トランジスタ Tr7のベース電流が減少し、同トランジスタ Tr7のコレクタ電流が減少する。すると、トランジスタ Tr7のコレクタ電位は上昇するため、出力信号 Vout の出力レベルは上昇する。

【 0 0 1 0 】

一方、入力信号 Vin1 の入力レベルが低下した場合には、各トランジスタのコレクタ電流の増減が上記動作とは逆転し、出力信号 Vout の出力レベルは低下する。

【 0 0 1 1 】

そして、このような動作により、例えば出力信号 Vout の出力レベルが入力信号 Vin1 と一致するように、抵抗 R1, R2 の抵抗値及びトランジスタ Tr6, Tr7 の特性等が設定されている。

10

【 0 0 1 2 】

上記のような差動增幅回路では、入力トランジスタ Tr1, Tr2 のベース・エミッタ間電圧 VBE の差が入力信号 Vin1 と出力信号 Vout とのオフセット電圧となる。すなわち、入力信号 Vin1 と出力信号 Vout との間に、入力トランジスタ Tr1, Tr2 のベース・エミッタ間電圧 VBE の電圧差分の誤差が生じる。

【 0 0 1 3 】

また、バイポーラトランジスタのベース・エミッタ間電圧 VBE は、コレクタ電流の増大にともなって上昇する。また、アーリー効果により、コレクタ電流はコレクタ・エミッタ間電圧 VCE の上昇にともなって増大する。

20

【 0 0 1 4 】

このようなことから、出力信号 Vout のオフセット電圧を解消するためには、トランジスタ Tr1, Tr2 のベース・エミッタ間電圧 VBE を同一とする必要があり、そのためには、トランジスタ Tr1, Tr2 のコレクタ電位を同一として、コレクタ電流を同一とする必要がある。

【 0 0 1 5 】

そこで、一定の条件下において、トランジスタ Tr3, Tr5 のベース・エミッタ間電圧 VBE を同一とするように、電流源 1a, 1b の出力電流値を調整すれば、入出力信号間のオフセット電圧が 0 となるようにすることは可能である。

30

【 0 0 1 6 】

【発明が解決しようとする課題】

ところが、このような差動增幅回路を上記のような一定条件下で製造し、かつ使用することは困難である。すなわち、トランジスタ Tr3, Tr5 のベース・エミッタ間電圧 VBE を同一とするためには、電流源 1a, 1b の出力電流値を相対的に関連させて調整する必要がある。しかし、電流源 1a の出力電流値はトランジスタ Tr1, Tr2 のベースに流れる入力バイアス電流に影響を及ぼし、電流源 1b の出力電流値はトランジスタ Tr6, Tr7 のコレクタ電流、すなわち負荷駆動能力に影響を及ぼすため、電流源 1a, 1b の出力電流値はそれぞれ独立して調整することが回路設計上望ましい。

【 0 0 1 7 】

40

また、製造ばらつきや電源電圧の変動により、電流源 1a, 1b の出力電流値が上記調整値からずれると、入出力信号間のオフセット電圧が変動する。

また、出力信号 Vout が出力される負荷の変動により、トランジスタ Tr7 のコレクタ電流が変動して同トランジスタ Tr7 のベース・エミッタ間電圧 VBE が変動し、これにともなってトランジスタ Tr6 のコレクタ電流及びベース・エミッタ間電圧 VBE が変動すると、トランジスタ Tr5 のコレクタ電流及びベース・エミッタ間電圧 VBE が変動して、トランジスタ Tr2 のコレクタ電位が変動するため、入出力信号間のオフセット電圧が変動する。

【 0 0 1 8 】

また、トランジスタ Tr3 はダイオード接続であるため、入力信号 Vin1 であるトランジスタ Tr1 のベース電位 VB(Tr1) には次式に示す制限がある。

50

$$V_B(Tr1) \{ V_{CE}(Tr1) + V_{BE}(Tr3) \} - V_{BE}(Tr1)$$

すなわち、 $V_B(Tr1)$ が低下してトランジスタ $Tr1$ のエミッタ電位が低下すると、トランジスタ $Tr1$ のコレクタ・エミッタ間の電位差 V_{CE} が小さくなるため、トランジスタ $Tr1$ が動作しなくなる。従って、入力信号 V_{in1} は $\{ V_{CE}(Tr1) + V_{BE}(Tr3) \} - V_{BE}(Tr1)$ 以上の電圧レベルとする必要があるため、入力電圧範囲が制限され、特に電源 V_{cc} を低電圧化すると、入力電圧範囲が狭くなるという問題点がある。

【0019】

この発明の目的は、製造ばらつき、電源電圧変動、負荷変動等による入出力間オフセット電圧の変動を抑制し得る差動増幅回路を提供することにある。また、オフセット電圧の変動を抑制し、かつ入力電圧範囲を拡大し得る差動増幅回路を提供することにある。

10

【0020】

【課題を解決するための手段】

図1は請求項1の原理説明図である。すなわち、入力段差動回路2に入力信号 V_{in1} 、 V_{in2} が入力され、前記入力段差動回路2の出力信号に基づいて出力回路4が駆動され、該出力回路4から出力信号 V_{out} が出力される。前記入力段差動回路2と前記出力回路4との間に、該入力段差動回路2の出力信号がレベルシフト回路によりレベルシフトされた信号に基づいて動作して前記出力回路4を駆動する中間段差動回路3が設けられ、前記入力段差動回路2を構成するトランジスタ対のコレクタ電流が、該トランジスタ対とは異なる導電型のトランジスタ対で構成されている前記中間段差動回路3から出力される帰還信号 F_S に基づいて、同一値とするように制御される。

20

【0021】

請求項2では、前記入力段差動回路を構成するトランジスタ対からの電流と、前記帰還信号とが供給されるカレントミラー回路が備えられる。

【0022】

請求項3では、前記カレントミラー回路を構成するトランジスタが飽和状態となるまで動作可能とされる。

【0023】

請求項4では、前記レベルシフト回路には、前記入力段差動回路の出力信号が入力される入力トランジスタが備えられ、前記入力トランジスタの出力電流に基づいて前記中間段差動回路が制御される。

30

【0024】

請求項5では、前記入力段差動回路を構成するトランジスタ対は、カレントミラー回路にコレクタ電流を供給する。

【0025】

請求項6では、前記入力段差動回路を構成するトランジスタ対からのコレクタ電流が供給されるカレントミラー回路を備え、前記カレントミラー回路には、前記帰還信号に基づいてベース電流が制御されるトランジスタを備えられる。

【0026】

(作用)

中間段差動回路3は入力段差動回路2の出力信号に基づいて動作し、出力回路4は中間段出力回路3の出力信号に基づいて動作する。入力段差動回路2を構成するトランジスタ対のコレクタ電流は、中間段差動回路3から出力される帰還信号 F_S に基づいて同一値となる。

40

【0027】

入力段差動回路のトランジスタ対は、カレントミラー回路からコレクタ電流がそれぞれ供給され、前記カレントミラー回路を構成するトランジスタは飽和状態で動作する。

【0028】

入力段差動回路のトランジスタ対は、中間段差動回路に同一の出力電流を出力して、そのコレクタ電流が同一とされる。

請求項4では、入力段差動回路の出力信号に基づいて、中間段差動回路を構成する入力

50

トランジスタが動作し、その入力トランジスタの動作に基づいて差動回路を構成するトランジスタ対が動作し、そのトランジスタ対の出力電流に基づいて出力回路が駆動されるので、前記トランジスタ対の出力信号の電圧変化による前記入力段差動回路の出力信号の電圧変化が圧縮される。

【0029】

入力段差動回路を構成するトランジスタ対のコレクタ電圧には、カレントミラー回路による影響が及ばない。

前記入力段差動回路を構成するトランジスタ対のコレクタ電圧は、中間段差動回路により制御される。

【0030】

10

【発明の実施の形態】

図2は、この発明を具体化した一実施の形態の差動増幅回路を示す。P N PトランジスタTr11～Tr14のエミッタは、それぞれ抵抗R11～R14を介して電源Vccに接続される。前記抵抗R13, R14は同一抵抗値に設定される。前記トランジスタTr11のベースは、同トランジスタTr11のコレクタ及び前記トランジスタTr12～Tr14のベースに接続される。

【0031】

前記トランジスタTr11のコレクタには電流源Icが接続される。従って、トランジスタTr11～Tr14はカレントミラー回路を構成し、各トランジスタTr11～Tr14は電流源Icの出力電流値に基づくコレクタ電流をバイアス電流として出力する。

20

【0032】

前記トランジスタTr12のコレクタは、P N PトランジスタTr15, Tr16のエミッタに接続され、同トランジスタTr15のベースに入力信号Vin1が入力され、同トランジスタTr16のベースに入力信号Vin2が入力される。

【0033】

前記トランジスタTr15, Tr16のコレクタは、N P NトランジスタTr17, Tr18のコレクタにそれぞれ接続され、同トランジスタTr17, Tr18のエミッタは、それぞれ抵抗R15, R16を介してグランドGNDに接続される。前記抵抗R15, R16は、プロセスのばらつきによるトランジスタTr17, Tr18の特性のばらつきを吸収するために設けられ、その抵抗値は、同一値に設定される。トランジスタTr15～Tr18及び抵抗R15, R16により、入力段差動回路が構成される。

30

【0034】

前記トランジスタTr13のコレクタは、抵抗R17を介してP N PトランジスタTr19のエミッタに接続され、同トランジスタTr19のベースは前記トランジスタTr15のコレクタに接続され、同トランジスタTr19のコレクタはグランドGNDに接続される。

【0035】

P N PトランジスタTr20, Tr21のエミッタは、電源Vccに接続され、同トランジスタTr20, Tr21のベースは、互いに接続されるとともに、前記トランジスタTr20のコレクタに接続される。従って、トランジスタTr20, Tr21はカレントミラー回路を構成する。

40

【0036】

前記トランジスタTr20, Tr21のコレクタは、N P NトランジスタTr22, Tr23のコレクタにそれぞれ接続され、同トランジスタTr22, Tr23のエミッタは、前記トランジスタTr17, Tr18のベースに接続されるとともに、抵抗R19を介してグランドGNDに接続される。従って、トランジスタTr22, Tr23とで差動対が構成される。

【0037】

前記トランジスタTr22のベースは、前記トランジスタTr13のコレクタに接続される。前記トランジスタTr14のコレクタは、前記トランジスタTr23のベースに接続されるとともに、抵抗R18を介してP N PトランジスタTr24のエミッタに接続される。前記トランジスタTr24のベースは、前記トランジスタTr16のコレクタに接続されるとともに

50

、同トランジスタ Tr24 のコレクタはグランド GND に接続される。前記抵抗 R17, R18 は、同一抵抗値に設定される。

【0038】

前記トランジスタ Tr19 ~ Tr24 及び抵抗 R17 ~ R19 とで中間段差動回路が構成される。

前記トランジスタ Tr21 のコレクタは、NPNトランジスタ Tr25 のベースに接続され、同トランジスタ Tr25 のコレクタは電源 Vcc に接続され、エミッタはNPNトランジスタ Tr26 のベースに接続されるとともに、抵抗 R20 を介してグランド GND に接続される。

【0039】

前記トランジスタ Tr26 のコレクタは、抵抗 R21 を介して電源 Vcc に接続されるとともに、出力信号 Vout を出力し、エミッタはグランド GND に接続される。そして、トランジスタ Tr25, Tr26 及び抵抗 R20, R21 で出力回路が構成される。

【0040】

前記出力信号 Vout は、前記入力信号 Vin2 として前記トランジスタ Tr16 のベースに入力される。

上記のように構成された差動増幅回路では、入力信号 Vin1 の入力レベルが上昇すると、トランジスタ Tr15 のコレクタ電流が減少してトランジスタ Tr19 のベース電流が増大する。

【0041】

すると、トランジスタ Tr19 のコレクタ電流が増大して、トランジスタ Tr22 のベース電流が減少し、同トランジスタ Tr22 のコレクタ電流が減少する。

すると、トランジスタ Tr20, Tr21 のコレクタ電流が減少して、トランジスタ Tr25 のベース電流が減少し、同トランジスタ Tr25 のコレクタ電流が減少する。

【0042】

すると、トランジスタ Tr26 のベース電流が減少し、同トランジスタ Tr26 のコレクタ電流が減少して出力信号 Vout の出力レベルが上昇する。

一方、入力信号 Vin1 の入力レベルが低下すると、前記各トランジスタの各電流の増減が逆となり、出力信号 Vout の出力レベルが低下する。

【0043】

このような動作により、入力信号 Vin1 の入力レベルが出力信号 Vout として出力されるように設定される。

上記のように構成された差動増幅回路では、次に示す作用効果を得ることができる。

(イ) 出力信号 Vout が出力される負荷の変動により、トランジスタ Tr26 のコレクタ電流及びベース電流が変動して、同トランジスタ Tr26 のベース・エミッタ間電圧 VBE が変動すると、トランジスタ Tr25 のコレクタ電流及びベース電流が変動し、同トランジスタ Tr25 のベース・エミッタ間電圧 VBE が変動する。

【0044】

すると、差動対を構成するトランジスタ Tr22, Tr23 のコレクタ電流及びベース電流に差が生じ、ベース・エミッタ間電圧 VBE に差が生じる。

トランジスタ Tr22, Tr23 のベース・エミッタ間電圧 VBE の差は、トランジスタ Tr19, Tr24 のエミッタ・ベースを介してトランジスタ Tr15, Tr16 のコレクタに影響を及ぼす。

【0045】

しかし、トランジスタ Tr19 のベース・エミッタ間電圧 VBE は、トランジスタ Tr13 のコレクタ電流とトランジスタ Tr22 のベース電流に基づいて決定されるが、トランジスタ Tr22 のベース電流はトランジスタ Tr13 のコレクタ電流に対し無視できるほど小さいので(トランジスタの $1/h_{FE}$ 以下程度)、トランジスタ Tr22 のベース電流の変動によるトランジスタ Tr19 のベース・エミッタ間電圧 VBE の変動は無視できるほど小さい。

【0046】

10

20

30

40

50

また、トランジスタ Tr24 のベース・エミッタ間電圧 V_{BE}は、トランジスタ Tr14 のコレクタ電流とトランジスタ Tr23 のベース電流に基づいて決定されるが、トランジスタ Tr23 のベース電流はトランジスタ Tr14 のコレクタ電流に対し無視できるほど小さいので(トランジスタの $1/h_{FE}$)、トランジスタ Tr23 のベース電流の変動によるトランジスタ Tr24 のベース・エミッタ間電圧 V_{BE}の変動は無視できるほど小さい。

【0047】

すると、トランジスタ Tr22 , Tr23 のベース電流の変動は、トランジスタ Tr19 , Tr24 のベース電流に対しどんどん影響を及ぼさない。従って、負荷変動によりトランジスタ Tr15 , Tr16 のコレクタ電圧に差が生じることはないので、負荷変動による入出力信号間のオフセット電圧の変動を抑制することができる。

(口)トランジスタ Tr17 , Tr18 及び抵抗 R15 , R16 , R19 から構成されるカレントミラー回路は、トランジスタ Tr15 , Tr16 のコレクタ電位に影響を及ぼさない。すなわち、バイアス電流 I_aは、入力トランジスタ対 Tr15 , Tr16 のベース電圧 V_{in1} , V_{in2} の差電圧によりトランジスタ Tr15 , Tr16 のコレクタ電流に分配される(トランジスタ Tr15 , Tr16 のベース電流を無視した場合)。

【0048】

仮に、V_{in1} > V_{in2} とすると、トランジスタ Tr15 のコレクタ電流は、トランジスタ Tr16 のコレクタ電流より小さくなり、トランジスタ Tr17 , Tr18 のベース電圧は、トランジスタ Tr17 のベース・エミッタ間電圧と、抵抗 R15 の両端子間電圧との和となる。そして、トランジスタ Tr17 , Tr18 のベース電圧と、抵抗 R19 とに基づいて、中間段差動回路のバイアス電流が決定される。

【0049】

トランジスタ Tr16 のコレクタ電流は、トランジスタ Tr15 のコレクタ電流よりも大きくなるため、この差電流がトランジスタ Tr19 , Tr24 のベース電流差となる。

【0050】

すると、トランジスタ Tr22 のコレクタ電流は、トランジスタ Tr23 のコレクタ電流より小さくなり、トランジスタ Tr25 のベース電流が小さくなつて同トランジスタ Tr25 のコレクタ電流が減少し、さらにトランジスタ Tr26 のコレクタ電流が減少して、出力信号 V_{out} の電圧は上昇する。

【0051】

この結果、入力信号 V_{in2} が上昇して、トランジスタ Tr16 のコレクタ電流が減少し、トランジスタ Tr15 のコレクタ電流が増加して、バイアス電流 I_a がトランジスタ Tr15 , Tr16 のエミッタに均等に分配される。

【0052】

トランジスタ Tr17 , Tr18 のコレクタ電流は、ミラー効果により同一であり、トランジスタ Tr15 , Tr16 のコレクタ電流が同一となつたとき、トランジスタ Tr19 , Tr24 のベース電流は同一となり、入力オフセット電圧は 0 V となる。

【0053】

以上のような動作により、上記カレントミラー回路はトランジスタ Tr15 , Tr16 のコレクタ電圧に関わらず、同トランジスタ Tr15 , Tr16 のコレクタ電流を同一にするように動作し、同トランジスタ Tr15 , Tr16 のコレクタ電圧に影響を及ぼさない。

【0054】

従つて、トランジスタ Tr15 , Tr16 のコレクタ電圧の差が、中間段差動回路により制御することが可能となり、入力段差動回路自身にトランジスタ Tr15 , Tr16 のコレクタ電圧を決定する要素が存在しないため、入力段のバイアス電流 I_a を任意に設定することができる。

(ハ)負荷駆動能力を決定するトランジスタ Tr21 のコレクタ電流 I_{c(Tr21)} は、ほぼ抵抗 R19 を流れる電流の 1 / 2 となるため、次式で表される。

$$I_c(Tr21) = \{ (I_a / 2) \times R15 + V_{BE}(Tr17) \} / R19 / 2$$

従つて、I_{c(Tr21)} はバイアス電流 I_a を設定した後、抵抗 R19 の抵抗値に基づいて設

10

20

30

40

50

定することができるので、バイアス電流 I_a は負荷駆動能力に関係なく任意に設定することができる。

(二) 入力差動対のカレントミラー回路を構成するトランジスタ Tr17, Tr18 は、コレクタ・エミッタ間電圧 V_{CE} を同トランジスタ Tr17, Tr18 の飽和電圧付近まで低下させても動作可能である。このため、トランジスタ Tr15, Tr16 に入力される入力電圧 V_{in1}, V_{in2} の入力レベル範囲を低下させることができる。抵抗 R15, R16 の抵抗値を「0」とした場合の最低入力レベルは、次式で表される。

$$V_B(Tr15) = \{ V_{CE}(Tr15) + V_{CE}(Tr17) \} - V_{BE}(Tr15)$$

従って、入力信号 V_{in1} の入力レベル範囲を、前記従来例のトランジスタ Tr3 の $V_{BE}(Tr3)$ と本実施の形態のトランジスタ Tr17 の $V_{CE}(Tr17)$ との電圧差分拡大することが可能となる。なお、現実には抵抗 R15, R16 による電圧降下も数 10 mV に設定されるので、入力信号 V_{in1} の入力レベル範囲を確実に拡大することができる。

【0055】

【発明の効果】

以上詳述したように、この発明は製造ばらつき、電源電圧変動、負荷変動等による入出力間オフセット電圧の変動を抑制し得る差動増幅回路を提供することができる。また、入出力間オフセット電圧の変動を抑制し、かつ入力電圧範囲を拡大し得る差動増幅回路を提供することができる。

【図面の簡単な説明】

【図 1】 本発明の原理説明図である。

20

【図 2】 一実施の形態を示す回路図である。

【図 3】 従来例を示す回路図である。

【符号の説明】

2 入力段差動回路

3 中間段差動回路

4 出力回路

V_{in1}, V_{in2} 入力信号

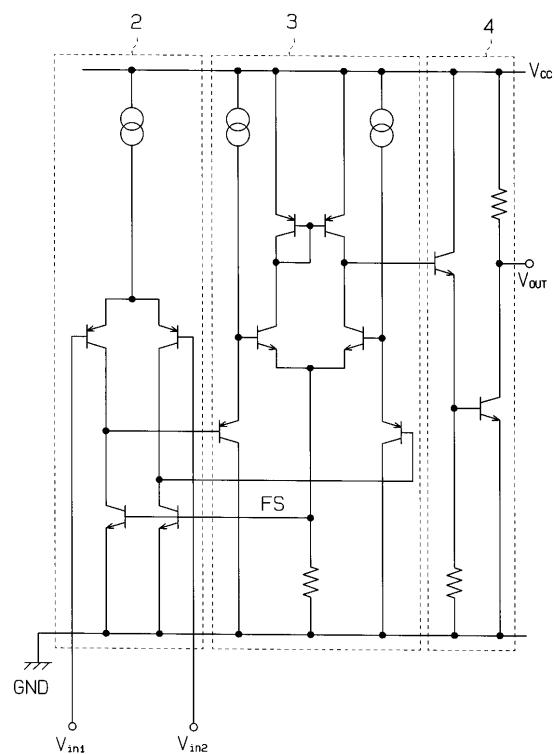
V_{out} 出力信号

F S 帰還信号

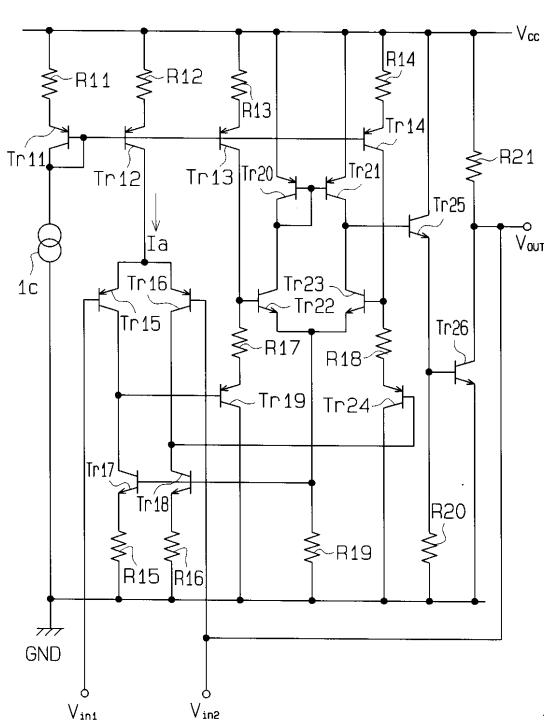
【図1】

【 図 2 】

本発明の原理説明図

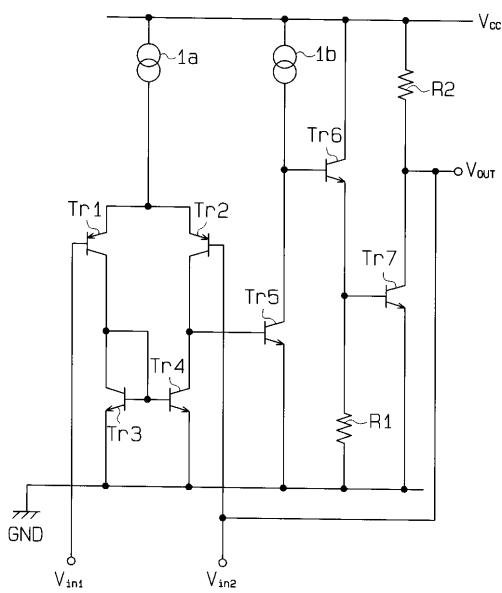


一実施の形態を示す回路図



【図3】

従来例を示す回路図



フロントページの続き

(58)調査した分野(Int.Cl., DB名)

H03F 1/00

H03F 3/00