



(12) 发明专利

(10) 授权公告号 CN 109509790 B

(45) 授权公告日 2022.06.07

(21) 申请号 201810177805.1

(22) 申请日 2018.03.05

(65) 同一申请的已公布的文献号
申请公布号 CN 109509790 A

(43) 申请公布日 2019.03.22

(30) 优先权数据
2017-178414 2017.09.15 JP

(73) 专利权人 株式会社东芝
地址 日本东京都
专利权人 东芝电子元件及存储装置株式会社

(72) 发明人 玉城朋宏

(74) 专利代理机构 永新专利商标代理有限公司
72002

专利代理师 房永峰

(51) Int.Cl.

H01L 29/78 (2006.01)

H01L 29/06 (2006.01)

(56) 对比文件

US 2017179235 A1, 2017.06.22

US 2017179235 A1, 2017.06.22

JP 2012151143 A, 2012.08.09

CN 104103683 A, 2014.10.15

JP 2008227238 A, 2008.09.25

审查员 肖玲

权利要求书1页 说明书9页 附图10页

(54) 发明名称

半导体装置

(57) 摘要

实施方式的半导体装置具备:半导体层,具有第一面和第二面;第一电极;第二电极;第一导电型的第一半导体区域,设于半导体层中;第二导电型的第二半导体区域,设于第一半导体区域与第一面之间,与第一电极电连接;以及,第二导电型的第三半导体区域,围绕第二半导体区域设置,并设于第一半导体区域与第一面之间,具有第一区域、比第一区域远离第二半导体区域的第二区域、比第二区域远离第二半导体区域的第三区域,第一区域、第二区域以及第三区域的第二导电型的杂质质量比第二半导体区域少,第一区域的第二导电型的杂质质量比第二区域少,第三区域的第二导电型的杂质质量比第二区域少。

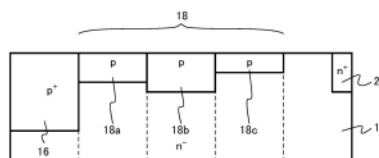


图3A



图3B

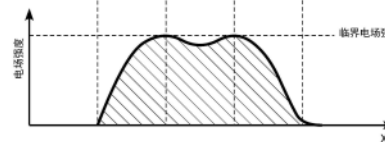


图3C

1. 一种半导体装置,其特征在于,具备:
半导体层,具有第一面和第二面;
第一电极,与上述第一面相接地设置;
第二电极,与上述第二面相接地设置;
第一导电型的第一半导体区域,设于上述半导体层中;
第二导电型的第二半导体区域,设于上述第一半导体区域与上述第一面之间,与上述第一面相接,与上述第一电极电连接;
第二导电型的第三半导体区域,围绕上述第二半导体区域设置,并设于上述第一半导体区域与上述第一面之间,与上述第一面相接,具有第一区域、比上述第一区域远离上述第二半导体区域的第二区域、比上述第二区域远离上述第二半导体区域的第三区域;以及
第一导电型的第四半导体区域,设置在上述第一区域与上述第一半导体区域之间,该第四半导体区域的第一导电型的杂质浓度比上述第一半导体区域高,
上述第一区域、上述第二区域以及上述第三区域的第二导电型的杂质量比上述第二半导体区域少,上述第一区域的至少一部分的第二导电型的杂质量比上述第二区域的至少一部分少,上述第三区域的至少一部分的第二导电型的杂质量比上述第二区域的至少一部分少,
上述第二区域与上述第一半导体区域相接,上述第三区域与上述第一半导体区域相接。
2. 根据权利要求1所述的半导体装置,其特征在于,
上述第一区域的至少一部分的深度比上述第二区域的至少一部分浅。
3. 根据权利要求1所述的半导体装置,其特征在于,
上述第一区域的至少一部分的第二导电型的杂质浓度比上述第二区域的至少一部分低。
4. 根据权利要求1所述的半导体装置,其特征在于,
上述第一区域中的、第二导电型的杂质量比上述第二区域的至少一部分少的部分的宽度为上述第三半导体区域的宽度的10%以上且40%以下。
5. 根据权利要求1所述的半导体装置,其特征在于,
上述第二区域的第二导电型的杂质量以及上述第三区域的第二导电型的杂质量随着远离上述第二半导体区域而降低。
6. 根据权利要求1至5中任一项所述的半导体装置,其特征在于,
上述第三区域的至少一部分的第二导电型的杂质量比上述第二区域的至少一部分多。
7. 根据权利要求1至5中任一项所述的半导体装置,其特征在于,
还具备绝缘层和第一导电层,该绝缘层设于上述第一面上,该第一导电层与上述第一面之间夹有上述绝缘层,且该第一导电层设于上述第一区域与上述第二区域的边界上。
8. 根据权利要求7所述的半导体装置,其特征在于,
还具备第二导电层,该第二导电层与上述第一面之间夹有上述绝缘层,且该第二导电层设于上述第二区域与上述第三区域的边界上。

半导体装置

[0001] 关联申请

[0002] 本申请享受以日本专利申请2017-178414号(申请日:2017年9月15日)为基础申请的优先权。本申请通过参照该基础申请而包含基础申请的全部内容。

技术领域

[0003] 实施方式涉及半导体装置。

背景技术

[0004] 为了保持半导体功率器件的耐压,在有源区域(Active Region)的周围设置终端区域(Termination Region)。通过设置终端区域来缓和有源区域的端部的电场强度,由此,半导体功率器件的耐压得到保持。从缩小芯片尺寸的观点考虑,要求极力缩短作为终端区域的长度的终端长。

[0005] 基于杂质层的电荷平衡(电荷补偿)原理的降低表面电场(RESURF:Reduced Surface Field)构造或VLD(Variable Layer Doping)构造被用于缩短终端区域。但是,有时会由于因终端区域的杂质浓度的不均所产生的电荷失衡(电荷不平衡)而产生耐压的变动。若产生由杂质浓度的不均引起的耐压的变动,则恐怕无法实现所希望的耐压。此外,有时外部电荷会在半导体功率器件的工作过程中或者待机过程中向终端区域传播。该情况下也会产生电荷不平衡而耐压发生变动,恐怕会产生可靠性不良。因此,要求抑制由电荷不平衡引起的耐压的变动。

发明内容

[0006] 实施方式提供能够缩短终端长的半导体装置。

[0007] 实施方式的半导体装置具备:半导体层,具有第一面和第二面;第一电极,与第一面相接地设置;第二电极,与第二面相接地设置;第一导电型的第一半导体区域,设于半导体层中;第二导电型的第二半导体区域,设于第一半导体区域与第一面之间,与第一面相接,与第一电极电连接;以及第二导电型的第三半导体区域,围绕第二半导体区域设置,并设于第一半导体区域与第一面之间,与第一面相接,具有第一区域、比第一区域远离第二半导体区域的第二区域、比第二区域远离第二半导体区域的第三区域。然后,第一区域、第二区域以及第三区域的第二导电型的杂质质量比第二半导体区域少,第一区域的至少一部分的第二导电型的杂质质量比第二区域的至少一部分少,第三区域的至少一部分的第二导电型的杂质质量比第二区域的至少一部分少。

附图说明

[0008] 图1为第一实施方式的半导体装置的示意剖面图。

[0009] 图2为第一实施方式的半导体装置的示意俯视图。

[0010] 图3A、图3B、图3C为第一实施方式的半导体装置的终端区域的放大示意剖面图。

- [0011] 图4A、图4B、图4C为比较例的半导体装置的终端区域的放大示意剖面图。
- [0012] 图5为第一实施方式的半导体装置的作用以及效果的说明图。
- [0013] 图6A、图6B、图6C为第二实施方式的半导体装置的终端区域的放大示意剖面图。
- [0014] 图7A、图7B、图7C为第三实施方式的半导体装置的终端区域的放大示意剖面图。
- [0015] 图8A、图8B、图8C为第四实施方式的半导体装置的终端区域的放大示意剖面图。
- [0016] 图9A、图9B、图9C为第五实施方式的半导体装置的终端区域的放大示意剖面图。
- [0017] 图10为第六实施方式的半导体装置的终端区域的放大示意剖面图。

具体实施方式

[0018] 以下,参照附图对本发明的实施方式加以说明。另外,在以下的说明中,对相同或者类似的部件等赋予相同的符号,对于曾说明过的部件等,适当省略其说明。

[0019] 此外,在以下的说明中,有时通过 n^+ 、 n 、 n^- 以及 p^+ 、 p 、 p^- 的标记来表示各导电型中的杂质浓度的相对高低。即, n^+ 表示n型的杂质浓度相对高于 n , n^- 表示n型的杂质浓度相对低于 n 。

[0020] 此外, p^+ 表示p型的杂质浓度相对高于 p , p^- 表示p型的杂质浓度相对低于 p 。另外,也有时将 n^+ 型、 n^- 型仅记载为n型,将 p^+ 型、 p^- 型仅记载为p型。

[0021] (第一实施方式)

[0022] 第一实施方式的半导体装置具备:半导体层,具有第一面和第二面;第一电极,与第一面相接地设置;第二电极,与第二面相接地设置;第一导电型的第一半导体区域,设于半导体层中;环状的第二导电型的第二半导体区域,设于第一半导体区域与第一面之间,与第一面相接,与第一电极电连接;以及第二导电型的第三半导体区域,围绕第二半导体区域设置,并设于第一半导体区域与第一面之间,与第一面相接,具有第一区域、比第一区域远离第二半导体区域的第二区域、比第二区域远离第二半导体区域的第三区域。然后,第一区域、第二区域以及第三区域的第二导电型的杂质质量比第二半导体区域少,第一区域的至少一部分的第二导电型的杂质质量比第二区域的至少一部分少,第三区域的至少一部分的第二导电型的杂质质量比第二区域的至少一部分少。

[0023] 图1为第一实施方式的半导体装置的示意剖面图。图2为第一实施方式的半导体装置的示意俯视图。图2表示半导体装置的上表面的杂质区域的图案。图1表示图2的AA'剖面。第一实施方式的半导体装置为肖特基势垒二极管(SBD)。

[0024] SBD具备有源区域和包围有源区域的终端区域。有源区域作为SBD的正向偏压时电流主要流过的区域来发挥功能。终端区域作为在SBD的逆向偏压时缓和施加于有源区域的端部的电场的强度而使SBD的耐压提高的区域来发挥作用。

[0025] SBD具备:半导体层10、 n^+ 型的阴极区域12、 n^- 型的漂移区域14(第一半导体区域)、 p^+ 型的接触区域16(第二半导体区域)、p型的RESURF区域18(第三半导体区域)、 n^+ 型的等电位环区域20、层间绝缘层22(绝缘层)、阳极电极24(第一电极)、阴极电极26(第二电极)以及钝化(passivation)层28。

[0026] 半导体层10具备第一面(图1中的P1)和与第一面对置的第二面(图1中的P2)。在图1中,第一面为图的上侧的面,第二面为图的下侧的面。

[0027] 半导体层10例如为单晶硅。

- [0028] n^+ 型的阴极区域12设于半导体层10中。阴极区域12与半导体层10的第二面相接地设置。
- [0029] 阴极区域12含有n型杂质。n型杂质例如为磷(P)。n型杂质的杂质浓度例如为 $1 \times 10^{19} \text{cm}^{-3}$ 以上 $1 \times 10^{21} \text{cm}^{-3}$ 以下。
- [0030] 阴极区域12与阴极电极26电连接。阴极区域12具有降低半导体层10与阴极电极26之间的接触电阻的功能。
- [0031] n^- 型的漂移区域14设于半导体层10中。漂移区域14设于阴极区域12上。在有源区域的第一面的一部分也设有漂移区域14。
- [0032] 漂移区域14含有n型杂质。n型杂质例如为磷(P)。n型杂质的杂质浓度例如为 $1 \times 10^{14} \text{cm}^{-3}$ 以上 $1 \times 10^{16} \text{cm}^{-3}$ 以下。
- [0033] p^+ 型的接触区域16设于半导体层10中。接触区域16设于漂移区域14与第一面之间。接触区域16与第一面相接地设置。接触区域16在第一面为环状。
- [0034] 接触区域16含有p型杂质。p型杂质例如为硼(B)。p型杂质的杂质浓度例如为 $5 \times 10^{19} \text{cm}^{-3}$ 以上 $1 \times 10^{21} \text{cm}^{-3}$ 以下。
- [0035] 接触区域16与阳极电极24电连接。接触区域16具有降低半导体层10与阳极电极24之间的接触电阻的功能。
- [0036] p型的RESURF区域18设于半导体层10中。RESURF区域18围绕接触区域16设置。RESURF区域18与第一面相接。RESURF区域18与接触区域16相接。RESURF区域18设于漂移区域14与第一面之间。RESURF区域18在第一面为环状。
- [0037] RESURF区域18含有p型杂质。p型杂质例如为硼(B)。RESURF区域18的杂质浓度比接触区域的杂质浓度低。p型杂质的杂质浓度例如为 $1 \times 10^{16} \text{cm}^{-3}$ 以上 $1 \times 10^{19} \text{cm}^{-3}$ 以下。
- [0038] RESURF区域18具有在SBD的逆向偏压时缓和施加于接触区域16与漂移区域14之间的电场的强度而使SBD的耐压提高的功能。
- [0039] n^+ 型的等电位环区域20设于半导体层10中。等电位环区域20围绕RESURF区域18设置。漂移区域14夹于等电位环区域20与RESURF区域18之间。等电位环区域20设于漂移区域14与第一面之间。等电位环区域20与第一面相接。等电位环区域20在第一面为环状。
- [0040] 等电位环区域20含有n型杂质。n型杂质例如为磷(P)。n型杂质的杂质浓度例如为 $1 \times 10^{19} \text{cm}^{-3}$ 以上 $1 \times 10^{21} \text{cm}^{-3}$ 以下。等电位环区域20具有在SBD的逆向偏压时抑制耗尽层作用于半导体芯片的端部的功能。
- [0041] 层间绝缘层22设于半导体层10的第一面上。层间绝缘层22设于接触区域16以及RESURF区域18上。层间绝缘层22在有源区域具备开口部。层间绝缘层22例如为氧化硅。
- [0042] 阳极电极24与半导体层10的第一面相接。阳极电极24在层间绝缘层22的开口部与第一面相接。阳极电极24与 n^- 型的漂移区域14的接触为肖特基接触。阳极电极24与接触区域16的接触为欧姆接触。
- [0043] 阳极电极24为金属。阳极电极24例如为钛(Ti)与铝(Al)的层叠膜。
- [0044] 阴极电极26与半导体层10的第二面相接。阴极电极26与阴极区域12相接。阴极电极26与阴极区域12的接触为欧姆接触。
- [0045] 钝化层28设于层间绝缘层22上以及阳极电极24上。钝化层28例如为树脂。钝化层28例如为聚酰亚胺。

[0046] 图3A、图3B、图3C为第一实施方式的半导体装置的终端区域的放大示意剖面图。图3A为剖面图,图3B为表示各杂质区域的p型杂质量的图,图3C为表示电场强度分布的图。

[0047] p型的RESURF区域18具有第一区域18a、第二区域18b、第三区域18c。第二区域18b比第一区域18a远离接触区域16。此外,第三区域18c比第二区域18b远离接触区域16。

[0048] 在第一实施方式的SBD,第一区域18a、第二区域18b以及第三区域18c的p型杂质浓度大致相同。

[0049] 本说明书中,所谓p型杂质浓度的意思是净重(net)的p型杂质浓度。所谓净重的p型杂质浓度是从半导体区域的实际的p型杂质浓度减去实际的n型杂质浓度后的浓度。

[0050] 第一区域18a的深度比第二区域18b的深度浅。此外,第三区域18c的深度比第二区域18b的深度浅。

[0051] 本说明书中,所谓“深度”的意思是从第一面起到各区域与漂移区域14之间的接合为止的距离。

[0052] 第一区域18a、第二区域18b以及第三区域18c的p型杂质量比接触区域16的p型杂质量少。

[0053] 本说明书中,所谓p型杂质量的意思是净重(net)的p型杂质量。所谓净重的p型杂质量是从半导体区域中实际所含的p型杂质量减去实际所含的n型杂质量后的量。

[0054] 本说明书中,仅称为p型杂质量的情况下,其意思是在特定的位置处的深度方向的p型杂质的累计值。若换成其他说法,则设为其意思是相对于第一面上的单位面积,在深度方向存在的p型杂质的总和。

[0055] 在第一实施方式的SBD,如图3B所示,第一区域18a的任意位置处的p型杂质量比第二区域18b的任意位置处的p型杂质量少。第一区域18a的p型杂质量例如为第二区域18b的p型杂质量的90%以下。此外,例如,第一区域18a的宽度(图3B中的w1)为RESURF区域18的宽度(图3B中的wt)的10%以上40%以下。

[0056] 此外,第三区域18c的任意位置处的p型杂质量比第二区域18b的任意位置处的p型杂质量少。

[0057] 在第一实施方式的SBD,通过使各区域的深度变化,实现上述p型杂质量的关系。

[0058] 半导体区域中的杂质浓度以及杂质量例如可以使用二次离子质谱分析法(Secondary Ion Mass Spectroscopy:SIMS)来求出。

[0059] 半导体区域中的杂质量的大小关系例如也可以使用SIMS或扫描式电容显微镜法(Scanning Capacitance Microscopy:SCM)来进行判断。

[0060] 第一区域18a的宽度、RESURF区域18的宽度例如也可以使用SCM来进行判断。

[0061] 如图3C所示,第一实施方式的SBD的RESURF区域18内的电场强度分布形成具有二个峰值的山形的分布。

[0062] 另外,第一实施方式的RESURF区域18的p型杂质量的分布能够通过以独立的离子注入工序形成第一区域18a、第二区域18b以及第三区域18c来实现。此外,例如,能够通过形成RESURF区域18的p型杂质的离子注入时使抗蚀图案的膜厚一部分变化来实现。此外,例如,能够通过p型杂质的离子注入时使抗蚀图案的开口部的密度一部分变化来实现,而无需追加离子注入工序。

[0063] 接着,对第一实施方式的半导体装置的作用以及效果加以说明。

[0064] 在半导体功率器件中,由于因终端区域的杂质浓度的不均所产生的电荷不平衡而引起的耐压的变动成为问题所在。若产生起因于杂质浓度不均的耐压的变动,则恐怕无法实现所希望的耐压。此外,有时外部电荷会在半导体功率器件的工作过程中或者待机过程中向终端区域传播。该情况下也会产生电荷不平衡而耐压发生变动,恐怕会产生可靠性不良。因此,要求抑制由电荷不平衡引起的耐压的变动。

[0065] 图4A、图4B、图4C为比较例的半导体装置的终端区域的放大示意剖面图,且为与第一实施方式的图3对应的图。图4A为剖面图,图4B为表示各杂质区域的p型杂质量的图,图4C为表示电场强度分布的图。

[0066] p型的RESURF区域38具有第一区域38a、第二区域38b、第三区域38c。第二区域38b比第一区域38a远离接触区域36。此外,第三区域38c比第二区域38b远离接触区域36。

[0067] 在比较例的SBD,与第一实施方式的SBD同样地,第一区域38a、第二区域38b以及第三区域38c的p型杂质浓度大致相同。

[0068] 第二区域38b的深度比第一区域38a的深度浅。此外,第三区域38c的深度比第二区域38b的深度浅。与第一实施方式的SBD不同地,p型的RESURF区域38的深度随着远离接触区域36而变浅。

[0069] 在比较例的SBD的RESURF区域38,第二区域38b的任意位置处的p型杂质量比第一区域38a的任意位置处的p型杂质量少。此外,第三区域38c的任意位置处的p型杂质量比第二区域38b的任意位置处的p型杂质量少。与第一实施方式的SBD不同,p型的RESURF区域38的p型杂质量随着远离接触区域36而变少。

[0070] 如比较例的SBD的RESURF区域38这样,p型杂质量随着远离接触区域36而降低的构造被称为VLD(Variable Layer Doping)构造。与p型杂质量均一的构造相比,VLD构造会抑制由电荷不平衡引起的耐压的变动。

[0071] 在p型杂质量均一的构造的情况下,电场强度分布形成矩形。另一方面,在VLD构造,如图4C所示,电场强度分布呈现具有峰值的山形的分布。因此,即使产生电荷不平衡,也能够减小由电场强度的积分值(电场强度分布的面积)决定的耐压的变动。

[0072] 不过,在比较例的VLD构造,由于电场强度分布呈现山形的分布,因此,若与电场强度分布呈现矩形的RESURF构造的情况相比,则存在用于实现相同耐压的终端长变长的问题。

[0073] 在第一实施方式的SBD,在RESURF区域18的、靠近接触区域16的位置设置p型杂质量少的第一区域18a。第一实施方式的SBD的RESURF区域18一边整体保持VLD构造,一边减少靠近接触区域16的位置处的p型杂质量。通过该构成,如图3C所示,形成具有二个峰值的山形的分布。

[0074] 图5为第一实施方式的半导体装置的作用以及效果的说明图。图5为使第一实施方式的电场强度分布与比较例的电场强度分布重合的图。

[0075] 由图5明显可知,第一实施方式的电场强度分布的面积大于比较例的电场强度分布的面积。因此,在终端长相同的情况下,第一实施方式更能够提高耐压。换言之,第一实施方式更能够缩短用于实现相同的耐压的终端长。

[0076] 此外,第一实施方式的情况下,也与比较例的情况相同地,电场强度分布呈现具有峰值的山形的分布。因此,由电荷不平衡引起的耐压的变动得到抑制。

[0077] 第一区域18a的p型杂质质量优选为第二区域18b的p型杂质质量的60%以上90%以下,更优选为70%以上80%以下。若低于上述范围,则电场强度的峰值变得过高,耐压恐怕会降低。此外,若高于上述范围,则电场强度的峰值不够高,耐压恐怕会降低。

[0078] 第一区域18a的宽度(图3B中的w1)优选为RESURF区域18的宽度(图3B中的wt)的10%以上40%以下,更优选为20%以上30%以下。若低于上述范围,则电场强度的峰值不够高,耐压恐怕会降低。此外,若高于上述范围,则电场强度的峰值变得过高,耐压恐怕会降低。

[0079] 根据第一实施方式的半导体装置,由电荷不平衡引起的耐压的变动得到抑制,并且能够缩短终端区域的终端长。

[0080] (第二实施方式)

[0081] 第二实施方式的半导体装置在第一区域的至少一部分的第二导电型的杂质浓度比第二区域的至少一部分低这一点上与第一实施方式不同。以下,对于与第一实施方式重复的内容,省略部分记述。

[0082] 图6A、图6B、图6C为第二实施方式的半导体装置的终端区域的放大示意剖面图。图6A为剖面图,图6B为表示各杂质区域的p型杂质质量的图,图6C为表示电场强度分布的图。

[0083] 在第二实施方式的SBD,第一区域18a、第二区域18b以及第三区域18c的深度大致固定。

[0084] 第一区域18a的任意位置处的p型杂质浓度比第二区域18b的任意位置处的p型杂质浓度低。此外,第三区域18c的任意位置处的p型杂质浓度比第二区域18b的任意位置处的p型杂质浓度低。

[0085] 在第二实施方式的SBD,第一区域18a的任意位置处的p型杂质质量比第二区域18b的任意位置处的p型杂质质量少。此外,第三区域18c的任意位置处的p型杂质质量比第二区域18b的任意位置处的p型杂质质量少。

[0086] 在第二实施方式的SBD,通过使各区域的p型杂质浓度变化,实现上述p型杂质质量的关系。

[0087] 根据第二实施方式的半导体装置,与第一实施方式相同地,由电荷不平衡引起的耐压的变动得到抑制,并且能够缩短终端区域的终端长。

[0088] (第三实施方式)

[0089] 第三实施方式的半导体装置在第一区域与第一半导体区域之间还具备第一导电型的杂质浓度比第一半导体区域高的第一导电型的第四半导体区域这一点上与第一实施方式不同。以下,对于与第一实施方式重复的内容,省略部分记述。

[0090] 图7A、图7B、图7C为第三实施方式的半导体装置的终端区域的放大示意剖面图。图7A为剖面图,图7B为表示各杂质区域的p型杂质质量的图,图7C为表示电场强度分布的图。

[0091] 第三实施方式的SBD具备n型区域40(第四半导体区域)。

[0092] 在第三实施方式的SBD,第一区域18a、第二区域18b以及第三区域18c的p型杂质浓度大致相同。

[0093] 第一区域18a的深度比第二区域18b的深度浅。此外,第三区域18c的深度比第二区域18b的深度浅。

[0094] 第三实施方式的SBD具备n型区域40。n型区域40设于第一区域18a与漂移区域14之

间。n型区域40的n型杂质浓度比漂移区域14的n型杂质浓度高。

[0095] n型区域40含有n型杂质。n型杂质例如为磷(P)。n型杂质的杂质浓度例如为 $1 \times 10^{17} \text{cm}^{-3}$ 以上 $1 \times 10^{19} \text{cm}^{-3}$ 以下。

[0096] n型区域40通过n型杂质的离子注入形成。通过n型杂质,能够补偿在第一区域18a所含的p型杂质,调整第一区域18a的p型杂质量。因此,RESURF区域18的电场强度分布的调整变得容易。由此,耐压的调整变得容易。

[0097] 根据第三实施方式的半导体装置,与第一实施方式相同地,由电荷不平衡引起的耐压的变动得到抑制,并且能够缩短终端区域的终端长。此外,耐压的调整变得容易。

[0098] (第四实施方式)

[0099] 第四实施方式的半导体装置在第二区域的第二导电型的杂质量以及第三杂质区域的第二导电型的杂质量随着远离第二半导体区域而降低这一点上与第一实施方式不同。以下,对于与第一实施方式重复的内容,省略部分记述。

[0100] 图8A、图8B、图8C为第四实施方式的半导体装置的终端区域的放大示意剖面图。图8A为剖面图,图8B为表示各杂质区域的p型杂质量的图,图8C为表示电场强度分布的图。

[0101] 在第四实施方式的SBD,第一区域18a、第二区域18b以及第三区域18c的p型杂质浓度大致相同。

[0102] 第一区域18a的至少一部分的深度比第二区域18b的至少一部分的深度浅。在第一区域18a与第二区域18b的边界,第一区域18a的深度比第二区域18b的深度浅。此外,第三区域18c的深度比第二区域18b的深度浅。

[0103] 因此,第一区域18a的至少一部分的p型杂质量比第二区域18b的至少一部分的p型杂质量少。在第一区域18a与第二区域18b的边界,第一区域18a的p型杂质量比第二区域18b的p型杂质量少。此外,第三区域18c的p型杂质量比第二区域18b的p型杂质量少。

[0104] 第一区域18a的深度、第二区域18b的深度以及第三区域18c的深度随着远离接触区域16而变浅。因此,第一区域18a的p型杂质量、第二区域18b的p型杂质量以及第三区域18c的p型杂质量随着远离接触区域16而变少。

[0105] 在第一区域18a,p型杂质量比第二区域18b的p型杂质量少的部分的宽度(图8B中的w2)优选为RESURF区域18的宽度(图8B中的wt)的10%以上40%以下,更优选为20%以上30%以下。若低于上述范围,则电场强度的峰值不够高,耐压恐怕会降低。此外,若高于上述范围,则电场强度的峰值变得过高,耐压恐怕会降低。

[0106] 根据第四实施方式的半导体装置,与第一实施方式相同地,由电荷不平衡引起的耐压的变动得到抑制,并且能够缩短终端区域的终端长。

[0107] (第五实施方式)

[0108] 第五实施方式的半导体装置在第三区域的至少一部分的第二导电型的杂质量比第二区域的至少一部分多这一点上与第一实施方式不同。以下,对于与第一实施方式重复的内容,省略部分记述。

[0109] 图9A、图9B、图9C为第五实施方式的半导体装置的终端区域的放大示意剖面图。图9A为剖面图,图9B为表示各杂质区域的p型杂质量的图,图9C为表示电场强度分布的图。

[0110] 在第五实施方式的SBD,第一区域18a、第二区域18b以及第三区域18c的p型杂质浓度大致相同。

[0111] 第一区域18a的至少一部分的深度比第二区域18b的至少一部分的深度浅。在第一区域18a与第二区域18b的边界,第一区域18a的深度比第二区域18b的深度浅。

[0112] 此外,第三区域18c的至少一部分的深度比第二区域18b的至少一部分的深度深。在第三区域18c与第二区域18b的边界,第三区域18c的深度比第二区域18b的深度深。

[0113] 因此,第一区域18a的至少一部分的p型杂质量比第二区域18b的至少一部分的p型杂质量少。在第一区域18a与第二区域18b的边界,第一区域18a的p型杂质量比第二区域18b的p型杂质量少。

[0114] 此外,第三区域18c的至少一部分的p型杂质量比第二区域18b的至少一部分的p型杂质量多。在第三区域18c与第二区域18b的边界,第三区域18c的p型杂质量比第二区域18b的p型杂质量多。

[0115] 第一区域18a的深度、第二区域18b的深度以及第三区域18c的深度随着远离接触区域16而变浅。因此,第一区域18a的p型杂质量、第二区域18b的p型杂质量以及第三区域18c的p型杂质量随着远离接触区域16而变少。

[0116] 如图9C所示,第五实施方式的SBD的RESURF区域18内的电场强度分布形成具有三个峰值的山形的分布。因此,电场强度分布的面积与第一至第四实施方式相比变得更大。因此,在与第一至第四实施方式终端长相同的情况下,第五实施方式更能够提高耐压。换言之,第五实施方式更能够缩短用于实现相同的耐压的终端长。

[0117] 第一区域18a的、p型杂质量比第二区域18b的p型杂质量少的部分的宽度(图9B中的w3)优选为RESURF区域18的宽度(图9B中的wt)的10%以上40%以下,更优选为20%以上30%以下。若低于上述范围,则电场强度的峰值不够高,耐压恐怕会降低。此外,若高于上述范围,则电场强度的峰值变得过高,耐压恐怕会降低。

[0118] 根据第五实施方式的半导体装置,与第一实施方式相同地,由电荷不平衡引起的耐压的变动得到抑制。然后,与第一至第四实施方式相比,更能够缩短终端区域的终端长。

[0119] (第六实施方式)

[0120] 第六实施方式的半导体装置在还具备在与第一面之间夹有绝缘层并设于第一区域与第二区域的边界上的导电层这一点上与第五实施方式不同。以下,对于与第五实施方式重复的内容,省略部分记述。

[0121] 图10为第六实施方式的半导体装置的终端区域的放大示意剖面图。

[0122] 第六实施方式的SBD具备第一场板电极42(第一导电层)、第二场板电极44(第二导电层)、第三场板电极46。

[0123] 第一场板电极42设于层间绝缘层22中。第一场板电极42在与第一面之间夹有层间绝缘层22。第一场板电极42设于第一区域18a与第二区域18b的边界上。

[0124] 第一场板电极42例如为金属。第一场板电极42可以是漂浮的,也可以是与接触区域16相同电位。

[0125] 第二场板电极44设于层间绝缘层22中。第二场板电极44在与第一面之间夹有层间绝缘层22。第二场板电极44设于第二区域18b与第三区域18c的边界上。

[0126] 第二场板电极44例如为金属。第二场板电极44可以是漂浮的,也可以是与接触区域16相同电位。

[0127] 第三场板电极46设于层间绝缘层22中。第三场板电极46在与第一面之间夹有层间

绝缘层22。第三场板电极46设于接触区域16与第一区域18a的边界上。

[0128] 第三场板电极46例如为金属。第三场板电极46是漂浮的还是与接触区域16相同电位都没有关系。

[0129] 通过设置第一场板电极42、第二场板电极44以及第三场板电极46,电场强度分布的峰值变得平缓。因此,电场强度分布的面积与第五实施方式相比变得更大。因此,在终端长与第五实施方式相同的情况下,第六实施方式更能够提高耐压。换言之,第六实施方式更能够缩短用于实现相同的耐压的终端长。

[0130] 另外,第一场板电极42、第二场板电极44以及第三场板电极46分别显现出使电场强度分布的峰值平缓的效果。因此,也可以采用省略第一场板电极42、第二场板电极44以及第三场板电极46的任一个或两个的构成。

[0131] 根据第六实施方式的半导体装置,与第五实施方式相同地,由电荷不平衡引起的耐压的变动得到抑制。然后,与第五实施方式相比,更能够缩短终端区域的终端长。

[0132] 以上,在实施方式中,以半导体层为硅的情况为例进行了说明,但半导体层也可以是SiC、GaN系半导体等其他半导体。

[0133] 此外,在实施方式中,作为功率半导体器件,以SBD为例进行了说明,但只要是在有源区域的周围具备终端区域的器件,则也可以将本发明应用于PIN二极管、MISFET (Metal Insulator Semiconductor Field Effect Transistor:金属绝缘体半导体场效应晶体管)、IGBT (Insulated Gate Bipolar Transistor:绝缘栅双极晶体管) 等其他功率半导体器件。

[0134] 此外,在实施方式中,以第一导电型为n型、第二导电型为p型的情况为例进行了说明,但也可以将第一导电型设为p型、将第二导电型设为n型。

[0135] 此外,在实施方式中,以第一区域18a、第二区域18b以及第三区域18c的p型杂质浓度大致相同的情况和第一区域18a、第二区域18b以及第三区域18c的深度大致固定的的情况为例进行了说明,但也可以使p型杂质浓度以及深度的两方变化来实现所希望的p型杂质量的关系。

[0136] 此外,在实施方式中,以RESURF区域18分为三个区域的情况为例进行了说明,但例如也可以分为四个以上的区域。例如,在第一实施方式中,也可以采用在第三区域18c的外侧设置新的p型区域而p型杂质以更细小的节距阶梯状地朝向外侧降低的构造。

[0137] 此外,从提高可靠性的观点考虑,也可以采用在终端区域上设置绝缘性低的绝缘层的构成。

[0138] 对本发明的一些实施方式进行了说明,但这些实施方式是作为例子公开的,其意图并不在于限定发明的范围。这些新颖的实施方式能够以其他方式实施,在不脱离发明的主旨的范围内,能够进行各种省略、置换、变更。这些实施方式和其变形包含于发明的范围和主旨中,并且包含于权利要求书中所述的发明及其等同的范围内。

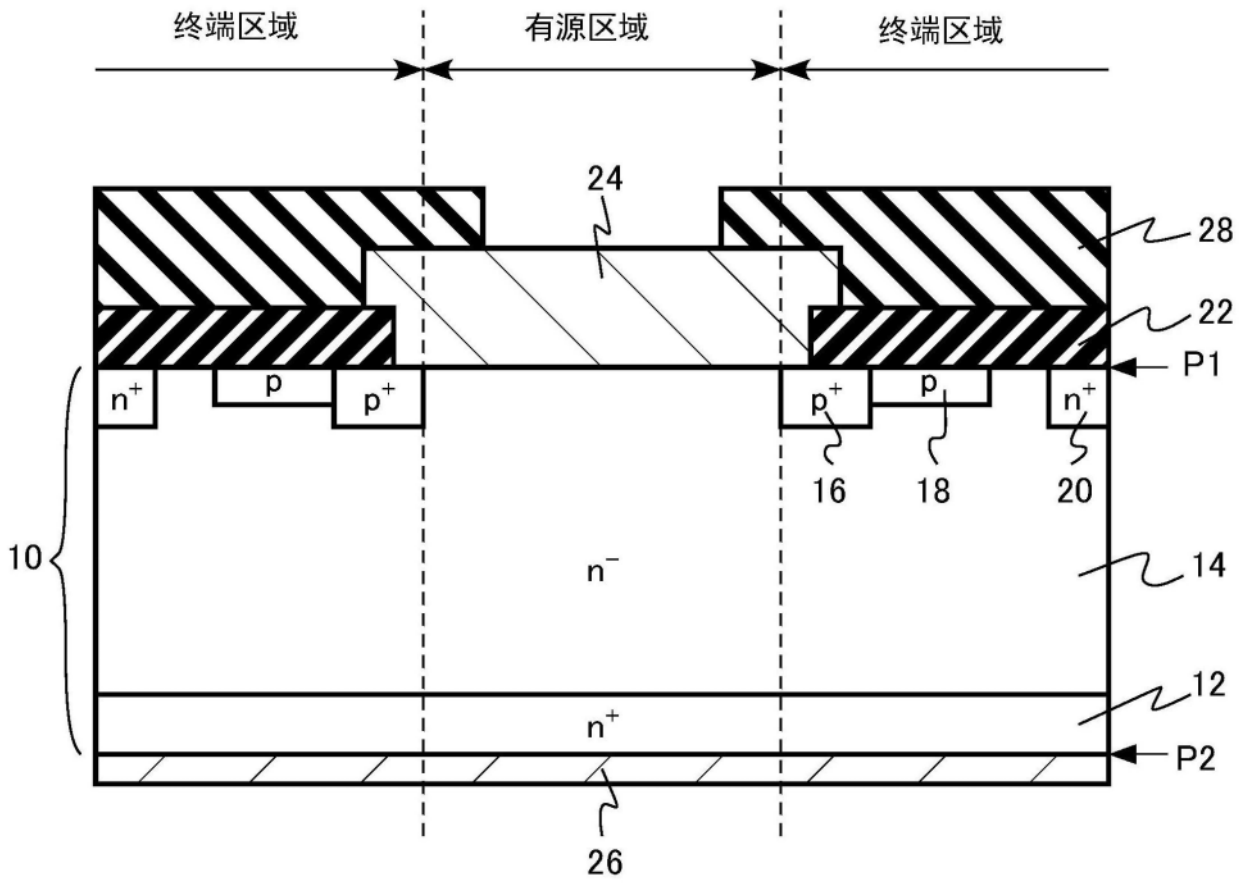


图1

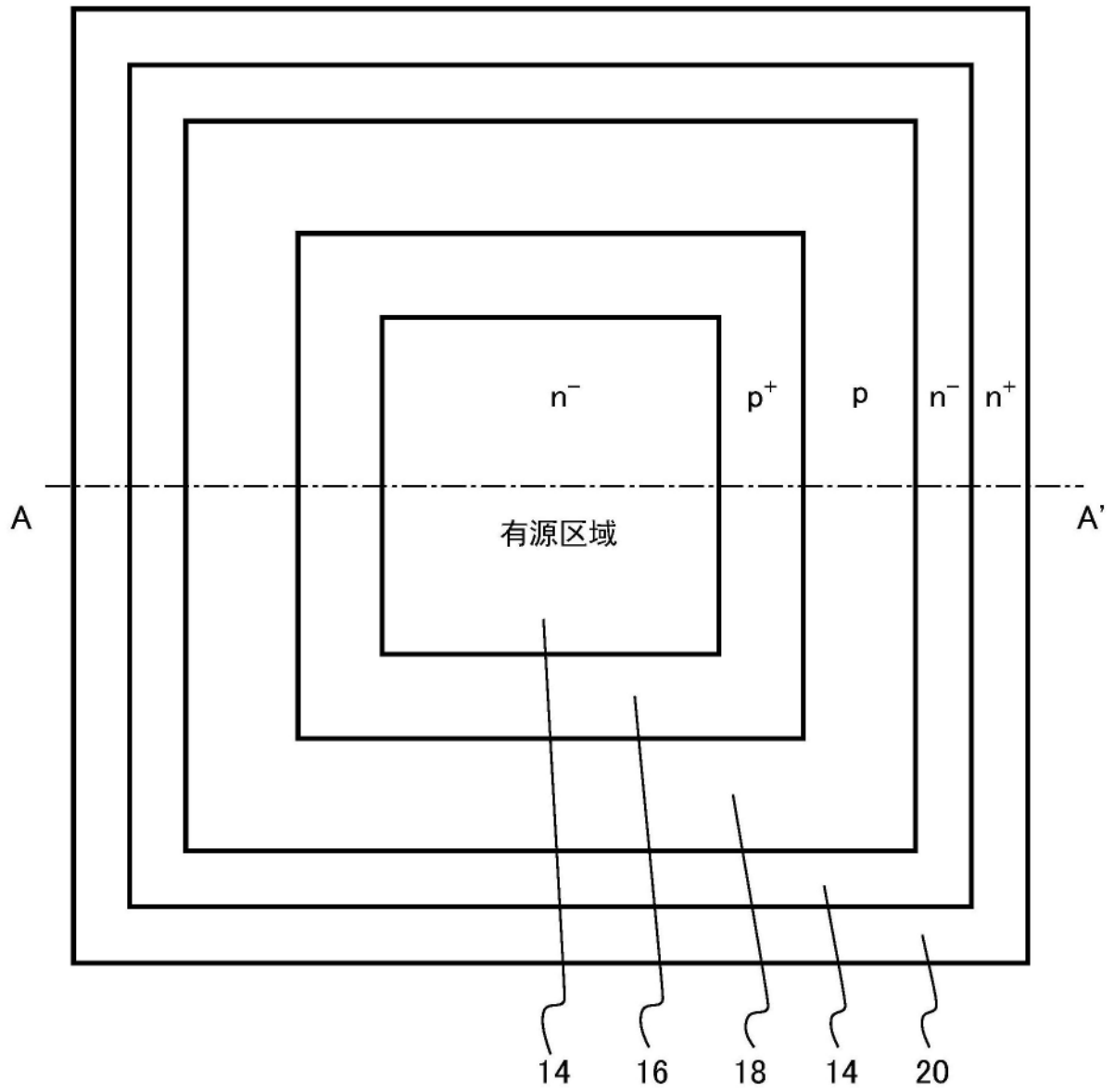


图2

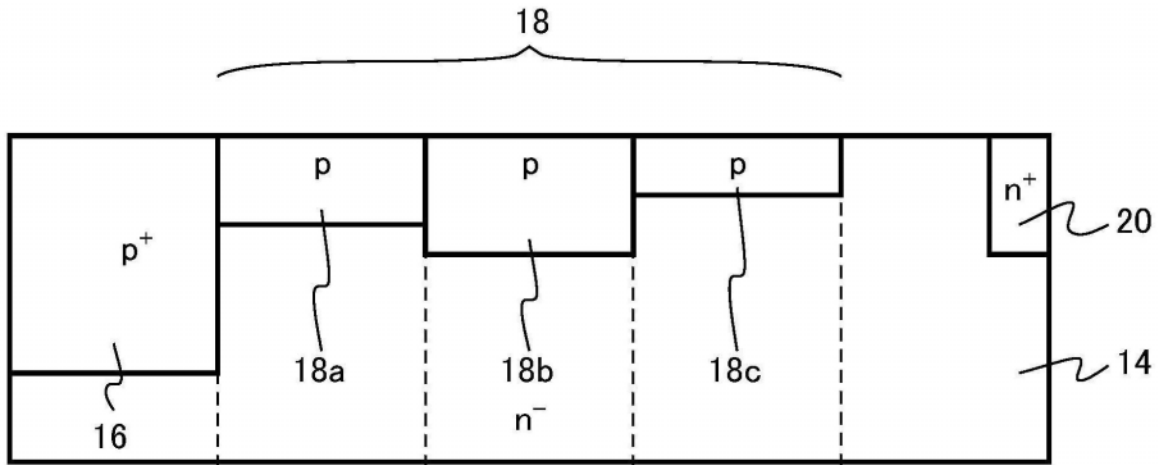


图3A

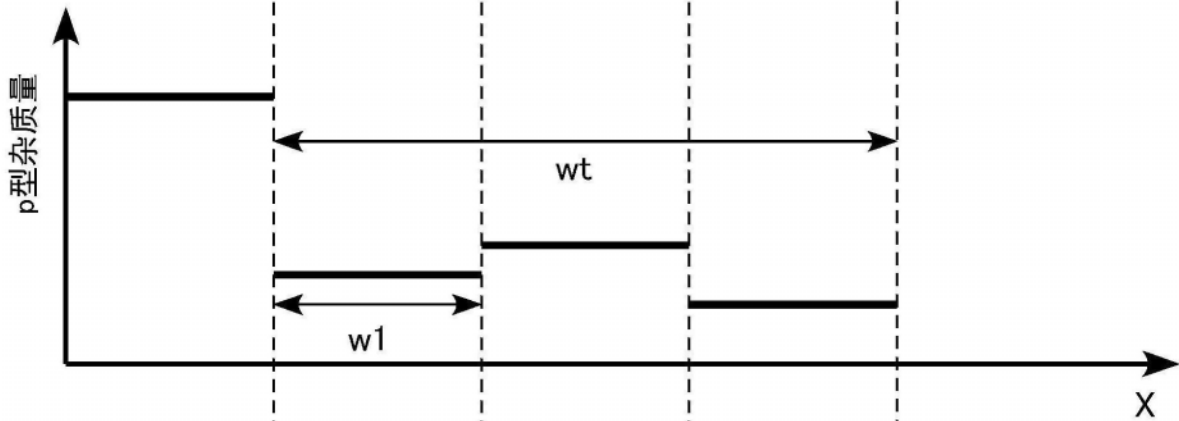


图3B

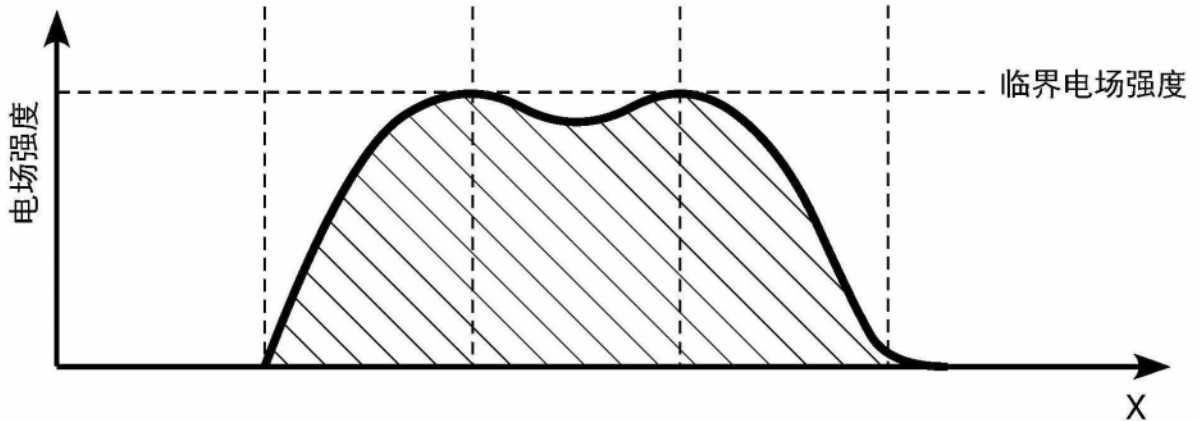


图3C

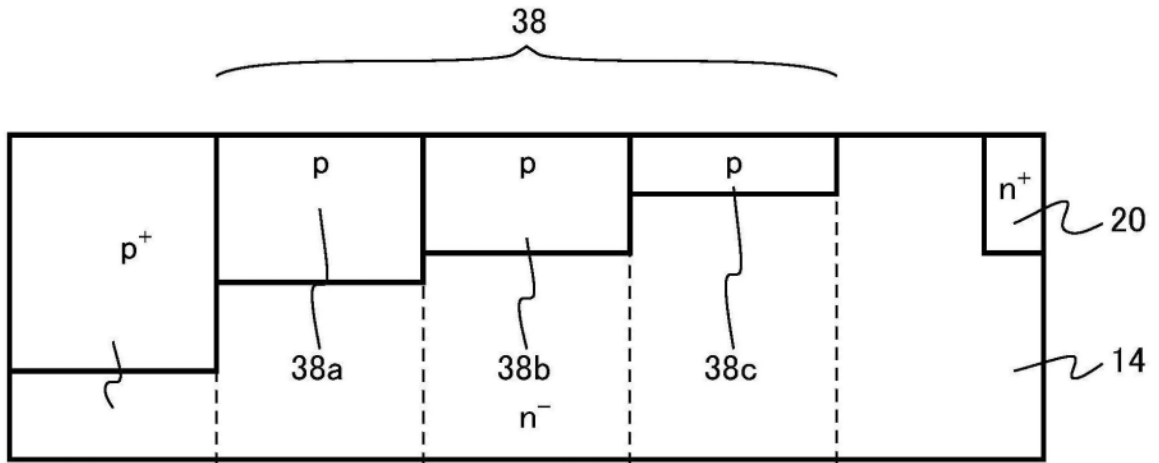


图4A

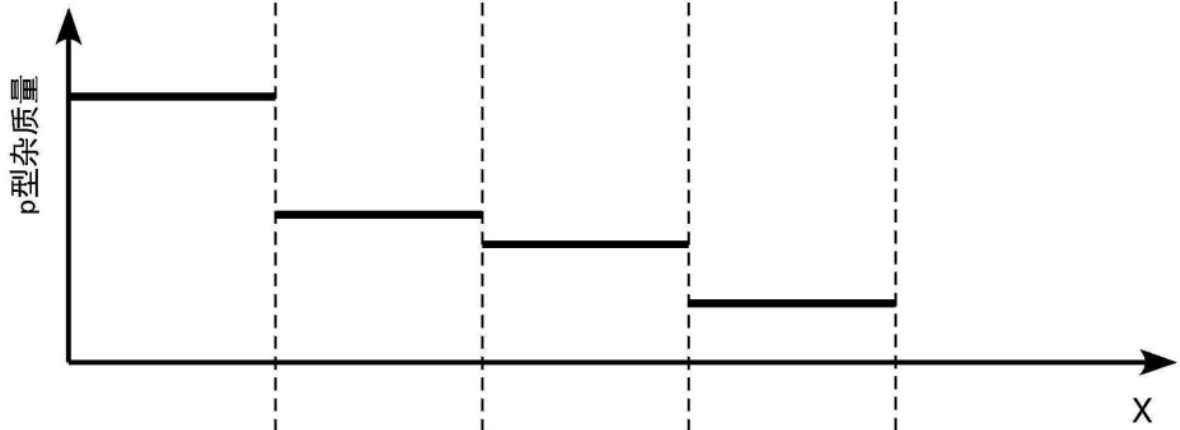


图4B

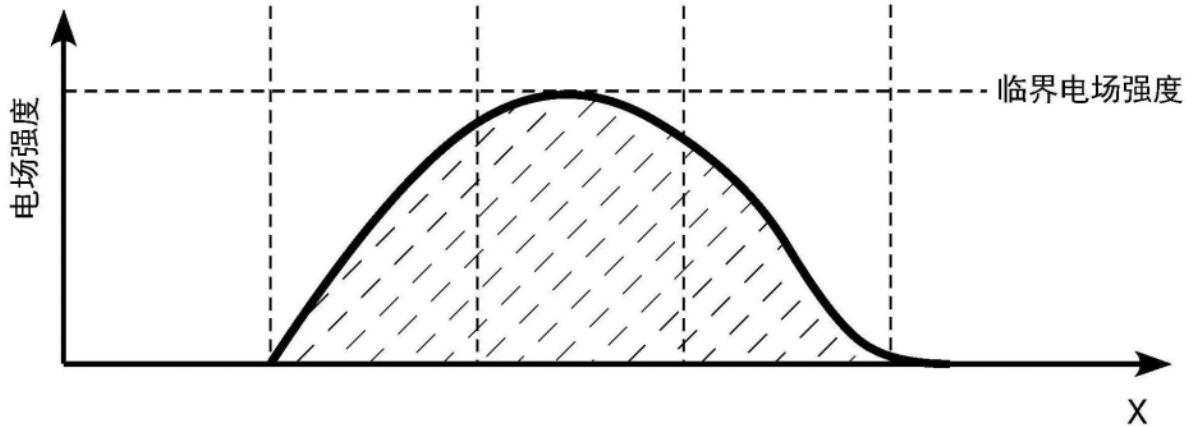


图4C

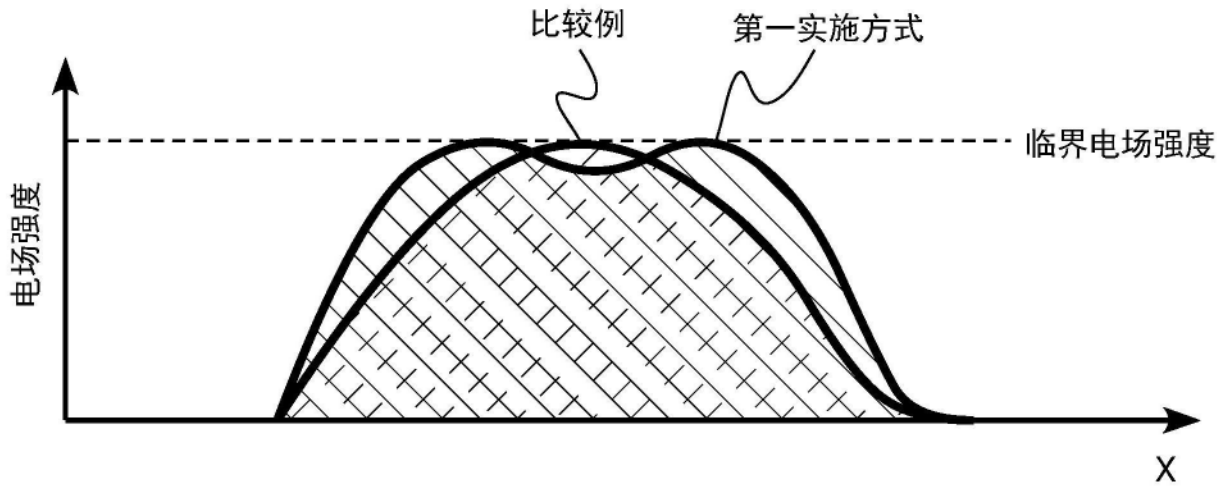


图5

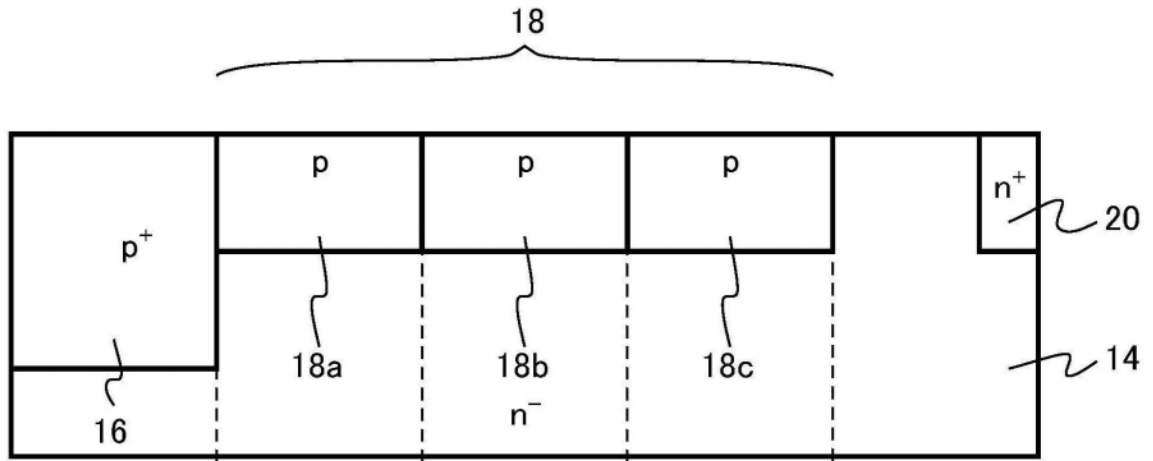


图6A

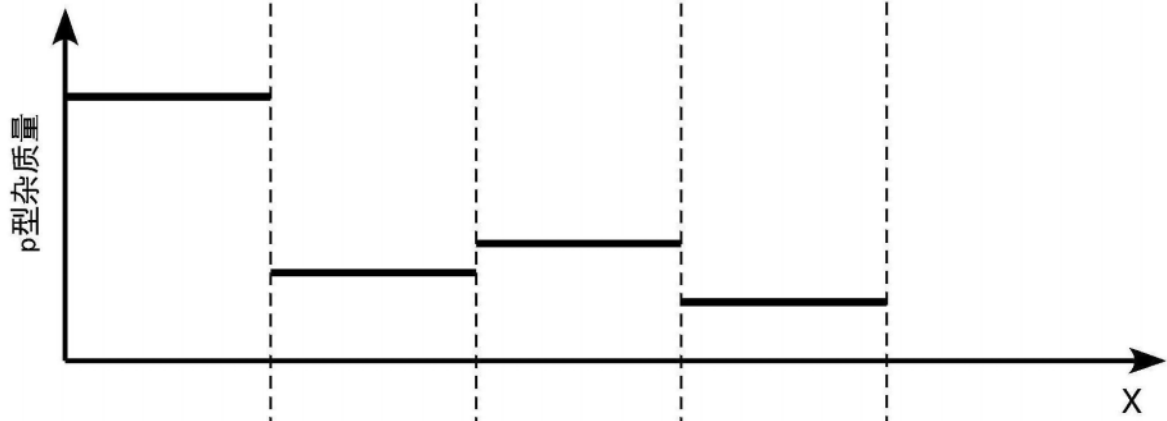


图6B

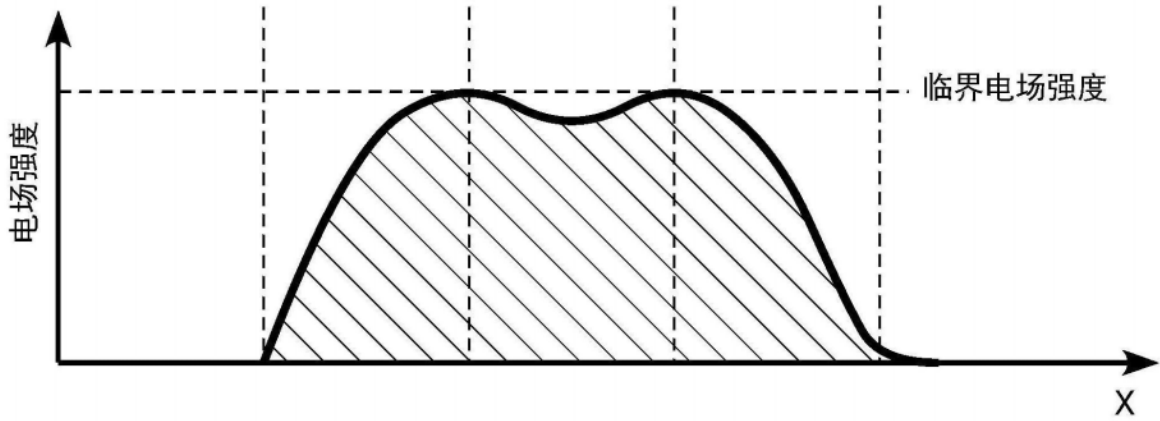


图6C

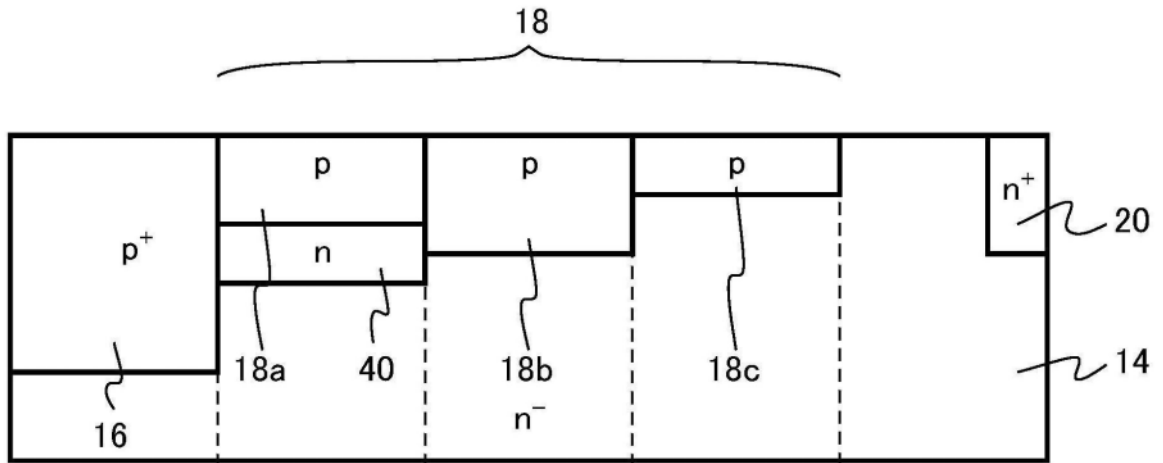


图7A

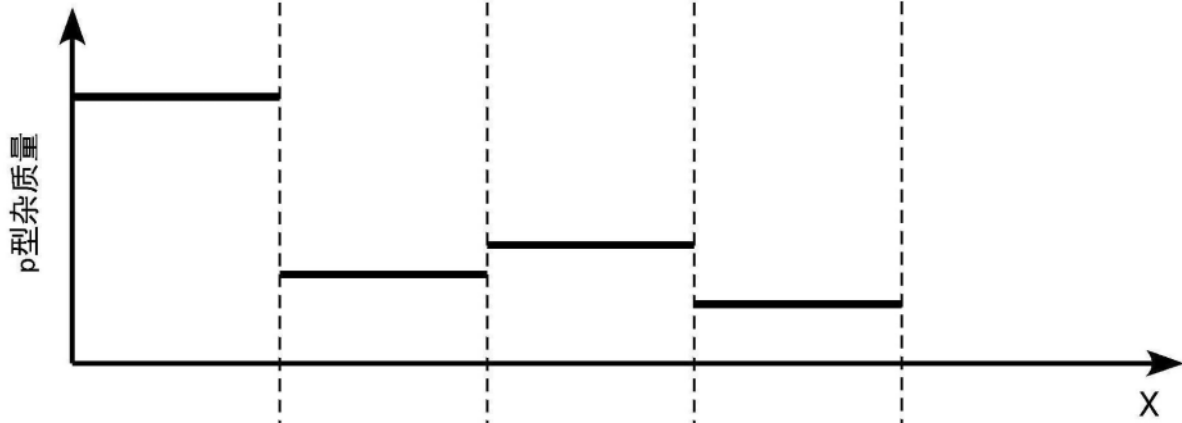


图7B

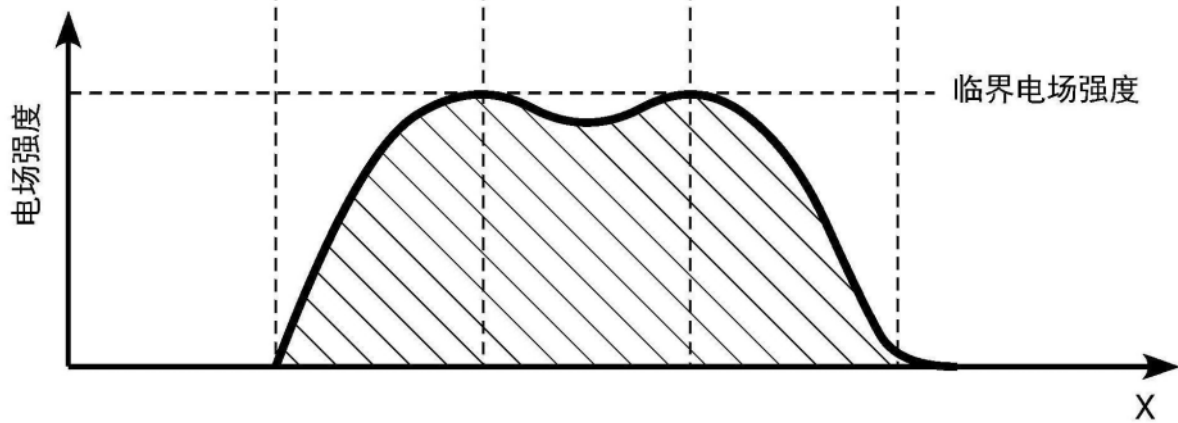


图7C

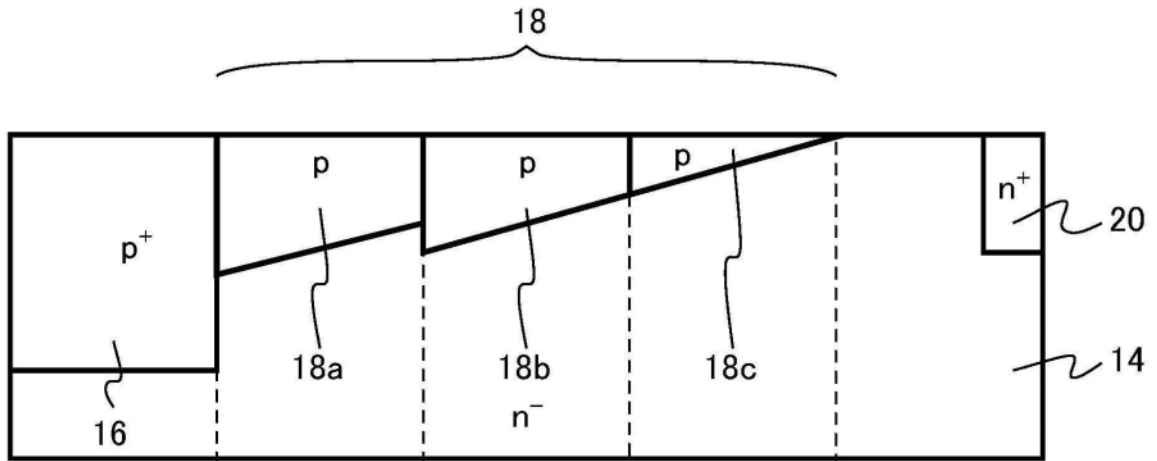


图8A

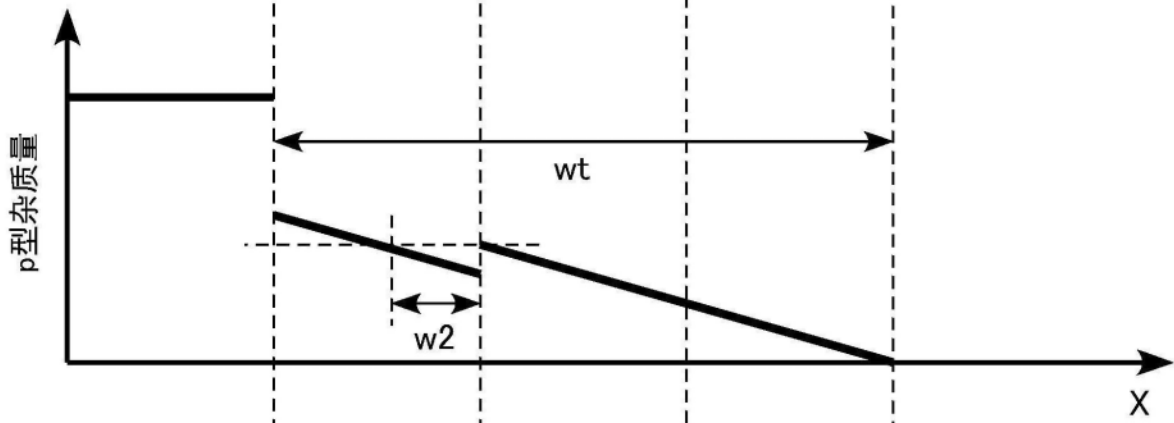


图8B

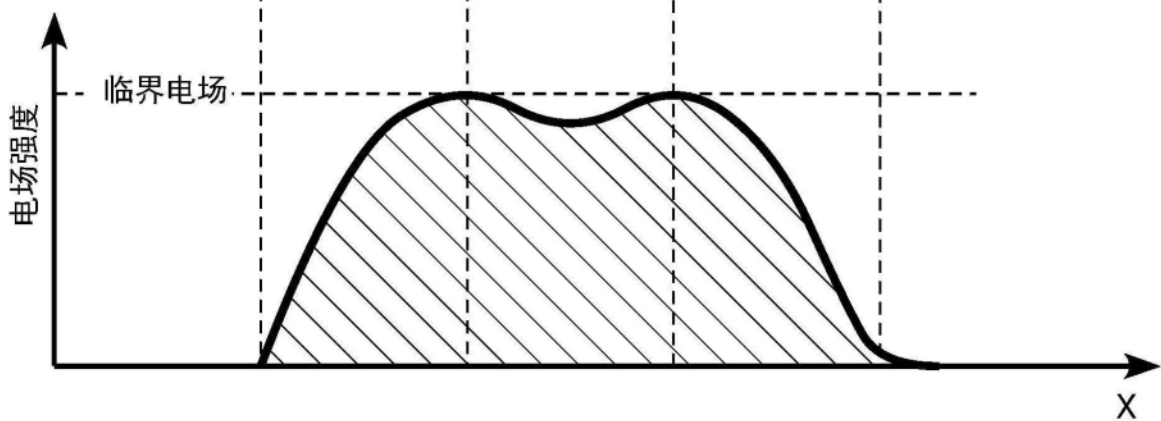


图8C

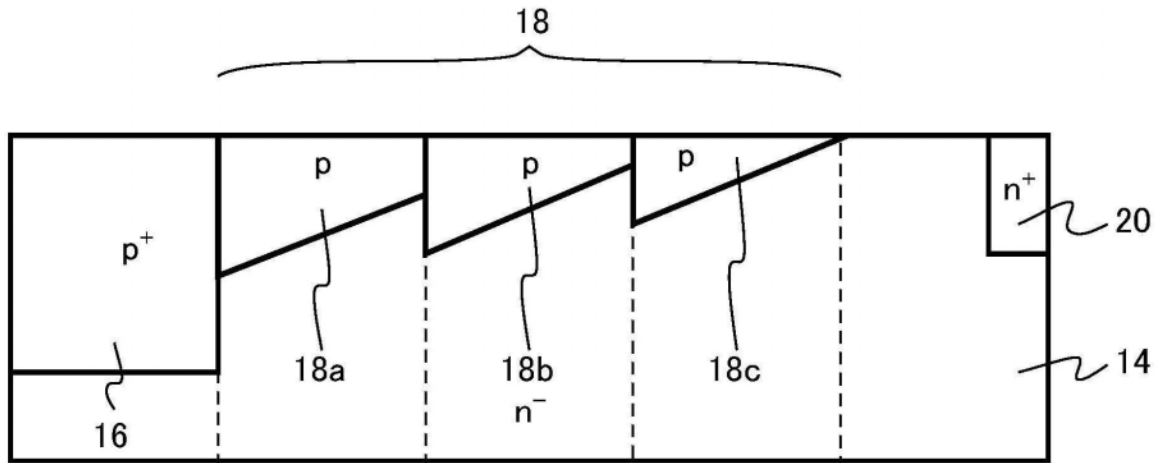


图9A

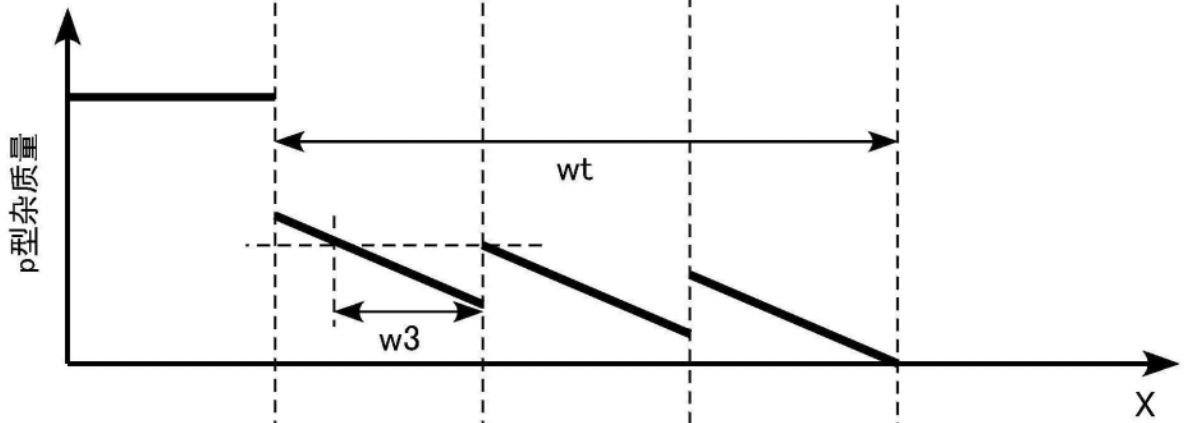


图9B

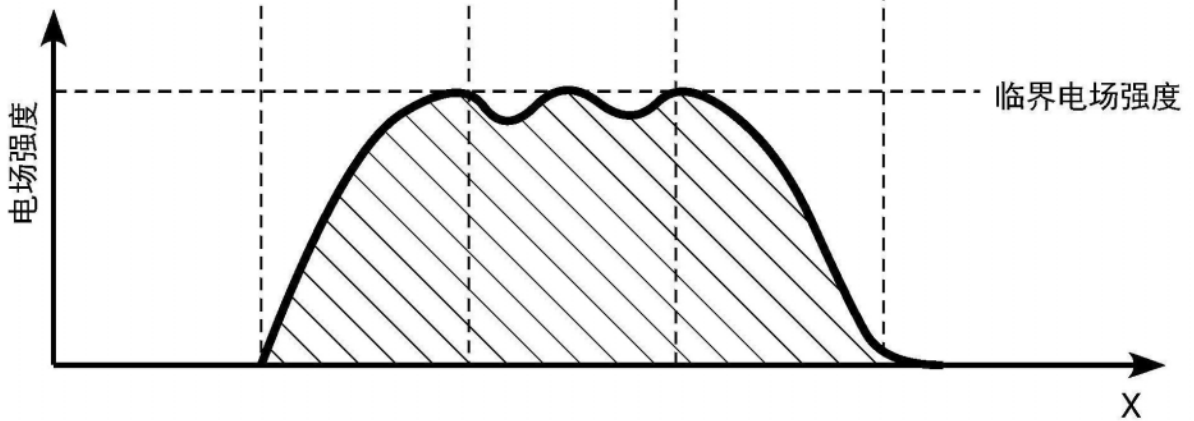


图9C

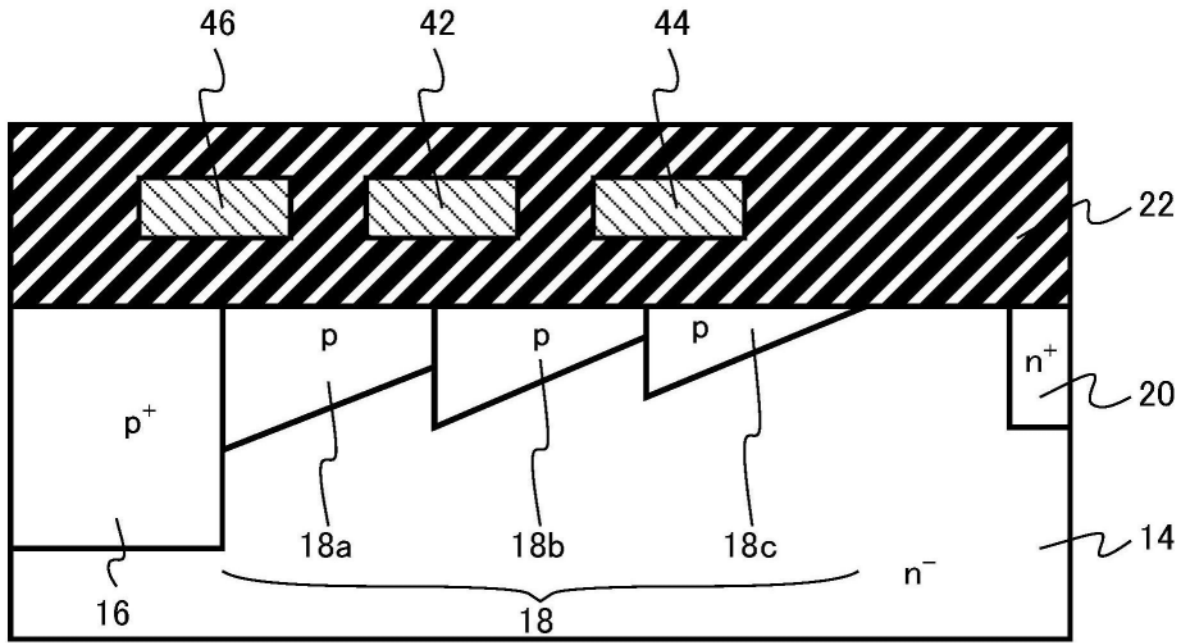


图10