



등록특허 10-2363783



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년02월15일
(11) 등록번호 10-2363783
(24) 등록일자 2022년02월11일

- (51) 국제특허분류(Int. Cl.)
H01L 21/3065 (2006.01) *H01L 21/02* (2006.01)
H01L 21/3213 (2006.01) *H01L 21/324* (2017.01)
H01L 27/115 (2017.01) *H05H 1/46* (2006.01)
- (52) CPC특허분류
H01L 21/3065 (2013.01)
H01L 21/02315 (2013.01)
- (21) 출원번호 10-2016-0160127
- (22) 출원일자 2016년11월29일
심사청구일자 2021년04월14일
- (65) 공개번호 10-2017-0065449
- (43) 공개일자 2017년06월13일
- (30) 우선권주장
JP-P-2015-236624 2015년12월03일 일본(JP)
- (56) 선행기술조사문현
JP2012079792 A*
(뒷면에 계속)

(73) 특허권자
도쿄엘렉트론가부시키가이사
일본 도쿄도 미나토구 아카사카 5쵸메 3반 1고

(72) 발명자
다카야마 와타루
일본 981-3629 미야기켄 구로카와군 다이와쵸 테
크노 힐즈 1 도쿄엘렉트론 미야기 가부시키가이사
나이

도미나가 쇼
일본 981-3629 미야기켄 구로카와군 다이와쵸 테
크노 힐즈 1 도쿄엘렉트론 미야기 가부시키가이사
나이

이가라시 요시키
일본 981-3629 미야기켄 구로카와군 다이와쵸 테
크노 힐즈 1 도쿄엘렉트론 미야기 가부시키가이사
나이

(74) 대리인
김태홍, 김진희

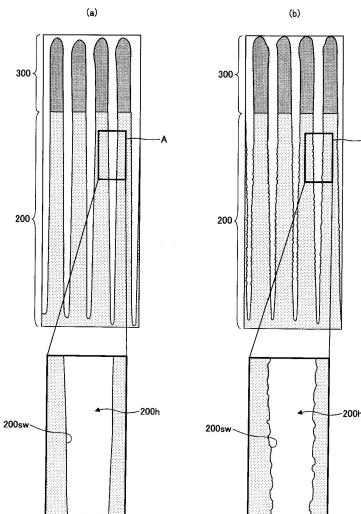
전체 청구항 수 : 총 20 항

심사관 : 손희수

(54) 발명의 명칭 **플라즈마 에칭 방법****(57) 요 약**

본 발명은, 실리콘 산화막과 실리콘 질화막의 계면에 생기는 단차를 제거하는 것을 목적으로 한다.

제1 고주파 전원이 출력하는 제1 고주파 전력을 이용하여 불소 함유 가스를 포함하는 제1 처리 가스로부터 플라즈마를 생성하고, 생성된 플라즈마에 의해 실리콘 산화막과 실리콘 질화막의 적층막을 에칭하는 제1 공정과, 상기 제1 공정 후, 상기 제1 고주파 전력을 이용하여 브롬 함유 가스를 포함하는 제2 처리 가스로부터 플라즈마를 생성하고, 생성된 플라즈마에 의해 상기 적층막을 에칭하는 제2 공정을 갖는 플라즈마 에칭 방법이 제공된다.

대 표 도 - 도5

(52) CPC특허분류

H01L 21/32136 (2013.01)
H01L 21/324 (2013.01)
H01L 27/11551 (2013.01)
H05H 1/46 (2013.01)

(56) 선행기술조사문현

KR1020130047537 A*
KR1020140120309 A*
KR1020150072342 A*
KR1020150097416 A*

*는 심사관에 의하여 인용된 문현

명세서

청구범위

청구항 1

플라즈마 에칭 방법에 있어서,

제1 고주파 전력(radio frequency power)을 이용하여 제1 처리 가스로부터 제1 플라즈마를 생성하는 단계 - 상기 제1 처리 가스는 불소 함유 가스 및 수소 함유 가스를 포함하고, 브롬 함유 가스를 포함하지 않음 - ;

적층막(laminated film)에 에칭 개구(etching opening)를 형성하기 위해 상기 제1 플라즈마에 의해 상기 적층막(laminated film)을 에칭하는 단계 - 상기 적층막은 제1 실리콘 함유막층(silicon-containing film layer) 및 상기 제1 실리콘 함유막층과는 상이한 제2 실리콘 함유막층을 포함함 - ;

상기 제1 플라즈마에 의해 상기 적층막을 에칭하는 단계 후, 제2 고주파 전력을 이용하여 제2 처리 가스로부터 제2 플라즈마를 생성하는 단계 - 상기 제2 처리 가스는 브롬 함유 가스를 포함함 - ; 및

상기 제2 플라즈마에 의해 상기 적층막을 에칭하는 단계

를 포함하고,

상기 제1 플라즈마에 의한 에칭 및 상기 제2 플라즈마에 의한 에칭은 상기 적층막 상의 마스크를 통해 수행되고,

상기 제1 플라즈마에 의한 에칭 동안 상기 제1 실리콘 함유막층과 상기 제2 실리콘 함유막층의 계면에서 상기 에칭 개구의 측벽 상에 단차(unevenness)가 형성되며,

상기 단자는 상기 제2 플라즈마에 의한 에칭 동안 제거되는 것인, 플라즈마 에칭 방법.

청구항 2

제1항에 있어서, 상기 제1 플라즈마에 의한 에칭 및 상기 제2 플라즈마에 의한 에칭은 -30°C 이하의 온도 하에서 수행되는 것인, 플라즈마 에칭 방법.

청구항 3

제1항에 있어서, 상기 제2 처리 가스는 상기 제1 처리 가스를 포함하는 것인, 플라즈마 에칭 방법.

청구항 4

제1항에 있어서, 상기 제2 처리 가스는 상기 제1 처리 가스와는 상이한 처리 가스를 포함하는 것인, 플라즈마 에칭 방법.

청구항 5

제1항에 있어서, 상기 제1 고주파 전력 또는 상기 제2 고주파 전력보다 큰 고주파 전력이 또한 상기 제1 플라즈마에 의한 에칭 또는 상기 제2 플라즈마에 의한 에칭 중 적어도 하나에 인가되는 것인, 플라즈마 에칭 방법.

청구항 6

제1항에 있어서, 상기 불소 함유 가스는 CF_4 이고 상기 수소 함유 가스는 H_2 인 것인, 플라즈마 에칭 방법.

청구항 7

제1항에 있어서, 상기 브롬 함유 가스는 HBr 인 것인, 플라즈마 에칭 방법.

청구항 8

제1항에 있어서, 상기 제1 실리콘 함유막층은 실리콘 산화물층(silicon oxide layer)이고, 상기 제2 실리콘 함

유막층은 실리콘 질화물막층(silicon nitride film layer)인 것인, 플라즈마 에칭 방법.

청구항 9

제1항에 있어서, 상기 플라즈마 에칭 방법을 수행하기 위해 용량 결합형 플라즈마 처리 장치(capacitively coupled plasma processing apparatus)가 이용되는 것인, 플라즈마 에칭 방법.

청구항 10

제1항에 있어서, 상기 플라즈마 에칭 방법을 수행하기 위해 유도 결합형 플라즈마 처리 장치(inductively couple plasma processing apparatus)가 이용되는 것인, 플라즈마 에칭 방법.

청구항 11

제1항에 있어서, 개구를 갖는 마스크막이 상기 적층막 상에 형성되는 것인, 플라즈마 에칭 방법.

청구항 12

제1항에 있어서, 상기 적층막은 상기 제1 실리콘 함유막층 및 상기 제2 실리콘 함유막층의 교대층들로 구성되는 것인, 플라즈마 에칭 방법.

청구항 13

제1항에 있어서, 상기 제1 고주파 전력 및 상기 제2 고주파 전력 중 적어도 하나는 연속파인 것인, 플라즈마 에칭 방법.

청구항 14

제1항에 있어서, 상기 제1 고주파 전력 및 상기 제2 고주파 전력 중 적어도 하나는 펄스파인 것인, 플라즈마 에칭 방법.

청구항 15

제1항에 있어서, 상기 제1 플라즈마에 의한 에칭 및 상기 제1 플라즈마에 의한 에칭 후에 수행되는 상기 제2 플라즈마에 의한 에칭이 각각 1회 수행되는 것인, 플라즈마 에칭 방법.

청구항 16

제1항에 있어서, 상기 제1 플라즈마에 의한 에칭이 수행된 후, 상기 제1 고주파 전력이 턴오프되지 않고 상기 제2 플라즈마에 의한 에칭 동안 계속해서 인가되는 것인, 플라즈마 에칭 방법.

청구항 17

제5항에 있어서, 상기 고주파 전력은 연속파인 것인, 플라즈마 에칭 방법.

청구항 18

제5항에 있어서, 상기 고주파 전력은 펄스파인 것인, 플라즈마 에칭 방법.

청구항 19

플라즈마 에칭 방법에 있어서,

제1 실리콘 함유막층 및 상기 제1 실리콘 함유막층과는 상이한 제2 실리콘 함유막층을 포함하는 적층막을 준비하는 단계;

상기 적층막에 개구를 형성하기 위해 불소 및 수소를 포함하고 브롬을 포함하지 않는 제1 플라즈마에 의해 상기 적층막을 에칭하는 단계; 및

상기 제1 플라즈마에 의해 상기 적층막을 에칭하는 단계 후, 브롬을 함유하는 제2 플라즈마에 의해 상기 적층막을 에칭하는 단계

를 포함하고,

상기 제1 플라즈마에 의한 에칭 및 상기 제2 플라즈마에 의한 에칭은 상기 적층막 상의 마스크를 통해 수행되고,

상기 제1 플라즈마에 의한 에칭 동안 상기 제1 실리콘 함유막층과 상기 제2 실리콘 함유막층의 계면에서 에칭 개구의 측벽 상에 단차가 형성되며,

상기 단차는 상기 제2 플라즈마에 의한 에칭 동안 제거되는 것인, 플라즈마 에칭 방법.

청구항 20

플라즈마 에칭 방법에 있어서,

제1 실리콘 함유막층 및 상기 제1 실리콘 함유막층과는 상이한 제2 실리콘 함유막층을 포함하는 적층막을 챔버에 준비하는 단계;

불소 함유 가스 및 수소 함유 가스를 포함하고 브롬 함유 가스를 포함하지 않는 제1 가스를 상기 챔버 내에 공급하는 단계;

상기 적층막에 에칭 개구를 형성하기 위해 상기 챔버에 제1 고주파 전력을 인가하는 단계;

브롬 함유 가스를 함유하는 제2 가스를 상기 챔버 내에 공급하는 단계; 및

상기 챔버에 제2 고주파 전력을 인가하는 단계

를 포함하고,

상기 적층막의 에칭은 상기 적층막 상의 마스크를 통해 수행되고,

상기 챔버에의 상기 제1 고주파 전력의 인가 동안 상기 제1 실리콘 함유막층과 상기 제2 실리콘 함유막층의 계면에서 상기 에칭 개구의 측벽 상에 단차가 형성되며,

상기 단차는 상기 챔버에의 상기 제2 고주파 전력의 인가 동안 제거되는 것인, 플라즈마 에칭 방법.

발명의 설명

기술 분야

[0001] 본 발명은 플라즈마 에칭 방법에 관한 것이다.

배경 기술

[0002] 3D-NAND 플래시 메모리 등의 3차원 적층 반도체 메모리의 제조에 있어서, 플라즈마 에칭을 행함으로써, 실리콘 산화막과 실리콘 질화막의 적층막을 에칭하고, 높은 종횡비의 홀(구멍)이나 트렌치(홈)를 형성하는 방법이 알려져 있다.

[0003] 이 방법에서는, 실리콘 산화막의 에칭 속도와 실리콘 질화막의 에칭 속도가 상이한 경우, 실리콘 산화막과 실리콘 질화막의 계면에 단차(스캘러핑)가 생긴다. 이와 같이 단차가 생기면, 예컨대 이후의 공정에 있어서 홀이나 트렌치에 형성되는 막이 박리되기 쉬워지는 등, 신뢰성이 저하된다.

[0004] 그래서, 종래에서는, 예컨대 NF_3 가스와 CH_3F 가스의 혼합 가스를 이용하여 플라즈마 에칭을 행함으로써, 단차의 발생을 억제하면서 적층막을 에칭하고 있다(예컨대, 특허문헌 1 참조).

선행기술문헌

특허문헌

[0005] (특허문헌 0001) [특허문헌 1] 일본 특허 공개 제2015-144158호 공보

발명의 내용

해결하려는 과제

- [0006] 그러나, 상기 방법에 있어서는, 적층막의 에칭시에 생기는 단차가 억제되지만, 단차가 생겼을 경우에 단차를 제거하는 방법에 대해서는 개시되어 있지 않다. 이 때문에, 상기 방법에서는, 실리콘 산화막과 실리콘 질화막의 적층막을 에칭함으로써 실리콘 산화막과 실리콘 질화막의 계면에 단차가 생겼을 경우, 에칭 형상이 나빠진다.
- [0007] 상기 과제에 대하여, 일 측면에서는, 본 발명은, 실리콘 산화막과 실리콘 질화막의 계면에 생기는 단차를 제거하는 것을 목적으로 한다.

과제의 해결 수단

- [0008] 상기 과제를 해결하기 위해서, 일 양태에 따르면, 제1 고주파 전원이 출력하는 제1 고주파 전력을 이용하여 불소 함유 가스를 포함하는 제1 처리 가스로부터 플라즈마를 생성하고, 생성된 플라즈마에 의해 실리콘 산화막과 실리콘 질화막의 적층막을 에칭하는 제1 공정과,
- [0009] 상기 제1 공정 후, 상기 제1 고주파 전력을 이용하여 브롬 함유 가스를 포함하는 제2 처리 가스로부터 플라즈마를 생성하고, 생성된 플라즈마에 의해 상기 적층막을 에칭하는 제2 공정을 갖는 플라즈마 에칭 방법이 제공된다.

발명의 효과

- [0010] 일 측면에 따르면, 실리콘 산화막과 실리콘 질화막의 계면에 생기는 단차를 제거할 수 있다.

도면의 간단한 설명

- [0011] 도 1은 본 실시형태의 플라즈마 에칭 장치의 종단면의 일례를 도시한 도면.
 도 2는 에칭 전후의 적층막의 단면 형상을 설명한 도면.
 도 3은 실리콘 산화막과 실리콘 질화막의 계면에 생기는 단차를 설명한 도면.
 도 4는 제1 실시형태의 플라즈마 에칭 방법의 일례를 도시한 흐름도.
 도 5는 제1 실시형태의 플라즈마 에칭의 효과를 설명한 도면.
 도 6은 제2 실시형태의 플라즈마 에칭의 효과를 설명한 도면.

발명을 실시하기 위한 구체적인 내용

- [0012] 이하, 본 발명을 실시하기 위한 형태에 대해서 도면을 참조하여 설명한다. 또한, 본 명세서 및 도면에 있어서, 실질적으로 동일한 구성에 대해서는, 동일한 부호를 붙임으로써 중복된 설명을 생략한다.
- [0013] [플라즈마 에칭 장치의 전체 구성]
- [0014] 우선, 본 발명의 일 실시형태의 플라즈마 에칭 장치에 대해서, 도 1에 기초하여 설명한다. 도 1은 본 실시형태의 플라즈마 에칭 장치의 종단면의 일례를 도시한 도면이다.
- [0015] 플라즈마 에칭 장치(1)는, 예컨대 표면이 알루마이트 처리(양극 산화 처리)된 알루미늄으로 이루어진 원통형의 챔버(10)를 갖고 있다. 챔버(10)는, 접지되어 있다.
- [0016] 챔버(10)의 내부에는 배치대(12)가 설치되어 있다. 배치대(12)는, 예컨대 알루미늄(Al)이나 티탄(Ti), 탄화규소(SiC) 등의 재질로 이루어지고, 절연성의 유지부(14)를 통해 지지부(16)에 지지되어 있다. 이에 따라, 배치대(12)는 챔버(10)의 바닥부에 설치된다.
- [0017] 챔버(10)의 바닥부에는 배기관(26)이 설치되고, 배기관(26)은 배기 장치(28)에 접속되어 있다. 배기 장치(28)는, 터보 분자 펌프나 드라이 펌프 등의 진공 펌프로 구성되고, 챔버(10) 내의 처리 공간을 소정의 진공도까지 감압함과 더불어, 챔버(10) 내의 가스를 배기로(20) 및 배기구(24)로 유도하여, 배기한다. 배기로(20)에는 가스의 흐름을 제어하기 위한 배플판(22)이 부착되어 있다.
- [0018] 챔버(10)의 측벽에는 게이트 밸브(30)가 설치되어 있다. 게이트 밸브(30)의 개폐에 의해 챔버(10)로부터 웨이퍼(W)의 반입 및 반출이 행해진다.

- [0019] 배치대(12)에는, 플라즈마를 생성하기 위한 제1 고주파 전원(31)이 정합기(33)를 통해 접속되고, 웨이퍼(W)에 플라즈마 중의 이온을 인입하기 위한 제2 고주파 전원(32)이 정합기(34)를 통해 접속되어 있다. 예컨대, 제1 고주파 전원(31)은, 챔버(10) 내에서 플라즈마를 생성하는 데 적합한 제1 주파수, 예컨대 100 MHz의 제1 고주파 전력(HF)(플라즈마 생성용 고주파 전력)을 배치대(12)에 인가한다. 제2 고주파 전원(32)은, 배치대(12) 상의 웨이퍼(W)에 플라즈마 중의 이온을 인입하는 데 적합한 제1 주파수보다 낮은 제2 주파수, 예컨대 3.2 MHz의 제2 고주파 전력(LF)(바이어스 전압 발생용 고주파 전력)을 배치대(12)에 인가한다. 제2 고주파 전력(LF)은, 예컨대 제1 고주파 전력(HF)에 동기시켜 인가된다. 이와 같이 하여 배치대(12)는, 웨이퍼(W)를 배치함과 더불어, 하부 전극으로서의 기능을 갖는다.
- [0020] 배치대(12)의 상면에는 웨이퍼(W)를 정전 흡착력으로 유지하기 위한 정전척(40)이 설치되어 있다. 정전척(40)은 도전막으로 이루어진 전극(40a)을 한 쌍의 절연층(40b)(또는 절연 시트) 사이에 끼운 것으로서, 전극(40a)에는 직류 전압원(42)이 스위치(43)를 통해 접속되어 있다. 정전척(40)은, 직류 전압원(42)으로부터의 전압에 의해, 쿨롱력에 의해 웨이퍼(W)를 정전척 상에 흡착하여 유지한다. 정전척(40)에는 온도 센서(77)가 설치되어, 정전척(40)의 온도를 측정하도록 되어 있다. 이에 따라, 정전척(40) 상의 웨이퍼(W)의 온도가 측정된다.
- [0021] 정전척(40)의 주연부에는, 배치대(12)의 주위를 둘러싸도록 포커스링(18)이 배치되어 있다. 포커스링(18)은, 예컨대 실리콘이나 석영으로 형성되어 있다. 포커스링(18)은, 예칭의 면내 균일성을 높이도록 기능한다.
- [0022] 챔버(10)의 천정부에는, 가스 샤크 헤드(38)가 접지 전위의 상부 전극으로서 설치되어 있다. 이에 따라, 제1 고주파 전원(31)으로부터 출력되는 제1 고주파 전력(HF)이 배치대(12)와 가스 샤크 헤드(38) 사이에 용량적으로 인가된다.
- [0023] 가스 샤크 헤드(38)는, 다수의 가스 통기공(56a)을 갖는 전극판(56)과, 전극판(56)을 착탈 가능하게 지지하는 전극 지지체(58)를 갖는다. 가스 공급원(62)은, 가스 공급 배관(64)을 통해 가스 도입구(60a)로부터 가스 샤크 헤드(38) 내에 처리 가스를 공급한다. 처리 가스는, 가스 확산실(57)에서 확산되고, 다수의 가스 통기공(56a)으로부터 챔버(10) 내로 도입된다. 챔버(10)의 주위에는, 환형 또는 동심원형으로 연장되는 자석(66)이 배치되고, 자력에 의해 상부 전극과 하부 전극의 플라즈마 생성 공간에 생성되는 플라즈마를 제어한다.
- [0024] 정전척(40)에는, 히터(75)가 매립되어 있어도 좋다. 히터(75)는, 정전척(40) 내에 매립하는 대신에 정전척(40)의 이면에 접착하도록 하여도 좋다. 히터(75)에는, 급전선을 통해 교류 전원(44)으로부터 출력된 전류가 공급된다. 이에 따라, 히터(75)는, 배치대(12)를 가열한다.
- [0025] 배치대(12)의 내부에는 냉매관(70)이 형성되어 있다. 칠러 유닛(71)으로부터 공급된 냉매(이하, 「브라인(Brine)」이라고도 함)는 냉매관(70) 및 냉매 순환관(73)을 순환하여, 배치대(12)를 냉각시킨다.
- [0026] 이러한 구조에 의해, 배치대(12)는, 소정 온도의 브라인이 배치대(12) 내의 냉매관(70)을 흐름으로써 냉각된다. 이에 따라, 웨이퍼(W)가 원하는 온도로 조정된다. 또한, 정전척(40)의 상면과 웨이퍼(W)의 이면 사이에는, 전열 가스 공급 라인(72)을 통해 헬륨(He) 가스 등의 전열 가스가 공급된다.
- [0027] 제어부(50)는, CPU(51), ROM(Read Only Memory)(52), RAM(Random Access Memory)(53) 및 HDD(Hard Disk Drive)(54)를 갖는다. CPU(51)는, ROM(52), RAM(53) 또는 HDD(54)의 기록부에 기록된 레시피에 설정된 절차에 따라, 예칭 등의 플라즈마 예칭을 행한다. 또한, 기록부에는, 후술되는 데이터 테이블 등의 각종 데이터가 기록된다. 제어부(50)는, 히터(75)에 의한 가열 기구나 브라인에 의한 냉각 기구의 온도를 제어한다.
- [0028] 플라즈마 예칭을 행할 때에는, 게이트 밸브(30)의 개폐가 제어되어, 웨이퍼(W)가 챔버(10) 내로 반입되고, 정전척(40) 상에 배치된다. 게이트 밸브(30)는, 웨이퍼(W)를 반입한 후에 폐쇄된다. 챔버(10) 내의 압력은, 배기 장치(28)에 의해 설정치로 감압된다. 정전척(40)의 전극(40a)에 직류 전압원(42)으로부터의 전압을 인가함으로써, 웨이퍼(W)는, 정전척(40) 상에 정전 흡착된다.
- [0029] 계속해서, 소정의 가스가 가스 샤크 헤드(38)로부터 샤크 형으로 챔버(10) 내에 도입되고, 소정 파워의 플라즈마 생성용 제1 고주파 전력(HF)이 배치대(12)에 인가된다. 도입된 가스가 제1 고주파 전력(HF)에 의해 전리 및 해리됨으로써 플라즈마가 생성되고, 플라즈마의 작용에 의해 웨이퍼(W)에 예칭 등의 플라즈마 예칭이 행해진다. 배치대(12)에는, 바이어스 전압 발생용 제2 고주파 전력(LF)이 인가되어도 좋다. 플라즈마 예칭 종료 후, 웨이퍼(W)는 챔버(10) 밖으로 반출된다.
- [0030] [플라즈마 예칭 방법]

- [0031] 다음에, 불소 함유 가스를 이용한 실리콘 산화막(SiO₂)과 실리콘 질화막(SiN)의 적층막의 에칭에 대해서, 도 2에 기초하여 설명한다. 도 2는 에칭 전후의 적층막의 단면 형상을 설명하는 도면으로서, 도 2의 (a)는 에칭 전의 적층막의 개략 단면을 나타내고, 도 2의 (b)는 에칭 후의 적층막의 개략 단면을 나타내고 있다.
- [0032] 도 2의 (a)에 도시된 바와 같이, 웨이퍼(W) 상에, 실리콘 산화막(201)과 실리콘 질화막(202)이 교대로 복수층 적층된 적층막(200)이 형성되고, 적층막(200) 상에, 개구(300a)를 갖는 마스크막(300)이 형성되어 있다. 웨이퍼(W)는, 예컨대 실리콘 웨이퍼이다. 마스크막(300)은, 예컨대 폴리실리콘막, 유기막, 비정질 카본막, 질화티탄막이다.
- [0033] 도 2의 (b)에 도시된 바와 같이, 마스크막(300)을 에칭 마스크로 하여, 불소 함유 가스를 포함하는 제1 처리 가스로부터 생성된 플라즈마에 의해 적층막(200)을 에칭하면, 적층막(200)에 홀(200h)이 형성된다. 이 때, 적층막(200)에 형성되는 홀(200h)의 측벽(200sw)에 있어서, 실리콘 산화막(201)과 실리콘 질화막(202)의 계면에 단차(스캘러핑)가 생기는 경우가 있다. 이것은, 에칭시에, 실리콘 산화막(201)이 에칭되는 속도(에칭 속도)와 실리콘 질화막(202)이 에칭되는 속도(에칭 속도)가 상이하기 때문이다. 이와 같이 실리콘 산화막(201)과 실리콘 질화막(202)의 계면에 단차가 생기면, 홀(200h)을 형성한 후의 공정에 있어서 홀(200h)에 막을 형성하는 경우, 형성된 막이 박리되기 쉬워지는 등, 신뢰성이 저하된다. 이러한 실리콘 산화막(201)과 실리콘 질화막(202)의 계면의 단차는, 웨이퍼(W)의 온도가 -30°C 이하인 극저온 환경 하에 있어서 에칭을 행하는 경우에 생기기 쉽다. 또한, 제1 처리 가스는, 수소 함유 가스를 포함하고 있어도 좋다.
- [0034] 일례로서, 하기에 나타내는 극저온 환경 하의 프로세스 조건으로, 실리콘 산화막(201)과 실리콘 질화막(202)의 적층막(200)을 에칭함으로써 형성된 홀(200h)의 형상에 대해서 설명한다. 프로세스 조건은 이하와 같다.
- [0035] · 칠러 유닛의 설정 온도 : -60°C
 - [0036] · 가스 : 수소(H₂)/사불화탄소(CF₄)/트리플루오로메탄(CHF₃)
 - [0037] · 압력 : 60 mTorr(8.0 Pa)
 - [0038] · 제1 고주파 전력 HF : 2500 W, 연속파
 - [0039] · 제2 고주파 전력 LF : 4000 W, 펄스파, 주파수 0.3 kHz, 둑티비 55%
- [0040] 도 3은 실리콘 산화막과 실리콘 질화막의 계면에 생기는 단차를 설명한 도면으로서, 하부도는 상부도에 있어서의 영역 A를 확대한 단면을 나타내고 있다.
- [0041] 도 3에 도시된 바와 같이, 마스크막(300)을 에칭 마스크로 하여, 불소 함유 가스를 포함하는 제1 처리 가스로부터 생성된 플라즈마에 의해 적층막(200)을 에칭한 경우, 적층막(200)에 형성된 홀(200h)의 측벽(200sw)에 있어서, 단차가 생겼다.
- [0042] 그래서, 이하에서는, 적층막(200)의 에칭에 있어서 실리콘 산화막(201)과 실리콘 질화막(202)의 계면에 생기는 단차를 제거할 수 있는, 제1 실시형태 및 제2 실시형태의 플라즈마 에칭 방법에 대해서 설명한다.
- [0043] <제1 실시형태>
- [0044] 제1 실시형태의 플라즈마 에칭 방법에 대해서, 도 4에 기초하여 설명한다. 도 4는 제1 실시형태의 플라즈마 에칭 방법의 일례를 도시한 흐름도이다.
- [0045] 도 4에 도시된 바와 같이, 본 실시형태의 플라즈마 에칭 방법에서는, 우선, 웨이퍼 표면의 온도를 -30°C 이하의 극저온으로 제어한다(단계 S2). 계속해서, 불소 함유 가스를 포함하는 제1 처리 가스를 챔버(10) 내에 공급한다(단계 S4). 예컨대, H₂/CF₄/CHF₃를 포함하는 처리 가스가 공급된다.
- [0046] 계속해서, 제1 처리 가스를 이용하여, 실리콘 산화막(201)과 실리콘 질화막(202)의 적층막(200)을 에칭한다(단계 S6: 제1 공정). 구체적으로는, 제1 고주파 전원(31)으로부터 제1 고주파 전력(HF)을 출력(온)하고, 플라즈마 생성용 고주파 전력을 배치대(12)에 인가한다. 또한, 제2 고주파 전원(32)으로부터 제2 고주파 전력(LF)을 출력(온)하고, 바이어스 전압 발생용 고주파 전력을 배치대(12)에 인가한다. 이 때, 제1 고주파 전력(HF) 및 제2 고주파 전력(LF)은, 연속파여도 좋고, 펄스파여도 좋다. 제1 공정의 실행 시간(소정 시간)은, 적층막(200)에 형성하는 홀(200h)의 깊이, 제1 고주파 전력(HF)의 출력, 제2 고주파 전력(LF)의 출력 등에 따라 정해진다. 소정 시간이 경과하면, 제1 고주파 전력(HF) 및 제2 고주파 전력을 오프한다(단계 S8).

- [0047] 계속해서, 불소 함유 가스를 포함하는 제1 처리 가스에 브롬 함유 가스를 첨가한 제2 처리 가스를 챔버(10) 내에 공급한다(단계 S10). 예컨대, $H_2/CF_4/CHF_3$ /브롬화수소(HBr)를 포함하는 처리 가스가 공급된다.
- [0048] 계속해서, 제2 처리 가스를 이용하여, 실리콘 산화막(201)과 실리콘 질화막(202)의 적층막(200)을 에칭한다(단계 S12: 제2 공정). 구체적으로는, 제1 고주파 전원(31)으로부터 제1 고주파 전력(HF)을 출력(온)하고, 플라즈마 생성용 고주파 전력을 배치대(12)에 인가한다. 또한, 제2 고주파 전원(32)으로부터 제2 고주파 전력(LF)을 출력(온)하고, 바이어스 전압 발생용 고주파 전력을 배치대(12)에 인가한다. 이 때, 제1 고주파 전력(HF)은, 연속파여도 좋고, 펄스파여도 좋지만, 제2 고주파 전력(LF)은, 연속파인 것이 바람직하다. 제2 공정의 실행 시간(소정 시간)은, 제1 고주파 전력(HF)의 출력, 제2 고주파 전력(LF)의 출력 등에 따라 정해진다. 소정 시간이 경과하면, 제1 고주파 전력(HF) 및 제2 고주파 전력을 오프한다(단계 S14).
- [0049] 이상에 의해, 적층막(200)에 홀(200h)이 형성된다.
- [0050] 또한, 본 실시형태에서는, 제1 공정 후, 제1 고주파 전력(HF) 및 제2 고주파 전력(LF)을 일단 오프한 후, 제2 공정에 있어서, 제1 고주파 전력(HF) 및 제2 고주파 전력(LF)을 다시 온하였지만, 이것에 한정되지 않는다. 예컨대, 제1 공정 후, 제1 고주파 전력(HF) 및 제2 고주파 전력(LF)을 오프하지 않고 계속해서 제2 공정을 행하여도 좋다.
- [0051] 구체적으로는, 하기에 나타내는 프로세스 조건에 의해, 마스크막(300)을 에칭 마스크로 하여 실리콘 산화막(201)과 실리콘 질화막(202)의 적층막(200)에 플라즈마 에칭을 행하였다. 프로세스 조건은 이하와 같다.
- [0052] (제1 공정)
- [0053] · 칠러 유닛의 설정 온도 : -60°C
- [0054] · 가스 : $H_2/CF_4/CHF_3$
- [0055] · 압력 : 60 mTorr(8.0 Pa)
- [0056] · 제1 고주파 전력 HF : 2500 W, 연속파
- [0057] · 제2 고주파 전력 LF : 4000 W, 펄스파, 주파수 0.3 kHz, 뉴티비 55%
- [0058] (제2 공정)
- [0059] · 칠러 유닛의 설정 온도 : -60°C
- [0060] · 가스 : $H_2/CF_4/CHF_3/HBr$
- [0061] · 압력 : 60 mTorr(8.0 Pa)
- [0062] · 제1 고주파 전력 HF : 2500 W, 연속파
- [0063] · 제2 고주파 전력 LF : 5500 W, 연속파
- [0064] 이 때, 비교예로서, 제2 공정에 있어서, HBr을 첨가하지 않은 것 이외에는 제1 실시형태와 동일한 공정에 의해, 플라즈마 에칭을 행하였다. 프로세스 조건은 이하와 같다.
- [0065] (제1 공정)
- [0066] · 칠러 유닛의 설정 온도 : -60°C
- [0067] · 가스 : $H_2/CF_4/CHF_3$
- [0068] · 압력 : 60 mTorr(8.0 Pa)
- [0069] · 제1 고주파 전력 HF : 2500 W, 연속파
- [0070] · 제2 고주파 전력 LF : 4000 W, 펄스파, 주파수 0.3 kHz, 뉴티비 55%
- [0071] (제2 공정)
- [0072] · 칠러 유닛의 설정 온도 : -60°C

[0073] · 가스 : $H_2/CF_4/CHF_3$

[0074] · 압력 : 60 mTorr(8.0 Pa)

[0075] · 제1 고주파 전력 HF : 2500 W, 연속파

[0076] · 제2 고주파 전력 LF : 5500 W, 연속파

[0077] 도 5는 제1 실시형태의 플라즈마 에칭의 효과를 설명한 도면으로서, 하부도는 상부도에 있어서의 영역 A를 확대한 단면을 나타내고 있다. 구체적으로는, 도 5의 (a)는 제1 공정 후에 본 실시형태의 제2 공정의 에칭을 행한 후의 적층막(200)의 단면을 나타내고, 도 5의 (b)는 제1 공정 후에 비교예의 제2 공정의 에칭을 행한 후의 적층막(200)의 단면을 나타내고 있다.

[0078] 도 5의 (a)에 도시된 바와 같이, 제2 공정에 있어서 에칭 가스로서 HBr을 포함하는 제2 처리 가스를 이용하여 적층막(200)을 에칭함으로써, 제1 공정에 있어서 발생한 실리콘 산화막(201)과 실리콘 질화막(202)의 계면에 생기는 단차를 제거할 수 있다. 이것은, 제2 공정에 있어서 HBr을 첨가함으로써, 적층막(200)으로부터 실리콘 이 두드려져 나와(叩出), 실리콘 산화막(201)과 실리콘 질화막(202)의 계면에 생기는 단차의 오목부에 실리콘 함유 물로서 퇴적됨과 더불어, 단차의 볼록부가 깎여져, 단차가 평탄화되기 때문이다. 이 때, 단차의 볼록부가 깎이는 것을 촉진한다고 하는 관점에서, 제2 공정에 있어서는, 제2 고주파 전력(LF)을 인가하는 것이 바람직하고, 제2 고주파 전력(LF)은 제1 고주파 전력(HF)보다 큰 것이 특히 바람직하다. 또한, HBr을 첨가함으로써, 실리콘 산화막(201)의 에칭 속도와 실리콘 질화막(202)의 에칭 속도의 차를 작게 할 수 있다. 이 때문에, 제2 공정에서는, 제1 공정과 비교하여 실리콘 산화막(201)과 실리콘 질화막(202)의 계면에 단차가 쉽게 생기지 않는다.

[0079] 또한, 제1 공정에서는, HBr을 첨가하지 않고 적층막(200)을 에칭하고 있다. 이 때문에, 적층막(200)에 대한 마스크막(300)의 선택비(마스크 선택비)를 저하시키지 않고, 적층막(200)에 훌(200h)을 형성할 수 있다.

[0080] 이것에 대하여, 도 5의 (b)에 도시된 바와 같이, 제2 공정에 있어서 에칭 가스로서 HBr을 첨가하지 않은 경우, 실리콘 산화막(201)과 실리콘 질화막(202)의 계면에 생기는 단차에 개선은 거의 보이지 않는다.

[0081] 또한, 본 실시형태에서는, 제2 공정에 있어서의 챔버(10) 내의 압력을 60 mTorr(8.0 Pa)로 하였지만, 챔버(10) 내의 압력은 60 mTorr(8.0 Pa) 이하여도 좋고, 예컨대, 25 mTorr(3.3 Pa), 15 mTorr(2.0 Pa)여도 좋다. 제2 공정에 있어서의 챔버(10) 내의 압력을 낮게 함으로써, 적층막(200)에 형성되는 훌(200h)의 바닥부의 직경(하부 CD)을 확대할 수 있다. 그 결과, 실리콘 산화막(201)과 실리콘 질화막(202)의 계면에 생기는 단차의 제거에 덧붙여, 적층막(200)에 형성되는 훌(200h)의 측벽(200sw)의 수직성을 향상시킬 수 있다.

[0082] 이상으로 설명한 바와 같이, 제1 실시형태의 플라즈마 에칭 방법에서는, 불소 함유 가스를 포함하는 제1 처리 가스의 플라즈마를 이용하여 적층막(200)을 에칭한 후, 브롬 함유 가스를 포함하는 제2 처리 가스의 플라즈마를 이용하여 적층막(200)을 에칭한다. 이에 따라, 실리콘 산화막(201)과 실리콘 질화막(202)의 계면에 생기는 단차를 제거할 수 있다.

[0083] <제2 실시형태>

[0084] 제2 실시형태의 플라즈마 에칭 방법에 대해서 설명한다. 제1 실시형태에서는, 제2 공정에서 사용하는 제2 처리 가스가, 제1 공정에서 사용하는 제1 처리 가스에 브롬 함유 가스를 첨가한 처리 가스인 형태에 대해서 설명하였다. 이것에 대하여, 제2 실시형태에서는, 제2 공정에서 사용하는 제2 처리 가스가, 제1 공정에서 사용하는 제1 처리 가스와는 상이한 처리 가스에 브롬 함유 가스를 첨가하는 형태에 대해서 설명한다.

[0085] 구체적으로는, 하기에 나타내는 프로세스 조건에 의해, 마스크막(300)을 에칭 마스크로 하여 실리콘 산화막(201)과 실리콘 질화막(202)의 적층막(200)에 플라즈마 에칭을 행하였다. 프로세스 조건은 이하와 같다.

[0086] (제1 공정)

[0087] · 칠러 유닛의 설정 온도 : -60°C

[0088] · 가스 : $H_2/CF_4/CHF_3$

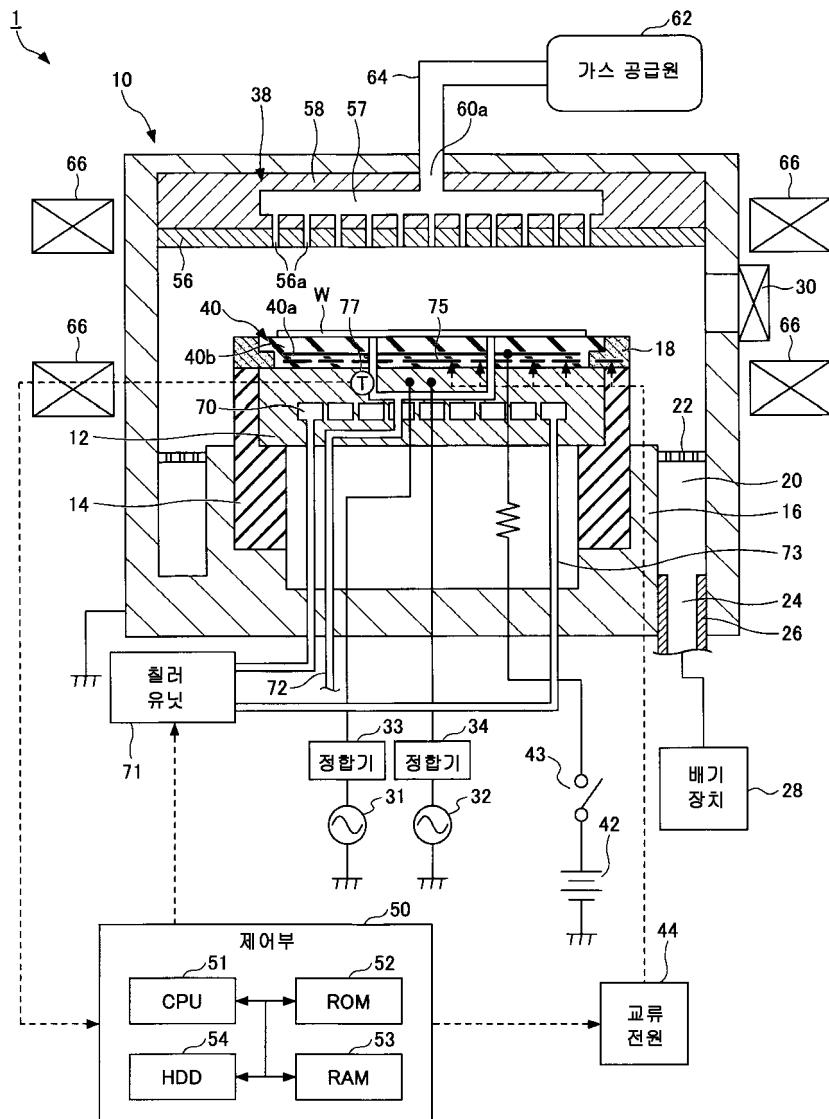
[0089] · 압력 : 60 mTorr(8.0 Pa)

[0090] · 제1 고주파 전력 HF : 2500 W, 연속파

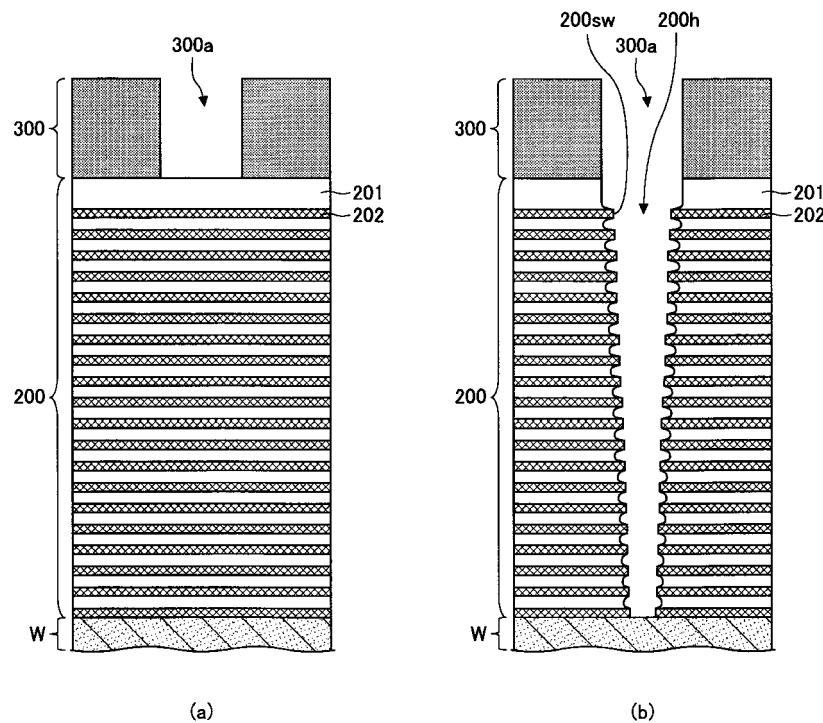
- [0091] · 제2 고주파 전력 LF : 4000 W, 펄스파, 주파수 0.3 kHz, 듀티비 55%
- [0092] (제2 공정)
- [0093] · 칠러 유닛의 설정 온도 : -60°C
- [0094] · 가스 : 디플루오로메탄(CH₂F₂)/메탄(CH₄)/삼불화질소(NF₃)/HBr
- [0095] · 압력 : 60 mTorr(8.0 Pa)
- [0096] · 제1 고주파 전력 HF : 2500 W, 연속파
- [0097] · 제2 고주파 전력 LF : 5500 W, 연속파
- [0098] 도 6은 제2 실시형태의 플라즈마 에칭의 효과를 설명한 도면으로서, 하부도는 상부도에 있어서의 영역 A를 확대한 단면을 나타내고 있다. 구체적으로는, 도 6은 제1 공정 후에 본 실시형태의 제2 공정의 에칭을 행한 후의 적층막(200)의 단면을 나타내고 있다.
- [0099] 도 6에 도시된 바와 같이, 에칭 가스로서 HBr을 포함하는 제2 처리 가스를 이용하여 적층막(200)을 에칭함으로써, 제1 실시형태와 마찬가지로, 실리콘 산화막(201)과 실리콘 질화막(202)의 계면에 생기는 단자를 제거할 수 있다.
- [0100] 이상으로 설명한 바와 같이, 제2 실시형태의 플라즈마 에칭 방법에서는, 불소 함유 가스를 포함하는 제1 처리 가스의 플라즈마를 이용하여 적층막(200)을 에칭한 후, 브롬 함유 가스를 포함하는 제2 처리 가스의 플라즈마를 이용하여 적층막(200)을 에칭한다. 이에 따라, 실리콘 산화막(201)과 실리콘 질화막(202)의 계면에 생기는 단자를 제거할 수 있다.
- [0101] 이상, 플라즈마 에칭 방법을 상기 실시형태에 의해 설명하였지만, 본 발명의 플라즈마 에칭 방법은 상기 실시형태에 한정되지 않고, 본 발명의 범위 내에서 여러 가지 변형 및 개량이 가능하다.
- [0102] 예컨대, 본 발명의 플라즈마 에칭 방법은, 적층막에 홀을 형성하는 경우뿐만 아니라, 적층막에 트렌치를 형성하는 경우에도 적용할 수 있다.
- [0103] 또한, 예컨대 본 발명의 플라즈마 에칭 방법은, 용량 결합형 플라즈마(CCP: Capacitively Coupled Plasma) 장치뿐만 아니라, 그 밖의 에칭 처리 장치에 적용할 수 있다. 그 밖의 에칭 처리 장치로는, 유도 결합형 플라즈마(ICP: Inductively Coupled Plasma), 레이디얼 라인 슬롯 앤테나를 이용한 플라즈마 에칭 장치, 헬리콘파 여기형 플라즈마(HWP: Helicon Wave Plasma) 장치, 전자 사이클로트론 공명 플라즈마(ECR: Electron Cyclotron Resonance Plasma) 장치 등이어도 좋다.
- [0104] 또한, 예컨대 본 발명의 에칭 처리 장치에 의해 처리되는 기판은, 웨이퍼에 한정되지 않고, 예컨대, 플랫 패널 디스플레이(Flat Panel Display)용 대형 기판, EL(Electro Luminescence) 소자 또는 태양 전지용 기판이어도 좋다.
- 부호의 설명**
- [0105] 1 : 플라즈마 에칭 장치 31 : 제1 고주파 전원
 32 : 제2 고주파 전원 200 : 적층막
 201 : 실리콘 산화막 202 : 실리콘 질화막
 HF : 제1 고주파 전력 LF : 제2 고주파 전력

도면

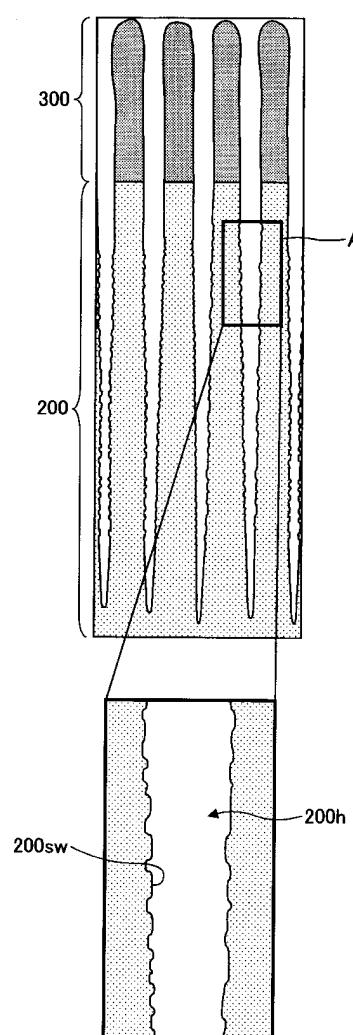
도면1



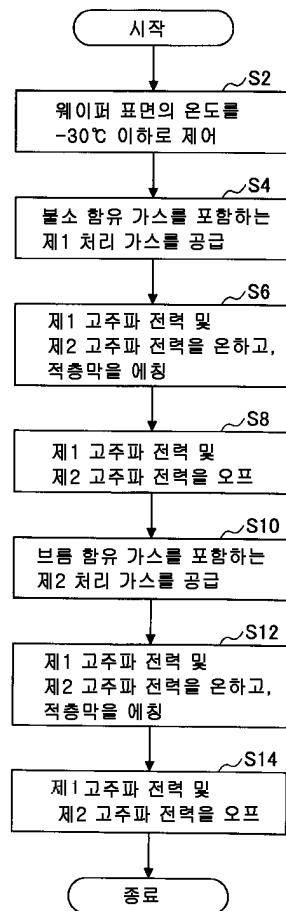
도면2



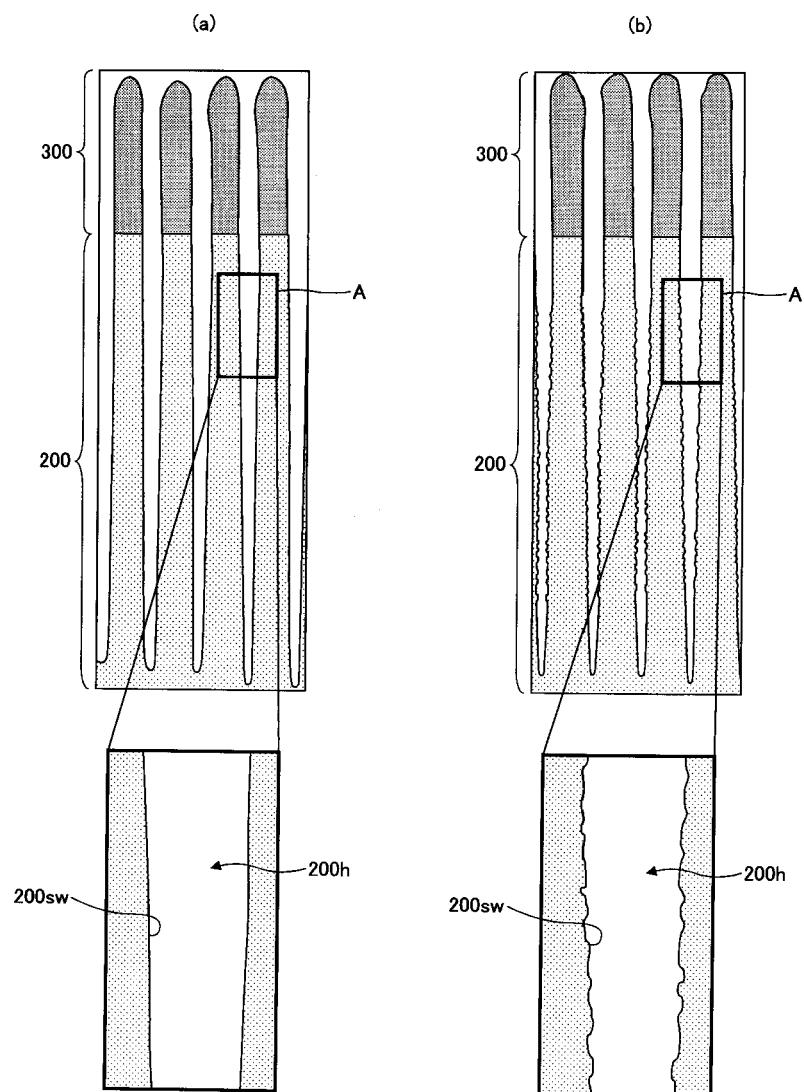
도면3



도면4



도면5



도면6

