



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201407745 A

(43) 公開日：中華民國 103 (2014) 年 02 月 16 日

(21) 申請案號：102126548

(22) 申請日：中華民國 102 (2013) 年 07 月 24 日

(51) Int. Cl. : H01L25/04 (2006.01)

H01L23/52 (2006.01)

(30) 優先權：2012/08/01 美國

13/564,702

(71) 申請人：日月光半導體製造股份有限公司 (中華民國) ADVANCED SEMICONDUCTOR ENGINEERING, INC. (TW)

高雄市楠梓加工區經三路 26 號

(72) 發明人：林奕嘉 LIN, I CHIA (TW) ; 周生見 JOU, SHENG JIAN (TW) ; 顏瀚琦 YEN, HAN CHEE (TW)

(74) 代理人：祁明輝；林素華；涂綺玲

申請實體審查：有 申請專利範圍項數：20 項 圖式數：13 共 54 頁

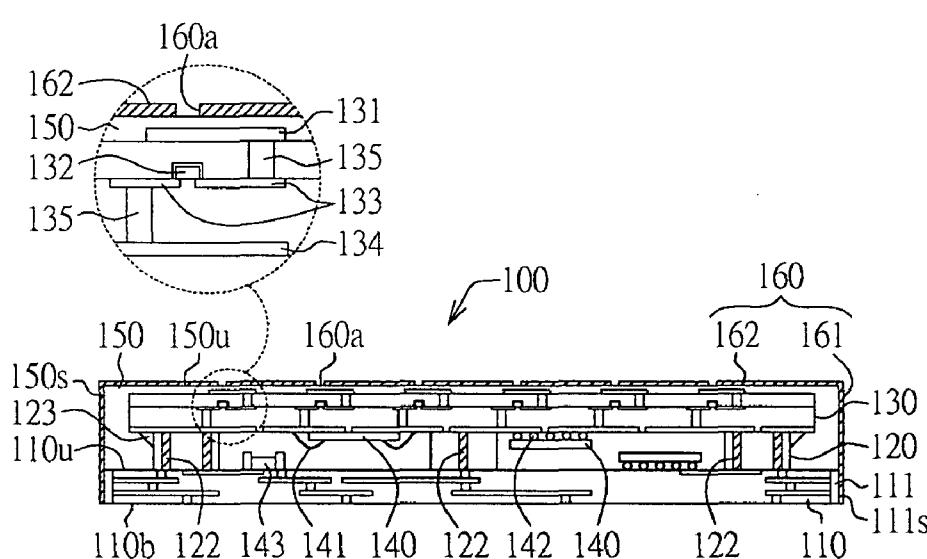
(54) 名稱

半導體封裝件及其製造方法

SEMICONDUCTOR PACKAGE AND MANUFACTURING METHOD THEREOF

(57) 摘要

一種半導體封裝件及其製造方法。半導體封裝件包括第一基板、第二基板、中介層、半導體晶片、封裝體及第一天線層。第一基板包含接地件。中介層設於第一基板與第二基板之間。半導體晶片設於第二基板。封裝體包覆第二基板、半導體晶片與中介層，且具有側面及上表面。第一天線形成於封裝體之側面及上表面，且電性連接於接地件。



第 1A 圖

100：半導體封裝件

110：第一基板

110b：下表面

110u：上表面

111：接地件

111s：側面

120：中介層基板

122：導電元件

123：黏結物

130：第二基板

131：微帶線

132：相位位移器

133：圖案化導電層

134：饋入網

135：導電孔

140：半導體晶片

141：接合線

- 142 : 焊球
- 143 : 被動元件
- 150 : 封裝體
- 150s : 側面
- 150u : 上表面
- 160 : 第一天線層
- 160a : 開槽
- 161 : 接地層
- 162 : 幅射層



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201407745 A

(43) 公開日：中華民國 103 (2014) 年 02 月 16 日

(21) 申請案號：102126548

(22) 申請日：中華民國 102 (2013) 年 07 月 24 日

(51) Int. Cl. : H01L25/04 (2006.01)

H01L23/52 (2006.01)

(30) 優先權：2012/08/01 美國

13/564,702

(71) 申請人：日月光半導體製造股份有限公司 (中華民國) ADVANCED SEMICONDUCTOR ENGINEERING, INC. (TW)
高雄市楠梓加工區經三路 26 號

(72) 發明人：林奕嘉 LIN, I CHIA (TW) ; 周生見 JOU, SHENG JIAN (TW) ; 顏瀚琦 YEN, HAN CHEE (TW)

(74) 代理人：祁明輝；林素華；涂綺玲

申請實體審查：有 申請專利範圍項數：20 項 圖式數：13 共 54 頁

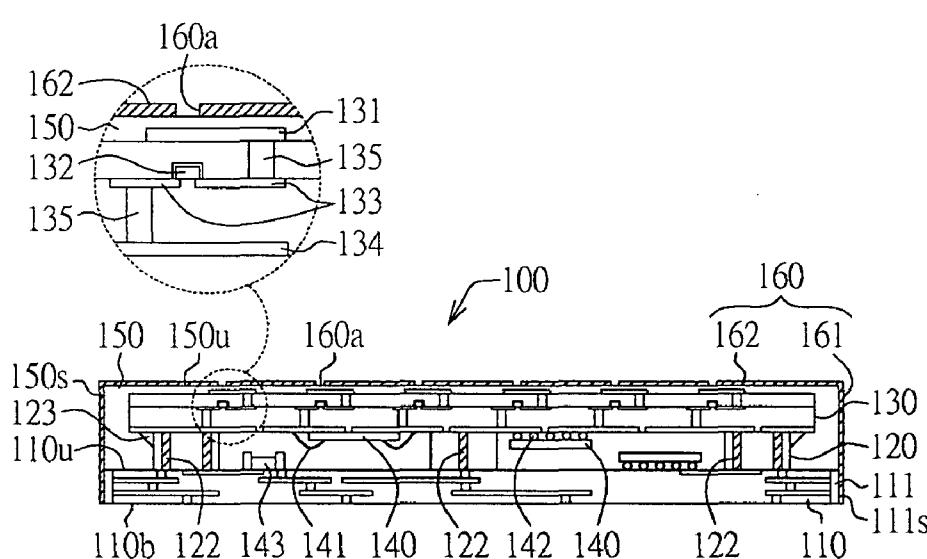
(54) 名稱

半導體封裝件及其製造方法

SEMICONDUCTOR PACKAGE AND MANUFACTURING METHOD THEREOF

(57) 摘要

一種半導體封裝件及其製造方法。半導體封裝件包括第一基板、第二基板、中介層、半導體晶片、封裝體及第一天線層。第一基板包含接地件。中介層設於第一基板與第二基板之間。半導體晶片設於第二基板。封裝體包覆第二基板、半導體晶片與中介層，且具有側面及上表面。第一天線形成於封裝體之側面及上表面，且電性連接於接地件。



第 1A 圖

100：半導體封裝件

110：第一基板

110b：下表面

110u：上表面

111：接地件

111s：側面

120：中介層基板

122：導電元件

123：黏結物

130：第二基板

131：微帶線

132：相位位移器

133：圖案化導電層

134：饋入網

135：導電孔

140：半導體晶片

141：接合線

201407745

發明摘要

※ 申請案號： 102126548

※ 申請日： 102. 7. 24

※IPC 分類： H01L25/10 2006.01

H01L25/10 2006.01

【發明名稱】(中文/英文)

半導體封裝件及其製造方法/SEMICONDUCTOR PACKAGE
AND MANUFACTURING METHOD THEREOF

○ 【中文】

一種半導體封裝件及其製造方法。半導體封裝件包括第一基板、第二基板、中介層、半導體晶片、封裝體及第一天線層。第一基板包含接地件。中介層設於第一基板與第二基板之間。半導體晶片設於第二基板。封裝體包覆第二基板、半導體晶片與中介層，且具有側面及上表面。第一天線形成於封裝體之側面及上表面，且電性連接於接地件。

○ 【英文】

A semiconductor package and a manufacturing method thereof are provided. The semiconductor package includes a first substrate, a second substrate, an interposer substrate, a semiconductor chip, a package body and a first antenna layer. The first substrate comprises a grounding segment. The interposer substrate is disposed between the second substrate and the first

substrate. The semiconductor chip is disposed on the second substrate. The package body encapsulates the second substrate, the semiconductor chip and the interposer substrate, and has a lateral surface and an upper surface. The first antenna layer is formed on the lateral surface and the upper surface of the package body, and electrically connected to the grounding segment.

【代表圖】

【本案指定代表圖】：第 1A 圖

【本代表圖之符號簡單說明】：

100：半導體封裝件

110：第一基板

110b：下表面

110u、150u：上表面

111s、150s：側面

111：接地件

142：焊球

120：中介層基板

122：導電元件

123：黏結物

130：第二基板

131：微帶線

substrate. The semiconductor chip is disposed on the second substrate. The package body encapsulates the second substrate, the semiconductor chip and the interposer substrate, and has a lateral surface and an upper surface. The first antenna layer is formed on the lateral surface and the upper surface of the package body, and electrically connected to the grounding segment.

【代表圖】

【本案指定代表圖】：第 1A 圖

【本代表圖之符號簡單說明】：

100：半導體封裝件

110：第一基板

110b：下表面

110u、150u：上表面

111s、150s：側面

111：接地件

142：焊球

120：中介層基板

122：導電元件

123：黏結物

130：第二基板

131：微帶線

201407745

132：相位位移器

133：圖案化導電層

134：饋入網

135：導電孔

140：半導體晶片

141：接合線

143：被動元件

150：封裝體

160：第一天線層

160a：開槽

161：接地層

162：幅射層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體封裝件及其製造方法/SEMICONDUCTOR PACKAGE
AND MANUFACTURING METHOD THEREOF

【技術領域】

【0001】 本發明是有關於一種半導體封裝件及其製造方法，且特別是有關於一種具有天線之半導體封裝件及其製造方法。

【先前技術】

【0002】 無線通訊裝置例如是手機 (cell phone)，需要天線以傳送及接收訊號。傳統上，無線通訊裝置包括天線及通訊模組 (例如是具有無線射頻 (RF) 通訊能力之一半導體封裝件)，其各設於電路板的不同部位。在傳統方式中，天線及通訊模組係分別製造且設置在電路板後進行電性連接，因此導致高製造成本且難以完成輕薄短小的設計。此外，天線與通訊模組之間的 RF 訊號傳輸路徑較長，天線與通訊模組之間的訊號傳輸品質因而降低。

【發明內容】

【0003】 根據本發明之一實施例，提出一種半導體封裝件。半導體封裝件包括一第一基板、一中介層、一第一晶片、一第二基板、一第二晶片、一第三晶片、一感應器、一封裝體及一金屬層。第一基板包含一接地層。中介層設於第一基板的一上表面且

具有至少一開口。第一晶片設於至少一開口並耦接於第一基板。第二基板耦接於中介層，且設於第一基板上方且具有一面積，第二基板之面積小於第一基板之一面積。第二晶片設於第二基板之下表面。第三晶片內埋於第二基板。感應器設於第二基板之上表面，其中感應器電性連接於第二基板及第三晶片。封裝體包覆第一基板之數個部分、中介層、第二基板、第一晶片與第二晶片，封裝體具有一側面及一上表面。金屬層設於封裝體的側面與上表面，其中金屬層電性連接第一基板且具有數個孔覆蓋在感應器上。

【0004】 根據本發明之另一實施例，提出一種半導體封裝件。半導體封裝件包括一第一基板、一中介層、一第一晶片、一第二基板、一第二晶片、一感應器、一封裝體及一金屬層。第一基板包含一接地層。中介層設於第一基板的一上表面。第一晶片設於由中介層所定義之一空間且耦接於第一基板。第二基板設於第一基板上方且耦接於中介層。第二晶片設於第二基板之下表面。感應器設於第二基板的一上表面且耦接於第二晶片。封裝體包覆第一基板之數個部分、中介層、第二基板、第一晶片與第二晶片，封裝體具有一側面及一上表面。金屬層設於封裝體的側面與上表面，其中金屬層電性連接第一基板且具有數個孔覆蓋在感應器上。

【0005】 根據本發明之另一實施例，提出一種半導體封裝件之製造方法。製造方法包括以下步驟。提供一第一基板，第一基

板包含一接地件；提供一第二基板，第二基板包含設於其上之一半導體晶片；設置一中介層基板於第一基板與第二基板之間，其中中介層基板電性連接於第一基板及第二基板；形成一封裝體包覆第二基板之數個部分、半導體晶片與中介層基板；形成一第一切割道經過封裝體，使封裝體形成一側面；形成一第一天線層於側面及封裝體之一上表面，其中第一天線層電性連接於第一基板之接地件；以及，形成一第二切割道經過第一基板。

【0006】 為了對本發明之上述及其他方面有更佳的瞭解，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

【圖式簡單說明】

【0007】

第 1A 圖繪示依照本發明一實施例之半導體封裝件的剖視圖。

第 1B 圖繪示第 1A 圖之俯視圖。

第 2 圖繪示依照本發明另一實施例之半導體封裝件 200 的剖視圖。

第 3A 圖繪示依照本發明另一實施例之半導體封裝件 300 的剖視圖。

第 3B 圖繪示第 3A 圖之俯視圖。

第 4 圖繪示依照本發明另一實施例之半導體封裝件 400 的剖視圖。

第 5 圖繪示依照本發明另一實施例之半導體封裝件 500 的剖視圖。

第 6 圖繪示依照本發明另一實施例之半導體封裝件 600 的剖視圖。

第 7 圖繪示依照本發明另一實施例之半導體封裝件 700 的剖視圖。

第 8A 至 8H 圖繪示第 1A 圖半導體封裝件之製造過程圖。

第 9A 至 9I 圖繪示第 2 圖半導體封裝件之製造過程圖。

第 10A 至 10C 圖繪示第 3A 圖半導體封裝件之製造過程圖。

第 11A 至 11F 圖繪示第 4 圖半導體封裝件之製造過程圖。

第 12A 至 12B 圖繪示第 5 圖半導體封裝件之製造過程圖。

第 13A 至 13D 圖繪示第 6 圖半導體封裝件之製造過程圖。

【實施方式】

【0008】 請參照第 1A 圖，其繪示依照本發明一實施例之半導體封裝件 100 的剖視圖。半導體封裝件 100 包括一第一基板 110、一中介層基板 120、一第二基板 130、數個半導體晶片 140、一封裝體 150 及一第一天線層 160。

【0009】 第一基板 110 具有相對之一上表面 110u 與一下表面 110b，且包括一接地件 111。第一基板 110 例如是一多層有機基板或一陶瓷基板。此外，至少一半導體晶片 112 及至少一被動元件 143 更設於第一基板 110 的上表面 110u 且電性連接於第一基板 110。例如，設於第一基板 110 的半導體晶片 112 可以是一基頻晶片 (baseband chip)。

【0010】 本例中，接地件 111 為一導電柱 (conductive pillar)，其從第一基板 110 的上表面 110u 延伸至第一基板 110 的下表面 110b (即，接地件 111 貫穿第一基板 110)。此外，接地件 111 可不貫穿第一基板 110。接地件 111 可由導電材料製成，例如是銅。

【0011】 中介層基板 120 設於第一基板 110 與第二基板 130 之間，讓半導體晶片 140 及被動元件 143 容置於第一基板 110 與第二基板 130 之間的空間。此外，中介層基板 120 可採用支撐第二基板 130 的一邊緣部及一中間部的方式配置，以降低第二基板 130 的任何翹曲。

【0012】 中介層基板 120 包括數個導電元件 122，其電性連接於第一基板 110 及第二基板 130，使一訊號可透過中介層基板 120 傳輸於第一基板 110 與第二基板 130 之間。此外，一黏結物 123 可形成於第二基板 130 與中介層基板 120 之間的轉角，以免當第二基板 130 倒置時中介層基板 120 掉落。

【0013】 第二基板 130 例如是多層有機基板或一陶瓷基板。第二基板 130 包括一微帶線 131、一內埋之相位位移器 132、一圖案化導電層 133、一饋入網 134 及數個導電孔 135。微帶線 131 設於第二基板 130 的表面且因封裝體 150 而與第一天線層 160 隔離。結果，一電流透過電磁感應產生於第一天線層 160 或微帶線 131。

【0014】 內埋相位位移器 132 內埋於第二基板 130 且透過導電孔 135 及圖案化導電層 133 電性連接於微帶線 131 與饋入網 134。此外，相位位移器 132 透過導電孔 135 及圖案化導電層 133 電性連接饋入網 134。相位位移器 132，例如是二極體，可調整由第一天線層 160 發射或接收之一無線射頻（radio frequency）訊號的一相位。另一例中，內埋相位位移器 132 可以是一功率放大器，以調變無線射頻訊號的振幅。饋入網 134 可傳輸訊號從半導體晶片 140 至第一天線層 160。

【0015】 半導體晶片 140 設於第二基板 130 上且位於第一基板 110 與第二基板 130 之間。例如，設於第二基板 130 上之半導體晶片 140 可以是一高頻晶片。當數個半導體晶片 140 之一透過數個接合線（bond wire）141 電性連接於第二基板 130，這些半導體晶片 140 的一主動面面向第一基板 110。當數個半導體晶片 140 之一透過一焊球（solder ball）142 電性連接

於第二基板 130，此些半導體晶片 140 的一主動面面向第二基板 130。

【0016】 本例中，封裝體 150 包覆第二基板 130、半導體晶片 140 及中介層基板 120，且具有一側面 150s 及一上表面 150u。當封裝體 150 的側面 150s 及接地件 111 的側面 111s 於同一製程形成，封裝體 150 之側面 150s 實質上與接地件 111 之一側面 111s 齊平或共面。

【0017】 封裝體 150 由包含一介電材料的材料製成，使一電場可產生於第一天線層 160 與微帶線 131 之間。一例中，封裝體 150 可包括酚醛基樹脂（Novolac-based resin）、環氧基樹脂（epoxy-based resin）、矽基樹脂（silicone-based resin）或其他適當之包覆劑。封裝體 150 亦可包括適當之填充劑，例如是粉狀之二氧化矽。可利用數種封裝技術形成封裝體 150，例如是壓縮成型（compression molding）、液態封裝型（liquid encapsulation）、注射成型（injection molding）或轉注成型（transfer molding）。

【0018】 第一天線層 160 形成於封裝體 150 的側面 150s 及上表面 150u，且延伸至接地件 111 的側面 111s 而電性連接於接地件 111。第一天線層 160 可減少來自於半導體封裝件 100 的電磁干擾（electromagnetic interference, EMI）且避免外源（external sources）的無線射頻干擾半導體封裝件 100 的操作。

【0019】 第一天線層 160 可包括鋁、銅、鉻、錫、金、銀、鎳、不鏽鋼或上述材料之組合所製成。第一天線層 160 可以是單層或多層材料。一例中，第一天線層 160 係三層結構，其內層係不鏽鋼層、中間層係銅層，而外層係不鏽鋼層。另一例中，第一天線層 160 係雙層結構，其內層係銅層，而其外層係不鏽鋼層。

【0020】 第一天線層 160 包括一接地層 161 及連接於接地層 161 之一幅射層 162。接地層 161 形成於封裝體 150 的側面 150s 及接地件 111 的側面 111s。幅射層 162 形成於封裝體 150 的上表面 150u 且具有數個開槽 160a 露出封裝體 150 之一部分。當第一天線層 160 受到一驅動頻率的驅動，開槽 160a 輻射產生電磁波。因此，開槽 160a 的外形、尺寸以及驅動頻率決定無線分佈型態 (radiation distribution pattern)。

【0021】 如第 1A 圖所示，無線射頻訊號可透過一傳輸路徑傳輸至半導體晶片 140，傳輸路徑包含開槽 160a、微帶線 131、導電孔 135、圖案化導電層 133、相位位移器 132 及饋入網 134。由於傳輸路徑縮短，本實施例之無線射頻訊號的失真因此降低。

【0022】 請參照第 1B 圖，其繪示第 1A 圖之俯視圖。本例中，數個開槽 160a 排列成矩陣形。另一例中，數個開槽 160a 可排列成任意形狀且開槽 160a 的數量可以是單個。實務上，開槽 160a 的形式及數量視第一天線層 160 的阻抗匹配而定。

【0023】 如第 1B 圖所示，因為第一基板 110 的側面 110s 及接地件 111 的側面 111s 於同一製程形成，接地件 111 的側面 111s 實質上與第一基板 110 的側面 110s 齊平或共面。此外，中介層基板 120 係封閉環形基板。另一例中，中介層基板 120 係開放環形基板。

【0024】 請參照第 2 圖，其繪示依照本發明另一實施例之半導體封裝件 200 的剖視圖。半導體封裝件 200 包括一第一基板 110、一中介層基板 120、一第二基板 130、數個半導體晶片 140、一封裝體 150、一第一天線層 160、一導電架 270 及數個接點 280。

【0025】 第一基板 110 包括接地件 111，其例如是一圖案化導電層，其中接地件 111 電性連接於對應之電性接點 280。另一例中，接地件 111 可以是走線、焊料或導電柱。本例中，接地件 111 未從第一基板 110 之側面 110s 露出，但此非用以限制本發明實施例。由於第一基板 110 之側面 110s 與封裝體 150 之第一側面 150s1 於同一製程中形成，故第一基板 110 之側面 110s 與封裝體 150 之第一側面 150s1 實質上對齊或共面。

【0026】 本例中，封裝體 150 包覆第二基板 130、半導體晶片 140 及中介層基板 120。封裝體 150 具有第二側面 150s2 及上表面 150u，其中，由於封裝體 150 之第二側面 150s2 與導電架 270 之外側面 270s 於同一製程中形成，故封裝體 150 之第二側面 150s2 與導電架 270 之外側面 270s 實質上對齊或共面。

【0027】 導電架 270 電性連接於接地件 111，且從封裝體 150 之第一側面 150s1 露出，使第一天線層 160 可形成於露出之導電架 270，且透過導電架 270 電性連接於接地件 111。

【0028】 請參照第 3A 圖，其繪示依照本發明另一實施例之半導體封裝件 300 的剖視圖。半導體封裝件 300 包括一第一基板 110、一中介層基板 120、一第二基板 130、數個半導體晶片 140、一封裝體 150、一第一天線層 160、一介電層 385 及一第二天線層 390。

【0029】 介電層 385 覆蓋第一天線層 160 之上表面 160u 及側面 160s，即，介電層 385 覆蓋第一天線層 160 之接地層 161 及輻射層 162。介電層 385 可以由例如是封裝體、介電材料（例如是環氧樹脂（epoxy））或預浸漬層（prepreg lamination）的材料形成。

【0030】 第二天線層 390 形成於介電層 385 之上表面 385u，且與第一天線層 160 隔離，即，第二天線層 390 未電性連接於接地件 111。另一例中，第二天線層 390 係一縫隙耦合天線 (aperture coupled antenna)。第二天線層 390 的區域對應第一天線層 160 之開槽 160a，以縮短第二天線層 390 與第一天線層 160 之間的傳輸路徑。

【0031】 請參照第 3B 圖，其繪示第 3A 圖之俯視圖。第二天線層 390 包括數個子天線 391。本例中，子天線 391 彼此隔離，且排列成陣列狀，以增加天線增益 (antenna gain) 及頻寬 (frequency band)。另一例中，視設計需求而定，子天線 391 可排列成不同形狀。

【0032】 請參照第 4 圖，其繪示依照本發明另一實施例之半導體封裝件 400 的剖視圖。半導體封裝件 400 包括一第一基板 110、一中介層基板 120、一第二基板 130、數個半導體晶片 140、一封裝體 150、一第一天線層 160、一導電架 270、數個電性接點 280、一介電層 385 及一第二天線層 390。

【0033】 第一基板 110 包括一接地件 111，其例如是一圖案化導電層，其中接地件 111 電性連接於對應之電性接點 280。另一例中，接地件 111 可以是走線、焊料或導電柱。本例中，接地件 111 未從第一基板 110 之側面 110s 露出，但此非用以限制本發明實施例。

【0034】 由於第一基板 110 之側面 110s 與封裝體 150 之第一側面 150s1 於同一製程中形成，故第一基板 110 之側面 110s 與封裝體 150 之第一側面 150s1 實質上對齊或共面。

【0035】 封裝體 150 包覆第二基板 130、數個半導體晶片 140 及中介層基板 120，且具有一第二側面 150s2 及一上表面 150u。由於封裝體 150 的

第二側面 150s2 及導電架 270 的側面 270s 於相同製程形成，故封裝體 150 之側面 150s 與導電架 270 的側面 270s 實質上齊平或共面。

【0036】 第一基板 110 形成於封裝體 150 之第二側面 150s2、上表面 150u 上及露出之導電架 270。第一天線層 160 透過導電架 270 電性連接於接地件 111，並提供電磁干擾防護功能。

【0037】 導電架 270 電性連接於接地件 111，且從封裝體 150 之第二側面 150s2 露出，使第一天線層 160 可形成於露出之導電架 270，且透過導電架 270 電性連接於接地件 111。

【0038】 介電層 385 覆蓋第一天線層 160 之接地層 161 及輻射層 162。第二天線層 390 設於介電層 385 上。

【0039】 請參照第 5 圖，其繪示依照本發明另一實施例之半導體封裝件 500 的剖視圖。半導體封裝件 500 包括一第一基板 110、一中介層基板 120、一第二基板 130、數個半導體晶片 140、一封裝體 150 及一第一天線層 560。

【0040】 第二基板 130 具有一側面 130s，其與封裝體 150 之側面 150s 實質上對齊或共面。第二基板 130 包括一微帶線 131、一內埋之相位位移器 132、一圖案化導電層 133、一饋入網 134、數個導電孔 135 及一屏蔽層 136。圖案化導電層 133 透過饋入網 134 及導電孔 135 接收由半導體晶片 140 傳輸之一高頻訊號，然後轉換此高頻訊號成一基頻訊號（base frequency signal）。此基頻訊號透過導電孔 135 傳輸至微帶線 131，使輻射層 162 藉由電磁感應輻射產生一無線訊號。此外，內埋之相位位移器 132 可改變無線訊號之一幅射功率型態（radiation power pattern）。

【0041】 屏蔽層 136 從第二基板 130 的側面 130s 露出，以連接於接地層 161。第二基板 130 與接地層 161 的結合做為一電磁干擾屏蔽，以保護半導體晶片 140 免受電磁干擾影響到半導體晶片 140 的操作。

【0042】 由於第二基板 130 的側面 130s、封裝體 150 之側面 150s 與接地件 111 的側面 111s 於同一製程形成，故側面 130s、150s 與 111s 實質上對齊或共面。

【0043】 第一天線層 560 包括彼此隔離之一接地層 161 及一幅射層 162。接地層 161 形成於封裝體 150 之側面 150s 且從接地件 111 露出，而輻射層 162 形成於封裝體 150 之上表面 150u。

【0044】 請參照第 6 圖，其繪示依照本發明另一實施例之半導體封裝件 600 的剖視圖。半導體封裝件 500 包括一第一基板 110、一中介層基板 120、一第二基板 130、數個半導體晶片 140、一封裝體 150、一第一天線層 160、一導電架 270 及數個電性接點 280。

【0045】 第一基板 110 包括一接地件 111，其例如是一圖案化導電層，其中接地件 111 電性連接於對應之電性接點 280。本例中，接地件 111 未從第一基板 110 的側面 110s 露出，然此非用以限制本發明實施例。

【0046】 由於第一基板 110 之側面 110s 與封裝體 150 之第一側面 150s1 於同一製程中形成，故第一基板 110 之側面 110s 與封裝體 150 之第一側面 150s1 實質上對齊或共面。

【0047】 封裝體 150 包覆第二基板 130、數個半導體晶片 140 及中介層基板 120，且具有一第二側面 150s2 及一上表面 150u，其中，由於封裝體 150 之第二側面 150s2 與導電架 270 之側面 270s 於同一製程中形成，故封

裝體 150 之第二側面 150s2 與導電架 270 之側面 270s 實質上對齊或共面。

【0048】 第一天線層 560 包括彼此隔離之一接地層 161 及一幅射層 162，其中接地層 161 形成於封裝體 150 之第二側面 150s2 及露出之接地件 111，且輻射層 162 形成於封裝體 150 之上表面 150u。本例中，輻射層 162 係一縫隙耦合天線。

【0049】 請參照第 7 圖，其繪示依照本發明另一實施例之半導體封裝件 700 的剖視圖。半導體封裝件 700 包括一第一基板 110、至少一封模穿孔 (through mold via, TMV) 720、數個介電層 730、數個半導體晶片 140、一封裝體 150 及一第一天線層 760。

【0050】 如第 7 圖所示，第一基板 110 包括一側面 110s 及一接地件 111，其例如是一圖案化導電層，其中，接地件 111 電性連接於對應之電性接點 280。本例中，接地件 111 設於第一基板 110 之上表面 110u，然此非用以限制本發明實施例。

【0051】 封裝體 150 包覆第一基板 110 及數個半導體晶片 140，且具有一側面 150s 及一上表面 150u，其中，封裝體 150 之側面 150s 與第一基板 110 之側面 110s 實質上對齊或共面。封模穿孔 720 形成於封裝體 150 且以導電材料填滿，並電性連接於接地件 111。

【0052】 數層介電層 730 形成於封裝體 150 之上表面 150u。另一例中，介電層 730 可形成於封裝體 150 之上表面 150u、數層介電層 730 之一側面 730s、封裝體 150 之一側面 150s 及第一基板 110 之一側面 110s。微帶線 131、內埋之相位位移器 132、圖案化導電層 133、饋入網 134 及導電孔 135 形成於介電層 730。此外，介電層 730 可由例如是封裝體、介電材料(例

如是環氧樹脂）或一預浸漬層的材料形成。

【0053】 第一天線層 760 具有數個開槽 760a，且形成於介電層 730 之上表面 730u，並透過封模穿孔 720 及導電孔 135（未繪示）電性連接於接地件 111。此外，第一天線層 760 的材料相似於第一天線層 160，容此不再贅述。

【0054】 如第 7 圖所示，無線射頻訊號可透過一傳輸路徑傳輸至半導體晶片 140，其中傳輸路徑包含開槽 760a、微帶線 131、導電孔 135、圖案化導電層 133、內埋之相位位移器 132、饋入網 134 及封模穿孔 720。由於傳輸路徑縮短，本實施例之無線射頻訊號的失真因此而降低。

【0055】 請參照第 8A 至 8H 圖，其繪示第 1A 圖半導體封裝件之製造過程圖。

【0056】 如第 8A 圖所示，提供第一基板 110，其包括數個接地件 111。接地件 111 例如是導電柱。至少一半導體晶片 112 及被動元件 143 設於第一基板 110 且電性連接於第一基板 110。第一基板 110 係一長條基板，其具有數個基板區域（package site）。

【0057】 如第 8B 圖所示，提供第二基板 130，其中數個半導體晶片 140 設於第二基板 130。其中一半導體晶片 140 以其主動面朝上的方式設於第二基板 130，且以數個導電接合線 141 電性連接於第二基板 130。另一半導體晶片 140 以其主動面朝下的方式設於第二基板 130，且以數個焊球 142 電性連接於第二基板 130。

【0058】 請參照第 8C 圖，設置中介層基板 120 於第一基板 110 上，其中中介層基板 120 包括數個導電元件 122，用以電性連接第一基板 110 與

第二基板 130。即，導電元件 122 透過例如是焊料（solder material）或導電黏結物（conductive adhesive）電性連接第一基板 110 的數個接墊（contact pad）與第二基板 130。此外，導電黏結物 123 可形成於中介層基板 120 之一轉角，以提昇中介層基板 120 與半導體晶片 140 之間的結合性。

【0059】 如第 8D 圖所示，倒置第二基板 130，然後將其設置在中介層基板 120 上，使中介層基板 120 位於第一基板 110 與第二基板 130 之間。如此，第一基板 110 透過中介層基板 120 電性連接於第二基板 130。此外，在中介層基板 120 設於第一基板 110 前，第一基板 110 可黏合於載板 185 上。第二基板 130 倒置後，透過回焊製程（reflow），半導體晶片 112 的焊球 113 可黏接第一基板 110 與半導體晶片 112。

【0060】 如第 8E 圖所示，形成封裝體 150 於第一基板 110 之上表面 110u 並包覆第二基板 130、半導體晶片 112、140 與中介層基板 120，其中封裝體 150 具有一上表面 150u。

【0061】 如第 8F 圖所示，形成數個切割道 T1 經過封裝體 150 及接地件 111。數個切割道 T1 可由雷射或其它刀具形成。切割後，形成封裝體 150 之側面 150s 及接地件 111 的側面 111s。本例之切割方式稱為全穿切（full-cut），即，數個切割道 T1 切斷第一基板 110、接地件 111 與封裝體 150。

【0062】 如第 8G 圖所示，形成一天線材料 160' 於封裝體 150 之側面 150s 及上表面 150u 及接地件 111 的側面 111s。此外，天線材料 160' 為一金屬材料，且藉由一材料形成技術形成，其中材料形成技術例如是化學氣相沈積、無電鍍法（electroless plating）、電解電鍍（electrolytic plating）、印刷、

旋塗、噴塗、濺鍍（sputtering）或真空沈積法（vacuum deposition）。

【0063】 如第 8H 圖所示，採用圖案化技術，藉由形成開槽 160a 於天線材料 160'（繪示於第 8G 圖），而形成第一天線層 160。形成開槽 160a 之圖案化技術可包含微影製程（photolithography）、化學蝕刻（chemical etching）、雷射鑽孔（laser drilling）或機械鑽孔（mechanical drilling）。如此，封裝體 150 之一部分從開槽 160a 露出。

【0064】 請參照第 9A 至 9I 圖，其繪示第 2 圖半導體封裝件之製造過程圖。

【0065】 如第 9A 圖所示，提供第一基板 110，其包括數個接地件 111。接地件 111 例如是圖案化導電層。數個半導體晶片 112 及被動元件 143 設於第一基板 110。第一基板 110 例如是長條基板。此外，數個導電架 270 設於第一基板 110 且透過一焊料 271 電性連接於接地件 111。

【0066】 如第 9B 圖所示，提供第二基板 130，其中微帶線 131、內埋之相位位移器 132、圖案化導電層 133、饋入網 134 及數個導電孔 135 形成於第二基板 130。此外，數個半導體晶片 140 設於第二基板 130，且電性連接於第二基板 130。其中一半導體晶片 140 以其主動面朝上的方式設於第二基板 130，且以數個導電焊線 140 電性連接於第二基板 130。另一半導體晶片 140 以其主動面朝下的方式設於第二基板 130，且以數個焊球 142 電性連接於第二基板 130。

【0067】 如第 9C 圖所示，設置中介層基板 120 於第一基板 110，其中中介層基板 120 包括數個導電元件 122 電性連接第一基板 110 與第二基板 130。黏結物 123 的設置如上所述。形成黏結物 123 後，藉由回焊製程，

焊球 142 可黏接中介層基板 120 與半導體晶片 140。

【0068】 如第 9D 圖所示，倒置第二基板 130 且設於中介層基板 120 上，使中介層基板 120 位於第一基板 110 與第二基板 130 之間。此外，在中介層基板 120 設於第一基板 110 前，第一基板 110 可黏合於載板 185 上。

【0069】 如第 9E 圖所示，形成封裝體 150 於第一基板 110 的上表面 110u 且包覆第二基板 130、半導體晶片 112、140 及中介層基板 120，其中封裝體 150 具有上表面 150u。

【0070】 如第 9F 圖所示，形成數個第一切割道 T2 經過封裝體 150 及導電架 270。數個第一切割道 T2 可由雷射或其它刀具形成。切割後，形成封裝體 150 之第二側面 150s2 及導電架 270 的側面 270s。本例之切割方式稱為半穿切 (half-cut)，即，數個第一切割道 T2 未切斷第一基板 110。

【0071】 如第 9G 圖所示，形成一天線材料 160' 於封裝體 150 之第二側面 150s2 及上表面 150u 及導電架 270 的側面 270s。此外，天線材料 160' 係一金屬材料，金屬材料包含鋁、不銹鋼或銅，且由圖案化箔 (patterned foil)、電鍍、濺鍍或其它塗佈製程 (coating processes) 形成。

【0072】 如第 9H 圖所示，採用圖案化技術，藉由形成開槽 160a 於第一天線材料 160' (繪示於第 8G 圖)，而形成第一天線層 160。其中封裝體 150 之一部分從開槽 160a 露出。形成開槽 160a 之圖案化技術可包含微影製程、化學蝕刻、雷射鑽孔或機械鑽孔。

【0073】 如第 9I 圖所示，形成數個第二切割道 T3 經過第一基板 110。數個第二切割道 T3 可由雷射或其它刀具形成。切割後，形成第一基板 110 之側面 110s 及封裝體 150 的第一側面 150s1。此外，於形成第二切割道 T3

之前或之後，電性接點 280 可鄰近第一基板 110 之下表面 110b 形成，以形成如第 2 圖所示之半導體封裝件 200。

【0074】 請參照第 10A 至 10C 圖，其繪示第 3A 圖半導體封裝件之製造過程圖。

【0075】 如第 10A 圖所示，形成介電層 385 覆蓋第一天線層 160 之側面 160s 及上表面 160u。介電層 385 可使用任何已知封裝技術（packaging technology）或層壓技術（lamineate technology）形成。

【0076】 如第 10B 圖所示，第二基板 390 包括形成於介電層 385 之上表面 385u 的數個子天線 391。第二天線層 390 之形成方法相似於第 3A 圖之第一天線層 160 的形成方法，容此不再贅述。

【0077】 如第 10C 圖所示，形成數個切割道經過介電層 385，以形成如第 3A 圖所示之半導體封裝件 300。

【0078】 請參照第 11A 至 11F 圖，其繪示第 4 圖半導體封裝件之製造過程圖。

【0079】 如第 11A 圖所示，形成數個第一切割道 T2 經過封裝體 150 及導電架 270。數個第一切割道 T2 可由雷射或其它刀具形成。切割後，形成封裝體 150 之第二側面 150s2 及導電架 270 的側面 270s。本例之切割方式稱為半穿切，即，數個第一切割道 T2 未切斷第一基板 110。

【0080】 如第 11B 圖所示，形成一天線材料 160' 於封裝體 150 之第二側面 150s2 及上表面 150u 及導電架 270 的側面 270s。此外，天線材料 160' 係一金屬層，金屬層包含鋁、不銹鋼或銅，且由圖案化技術、電鍍、濺鍍或其它相似製程形成。

【0081】 如第 11C 圖所示，採用圖案化技術，藉由形成數個開槽 160a 於天線材料 160'（繪示於第 11B 圖），而形成第一天線層 160，其中封裝體 150 之一部分從開槽 160a 露出。形成開槽 160a 之圖案化技術可包含微影製程、化學蝕刻、雷射鑽孔或機械鑽孔。

【0082】 如第 11D 圖所示，形成介電層 385 覆蓋第一天線層 160 之接地層 161 及輻射層 162。介電層 385 可使用任何已知封裝技術或層壓技術形成。

【0083】 如第 11E 圖所示，形成第二天線層 390 於介電層 385 上，其中第二天線層 390 與第一天線層 160 隔離。本例中，第二天線層 390 係縫隙耦合天線。

【0084】 如第 11F 圖所示，形成數個第二切割道 T3 經過第一基板 110 及介電層 385。數個第二切割道 T3 可由雷射或其它刀具形成。切割後，形成第一基板 110 之側面 110s 及介電層 385 之側面 385s。此外，於形成第二切割道 T3 之前或之後，電性接點 280（繪示於第 4 圖）可鄰近第一基板 110 之下表面 110b 形成，以形成如第 4 圖所示之半導體封裝件 400。

【0085】 請參照第 12A 至 12B 圖，其繪示第 5 圖半導體封裝件之製造過程圖。

【0086】 如第 12A 圖所示，形成一天線材料 160' 於封裝體 150 之側面 150s 及上表面 150u、第二基板 130 之側面 130s 及接地件 111 的側面 111s。當形成天線材料 160' 時，半導體封裝件可設於一載板 185 上。

【0087】 如第 12B 圖所示，採用圖案化技術，藉由形成開槽 160a 於天線材料 160'，而形成第一天線層 560，其中，封裝體 150 之一部分從開槽

160a 露出。形成開槽 160a 之圖案化技術可包含微影製程、化學蝕刻、雷射鑽孔或機械鑽孔。

【0088】 如第 12B 圖所示，第一天線層 560 包括彼此隔離之接地層 161 及輻射層 162，其中接地層 161 形成於封裝體 150 之側面 150s 及露出之接地件 111 上，且輻射層 162 形成於封裝體 150 之上表面 150u 上。

【0089】 請參照第 13A 至 13D 圖，其繪示第 6 圖半導體封裝件之製造過程圖。

【0090】 如第 13A 圖所示，形成數個第一切割道 T2 經過封裝體 150、第二基板 130 及導電架 270。數個第一切割道 T2 可由雷射或其它刀具形成。切割後，形成封裝體 150 之第二側面 150s2、第二基板 130 之側面 130s 及導電架 270 的側面 270s。本例之切割方式稱為半穿切，即，數個第一切割道 T2 未切斷第一基板 110。

【0091】 如第 13B 圖所示，形成一天線材料 160' 於封裝體 150 之第二側面 150s2 及上表面 150u、第二基板 130 之側面 130s 及導電架 270 的側面 270s。此外，天線材料 160' 係一金屬層，金屬層包含鋁、不鏽鋼或銅，且由圖案化技術、電鍍、濺鍍或其它相似製程形成。

【0092】 如第 13C 圖所示，採用圖案化技術，藉由形成數個開槽 160a 於天線材料 160'，而形成第一天線層 560，其中，封裝體 150 之一部分從開槽 160a 露出。形成開槽 160a 之圖案化技術可包含微影製程、化學蝕刻、雷射鑽孔或機械鑽孔。

【0093】 如第 13C 圖所示，第一天線層 560 包括彼此隔離之接地層 161 及輻射層 162，其中接地層 161 形成於封裝體 150 之第二側面 150s2 及

露出之接地件 111 上，且輻射層 162 形成於封裝體 150 之上表面 150u 上。

【0094】 如第 13D 圖所示，形成數個第二切割道 T3 經過第一基板 110。數個第二切割道 T3 可由雷射或其它刀具形成。切割後，形成第一基板 110 之側面 110s。此外，於形成第二切割道 T3 之前或之後，電性接點 280（繪示於第 6 圖）可鄰近第一基板 110 之下表面 110b 形成，以形成如第 6 圖所示之半導體封裝件 200。

【0095】 緒上所述，雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0096】

100、200、300、400、500、600、700：半導體封裝件

110：第一基板

110b：下表面

110u、150u、160u、385u：上表面

110s、111s、130s、150s、160s、270s、385s：側面

111：接地件

112：半導體晶片

113、142：焊球

120：中介層基板

122：導電元件

201407745

- 123 : 黏結物
- 130、390 : 第二基板
- 131 : 微帶線
- 132 : 相位位移器
- 133 : 圖案化導電層
- 134 : 飽入網
- 135 : 導電孔
- 136 : 屏蔽層
- 140 : 半導體晶片
- 141 : 接合線
- 143 : 被動元件
- 150 : 封裝體
- 150s1 : 第一側面
- 150s2 : 第二側面
- 160、560、760 : 第一天線層
- 160' : 天線材料
- 160a、760a : 開槽
- 161 : 接地層
- 162 : 幅射層
- 185 : 載板
- 270 : 導電架
- 271 : 焊料
- 280 : 接點
- 385、730 : 介電層

201407745

390：第二天線層

391：子天線

720：封模穿孔

T1：切割道

T2：第一切割道

T3：第二切割道

申請專利範圍

1. 一種半導體封裝件，包括：

一第一基板，包含一接地層；

一中介層，設於該第一基板的一上表面且具有至少一開口；

一第一晶片，設於該至少一開口並耦接於該第一基板；

一第二基板，耦接於該中介層，且設於該第一基板上方且具有一面積，該第二基板之該面積小於該第一基板之一面積；

一第二晶片，設於該第二基板之下表面；

一第三晶片，內埋於該第二基板；

一感應器，設於該第二基板的一上表面，其中該感應器電性連接於該第二基板及該第三晶片；

一封裝體，包覆該第一基板之數個部分、該中介層、該第二基板、該第一晶片與該第二晶片，該封裝體具有一側面及一上表面；以及

一金屬層，設於該封裝體的該側面與該上表面，其中該金屬層電性連接該第一基板且具有數個孔正對於該感應器。

2. 如申請專利範圍第1項所述之半導體封裝件，其中內埋之該第三晶片具有一主動面朝向該第一基板。

3. 如申請專利範圍第1項所述之半導體封裝件，其中內埋之該第三晶片具有一主動面，該主動面包含數個從該第二基板露出

的結合墊（bond pad）。

4. 如申請專利範圍第 3 項所述之半導體封裝件，更包括一電性路徑連接露出之該些接合墊與該感應器。
5. 如申請專利範圍第 1 項所述之半導體封裝件，更包括一導電架，該導電架電性連接於該接地層及該金屬層。
6. 如申請專利範圍第 1 項所述之半導體封裝件，其中該感應器隔著該封裝體與該金屬層隔離。
7. 如申請專利範圍第 1 項所述之半導體封裝件，其中該些孔決定一輻射分佈型態（radiation distribution pattern）。
8. 如申請專利範圍第 1 項所述之半導體封裝件，更包括：
一介電層，覆蓋該金屬層的該上表面；以及
一圖案化金屬層，形成於該介電層。
9. 一種半導體封裝件，包括：
一第一基板，包含一接地層；
一中介層，設於該第一基板的一上表面；
一第一晶片，設於由該中介層所定義之一空間且耦接於該第

一基板；

一第二基板，設於該第一基板上方且耦接於該中介層；

一第二晶片，設於該第二基板之一下表面；

一感應器，設於該第二基板的一上表面且耦接於該第二晶片；

一封裝體，包覆該第一基板之數個部分、該中介層、該第二基板、該第一晶片與該第二晶片，該封裝體具有一側面及一上表面；以及

一金屬層，設於該封裝體的該側面與該上表面，其中該金屬層電性連接該第一基板且具有數個孔正對於該感應器。

10. 如申請專利範圍第 9 項所述之半導體封裝件，其中該第二基板具有一面積，該第二基板之該面積小於該第一基板之一面積。

11. 如申請專利範圍第 9 項所述之半導體封裝件，更包括一第三晶片，該第三晶片內埋於該第二基板且電性連接於該感應器及該第二晶片。

12. 如申請專利範圍第 11 項所述之半導體封裝件，其中內埋之該第三晶片具有一主動面朝向該第一基板。

13. 如申請專利範圍第 11 項所述之半導體封裝件，其中內埋之該第三晶片具有一主動面，該主動面包含數個從該第二基板露出的結合墊。

14. 如申請專利範圍第 13 項所述之半導體封裝件，更包括一電性路徑連接露出之該些接合墊與該感應器。

15. 如申請專利範圍第 9 項所述之半導體封裝件，更包括一導電架，該導電架電性連接於該接地層及該金屬層。

16. 如申請專利範圍第 9 項所述之半導體封裝件，其中該感應器隔著該封裝體與該金屬層隔離。

17. 如申請專利範圍第 9 項所述之半導體封裝件，其中該些孔決定一輻射分佈型態。

18. 一種半導體封裝件的製造方法，包括：
提供一第一基板，該第一基板包含一接地件；
提供一第二基板，該第二基板包含設於其上之一半導體晶片；
設置一中介層基板於該第一基板與該第二基板之間，其中該中介層基板電性連接於該第一基板及該第二基板；

形成一封裝體包覆該第二基板之數個部分、該半導體晶片與該中介層基板；

形成一第一切割道經過該封裝體，使該封裝體形成一側面；

形成一天線層於該封裝體之該側面及一上表面，其中該第一天線層電性連接於該第一基板之該接地件；以及

形成一第二切割道經過該第一基板。

19. 如申請專利範圍第 18 項所述之製造方法，更包括：

設置一導電架於該第一基板之該接地件；以及

更形成該第一切割道經過該導電架。

20. 如申請專利範圍第 18 項所述之製造方法，其中該接地件從該第一基板之一上表面露出，該製造方法更包括：

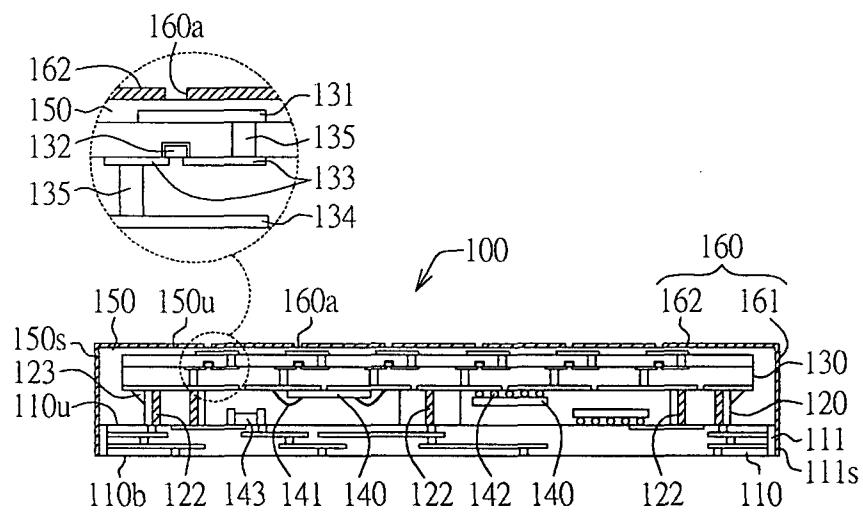
設置一導電架於該第一基板之該接地件上；

更形成該第一切割道經過該導電架；

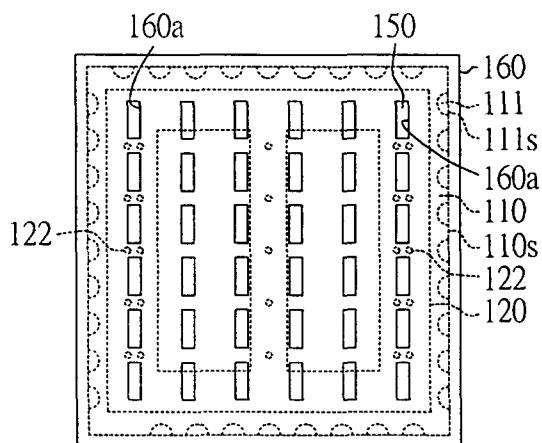
形成一天線材料於該第二基板之該側面、該封裝體之該側面與露出之該接地件；以及

圖案化該天線材料而形成該第一天線層，其中該第一天線層包括一接地層及一幅射層，該接地層形成於該第二基板之該側面、該封裝體之該側面與露出之該接地件，而該輻射層形成於該封裝體之該上表面且與該接地件隔離。

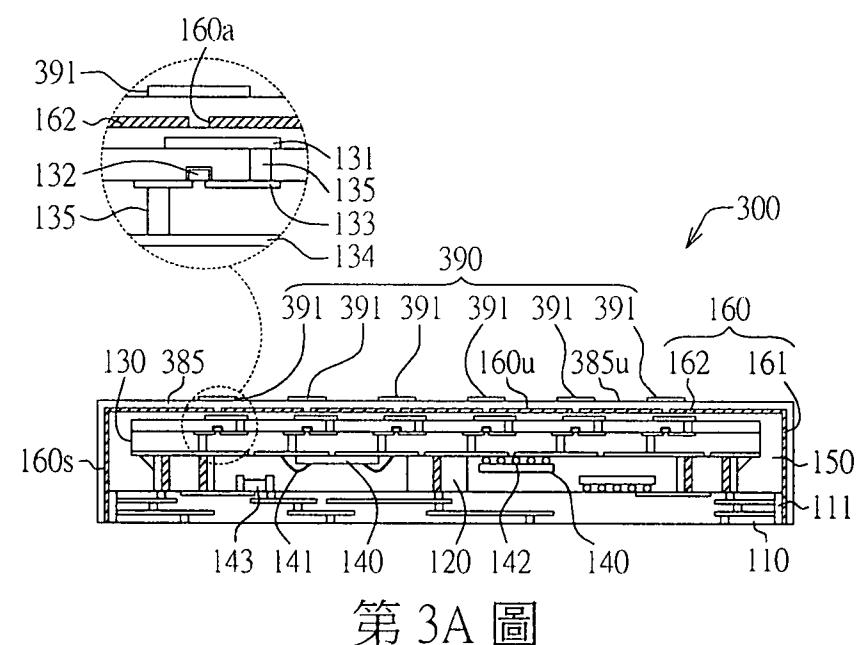
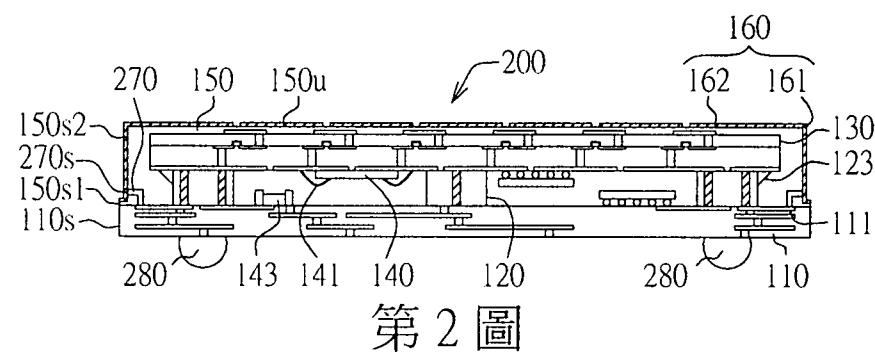
圖式



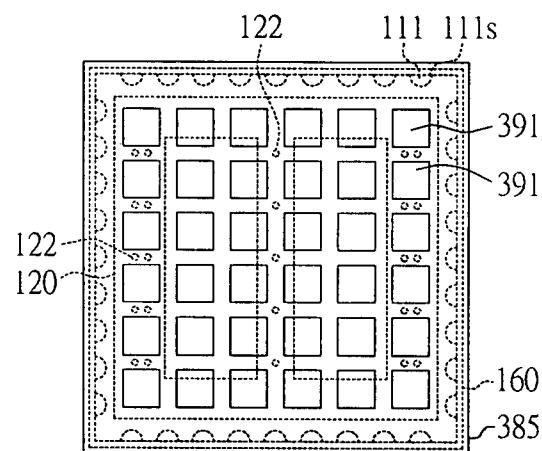
第 1A 圖



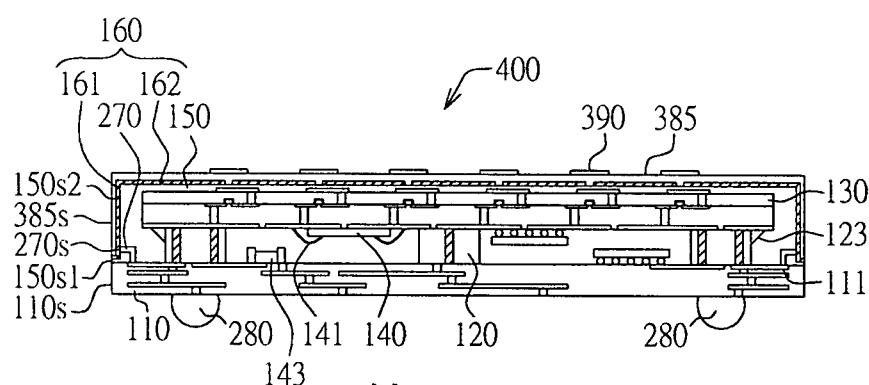
第 1B 圖



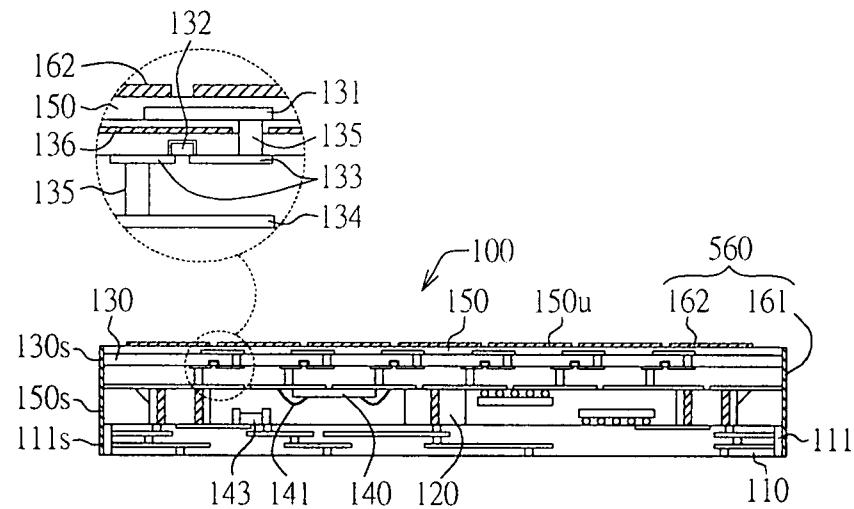
201407745



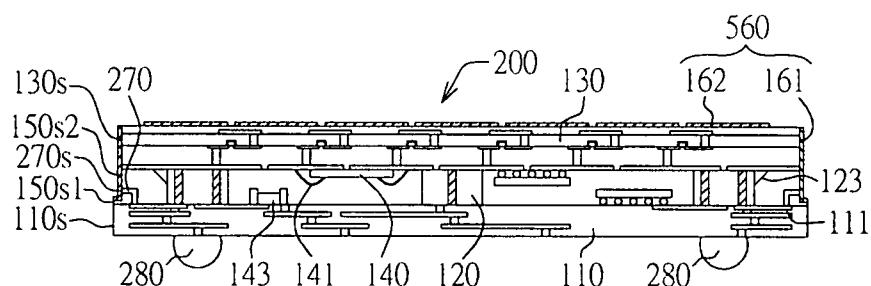
第 3B 圖



第 4 圖

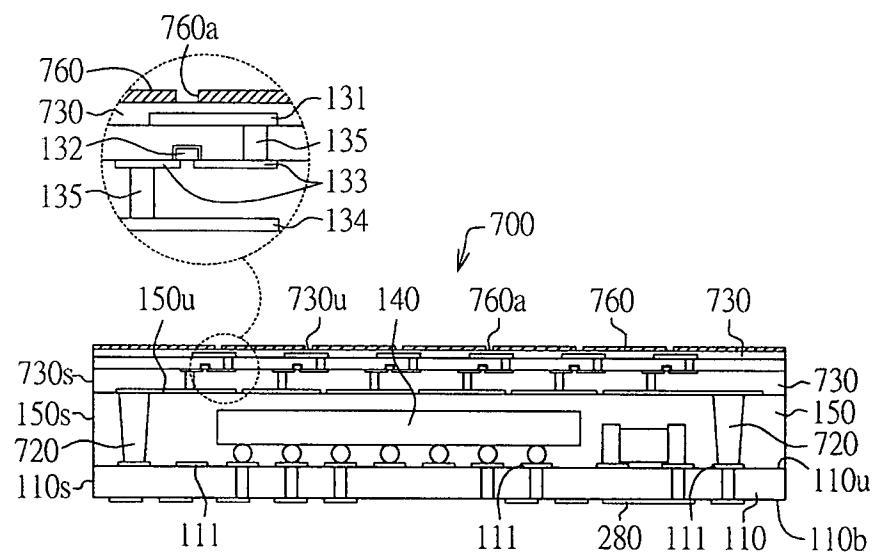


第5圖

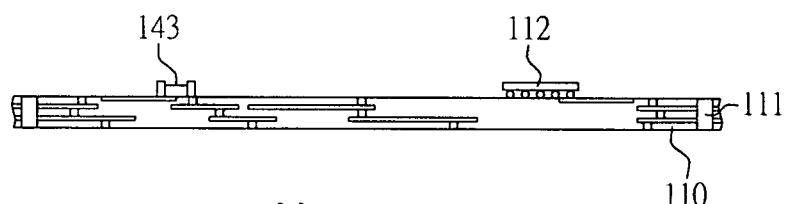


第6圖

201407745

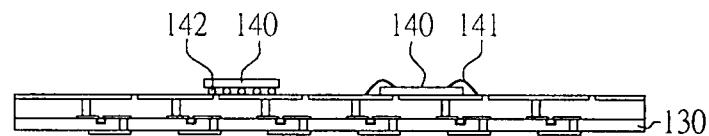


第 7 圖

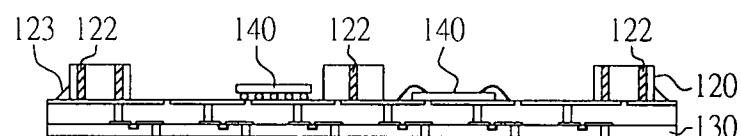


第 8A 圖

201407745

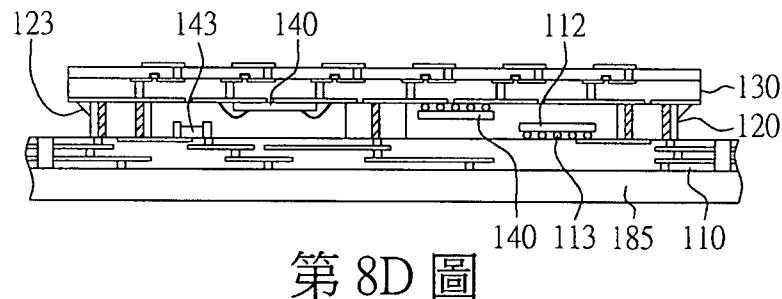


第 8B 圖

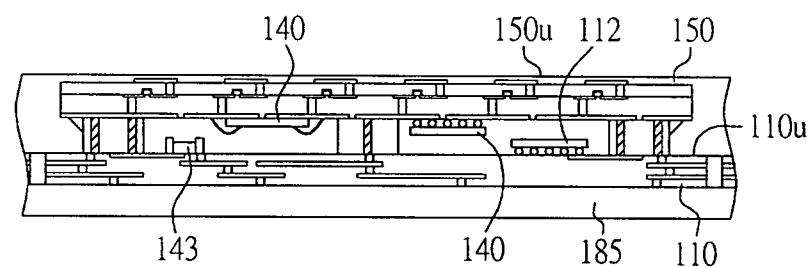


第 8C 圖

201407745

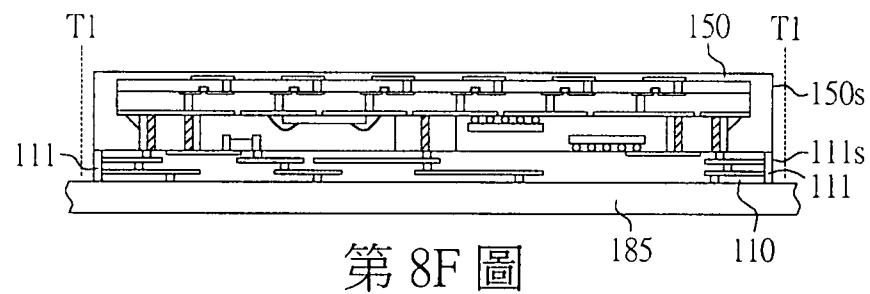


第 8D 圖

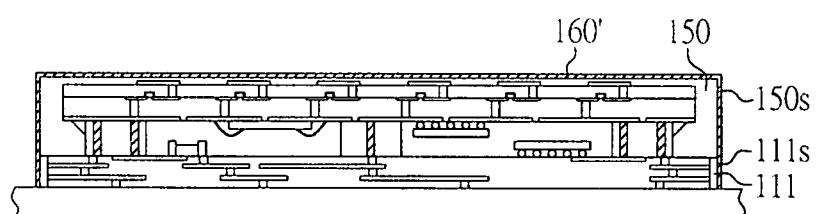


第 8E 圖

201407745

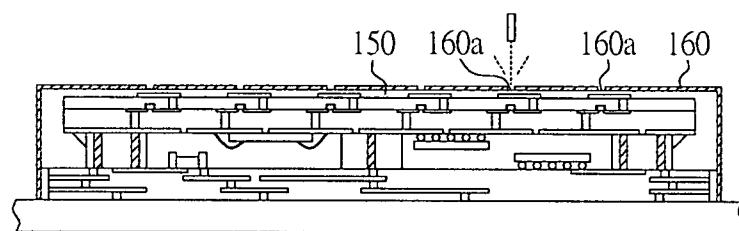


第 8F 圖

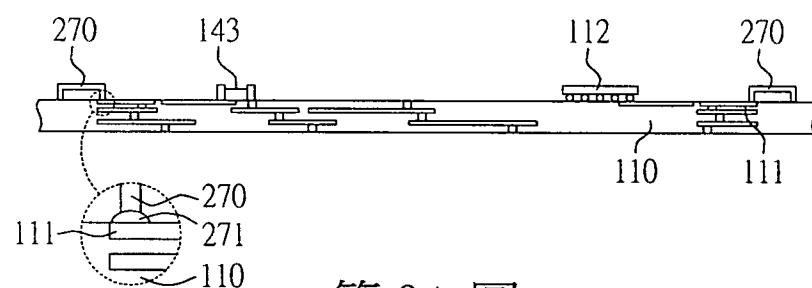


第 8G 圖

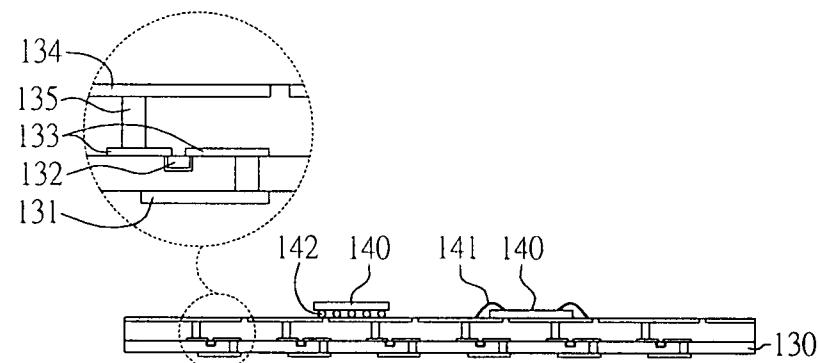
201407745



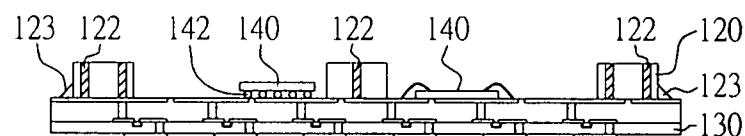
第 8H 圖



第 9A 圖

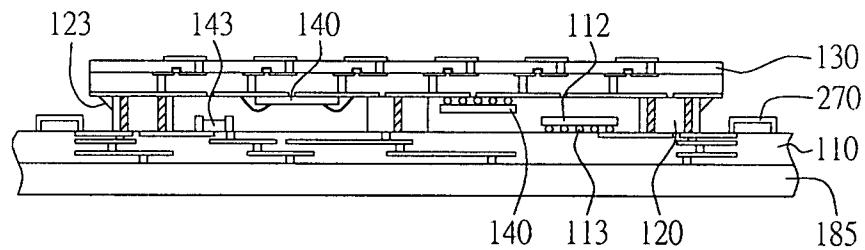


第 9B 圖

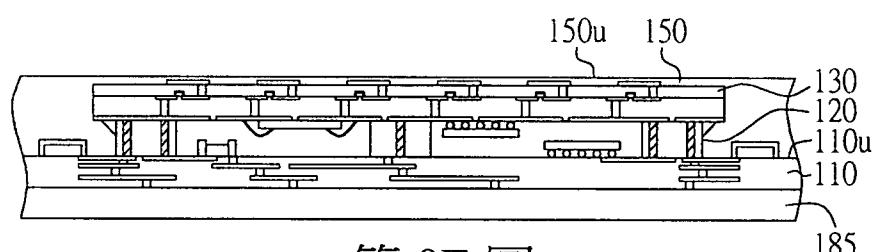


第 9C 圖

201407745

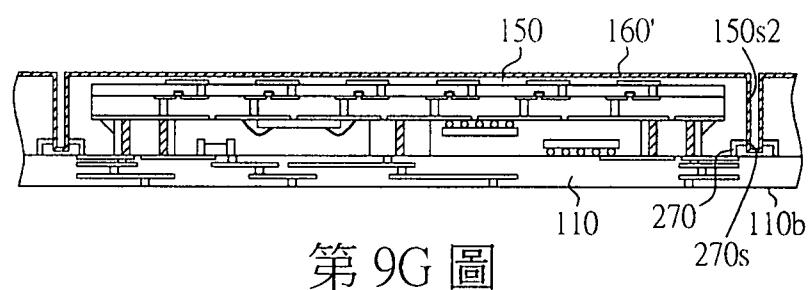
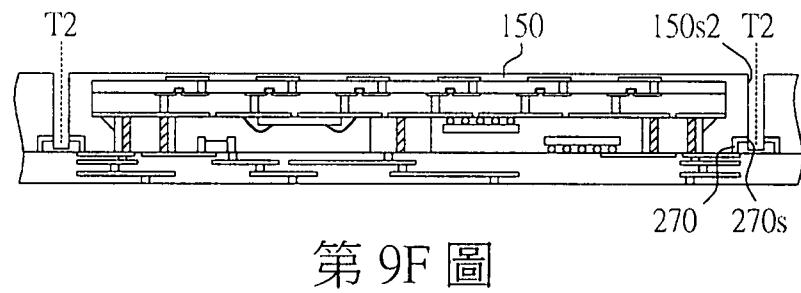


第 9D 圖

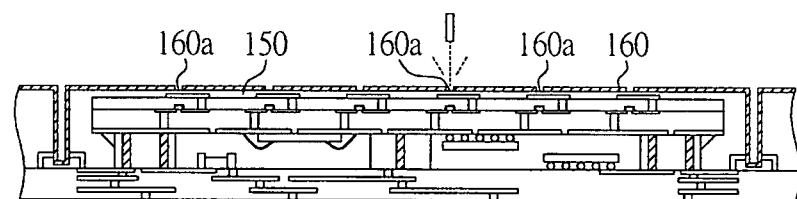


第 9E 圖

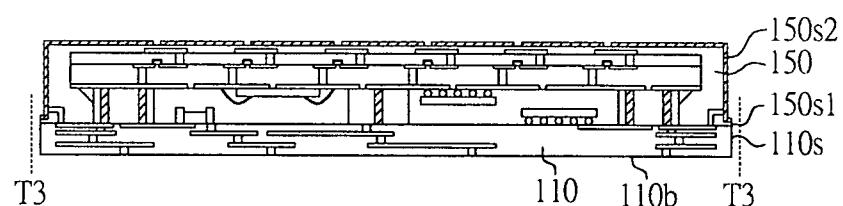
201407745



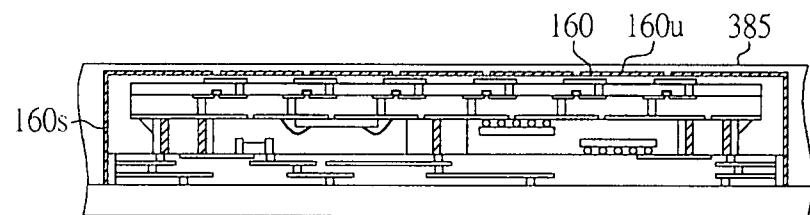
201407745



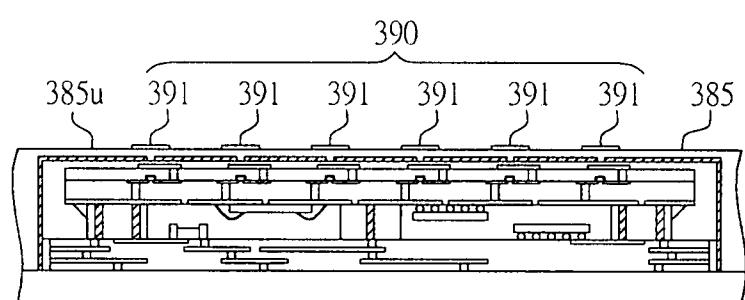
第 9H 圖



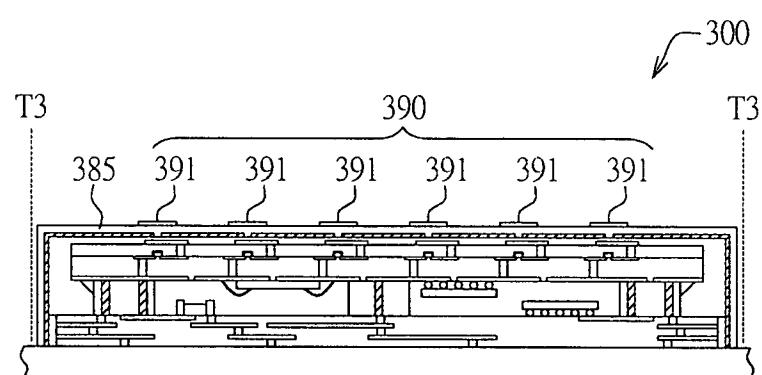
第 9I 圖



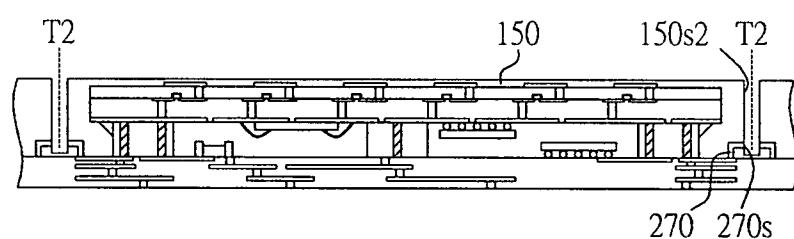
第 10A 圖



第 10B 圖

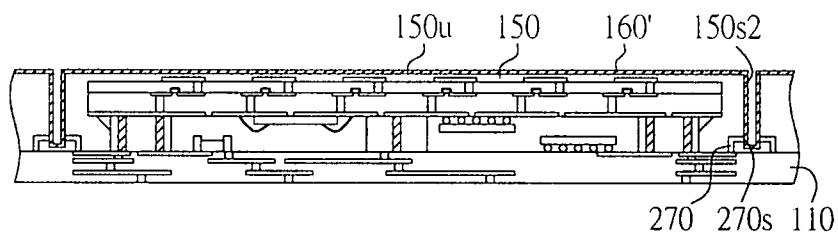


第 10C 圖

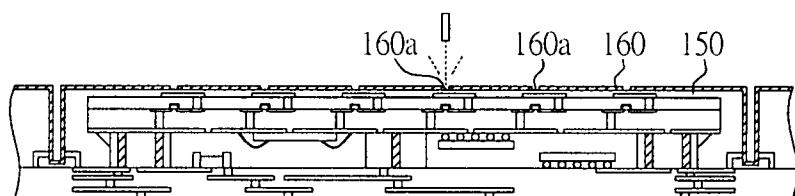


第 11A 圖

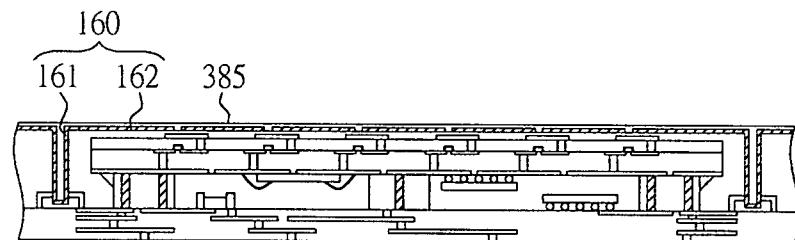
201407745



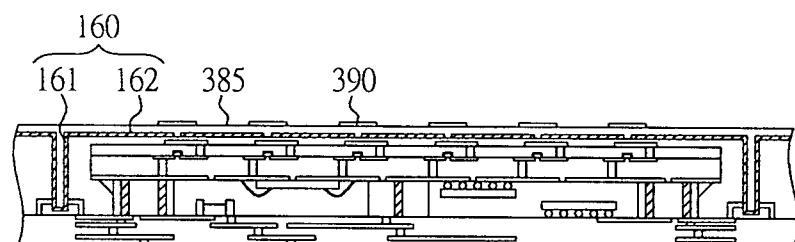
第 11B 圖



第 11C 圖

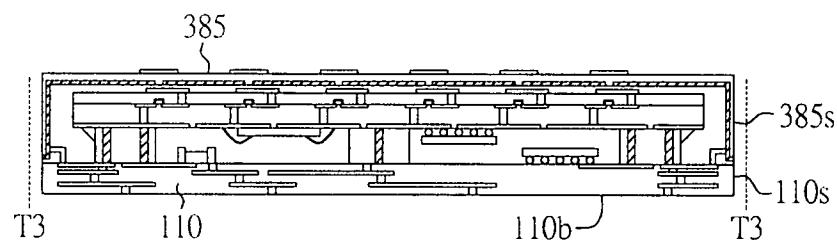


第 11D 圖

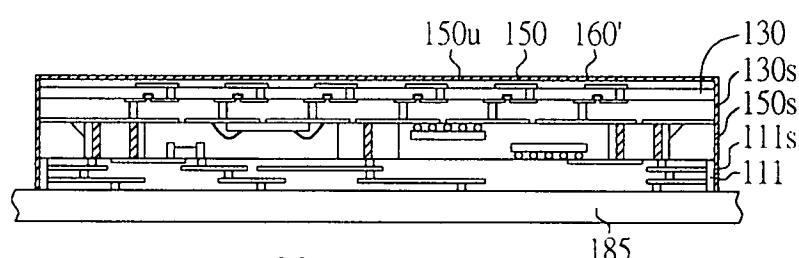


第 11E 圖

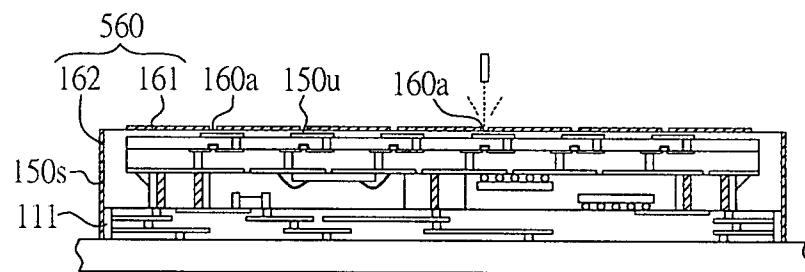
201407745



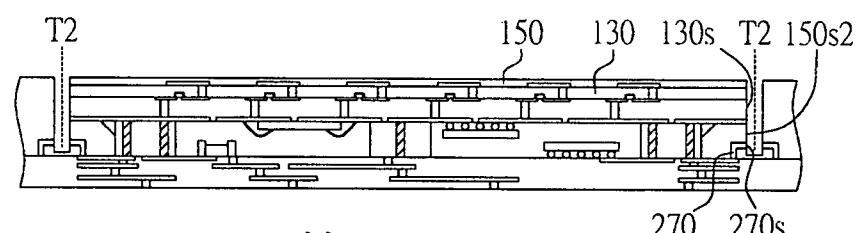
第 11F 圖



第 12A 圖

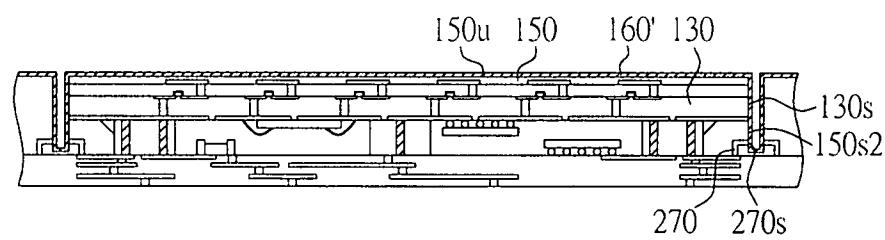


第 12B 圖

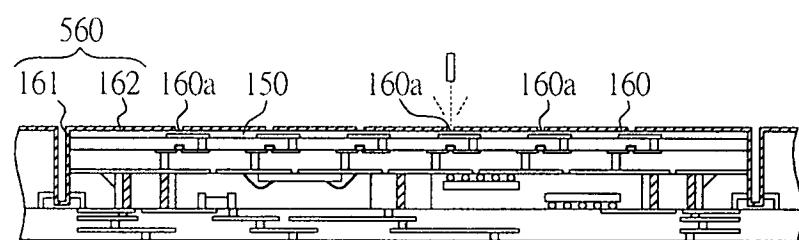


第 13A 圖

201407745



第 13B 圖



第 13C 圖

201407745

