

(此處由本局於收
文時黏貼條碼)

發明專利說明書 200411540

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：9-130873

※申請日期：92.11.5

※IPC 分類：G06F 9/302

壹、發明名稱：(中文/英文)

實行運算所用之方法、系統及裝置

Method and system for performing calculation operations and a device

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

諾基亞股份有限公司

NOKIA CORPORATION

代表人：(中文/英文) 福克約翰遜 (Folke Johansson)

住居所或營業所地址：(中文/英文)

芬蘭艾斯甫 FIN-02150 凱拉拉登迪 4

Keilalahdentie 4, FIN-02150 Espoo, Finland

國籍：(中文/英文) 芬蘭/FI

參、發明人：(共 3 人)

姓名：(中文/英文)

1. 達維葛渥基安/GUEVORKIAN, David

2. 亞基羅尼埃寧/LAUNIAINEN, Aki

3. 佩脫利柳哈/LIUHA, Petri

住居所地址：(中文/英文)

1. 芬蘭潭貝拉 FIN-33720, 羅夫殿卡都 13A3

2. 芬蘭潭貝拉 FIN-33500,約布士頓卡都 45D41
3. 芬蘭潭貝拉 FIN-33820,雅加拉卡都 30

國 籍：(中文/英文)

1. 芬蘭 / Finland
2. 芬蘭 / Finland
3. 芬蘭 / Finland

肆、聲明事項：

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 芬蘭 2002/11/6 NO.20021984

2.

3.

4.

5.

主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係關於使用由一組至少兩個管線階段，至少一個資料輸入介面，及至少一個資料輸出介面所構成的管線化計算裝置內實行運算的方法，該管線階段包括至少一個資料輸入介面及一個資料輸出介面，此方法中實行第一與第二運算所用資料是輸入該裝置；本發明也是關於由一組至少兩個管線階段，至少一個資料輸入介面，及至少一個資料輸出介面所構成的管線化計算裝置內實行運算的系統，該管線階段包括至少一個資料輸入介面及一個資料輸出介面，且該計算裝置還包括第一與第二運算用的資料輸入；本發明還是關於由一組至少兩個管線階段，至少一個資料輸入介面，及至少一個資料輸出介面所構成的管線化計算裝置內實行運算的裝置，該管線階段包括至少一個資料輸入介面及一個資料輸出介面，且該計算裝置還包括第一與第二運算用的資料輸入。

【先前技術】

有許多應用系統是須要使用乘法運算、乘法累加運算(AMC)及其他運算的。在一非限制性的例子中，許多訊號處理應用系統，例如數位訊號過濾應用、視訊／圖像處理應用等等，是實行即時乘法運算的應用。其他須使用向量且／或矩陣的應用也須使用乘法及MAC運算。乘法運算通常以求和及順位元運算實行。如此之乘法運算是高資源要求的作業，因為一個介於兩個運算元的乘法運算是須要大量的

即時計算。因此，高速效率是對不同的視訊／圖像處理運算法或次作業發展平行專門結構（加速器）的動力。先前的視訊／圖像處理系統技術包括數種類似的加速器（例如，絕對差和（SAD），餘弦變換，等等），每一種皆包括了大量的硬體元件。然而，由於行動通訊系統之發展，在硬體方面，其影響系統的成本以及電源／能源的消耗，與高速效率為同等重要的特性。一種趨向滿足所有這些要求的方法是更現代化的數位化訊號處理器（DSPs），並減少專門加速器的數目。縱然在這些方面有所改進，但是這樣的系統仍然無法滿足高速率及能量消耗的要求。

表 1 概括一些主要的計算模式及經常使用這些模式的視訊／圖像處理運算法的例子。這些模式中的運算是很基本且相當為人 所熟悉的。許多的文章已陳述過這些運算的執行。在此強調與視訊／圖像處理運算相關的兩個特性。第一，運算元通常為中精確度（8 至 16 位元）整數值。第二，大部分的運算法利用大量平行運算。在某些情況，這些平行運算共用同樣的運算元，例如，在數值量化方面，同一個數目被許多的影像的像素（pixels）相乘；在向量矩陣乘積中，矩陣中不同的列被乘以相同的輸入向量；在有限脈衝回應（FIR）濾波器中，相同的系數被包括在若干 MAC 運算中，等等。

表 1

計算模式	列式	運算法
平行加/減法	$d_i = a_i \pm b_i, i=1, \dots, k$	動態補償, 明度改變, 離散餘弦轉換(DCT)、離散波元轉換(DWT)、絕對差和(SAD)之次運算, 等等。
累加計算	$s = \sum_{i=1}^K a_i$	前置, 後置處理之平均過濾, DWT之次運算, 向量對向量及矩陣對向量之內積, 捲積, 等等。
平行乘法	$m_i = a_i x_i, \text{ or } m_i = a_i x, \\ i=1, \dots, K$	量化, DCT, DWT, 向量對向量及矩陣對向量之內積, 捲積, 等等之次運算。
乘法累加計算(MAC)	$s_i = s_{i-1} + a_i x_i, \\ i=1, \dots, K, \\ s_0 \text{ 是未知整數}$	FIR 濾波器之基本運算及矩陣對向量運算
向量對向量之內積	$s = \sum_{i=1}^K a_i x_i$	DCT, DWT, 向量對向量及矩陣對向量之內積, 捲積, 等等之前置, 後置處理, 次運算。
矩陣對向量乘積	$s_i = \sum_{j=1}^P a_{i,j} x_j \\ i=1, \dots, K$	顏色轉換, 幾何操作, 仿射運動估計, DCT, 等等之前置, 後置處理, 次運算。
FIR 濾波 (捲積)	$s_i = \sum_{j=1}^P a_j x_{i-j} \\ i=1, \dots, K$	前置, 後置處理(圖像濾光強化, 內插, 外插), DWT之基本運算。
絕對差和(SAD)	$s = \sum_{i=1}^K a_i - b_i ,$	動態估計, 圖像逼真度標準平均絕對誤差(MAE)。

視訊/圖像處理以及其他訊息處理之先前技術結構是基於傳統的乘法運算。許多執行乘法運算及/或乘法累加運算的方法及裝置已經發展出。以下所要考慮的情況是祇有當乘法運算方法及一般乘法結構的兩個運算元(被乘數與乘數)皆未知, 兩個符號定點整數以 2 之補數表示的乘法

運算，即所謂的基數 T(radix-T)方法。

n 位元 (包括符號)乘數 a 的 2 之補數表示為

$\tilde{a} = a_{n-1}a_{n-2}\dots a_1a_0$ ，及 m 位元 (包括符號) 被乘數 x 表示為

$\tilde{x} = x_{m-1}x_{m-2}\dots x_1x_0$ 。 a 與 \tilde{a} (同樣的關係於 x 與 \tilde{x}) 表示如下：

$$a = -a_{n-1}2^{n-1} + \sum_{r=0}^{n-2} a_r 2^r, \quad x = -x_{m-1}2^{m-1} + \sum_{l=0}^{m-2} x_l 2^l. \quad (1)$$

在基數 T 的乘法運算方法中，乘積 $y = a \cdot x$ 的 2 之補數

$\tilde{y} = y_{m+n-1}y_{m+n-2}\dots y_1y_0$ 的公式如下：

$$\tilde{y} = \sum_{r=0}^{n_{\text{radix-T}}-1} (A_r \cdot x) 2^{rt_{\text{radix-T}}} \quad (2)$$

其主要兩個步驟是：

步驟 1. 產生部分乘積 (PP) $A_r \cdot x, r = 0, \dots, n_{\text{radix-T}} - 1$ 使式 (2) 有效。

步驟 2. 平行地將所有初步向左移 $rt_{\text{radix-T}}$ 位置的第 r 個部分乘積 $A_r \cdot x, r = 0, \dots, n_{\text{radix-T}} - 1$ 總和起來。

基數 T MAC 單元以類似的方法運算，所不同的是另一個數字 (累加項) 被加在第 2 步驟的 $A_r \cdot x, r = 0, \dots, n_{\text{radix-T}} - 1$ 中。

現將步驟 1 作更進一步考慮。不同的乘法運算方法依 $A_r \cdot x, r = 0, \dots, n_{\text{radix-T}} - 1$ 的定義及取得方式可推導出不同的乘法運算方法。 $A_r \cdot x, r = 0, \dots, n_{\text{radix-T}} - 1$ 的選擇事實上是依乘數 a 之表示法而定。

最簡單的乘法運算方法是為基數 2 之方法，其使用 a 的 2 之補數表示於式 (1) 的左邊。於此情況，乘積的 2 之補數可依以下求得：

$$\tilde{y} = \sum_{r=0}^{n_{radix-2}-1} (A_r x) 2^{r_{radix-2}} = \sum_{r=0}^{n-2} (a_r x) 2^r - (a_{n-1} x) 2^{n-1}, \quad (3)$$

即 $n_{radix-2} = n$ ，及部分乘積 $A_r \cdot x, r=0, \dots, n-1$ 由 $A_r = a_r, r=0, \dots, n-2$ ，且 $A_{n-1} = -a_{n-1}$ 當 $r=n-1$ 所定義。這些部分乘積可簡單地（並通常地）形成於使用一個 2 輸入及閘（AND Gates）陣列於乘數 \tilde{a} 被乘數 \tilde{x} 的 2 之補數位元間。

$A_r \cdot x, r=0, \dots, n-1$ 之值乘以 2^r （及向左移 r 個位置）於累加至第 2 個步驟之前。應注意的是此方法中的部分乘積 $A_{n-1} \cdot x$ 有時也稱為修正因數，其視為不同於其他的部分乘積。

部分乘積之非一致性的性質可避免於使用另一種基數 2 乘法運算法，其基於 BOOTH 重新編碼使乘數的補數位元 \tilde{a} 成為額外的符號位元。該乘積可表示為：

$$\tilde{y} = \sum_{r=0}^{n_{radix-2}-1} (A_r x) 2^r = \sum_{r=0}^{n-1} (-a_r + a_{r-1}) x 2^r, \quad a_{-1} = 0 \quad (4)$$

亦即， $n_{radix-2} = n$ ，如同之前的表示式，但部分乘積 $A_r \cdot x, r=0, \dots, n-1$ 現在都定義為 $A_r = -a_r + a_{r-1}$ 。與之前的方法相似，將 $A_r \cdot x, r=0, \dots, n-1$ 之值乘以 2^r 於加至第 2 步驟之前。在此方案中，部分乘積於 $0, \pm x$ 中選擇一個。這些值的其中兩個（0 與 x ）是即得的，而 $-x$ 之求得要反轉 \tilde{x} 的位元

並加上單位元。通常，單位元加法執行於部分乘積加總的第 2 步驟中。

無論是 BOOTH 重新編碼或是非重新編碼，在基數 2 乘法運算中共有 $n_{radix-2} = n$ 個部分乘積。為了減少部分乘積的數目，即減少第 2 階段（部分乘積加總）的延遲，於是發展出基於基數 4 修正 BOOTH 重新編碼（MBA）的方法。MBA 是最通用的乘法運算之一，且被進一步的研究及優化中。

為了簡化以下之公式，在任何情況下，當有一項，例如 n/k 發生時，即假設 n 是 k 的整數倍。這是有效的假設，因為 2 之補數可由任一數目的位元作補數（重覆最高有效位元）。

在 MBA 中，乘積的 2 之補數由 $n_{radix-4} = n/2$ 個部分乘積之總和獲得：

$$\tilde{y} = \sum_{r=0}^{n_{radix-4}-1} (A_r x) 2^{2r} = \sum_{r=0}^{n/2-1} ([-2a_{2r+1} + a_{2r} + a_{2r-1}]x) 2^{2r}, \quad (5)$$

$$a_{-1} = 0$$

$A_r \in \{-2, -1, 0, 1, 2\}$ ， $r = 0, 1, \dots, n/2-1$ ，是依據乘數 \tilde{a} 的 2 之補數表示的 3 個連續位元 $a_{2r+1}, a_{2r}, a_{2r-1}$ ($a_{-1} = 0$) 而選擇。 $A_r x$ ， $r = 0, 1, \dots, n/2-1$ ，乘以 2^{2r} （即在硬體中移左 $2r$ 個位置）於加入步驟 2 之前。

使用高於基數 2 非重新編碼的乘法運算以減少部分乘積數目也是可能的。例如，在基數 4 非重新編碼運算法中，

依據乘數的 2 個連續位元 a_{2r+1}, a_{2r} 選擇部分乘積 $A_r x$ ， $A_r \in \{0, 1, 2, 3\}$ ， $r = 0, 1, \dots, n/2 - 1$ 。此方法共有 $n_{radix-4} = n/2$ 個部分乘積。可能部分乘積 $2x$ 可由移動可能部分乘積 x 向左一次而產生。奇數部分乘積 $3x$ 須再加一個 x 求和而得。若負數乘法運算也使用，則符號延伸必須使用，部分乘積的最高有效位元（即符號位元）複製多次直至達到所須的位元長度。

在基數 8 非重新編碼乘法運算中，部分乘積 $A_r x$ ， $A_r \in \{0, 1, 2, 3, 4, 5, 6, 7\}$ ， $r = 0, 1, \dots, n/3 - 1$ ，的選擇是依據乘數的 3 個連續位元。可能部分乘積列是 $0, x, 2x, 3x, \dots, 7x$ ，所有這些可藉由執行 3 個分別的加／減法以得到 $3x = x + 2x$ ， $5x = x + 4x$ ， $7x = 8x - x$ 。可能部分乘積 $6x$ 可移動可能部分乘積 $3x$ 向左一個位置而得。對於較高基數的情況（ ≥ 16 ），有些可能部分乘積（例如， $11x$ 及 $13x$ ）無法由一次的加／減法求得。

圖 1 表示用以實行修正 BOOTH 運算法的裝置 101。共有 $n/2$ 個 BOOTH 編碼／解碼列，每一列包括 1 個 BOOTH 編碼器 102，及 $m+1$ 個 BOOTH 解碼器 103，每兩個列為一組。每個 BOOTH 編碼器 102 解析乘數 \tilde{a} 的 2 之補數的 3 個連續位元，有一位元重疊，且輸出 q 個訊號對應至解碼器 103 列。在一些先前的設計中， $q=3$ 。根據此 q 個訊號，解碼器列與被乘數位元 \tilde{x} 輸入形成部分乘積 $(A_r x) \in \{0, \pm x, \pm 2x\}$ 。 x 非負值倍數可即時求得，因為 $2x$ 是由固線式移位形成。 x 的負值倍數的求得方式是將相應的 x 正值倍數的位元反向並加 1，此通常於步驟 2 中實施。例如，美國專利 6,173,304 是一執行 BOOTH 編碼及解碼的系統。於基數 2 的方法中，部分乘

積的獲得比修正 BOOTH 運算法簡單，但是使用修正 BOOTH 運算法時，部分乘積的數目減至 $n/2$ ，如此，導向速度效率，面積及電源消耗上顯著之優勢。

為進一步減少部分乘積數目，BOOTH 編碼已更延伸至多位元（任意基數 T ）編碼。該乘積的一般方程式如下：

$$\tilde{y} = \sum_{r=0}^{n_{radix}-T-1} (A_r x) 2^{rt} = \sum_{r=0}^{n/t-1} \left(\left[-a_{tr+t-1} 2^{t-1} + \sum_{i=0}^{t-2} a_{tr+i} 2^i + a_{tr-1} \right] x \right) 2^{tr} \quad (6)$$

$$a_{-1} = 0, T = 2^t = 2^{t_{radix}-T}.$$

亦即，有 $n_{radix}-T = n/t$ 個部分乘積 ($T = 2^t$)，且每個部分乘積是依據乘數 \tilde{a} 的 $t+1$ 個連續位元選擇於可能部分乘積 Ax 數列，該 A 介於 -2^{t-1} 與 2^{t-1} 之間。每個可能部分乘積可能相對地容易形成於兩個 ($T=8, 16$) 或更多 ($T>16$) 的 x 的 2 次方倍數之相加，及可能地位元反轉後加 1 (於第 2 步驟)。例如，基數 8 重新編碼的情況，可能部分乘積列為 $0, \pm x, \pm 2x, \pm 3x, \pm 4x$ 。所有數列中的非負數倍數，除了 $3x$ 得自於一加法： $3x = x + 2x$ 外，皆為即時可得。如同之前，負數倍數可依反向加 1 之方法求得。在基數 16 重新編碼的情況，可能部分乘積列為 $0, \pm x, \pm 2x, \pm 3x, \dots, \pm 8x$ ，所有這些可藉由執行 3 個分別的加/減法以得到 $3x = x + 2x$ ， $5x = x + 4x$ ， $7x = 8x - x$ 。可能部分乘積 $6x$ 可移動可能部分乘積 $3x$ 向左一個位置而得。對於較高基數的情況，有些可能部分乘積 (例如， $11x$ 及 $13x$) 無法由一次的加/減法求得。

圖 2 表示先前技術之基數 T ($T \geq 8$) 多位元 BOOTH

重新編碼及基數 T ($T \geq 4$) 新的非重新編碼 (基數高於 4) 乘法器之一般結構 201。此結構包括加法器陣列 202 以計算可能部分乘積數列，一個選擇區塊 203 以選擇 n/t 個部分乘積，以及一個總和區塊 204 將被選擇的部分乘積加總，最後一個是加法器 205 由總和區塊 204 產生之總和 S 及進位 C 項以產生乘積 \tilde{y} 。

典型先進技術的基數高於 4 之乘法器的加法器陣列包括 s 個加法/減法器，其中 s 是可能部分乘積列內之 x 值的奇數倍 ($s=1$ ，於 $T=8$ BOOTH 重新編碼或 $T=4$ 非重新編碼乘法器的情況；以及 $s=3$ ，於 $T=16$ BOOTH 重新編碼或 $T=8$ 非重新編碼乘法器的情況，等等)。通常快速進位預測 (CLA) 加法器使用，因為可能部分乘積形成於如此的乘法器是相當耗時的。在專利 US-5,875,125 中提出申請的特殊 $x+2x$ 加法器可用於基數 8 乘法器中。應注意的是混合式基數 4/8 乘法器也已提出申請，例如，在美國專利號碼 4,965,762 中，主要用在相互作用的 (非平行的) 乘法器，其中部分乘積是序列地產生及累加。美國專利號碼 5,646,877 揭示一種乘法結構，其中任一基數的所有可能部分乘積由 $3x$ 的移位形式，以及包括一個產生 $3x$ 之 $x+2x$ 加法器，兩個移位器及一個加/減法器之加法器陣列的 x 之求和或差數而得。

典型先前技術的基數高於 4 乘法器的選擇區塊包括 n/t 個基數 T BOOTH 編碼器及相同數目的解碼器列。每一個編碼器解析相應乘法器的 $(t+1)$ 元組 (tuple)，及輸出複數控制訊號，依據該訊號，相應的部分乘積由解碼器列形成。

關於如何延伸基數 4 BOOTH 編碼器及解碼器至更高階的基數，可以專利 US-6,240,438 為例。

以下，對部分乘積之加總，即第 2 個步驟，作更細節之考慮。大部分的平行乘法器 / MAC 單元結構用包括一個壓縮陣列跟隨著一個快速加法器（最終加法器）的總和區塊作為步驟 1 部分乘積之加總（見圖 1 及圖 2）。壓縮陣列將 $n_{radix} - T$ 的部分乘積數列減至 2 個數列對應到總和 S 及進位 C 項，其於最加法器中相加。壓縮陣列通常包括全部或半個加法器（進位儲存加法器樹或 Wallace 樹）或 4:2 壓縮器。最終加法器通常為快速預先進位加法器，其是依據壓縮陣列的不同位元的延遲詳加設計。

應注意的是，如果利用 BOOTH 重新編碼之方案，則實行單位元加法之結果於第 1 步驟而非第 2 步驟，每個部分乘積列伴隨一個位元值，若部分乘積是被乘數的負數倍，該值為 0，否則為單位元值。如此，實際上，數列的數目是 $2n_{radix} - T$ 。儘管這些 1 位元值可能合併至部分乘積列中，如此數列的數目是 $n_{radix} - T$ 或 $n_{radix} - T + 1$ ，但所須付的代價是增加乘積列的長度（1 個位元）及變得不規則。在非重新編碼的方案中，至多祇有 1 個額外的位元值，所以可設計較簡單的壓縮陣列。

另一個與 BOOTH 重新編碼乘法器之總和區塊相關聯的問題是如何處理訊號延伸，因為部分乘積列在加總前須彼此相對地移位。一個簡單的執行是每個部分乘積（移位後）應延伸至 $(n+m)$ 位元數，這是非常耗時的作法。特殊

符號的延伸方法及電路已經發展可以減少符號延伸位元數至每列中兩個。在非重新編碼乘法器中，符號延伸可處理的更簡單，而沒有額外的符號位元，因為所有的部分乘積除了一個以外皆是同符號的。

原則上有兩個延伸乘法器結構至 MAC 單元的方法如圖 3a 及 3b 所示。在第 1 個方案（圖 3a），兩個壓縮陣列 301 的輸出（總和項 S 及進位項 C）回饋至其輸入，以使目前的部分乘積與目前累加值的兩個加數作累加。最終的總和項 S 及進位項 C 然後於最終加法器 302 內相加。在第 2 個方案（圖 3b），這些輸出供給另一個壓縮陣列 303，其輸出再回饋至自身（第 2 個壓縮陣列）的輸入。再來，目前乘積的總和項 S 及進位項 C 累加至目前的累加值直至最後一個循環，當最終的總和項 S 及進位項 C 於最終加法器 302 內相加時。整個壓縮陣列的深度（即所有的延遲）可能於第 1 個方案為較小，但寬度，即因此，面積及電源消耗卻是以第 2 個方案為較小。

作為高基數乘法器的總結，應注意的是基數愈高則步驟 1（產生部分乘積）愈驅複雜，但是步驟 2 則愈驅簡單。基數高於 4 的乘法運算法尚未獲得普及，或許因為其使用相當的時間及面積於部分乘積器，包括加法陣列及選擇區塊。

通常，基數 4 MBA 被視為是最好的先前技術乘法運算法，且被用在許多實業上之乘法器中。

一種稱為管線的方法可以用在與運算連接。亦即，一個利用管線的裝置包括 2 個或以上的管線階段，每個管線階段

用以實行運算中的特定的某一或數個部分（即子運算），管線間彼此聯繫，每個管線階段實行 1 或多個子運算，並於最後一個管線階段輸出計算結果。在此管線裝置中，不同的管線階段之操作是採接續式地，因此，下一個管線階段開始操作子運算於前一個管線階段完成子運算之後。若管線階段是純粹地平衡（即某些階段顯著地快於其他的階段），這意謂著所有的管線除了一個以外大部分的時間皆在等待或閒置。此外，所有的管線皆保留給某一特定的作業（計算子運算）而無法實行其他的運算。

有些乘法器 / MAC 單元的特性，從視訊及圖像的觀點是希望具備的，但是先前技術的解決辦法是缺乏或不足的，此將揭示於後。首先，最普及的基數 4 BOOTH 重新編碼的乘法器 / MAC 方法將被考慮。這個方法的一般缺點是比起較高基數的方法消耗更多的電源。另一個一般的缺點是，即使相較於基數 2 乘法運算方法，部分乘積的數目減半，但其仍可減至更少若使用更高的基數。亦即，這個方法的複雜性主要集中在第 2 個步驟（部分乘積的加總）。當管線化一個基數 4 BOOTH 重新編碼乘法器 / MAC 之結構，通常部分乘積產生區塊被考慮作第 1 個管線階段，然而不是平衡於（即，較快於）其他的管線階段。

就基數高於 4 的 BOOTH 重新編碼器而言，已有不同的此類乘法器實現，當僅考慮乘法運算的實行，其與基數 4 的乘法器就時間及面積的標準而言，有相當的競爭性，然而在能源消耗的表現上，卻遠勝過基 4 數乘法器。基數高於

4 的主要缺點是在部分乘積產生區塊內須要有一個加法器陣列。

基數高於 4 的 BOOTH 重新編碼乘法器還有一項缺點是關於必須處理被乘數的負倍數及符號的延伸。

基數 T 非重新編碼與基數 2T BOOTH 重新編碼於部分乘積產生區塊內包括有相同數目的加法器。當使用基數高於 8 的非重新編碼或基數高於 16 BOOTH 重新編碼之乘法器，須要使用 1 個階層以上的加法以產生可能部分乘積。

表 2a

乘法器型式		BR, T=4	BR, T=8	BR, T=16
AA 寬度, s		-	1	3
可能部分乘積數目		5	9	17
SB 之部件	編碼器	n/2 BR4	n/3 BR8	n/4 BR16
	解碼器	n/2 (m+1)-BD4	n/3 (m+2)- 4:1 t/c	n/4 (m+3)-8:1 t/c
	SE	Yes	Yes	Yes
SB 之延遲		6t	12t	16t
CA 之輸入數		n/2 (m+1)-bit + 3n/2 1-bit	n/3 (m+2)-bit +4n/3 1-bit	n/4 (m+3)-bit +5n/4 1-bit
FA-CA5 之 輸入數/ 階層/延遲	n=13,x MAC	7 / 4 / 8t 9 / 5 / 10t	5 / 3 / 6t 8 / 4 / 8t	4 / 2 / 4t 6 / 3 / 6t
	n=16,x MAC	8 / 4 / 8t 10 / 5 / 10t	6 / 3 / 6t 8 / 4 / 8t	4 / 2 / 4t 6 / 3 / 6t
	n=64,x MAC	32 / 8 / 16t 34 / 9 / 18t	22 / 7 / 14t 24 / 7 / 14t	16 / 6 / 12t 18 / 6 / 12t
4:2-CA 之 輸入數/ 階層/延遲	n=13,x MAC	7 / 2 / 6t 9 / 2(4:2)+FA / 8t	5 / (4:2)+FA / 5t 7 / 2 / 6t	4 / 1 / 3t 6 / 2 / 6t
	n=16,x MAC	8 / 2 / 6t 10 / 3 / 9t	6 / 2 / 6t 8 / 2 / 6t	4 / 1 / 3t 6 / 2 / 6t
	n=64,x MAC	32 / 4 / 12t 34 / 5 / 15t	22 / 4 / 12t 24 / 4 / 12t	16 / 3 / 9t 18 / 4 / 12t

表 2b

乘法器型式		NR1, T=4	NR1, T=8	NR2, T=4	NR2, T=8	
AA 寬度, s		2	4	1	3	
可能部分乘積數目		4	8	4	8	
SB 之部件	編碼器	No	No	1 BR4	1 BR8	
	解碼器	$n/2 (m+1)-4:1$	$n/3 (m+2)-8:1$	$(m+1)-(BD4+n/2(4:1))$	$(m+2)(4:1 t/c + n/3(8:1))$	
	SE	No	No	No	No	
SB 之延遲		5t	6t	6t	12t	
CA 之輸入數		$((n-1)/2 + 1)$ (m+2)-bit	$((n-1)/3+1)$ (m+3)-bit	$(n-1)/2 (m+4)$ -bit + 1 1-bit	$(n-1)/3 (m+6)$ -bit + 1 1-bit	
FA-CA5 之 輸入數/ 階層/延遲	n=13,x MAC	7 / 4 / 8t 9 / 4 / 8t	5 / 3 / 6t 7 / 4 / 8t	6 / 3 / 6t 8 / 4 / 8t	4 / 2 / 4t 6 / 3 / 6t	
	n=16,x MAC	9 / 4 / 8t 11 / 5 / 10t	6 / 3 / 6t 8 / 4 / 8t	8 / 4 / 8t 10 / 5 / 10t	5 / 3 / 6t 7 / 4 / 8t	
	n=64,x MAC	33 / 8 / 16t 35 / 9 / 18t	22 / 7 / 14t 24 / 7 / 14t	32 / 8 / 16t 34 / 9 / 18t	21 / 7 / 14t 23 / 8 / 16t	
	4:2-CA 之 輸入數/ 階層/延遲	n=13,x MAC	7 / 2 / 6t 9 / 2(4:2)+FA/8t	5/(4:2)+FA / 5t 7 / 2 / 6t	6 / 2 / 6t 8 / 2 / 6t	4 / 1 / 3t 6 / 2 / 6t
	n=16,x MAC	9 / 2(4:2)+FA/8t 11 / 3 / 9t	6 / 2 / 6t 8 / 2 / 6t	8 / 2 / 6t 10 / 3 / 9t	5/(4:2)+FA/ 5t 7 / 2 / 6t	
	n=64,x MAC	33/4(4:2)+FA/14t 35 / 5 / 15t	22 / 4 / 12t 24 / 4 / 12t	32 / 4 / 12t 34 / 5 / 15t	21 / 4 / 12t 23 / 4 / 12t	

表 2c

BR	Booth 重新編碼基數-T 乘法器
NR1	非重新編碼基數-T 乘法器 類型 1
NR2	非重新編碼基數-T 乘法器 類型 2
SE	符號延伸電路
BR4, BR8, BR16	相應基數 Booth 重新編碼器電路
BD4	基數-4 Booth 解碼器電路
4:1, 8:1, 4:1 t/c, 8:1 t/c	相應輸入數目之多工器或實/補多工器
SB	選擇區塊
CA, FA-CA, 4:2 CA	壓縮陣列, 含全加法器 (FA)及半加法器(HA)之壓縮陣列, 含 4:2 壓縮器之壓縮陣列

表 2a 表示不同區塊之不同特性，該區塊用於先前技術之 Booth 重新編碼基數 T 乘法器 / MAC 單元作為 n 位元乘數與 m 位元被乘數之乘法運算。表 2b 表示不同區塊之不同特性，該區塊用於非重新編碼基數 T 乘法器作為 n 位元乘數與 m 位元被乘數之乘法運算。表 2c 表示 2a 及 2b 內所使用的縮寫。當分析表 2a 與 2b 時，可以發現對於大部份的 n 與 m 值，每個乘法器 / MAC 單元型態內每個乘法器區塊的延遲實質上的不同。亦即，這些乘法器之直接管線化實施將因管線階段間之不良平衡而受阻礙。為使管線階段間有較佳平衡，可藉由設計於一個進位傳遞區塊內有不同 FAs 數目的進位預測 (CLA) 加法器，而彈性地增加第 1 與最後管線階段的傳輸率。此即何以這些區塊的延遲沒有表示在表 2a 與 2b 之中。某些情況，例如，小 n 、較高基數 T ，意謂著非常小的進位傳遞區塊，而因此大的面積。無論如何，使用 CLAs 可能為此兩階段增速之解決方法，儘管其未必是最有效率的。此狀況對於中間之兩個管線階段 (SB 及 CA) 是不同的，因為用於這些區塊的最先進電路是為發揮要徑最大效益而設計，以致於使得這些電路的內部管線作業並不合理。此外，這些區塊的延遲對於每個先前技術之乘法器 / MAC 單元結構之每個型態 (BR($T=8, 16$), NR1($T=4, 8$)) 於不同 n 值，彼此間之相對差異是非常的大。於更小 n 、較高基數 T (例如 $T=16$ 及任一 n 值)，選擇區塊較壓縮陣列為慢，然於其他情況則相反。這意指著為一個或另一個區塊設計較快之電路並無法解決階段之間平衡的一般問題。

所有這些皆使得為先前技術之乘法器／MAC 結構具有良好管線化平衡而發展系統化之方法發生困難。

另一方面，若將獨立之先前技術乘法器／MAC 單元之平行陣列應用於複數個相應之運算，即使較快的區塊可以共用而不影響整體傳輸率，大的矽面積使用是必須的。此外，如上所述，管線階段會產生不良平衡，若將管線化乘法器／MAC 單元應用於該陣列中。

先前技術的矩陣向量算術平行架構的設計是用複數獨立乘法器結合加法器或複數獨立 MAC 單元。同時，對於不同的運算通常有複數特定的電路。然而高基數乘法器包括區塊（管線階段）其可再使用於其他的運算，例如，加／減法，累加運算，等等。同時應提及的是，在矩陣向量算術中，特別是用於視訊／圖像處理方面，如果高基數乘法被使用，在許多情況，一個被乘數被乘以數個乘數意味著被乘數的可能部分乘積可能已被使用在所有的乘法運算中。例如，在向量與矩陣運算中，同樣的乘數將使用許多次，同樣的部分乘積將使用超過一次以上。當此種運算實行於先前技術架構，其計算部分乘積於每次須要時，而導致硬體資源的無效率使用及增加電源之消耗。此外，如上所述，有許多情況，先前的管線階段技術的乘法器是純粹的平衡，因此減低裝置的效率。

【發明內容】

本發明的目標是提供一改良的計算結構及方法以實行運算，其能夠儲存運算過程中的中間結果，特別是儲存乘

法運算之可能部分乘積之能力。依據本發明之方法，至少一個運算中的計算階段，例如管線階段，之輸出資料是儲存於記憶體中，而儲存的資料作為另一個運算的輸入資料。除了儲存可能部分乘積之外，計算裝置之記憶體可用於許多運算。依據本發明之一有效計算裝置實施例是可依一組控制訊號而多功能化／可組態化成數種不同之結構。本發明之結構可有效地實行為超大型積體電路(VLSI)架構。

本發明有不同的實施例，其中一些將於下文中揭示。

第 1 個實施例是利用一個記憶體單元儲存及再使用可能部分乘積於同樣的被乘法被乘以數個乘數的情況時。有無數的例子，如矩陣向量乘法運算，FIR 濾波器，等等。如此，在這些具有相同被乘數的乘法運算中，祇有最初的一個被執行，而避免了最須資源的可能部分乘積之計算。例如，當矩陣乘以向量時，祇有輸出向量的第 1 個分量須作完全的乘法運算，而其他輸出分量的乘法運算祇須作部份執行。當實施 FIR 過濾時，完全的乘法運算祇須於計算第 1 個選樣輸出時實施一次，而於其他選樣輸出時，乘法運算乃非完全地執行。

第 2 個實施例是在矩陣向量中運用一平行乘法器結構，並同時彈性地將其組構成較小的作業。

第 2 個實施例的結構可組構成執行一些運算的裝置包括：(a) 複數乘法運算；(b) 複數 MAC 運算；(c) 不同精確度（位元）的複數加／減法運算；且／或 (d) 平行累加運算。

第3個實施例是結合平行乘法器結構與絕對差和(SAD)加速結構的視訊及圖像處理結構。此結構是多功能架構，依一組不同的控制訊號可以組構成不同的架構。

確切地說，根據本發明之方法的主要特徵在於所述之第一個運算中，至少一個管線階段的輸出資料被儲存至記憶體，而於所述之第二個運算中，該被儲存之資料作為管線階段的輸入資料。根據本發明之系統的主要特徵在於包括一記憶體作為儲存所述之第一個運算中至少一個管線階段的輸出資料，且有一個資料取出器將儲存資料用於所述之第二個運算中之管線階段輸入資料。根據本發明之裝置的主要特徵在於包括一記憶體作為儲存所述之第一個運算中至少一個管線階段的輸出資料，且有一個資料取出器將儲存資料用於所述之第二個運算中之管線階段輸入資料。

本發明與先前技術之比較表現了顯著的優勢。超大型積體電路(VLSI)架構適用於廣泛的計算模式，常用於訊號處理應用，例如，視訊／圖像處理運算。藉由使用本發明之方法在視訊／圖像處理方面，乘法運算與先前技術及裝置之比較，可表現得較快速且較節省電源。本發明在執行複數乘法運算／MACs及有一個共用運算元(共用被乘數)的複數乘法運算／MACs時特別有效率。由於可儲存可能部分乘積並使用它於接續的運算中，可達成顯著面積及電源消耗方面之減少。另外一個本發明的有效實施例能夠設定不同管線階段為節省能源模式，當其不須且／或實質同步地使用不同管線階段實行不同的運算時，可明顯地減

少電源的消耗。高速效率（高傳輸率）是歸因於運用具有彈性可能性的管線以平衡不同管線階段的延遲並減少總體結構區間對最快速區塊的延遲。增加傳輸率相較於單管線先前技術（基數 4 或更高）乘法器時，是以增加最少的面積及不增加輸入／輸出匯流排的寬度而達成。

記憶體單元也使第 1 管線階段可用於其他的作業而與其他的階段平行，即同步執行以乘法為基礎的運算時，平行加／減法運算（不同精確度）可能執行於其他的作業。

還有一項本發明實施例的優點是架構的第 1 管線階段，其作為計算可能部分乘積的加法器陣列，不須與其他的管線階段平衡，因為在大部分的循環中，其並不在要徑上。

可組態化結構使得對於不同的運算重覆使用相同的裝置成為可能。此外，運算可用以執行不同精確度的參數，例如，8 個平行 8 位元加法，或 4 個平行 16 位元加法。

顯著的時間與電源／能源消耗的節省可達成，因為耗資最大部分的可能部分乘積的計算從大部分的乘法運算中去除。

作為多功能架構，本發明的一有效實施例可取代數個專作為某一訊號處理運算的硬體加速器，例如，視訊／圖像處理運算。

【實施方式】

以下，是第 1 個有效實施例的詳細說明。根據本發明第 1 個實施例的裝置的一般結構如圖 7 所示。該裝置 1 以

不同管線階段 P1 到 P4 為一組。本實施例裝置 1 含 4 個管線階段，但是本發明的範圍可包括 4 以外之不同管線階段。此結構還可組入一個記憶體區塊，使得相應於一個運算之第一管線階段的輸出可以被寫入及再使用於相應之另一個運算之第二管線階段的輸入。

管線技術是一通常用於實行複數個類似的操作以增加系統的傳輸率，例如，乘法運算且 / 或 MAC。考慮一典型的先前技術基數 T Booth 重新編碼 (T=8, 16) 或非重新編碼 (T=4, 8) 乘法結構的管線化實施，第 1 管線階段 P1 是表 2a 中的 s 加法器陣列，第 2 管線階段 P2 是選擇區塊，第 3 管線階段 P3 是壓縮陣列，及最後數個階段 P4 (其數目將因不同實施而有所不同)。

依據本發明第 1 個有效實施例的裝置組入了複數 (排) 乘法器 / MAC 單元。基數 T BOOTH 重新編碼 (T=8, 16) 或非重新編碼 (T=4, 8) 乘法器之不同排的一般結構顯示在圖 7。一排乘法器 / MAC 單元的有效實施例結構通常可描述為一個管線化裝置 1，其中第一個管線階段 P1 含複數個，如 p，包括 s 個加法器的陣列 (AA's) 2，且所有陣列之 s 個加法器 2 共用同一個輸入線 6。第 2 個管線階段 P2 是複數個，如 q，選擇區塊 (SB's) 3，第 3 個管線階段 P3 是複數個，如 u，壓縮陣列 (CA's) 4，及第 4 個管線階段 P4 是複數個，如 v，最終進位預測加法器 (CLA's) 5。這些基本功能區塊 (AA's, SB's, CA's, 及 CLA's) 實際上與用在先進技術的乘法器且 / 或 MAC 單元之相應的類型相同。因此，當 p=q=u=v=1 的情況，

對應至先進技術的乘法器且／或 MAC 單元結構，主要差別在於該裝置包括一個記憶體 21 可用以儲存一個或多個運算過程之中間結果，一非限制性的例子，譬如可能部分乘積。多工器 22 可用以選擇第一管線階段的輸出或記憶體 21 作為管線階段 P2 的輸入。本裝置的優點之一是包括轉換內部訊號路徑至裝置且從一組內部訊號中選擇一個輸出訊號的選擇裝置。該選擇裝置是由至少兩個不同的選擇中，選擇至少一個管線階段的輸入。在一個有效的實施例中，至少一些基本區塊於先前技術結構中被取代一個基本區塊以上。裝置的操作依據數個參數 (p, q, u 及 v)，適當的選擇該參數可設計出有良好均衡的管線階段裝置。一管線階段內之區塊以時差的方式操作較優，如此管線階段的傳輸率可以改變，以使得彼此大致相同，而符合希求的操作步驟區間。

複數個功能區塊的時間交錯操作原則扼要說明於下。設想功能區塊 FB 使用於較大系統中的管線階段，及假設其有一估計延遲 $D_{FB} \approx pT_{des}$ (但是 $D_{FB} \leq pT_{des}$)，其中 T_{des} 是系統希求的操作步驟區間。如此，為使管線階段 P1, ..., P4 操作傳輸率配合步驟區間，此功能區塊序列可被代之以複數 w 個功能區塊， FB_1, FB_2, \dots, FB_w ，該區塊有管線暫存器 (鎖存器) R_1, \dots, R_w 於其輸入，及一個 $w:1$ 多工器 10, 11, 12, 13 於其輸出。參數 w 依問題中的管線階段而定。對於第 1 管線階段 P1，參數 w 對應至 p ，即有 p 個管線暫存器 R_1, \dots, R_p ，及第 1 管線階段的多工器 10 選擇 p 輸入的其中之一至其輸出。對於第 2 管線階段 P2，參數 w 對應至 q ，即有 q 個管

線暫存器 R_1, \dots, R_q ，及第 2 管線階段的多工器 11 選擇 q 輸入的其中之一至其輸出。對於第 3 管線階段 P3，參數 w 對應至 u ，即有 u 個管線暫存器 R_1, \dots, R_u ，及第 3 管線階段的多工器 12，其包含兩個多工器（未圖示），各選擇 u 輸入之一為其輸出。對於第 4 管線階段 P4，參數 w 對應至 v ，即有 v 個管線暫存器 R_1, \dots, R_v ，及第 4 管線階段的多工器 13 選擇 v 輸入的其中之一至其輸出 14。至管線階段 P1, P2, P3, P4 的共同輸入連接到每個 w 暫存器 R_1, \dots, R_w 。然而，這些暫存器的每一個僅開放於每 w 個操作步驟的其中之一，各步驟有一時間差。如此，在每個操作步驟，輸入 I 實際上祇連接到一個功能區塊的輸入，而其他的連接則是不活動的。因為，所有其他形成管線階段的功能區塊群之輸入暫存器皆關閉無法寫入。在每 w 操作步驟的第 1 個步驟中，第 1 個功能區塊 FB1 的輸入是開放的，在每 w 操作步驟的第 2 個步驟中，第 2 個功能區塊 FB2 的輸入是開放的，等等。大體而言，於操作步驟 $t=1,2,\dots,K$ 中，輸入 I 實際上僅連接到 FB_f 的輸出，其中， $f=(t-1)\text{mod } w+1$ 。於是，輸入 I 在空間上是共用的，而暫時分配至管線階段的功能區塊 FB_1, \dots, FB_w 之間。於系統操作過程之步驟 $t=1,2,\dots,K$ 中，一個至該階段之輸入資料流的取樣 X_t 進入功能區塊 FB_f ， $f=(t-1)\text{mod } w+1$ 於該階段設定。一但 FB_f 於操作步驟 $t+w-1$ ， $t=1,2,\dots,K$ 之最後完成其對 X_t 的操作，在多功能區塊之輸出的 $W:1$ 多工器 10, 11, 12, 13 傳遞由 FB_f 所得之結果至該階段之輸出於下個操作步驟 $t+w$ ， $t=1,2,\dots,K$ 。因此，多工

器 10, 11, 12, 13 依循環 $mod w$ 規則操作。

由替換每個先前技術乘法器 / MAC 單元結構的功能區塊為複數個相似的功能區塊，及由時間差操作的原則，一個較平衡的管線階段或可達成於適當地選擇在每個管線階段（即參數 $p, q, u,$ 及 v ）的區塊數目於預定的操作步驟。假設在先前技術乘法器 / MAC 單元結構的 4 個階段的延遲分別是 $D_{AA}, D_{SB}, D_{CA}, D_{CLA}$ ，且希求的系統傳輸率是 N_{des} 乘法運算 MAC / 運算每秒，則所希求的操作步驟區間將選擇為 T_{des} ，使得 $T_{des} \leq 1/N_{des}$ ，及上述之設計參數將為 $p = \lceil D_{AA}/T_{des} \rceil$ ， $q = \lceil D_{SB}/T_{des} \rceil$ ， $u = \lceil D_{CA}/T_{des} \rceil$ ，及 $v = \lceil D_{CLA}/T_{des} \rceil$ ，其中，符號 $\lceil x \rceil$ 表示進位至下一個整數。

圖 8 揭示依據本發明的第 2 個有效實施例的計算裝置，結構的可組態性依據本發明的第 2 個有效實施例是藉由包括一或數個選擇裝置而達成，例如，位於第 1 個 P1，第 3 個 P3，及第 4 個 P4 輸入管線階段的多工器 15, 16, 17。多工器 15, 16, 17 是 2:1 多工器，其分別由對應的 c_1, c_2, c_3 訊號控制。此結構還包括一個輸出選擇器 20，其由第 1 個訊號 c_1 控制，以及第 2 個訊號及第 3 個訊號的 OR 組合（即 $c_2 \vee c_3$ ）。輸出選擇器 20 選擇資料於第 1 管線階段 P1，或於第 4 管線階段 P4 的輸出連接至結構的輸出匯流排 14。多工器 15, 16, 17 的第 1 個輸入連接至對應的輸入匯流排 6，多工器 15, 16, 17 的第 2 個輸入是彼此相連的，當第 2 個輸入啟動時，結構作為乘法器 / MAC 運算裝置。使用不同的控制訊號 c_1, c_2, c_3 組合可能產生不同的結構

組態。選擇裝置可用以重新選擇內部訊號路徑至計算裝置，且從一組內部訊號中選擇一個輸出訊號。選擇裝置由至少兩個可供選擇中選擇至少一個管線階段的輸入。據些訊號所產生的組態揭示於後。

當所有控制訊號 c_1 ， c_2 ， c_3 設定為邏輯 1 狀態，即 $c_1=c_2=c_3=1$ ，結構作為乘法器 / MAC 裝置。當第 1 個控制訊號 c_1 為邏輯 0 狀態，而其他控制訊號 c_2 ， c_3 是邏輯 1 狀態，即 $c_1=0$ ， $c_2=c_3=1$ ，結構作為 sp 加 / 減法陣列。祇有第 1 個管線階段 P1（即加法器 2 陣列）是啟動的，其他則是閒置的。第 3 個可取組合是第 1 個控制訊號 c_1 為邏輯 1 狀態，其他控制訊號 c_2 ， c_3 是邏輯 0 狀態（ $c_1=0$ ， $c_2=0$ ， $c_3=1$ ）。此時，結構作為累加器。祇有壓縮陣列 4 及最終加法器運作，其他的加法器陣列及選擇區塊則閒置。第 4 個可取組合是第 1 個控制訊號 c_1 及第 2 個控制訊號 c_2 為邏輯 1 狀態，第 3 個控制訊號 c_3 設定為邏輯 0 狀態（ $c_1=c_2=1$ ， $c_3=0$ ）。此時，結構作寬精確度器快速加法器。尚有另一可取組合，當 $c_1=c_2=c_3=0$ ，結構同時作為 sp 加 / 減法陣列及累加器。很顯然的，上述之選擇裝置 16，17，20 及依控制訊號 c_1 ， c_2 ， c_3 之狀態而定的結構 / 運算模式祇是可能的方式之一，尚有其他不同的可能方式可資應用於本發明範圍之內。這包括了運用其他的控制訊號，此將揭示於後。

圖 8 之結構有另兩個其他的控制訊號 c_4 及 c_5 ，其增加結構的多功能性而不用重新組構。第 4 個控制訊號 c_4 啟動（例如 $c_4=1$ ）或停止（例如 $c_4=0$ ）介於第 3 管線階段內之

壓縮陣列 4 的輸出與輸入之間的回饋迴路。於是，若 $c_1=c_2=c_3=1, c_4=0$ 時，該結構作為乘法器；若 $c_1=c_2=c_3=c_4=1$ 時，該結構作為 MAC 單元。第 5 個控制訊號 c_5 （其可能為 1, 2 或 3 位元訊號）控制第 1 管線階段 p_1 的加／減法器的精確度，以允許（例如 c_5 為邏輯 1）或停止（例如 c_5 為邏輯 0）介於全加器 5 區塊間之進位傳送(carry propagation)。如此，複數加法器陣列包括 sp 個 m 位元輸入的加／減法器也可操作為複數 $2sp$ 個 $m/2$ 位元輸入的加／減法器，或可操作為複數 $4sp$ 個 $m/4$ 位元輸入的加／減法器，等等。另外，選擇區塊 3，壓縮陣列 4，及最終加法器 5 可稍作修改，以由一個訊號控制及實行不同精確度的乘法器／MAC 運算也是可能的。

矩陣向量算術架構

以下，依據本發明的有效實施例之乘法器／MAC 單元結構用於實行矩陣向量運算，例如，純量至向量，或純量至矩陣之運算。矩陣至向量乘法運算(及矩陣至矩陣乘法運算，反矩陣計算，顏色反轉，快速正交變換，例如 FFT，快速 DCT，等等)，以及捲積，有限脈衝回應濾波，及濾波器組，特別是分離小波轉變應用。這些運算的共同點是被乘數 x 是被乘以若干乘數 $a_i, i=1, \dots, K$ 。另一方面，一個高基數乘法的重要特徵是顯著的複雜性從第 2 步驟(部分乘積加總)移至第 1 步驟(形成部分乘積)。基數越高，越多複雜性轉移。

此可取之應用的主要構想是共同被乘數 x 與第 1 個乘

數 a_1 的可能部分乘積祇計算一次，然後重複使用這些部分乘積於 x 與其他乘數 a_i ， $i=2, \dots, K$ ，相乘時。如此， k 個乘法運算中祇須一個被完全執行，其餘的 $k-1$ 的乘法運算則為非完全地，亦即不執行基數高於 4 乘法運算中最複雜的部分（即計算可能部分乘積）。很明顯地，如此將可在時間及電源／能源消耗方面達到顯著的節省。

依據此構想，為矩陣向量算術設計的架構之一般結構可推導自本發明的第 1 個有效實施例中的乘法器／MAC 單元結構及第 2 個有效實施例中的可組態化裝置。此可由組入一個記憶體 21 而達成，如圖 7 及圖 8 所示。存在一第 6 個控制訊號 c_6 ，記憶體 21 據之以開放（第 6 個控制訊號 c_6 例如設定為邏輯 0（低））或關閉（第 6 個控制訊號 c_6 例如設定為邏輯 1（高））寫入。當設定記憶體 21 為開放寫入，可能部分乘積可由複數加法器陣列 2 的輸出儲存至記憶體 21。同一個控制訊號 c_6 可用在控制 2:1 多工器 22。多工器 22 的第 1 個輸入是連接到複數加法器陣列 2，且多工器 22 的第 2 個輸入是連接到記憶體 21 的輸出。於是，可能部分乘積可直接由複數加法器陣列 2（第 6 個控制訊號 c_6 例如設定為邏輯 0）或記憶體 21（第 6 個控制訊號 c_6 例如設定為邏輯 1）進入複數選擇區塊 3。

圖 9 揭示矩陣向量算術結構之例子，其中兩個 (13×13) 位元倍數累加運算可以同時實行。此結構組入分開的選擇區塊 3a 及 3b，由兩個不同的乘法器位元所控制。相同被乘數（若 $c_2=c_3$ ）的可能部分乘積，或不相同兩個被乘數（若

$c_2 \neq c_3$)的可能部分乘積可選擇作為選擇區塊 3a, 3b 的輸入。兩個選擇區塊的輸出接著輸入至兩個各別有 31 個位元回饋 (於此例, $b=32$ 是最終累加結果的最高位元精確度) 的壓縮陣列。這些壓縮陣列的總和 S 及進位 C 的輸出可合併於 (4×31) 輸入壓縮陣列, 其後跟隨一個最終加法器形成的累加項, 或可成對相加形成兩個累加項。如此, 兩個分開的壓縮陣列各有一個較小深度, 即較短的回饋迴路, 操作於累加階段。之後, 兩對的總和項與進位項, 或分開地 (以成對方式) 相加於兩個 CPAs (carry-propagate adders, 進位傳送加法器), 或共同地相加於第 3 個總和區塊。在第 1 個情況, 兩個分開的運算的結果 (例如, 矩陣向量乘法運算的兩個輸出元素) 是同時得到, 在第 2 個情況, 一個複合運算被分成兩個較小的運算, 再將所得結果合併。

實際上, 任何讀/寫記憶體可用在設計的矩陣向量計算結構中。兩個可取的記憶體形式揭示於圖 10a 及 10b 中。圖 10a 中的記憶體形式相當於有 R 個長度 L 的暫存器之暫存記憶體, 其中 L 之長度是大到足以儲存一個被乘數的可能部分乘積於一個暫存器中: $L \geq (m+t)s$, 其中 m 是被乘數的位元精確度, $t = \log T$, T 是乘法運算中所用的基數, 以及 s 是每個加法陣列中的加/減法器的數目。這個記憶體的定址單元應可依據循環 mod P 規則對於每個正整數 $P \leq R$ 產生位址。這表示在運算階段 $t=1, 2, \dots$, 定址單元產生 $a(t) = (t-1) \bmod P$ 作為目前的位址值。然後, 在輸入線上的可能部分乘積值寫到暫存器 $a(t)$, $a(t) \in \{0, 1, \dots, R-1\}$, 若第 6 個控

制訊號 c_6 是低值（至記憶體），或者，暫存器 $a(t)$ ， $a(t) \in \{0, 1, \dots, R-1\}$ 的內容，即之前儲存的可能部分乘積值被寫至輸出線，若第 6 個控制訊號 c_6 是高值（從記憶體）。

第 2 個記憶體形式揭示在圖 10b，以類似於 $\text{mod } P$ 的方式操作，但是被組構成一個能控制回饋的移位暫存器。在每個運算步驟，第 p 個暫存器單元的資料， $p = 0, \dots, P-2$ ，被移至第 $(p+1)$ 個暫存器單元，如果這後者沒有停止。每個暫存器單元都有回饋線，所有的回饋線皆輸入至 $(R+1):1$ 多工器，該多工器有一輸入線作為輸入（至記憶體）。多工器由 $(\log R)$ 位元訊號控制，該值設定為 $c_6 P$ ，使得由輸入來的資料（若 $c_6=0$ ），或者由第 $(P-1)$ 個暫存器輸出的回饋迴路的資料（若 $c_6=1$ ）被寫至第 0 個暫存器中。此記憶體通常都是由第 0 個暫存器作輸出。

以下，三個經常應用於視訊及圖像處理的執行過程將更詳細地說明。應注意的是這些應用例子祇是特定的運算，本發明不設限於祇有這些運算，而這些例子也非即本發明。所有其他的運算包括一共同被乘數乘以數個乘數的乘法運算可依本發明矩陣向量算術之架構作相似的運算。此外，其他類似的運算法可發展於以下考量中。

第一，考慮純量對向量的運算 xa ，此乃最明顯的有效實施例，一共同被乘數（純量）被乘以多數個乘數 a_i ， $i=1, \dots, K$ 。第一個步驟，當執行共同被乘數與第一個乘數 a_1 的乘法運算時，第 6 個控制訊號 c_6 設定為低值，使得可能部分乘積 x 直接由第 1 管線階段 $P1$ 的加法器陣列 2 傳遞至

第 2 管線階段 P2 的複數選擇區塊 3，同時寫至記憶體 21。記憶體 21 依據 mod1 模式設定啟動，而其他的暫存器除第 0 個外皆停止。第 1 管線階段的所有的加法器陣列 2a 除第 1 個外也皆停止，若祇有一個純量與一個或數個向量之乘法運算實行時。由第二個運算步驟開始，第 6 個控制訊號 c6 設定為高值，使得記憶體 21 停止寫入，並將在第一個步驟之後，寫入記憶體的可能部分乘積 x 由記憶體 21 取出，經由對應的 2:1 多工器的第二個輸入至選擇區塊 3。同時，所有加法器陣列 2 (包括第一個) 或停止，或轉換至另一個作業。如此時間節省的目的可達成，因為去除了最耗時的部分，即計算可能部分乘積，而使要徑縮短了。顯著電源及能源的節省可達成，因為於 K 中的 $K-1$ 個運算步驟中，第 1 管線階段是停止或轉移至另一個作業。另一個優點是，在此計算系統中，第 1 管線階段 P1 無須與其他線階段 P2 至 P4 平衡，因為於 K 中的 $K-1$ 個運算步驟，其並不在要徑上。還有一個優點是被乘數 x 由外部記憶體 (未圖示) 提取祇須一次，然而於先前技術中，必須提取 K 次。

第二，考慮矩陣向量運算，

$$\mathbf{s} = A\mathbf{x}, \text{ 或等同地, } s_i = \sum_{j=1}^P a_{i,j}x_j, \quad i=1,2,\dots,K。$$

此運算是許多代數及視訊／圖像處理運算法的一部分，例如，矩陣對矩陣乘法運算，反矩陣計算，圖像顏色空間轉換，快速正交轉換 (例如 TFT，快速 DCT，等等)，幾何操作，邊緣偵查，等等。矩陣向量乘法運算可視為多

重的向量對向量乘法運算，所以可與一個或一排 MAC 單元執行運算。然而，應注意的是輸入向量 x 的分量（被乘數） x_j ， $j=1, \dots, P$ ，乘以 K 個乘數，其為矩陣 A 的第 j 行分量。依據本發明的實施例，利用結構中的記憶體 21 作為矩陣向量算術，允許對輸入向量 x 的每個分量 x_j ， $j=1, \dots, P$ ，祇計算可能部分乘積一次。可能部分乘積則儲存於記憶體 21，若其包含足夠的暫存器（即 $P \leq R$ ）。

上述之要徑，在圖形理論中是表示起始點至終點的最長路線。當應用於本發明時，要徑表示在管線化系統中，計算處理過程的起點至終點的最長路線。要徑的長度表示執行計算所須的時間。藉由要徑分析，可發現影響要徑長度的系統某部分。當發現後，可解析並找尋縮短該部分長度之可能性。相對地，試圖縮短不屬於要徑的部分通常是不須要且也是無助益的。

為初始化 ($K \times P$) 矩陣對向量的乘法運算，依據本發明實施例，結構應依適當的控制訊號值組構如下。依 mod P 模式，記憶體 21 設定啟動，且暫存器從記憶體的 P 至 R 停止。架構的壓縮陣列 4 藉由將控制訊號 $C5$ 設定為高值，而作為累加器使用。第 6 個控制訊號 $C6$ 於開始時設定為低值，當每個分量 x_j ， $j=1, \dots, P$ 的可能部分乘積於 P 個操作步驟 $t = p+1, \dots, p+P$ 中形成，其中步驟 p 是第一個管線階段的延遲，其等於管線階段內加法器陣列的數目。在這些操作步驟中，分量 x_j ， $j=1, \dots, P$ 的可能部分乘積直接從第 1 管線階段 $P1$ 的加法器陣列 2 經由多工器 22 傳至第 2 管線階段 $P2$ 的

複數選擇區塊 3，並於同時寫至記憶體 21。於是陣列 A 的第 1 列與輸入向量 x 的乘法運算得以實施，並且同時地將每個分量 x_j ， $j=1, \dots, P$ ，的可能部分乘積儲存於連續的暫存器內。在 $p+P$ 運算步驟後，控制訊號 C6 設定為高值，使得記憶體 21 關閉寫入，且 x_j ， $j=1, \dots, P$ ，可能部分乘積循環地由記憶體 21 經由 2:1 多工器的第 2 個輸入擷取複數選擇區塊 3。同時，第 5 個控制訊號 C5 於一個步驟設定為低值以重新開始新的累加器。如此重複 $K-1$ 次，直至矩陣 A 所有的列皆乘以向量 x 。由操作步驟 $p+P$ 開始，所有加法器 2 陣列（包括第 1 個）若非停止就是轉移至另一個作業。如此， PK 個乘法運算中的 P 個是完全實施的，而其餘的 $P(K-1)$ 個則是部分實施，即不包括最複雜的第一步驟。與純量對向量乘法運算之案例相似，這個運算也導向顯著時間及電源／能源消耗的節省。

以下，將依據本發明的捲積或 FIR 濾波作更詳細的考慮。該運算式為

$$s_i = \sum_{j=1}^P a_j x_{i-j}, \quad i=1, \dots, K,$$

其中，通常 $P \ll K$ 。有兩個方案是可能實行 FIR 濾波於依據本發明矩陣對向量運算的結構。

第一個方案中，FIR 濾波被視為 P -對角線矩陣 A 與輸入向量的乘法運算，該向量有 P 個分量 $x_i, i=-P+1, \dots, 0$ 對應至負指標並向下移動 P 個位置。基於矩陣 A 是稀疏的（祇有 P 斜線有非 0 項），上述之矩陣向量乘法運算的一般方案

要為 FIR 濾波稍作修改。矩陣 A 的 i 列， $i=1,\dots,K$ ，祇有 P 個非 0 項目，濾波系數 a_j ， $j=1,\dots,P$ 於行 $i,i+1,\dots,i+P-1$ 。在此實施例中，對輸入向量的所有分量而言，可能部分乘積非同時儲存於記憶體中，而是祇有 P 個分量的可能部分乘積被同時儲存。每 P 個運算步驟，一組新的目前輸入之可能部分乘積計算於複數加法陣列內，並取代記憶體 21 中較早的 P 個運算步驟。這是藉由每 P 個運算步驟設定第 6 個控制訊號 C6 至低值而達成。因此加法器陣列 2 無法完全停止，但可比執行時緩慢 P 倍，且不儲存可能部分乘積。祇有 PK 中的 $P+K$ 個乘法運算是完全實施，而其他祇有部分實施。

第二個方案，當計算第一個輸出取樣時， P 個濾波系數的可能部分乘積儲存於記憶體 21。然後，當計算其他 $K-1$ 輸出取樣時，這些可能部分乘積循環地從記憶體 21 取出。這意謂著祇有 PK 中的 P 個乘法運算是完全實施，其他的祇有部分實施。一旦所有的濾波系數的可能部分乘積儲存於記憶體 21，所有的加法器 2 陣列將停止或轉移至其他的作業。如此，第 2 個方案是更有利於第 1 個方案。然而，第 2 個方案祇有在第 1 管線階段 P1 的加／減法器 2 有足夠精確度以計算濾波系數的可能部分乘積時，才有可能實施。

視訊／圖像處理之多功能架構

本發明的結構可有效地應用為視訊／圖像處理多功能架構(MAVIP)。圖 11 揭示一個依據本發明視訊處理結構的有效實施例。此實施例結構利用一所謂絕對差和(SAD)架構 24。SAD 架構之一般結構揭示於圖 4，其中包括以時間

差方式操作所謂訊號差(DS)單元 25 的複數陣列，一有回饋的壓縮陣列 4，及一個最終加法器 5 其後跟隨一個最小評量器(M)單元 26，此單元須用於動態評估處理（基於 SAD），但對 SAD 的計算本身是不須要。每個 DS 單元 25(DS 陣列或縮寫為 DSA)包括 S 個 DS 單元 27(圖 5)，其中每一個是 8 位元減法器，其後跟隨著 XOR 閘 28 介於符號位元及其他的差值位元之間。壓縮陣列的輸入是由 S 個 1 位元（符號資料），S 個 n 位元（差值資料，通常 $n=8$ ），及兩個 $(n+\log K-1)$ 位元回饋（通常， $K=256$ ）。最終加法器可能有 $(n+\log K)$ 位元精確度。一個 SAD 架構的例子包括 8 個 DS 單元（減法器）及對應至 $p=1$ ， $s=8$ ， $n=8$ ，及 $K=256$ ，的情況顯示於圖 6。

比較圖 4 的 SAD 結構與基於圖 8 之結構的乘法器，及特別是比較圖 6 與圖 8 或圖 9 之結構，可注意到兩個結構間一些重要的相似處。兩種結構類型主要皆包括一含複數加法器或減法器的區塊 4，27（在 SAD 實例，其跟隨著一個 XOR 閘），資料選路區塊(data routing block)，其在以乘法器為基礎的結構之情況是選擇區塊 3，在 SAD 之情況則是直接連接，以及總和區塊包括壓縮陣列及最終加法器。這些相似性可作為統一這兩種結構，並結合為一可組態化架構，其可使用少許控制訊號而組構成這兩種結構任何之一。如此，更進一步的架構之多功能性可用極少的簡單邏輯訊號控制之代價而達成。

有數個可選擇方式用以結合 SAD 結構與乘法器結構。

圖 11 表示可選擇方式之一的視訊／圖像處理多功能架構的一般結構。此結構是經由簡單修改基本乘法器為基礎之結構的每個區塊而得。此情況，基本結構是圖 8 所示的矩陣向量計算架構。圖 13 表示由圖 9 之矩陣向量計算架構推導得之視訊／圖像處理多功能架構之實施例。

在一個實施中，視訊／圖像處理多功能架構包括加法器 2 陣列，其可依第 1 個控制訊號 C_1 及第 5 個控制訊號 C_5 組構成加／減法器或 DS 單元，因此可表示為 AA/DSA。一個 AA/DSA 單元之可能實施例表示於圖 12。每 m 位元加／減法器陣列由 r 個連續 (m/r) 位元加／減法器跟隨著一 XOR 閘組成(於圖 13， $m=16$ ， $r=2$)。因此，XOR 閘祇活動於當 $c_1\bar{c}_5 = 1$ 時，即 $(c_1, c_5) = (1, 0)$ ，當架構操作為 SAD 架構時。另一方面，介於 r 個連續 (m/r) 位元加／減法器之間的進位延伸可提供於祇當 $c_5 = 0$ 時。第 1 個控制訊號 C_1 及第 5 個控制訊號 C_5 的結合也可用於控制是否數個不同輸入 ($c_1c_5 = 0$) (加數或 SAD 運算元) 或者一個輸入 ($c_1c_5 = 1$) (被乘數) 進入陣列中。無論是實施加法或減法皆由訊號 c_{in} 控制，其依據乘法運算法及位於 AA/DSA 單元內之 m 位元加／減法器的位置而定。如此，依控制訊號 C_1 及 C_5 ，AA/DSA 單元可以組構成不同型態的運算如下：

(c_1, c_5)	AA/DSA 運算模式	輸入	輸出	使用目的
$(0, 0)$	rs 平行 (m/r) -位元加/減法	rs (m/r) -位元配對 (x_i, y_i) , $i=1, \dots, r$	rs $(m/r+1)$ -位元總和 $c_i=x_i+y_i$,	平行加/減法器
$(0, 1)$	s 平行 (m) -位元加/減法	rs (m/r) -位元配對 (x_i, y_i) , $i=1, \dots, r$	rs $(m/r+1)$ -位元差值 $c_i=x_i-y_i$,	
$(1, 0)$	rs (m/r) -位元平行減法，然後 XORs	rs (m/r) -位元配對 (x_i, y_i) , $i=1, \dots, r$	rs (m/r) -位元差值資料，及 rs 1-位元資料	SAD 架構之第一階段（複數 DS 單元）
$(1, 1)$	s 加法或減法依據基數-T 乘法運算法	1 $(m-t)$ -位元乘數 $(t=\log T)$	s m -位元部分乘積及 rs 1-bit 0 值	基數-T 乘法器的第一階段(AA)

圖 11 的 MAVIP 實施例中，有一個資料選路區塊介於 AA/DSA 單元區塊與壓縮陣列區塊之間，其由與 AA/DSA 單元相同的訊號 C1 與 C5 控制。選擇區塊的時鐘訊號（未圖示）藉由一個及閘結合訊號 C1 使得選擇區塊停止於當 C1=0 時。架構在此情況操作為加/減法器的平行陣列。依據控制訊號 C5，資料選路區塊或組構成直接連接，如同在 SAD 架構內（若 C5=0）直接由 AA/DSA 單元的輸出傳送 r 個 (m/r) 位元差資料及 r 個 1 位元資料至壓縮陣列，或作為相應的乘法器結構內的標準選擇區塊，由 AA/DSA 單元或記憶體傳送 S 個 m 位元平行乘積至壓縮陣列區塊。此藉由插入一個資料一體化編碼器/多工器區塊 (data unifier / multiplexer) 23 從相應的線路選擇資料而達成。資料一體化編碼器/多工器區塊 23 或選擇 AA/DSA 單元區塊的輸出，若 $c_5=0$ ，或選擇區塊的輸出，若 $c_5=1$ ，並將資料類型轉換為適於壓縮陣列 4 的型態。例如，圖 13 中的壓縮陣列的輸入包括兩組

群，每一組群包括 5 個 25 位元及 2 個 31 位元回饋迴路。每一組群內的輸入組對應至乘法運算移位後的部分乘積。因此，一體化編碼器／多工器區塊 23 沒有任何部分乘積的轉換，而祇是實施相應的移位及送兩組部分乘積至壓縮陣列區塊，若 $c_5=1$ 。然而，當 SAD 實施時 ($C_5=0$)，一體化編碼器／多工器區塊 23 轉換 8 個 8 位元及 8 個 1 位元的差值及符號資料於送其至壓縮陣列區塊之前。此 8 個 1 位元資料被壓縮至 2 個 2 位元於一個小的壓縮陣列中，然後用 0 作補數運算使成為 25 位元的數目。同樣，8 個 8 位元也用 0 作補數運算使成為 25 位元的數目。此 10 個 25 位元數目的結果再依 5 個數目組成一組。

相較於圖 8 之矩陣向量算術架構，圖 11 之架構內的總和區塊作修改是必須的，使其可依訊號 C_1 與 C_5 成為可組態化。首先，總和區塊 4 停止，若 $(c_1, c_2) = (0, 1)$ ，使得架構於此情況作為平行加／減法器使用。然而，若 $(c_1, c_2) = (0, 0)$ ，總和區塊 4 作為累加器，而直接從匯流排 6 獲取資料。如此，架構事實上分開成為兩部分，第一部分作為加／減法平行陣列，而第二部分作為累加器。若 $(c_1, c_2) = (1, 1)$ 且 $c_5 = 0$ ，則總和區塊 4 組構成 SAD 架構，於每個操作步驟接受並累加由資料一體化編碼器／多工器區塊 23 轉換為 AA/DSA 單元區塊的 $rs(m/r)$ 位元及 rs 1 位元資料。在 $(c_1, c_2) = (1, 1)$ 且 $c_5 = 1$ 之情況，總和區塊 4 組構以基本乘法器為基礎的結構（例如，圖 8 之矩陣向量算術架構的總和區塊結構），其於每個操作步驟接受 s 個 m 位元部分乘積，並加總或累加具適當移位

的資料一體化編碼器／多工器區塊內的部分乘積。有許多可組態化總和區塊的設計方法，圖 13 的例子使用兩個總和區塊（壓縮陣列），其跟隨著一第 3 總和區塊（最終加法器）如圖 9 所示。

圖 13 代表一個視訊／圖像處理系統的多功能架構的有效實施例，其推導自圖 9 之矩陣向量架構計算於 $n=m=13$ 位元之被乘數及乘數之情況。此實施例的架構包括一個可重組化的 8 個 8 位元，或者 4 個 16 位元加／減法器 2 陣列，一儲存加／減法器 2 之結果的記憶體 21，一可組態化資料選路區塊 3，一個可操作為兩個分開的總和／累加區塊的總和區塊 4，及作為選擇正確輸出的輸出多工器 20。此架構由 7 個控制訊號 c_1, \dots, c_7 控制，架構的時鐘訊號（未圖示）是經由及閘結合 C1 及 C2 依運算的執行停止架構內之某些區塊。例如，當 $(c_1, c_2) = (0, 1)$ ，在此情況架構單純地作為加／減法器的平行陣列。當 $c_1 = 1$ ，所有的區塊皆有作用，但是資料選路區塊被組構成或直接連接作為 SAD 施行，或以乘法器為基礎的資料選路區塊，乃依相對的 $c_5 = 0$ 或 $c_5 = 1$ 而定，並且壓縮陣列之不同部分的操作依 C5 而定。

如此，架構被組構成 SAD 架構（若 $c_1 = 1$ 且 $c_5 = 0$ ），或以乘法器為基礎的結構（若 $c_1 = 1$ 且 $c_5 = 1$ ），乃依訊號 C5 而定。再者，當 $c_1 = c_5 = 1$ ，乘法器為基礎的結構被重新組構成任一可能的組態乃依訊號 c_3, \dots, c_7 而定，此與上述類同。此外，總和區塊或可組構成分開的兩部分（若 $c_6 = 1$ ）使得有機會即刻執行一對乘法運算，或可組構成單一個（若 $c_6 = 0$ ）

以較快速地累加更多的部分結果。

表 3 列出一些運算其可實行於圖 13 的 MAVIP 實施例伴隨著相關控制訊號 c_1, \dots, c_7 之選擇。

表 3

運 算	控 制 訊 號						
	c_1	c_2	c_3	c_4	c_5	c_6	c_7
平行 8-位元 加/減法	0	x	x	x	0	1	1
SAD	1	x	x	x	0	0	1
成對 13-位乘法運算	1	x	0	0	1	1	0
(kx1) 至 (1xk) 13 位元向量對向量內積($k < 65$)	1	0	0	1	1	0	1
	(記憶體不在使用)						
(kx1) 至 (1xk) 13 位元向量對向量內積($k < 65$)	1	1	1	1	1	0	0
	(記憶體在使用)						
(pxk) 至 (kx1) 13 位元矩陣對向量乘積($k < 65$)	1	c_2	c_3	1	1	0	0
	$c_2=c_3=0$ first $(k/2)$ cycles and $c_2=c_3=1$ after that						
長度 p 訊號 k -輕擊 FIR 濾波	1	c_2	c_3	1	1	0	0
	$c_2=c_3=0$ 最初 $(k/2)$ 循環 及 之後 $c_2=c_3=1$						

上述實施例有許多不同的可選擇方案，因為乘法器 / MAC 單元結構有若干不同類型的延伸可供使用。此外，每個結構中不同設計參數的選擇導致不同的可選擇方案。本發明的有效實施例適用於，例如，獨立(緊密或分開成對)裝置。一可選擇的方案是一個系統處理器內的功能單元。這種配置可取代處理器內的乘法單元。尚有其他許多可選擇方案可達相同目的。其中之一是實施於不同實施例之一部分，不包括複數加法器陣列(第 1 管線階段 P1)及記憶體

21，而用作為處理器內的功能單元。處理器的加／減法器則作為複數加法器陣列，而暫存器作為使用於矩陣對向量運算結構內的記憶體。

例如，德州儀器(Texas Instruments)TMS320C64x DSP 包括 8 個功能單元，其中 6 個可操作為 64 位元的加／減法器，這每一個可操作 2 個 32 位元或 4 個 16 位元或 8 個 8 位元之加／減法器。其尚包括 128 個 64 位元暫存器，這每一個可用為 2 個 32 位元或 4 個 16 位元或 8 個 8 位元之暫存器。假設另一個功能單元(FC)類似圖 6 所示，但沒有加法器陣列，將包括在處理器內。如此，此功能單元包括複數個選擇區塊，複數個壓縮陣列，個及複數個快速最終加法器可用於乘法運算或乘法為基礎的運算於以下兩個循環(目前 TMS320C64x 乘法器之乘法運算也採兩個循環)。於第 1 個循環時，加／減法器計算被乘數 x 的可能部分乘積，並儲存結果於暫存器。接下來步驟中，適當的部分乘積組將被挑選並加總於上述之功能單元。在此實例中，被乘數 x 被重複使用，當實行第一個 x 涉入的乘法運算時，第 1 個循環可能祇執行一次，但於接續與 x 之乘法運算中則省略而導向顯著時間與能源之節省。此外，當實施 FIR 濾波(捲積)以一合理地小的系數，TMS320C64x 的加／減法器於開始時，將祇被用於數個(可能一個)循環以計算濾波系數的可能部分乘積，並儲存結果於暫存器。之後，剩餘之計算則依本發明實行於功能單元，而載入／儲存單元則給予機會使用加／減法器於其他的目的(或暫停使用以節省電源)。在

TMS320C64x 目前實行 FIR 濾波時，所有功能單元包括乘法器及加／減法器皆忙碌於該作業中。

尚其他的可選擇方案可對不同的位元精確度實施本發明的可取結構，例如，執行乘法器／MAC 單元可實行或一個 $n \times m$ 乘法運算，或兩個 $(n/2) \times m$ 或 $n \times (m/2)$ 乘法運算，或 4 個 $(n/2) \times (m/2)$ 乘法運算於一個操作步驟。

圖 14 揭示一個依據本發明的有效實施例之裝置 29。此裝置包括一個控制單元 30 以控制裝置的操作。此裝置還包括一個數位訊號處理單元 31 作為實行其他處理作業，例如訊號處理。依據本發明一有效實施例的計算裝置 1 適合應用於處理單元 31。此處理單元也可包括一個有效的共同記憶體 40 為計算裝置及控制單元 30 所用，及一個內部記憶體 41 由處理單元 31 作為內部使用，例如儲存可能部分乘積。此裝置的使用者介面 33 包括顯示裝置 34，音響裝置 35，鍵盤 36，及例如一個視訊相機 37。裝置 29 包括通訊裝置 38，例如行動通訊裝置，以與通訊網路聯通及與其他類似的裝置互換資訊(未圖示)。記憶體裝置 39 用於儲存不同的資料及程式，例如控制單元 30 的操作指令。

本發明不受限以上揭示的實施例，而可依據下列之申請專利範圍作修改。

【圖式簡單說明】

- 圖 1 基數 4 BOOTH 重新編碼乘法器的標準結構，
- 圖 2 基數 T BOOTH 重新編碼 ($T \geq 8$) 或非重新編碼 ($T \geq 4$) 乘法器的一般結構，
- 圖 3a 在平行基數 T MAC 單元結構內之總和區塊的實施例，其中總和區塊是作為 n/t 選擇部分乘積及回饋與進位項的一般壓縮區塊，
- 圖 3b 另一個在平行基數 T MAC 單元結構內之總和區塊的實施例，其中總和區塊被實行為分開的壓縮陣列，
- 圖 4 絕對差和的一般結構，其中 DS 單元作為減法器，XOR(互斥或)閘跟隨其後，
- 圖 5 DS 單元的一般結構，
- 圖 6 絕對差和結構，其中 $p=1$ ， $s=8$ ， $n=8$ ，
- 圖 7 根據本發明第一個有效實施例之計算裝置的一般結構簡化圖，
- 圖 8 根據本發明第二個有效實施例之複數個乘法/MAC 運算之可組態化計算裝置的一般結構方塊簡圖，
- 圖 9 根據本發明的兩個同步 (13×13) 位元倍數累加運算的矩陣向量計算架構的有效實施例，
- 圖 10a 備有一個在循環 mod P 模式的暫存記憶體，
- 圖 10b 備有一個在循環 mod P 回饋迴圈的移動暫存記憶體，
- 圖 11 根據本發明作為視訊/圖像處理多功能架構的結構，
- 圖 12 AA/DSA 單元的實施例，
- 圖 13 將圖 6 中的 SAD 結構及圖 9 中的矩陣向量計算架構

成為一體的視訊／圖像處理多功能架構，
圖 14 根據本發明有效實施例的裝置之方塊簡圖。

【符號說明】

3a	選擇區塊	4	壓縮陣列
10	p 對 1 多工器	11	q 對 1 多工器
12	2u 對 2 多工器	13	v 對 1 多工器
21	記憶體	20	輸出選擇器
21	5P 16 位元暫存器記憶體 平行 5x16 I/O		
23	資料一體化編碼器／多工器		
30	控制單元	34	顯示裝置
35	音響裝置	36	鍵盤
37	視訊裝置	38	通訊裝置
39	記憶體	40	共用記憶體
41	內部記憶體	102	Booth 編碼器
103	m+1 Booth 解碼器	202	加法器陣列
203	選擇區塊	204	壓縮陣列
205	最終加法器	301	n/t+2 列壓縮陣列
302	最終加法器	303	4 列壓縮陣列

伍、中文發明摘要：

本發明係關於使用由一組至少兩個管線階段，至少一個資料輸入介面，及至少一個資料輸出介面所構成的管線化計算裝置實行運算之方法，該管線化計算裝置包括至少一個資料輸入介面，及至少一個資料輸出介面；該方法中，實行第一與第二運算之資料是輸入至裝置，在第一個運算中，至少一個管線階段的輸出資料是儲存於記憶體，而於第二個運算中，將儲存之資料作為管線階段的輸入資料；本發明更進一步與使用該方法之系統及裝置有關。

陸、英文發明摘要：

The present invention relates to a method for performing calculation operations using a pipelined calculation device comprising a group of at least two pipeline stages, at least one data interface for input of data, and at least one data interface for output of data. Said pipeline stages include at least one data interface for input of data and at least one data interface for output of data. In the method data for performing a first and a second calculation operation is input to the device. In said first calculation operation, output data of at least one pipeline stage is stored into a memory. In said second calculation operation the stored data is used as input data to a pipeline stage. The invention further relates to a system and a device, in which the method is utilized.

拾、申請專利範圍：

【申請專利範圍】

1. 一種使用由一組至少兩個管線階段，至少一個資料輸入介面，及至少一個資料輸出介面所構成的管線化計算裝置內實行運算的方法，該管線階段含至少一個資料輸入介面，及至少一個資料輸出介面；在本方法中，實行第一與第二運算之資料是輸入至裝置，其特徵在於第一個運算中，至少一個管線階段的輸出資料是儲存於記憶體，而於二個運算中，將儲存之資料作為管線階段的輸入資料。

2. 如申請專利範圍第 1 項之方法，其特徵在於其為一高基數非 Booth 重新編碼運算方法。

3. 如申請專利範圍第 1 項或第 2 項之方法，其特徵在於該運算分作為第一個次運算與複數個第二次運算，第一次運算的結果儲存起來，再運用於複數個第二次運算中。

4. 如申請專利範圍第 1，2 項或第 3 項之方法，其特徵在於該運算是為乘法運算，其中被乘數乘以一個乘數，於第一管線階段實行計算該乘數的可能部分乘積，並將可能部分乘積儲存於記憶體。

5. 如申請專利範圍第 1，2，3 項或第 4 項之方法，其特徵在於該運算是為乘法運算，其中被乘數 x 乘以數個乘數 (a_i ，

$i=1,\dots,K$)以計算共同被乘數(x)的可能部分乘積；當被乘數乘以第一個乘數 a_1 時，可能部分乘積儲存於記憶體，而儲存之可能部分乘積用於乘數(x)與其他乘數($a_i, i=2,\dots,K$)相乘時。

6. 如申請專利範圍第 5 項之方法，其特徵在於該運算至少部分地是以時間差方式實行，將至少一個次運算分為數個部分次運算，並指定每個部分次運算予不同的時間。

7. 如申請專利範圍第 1 至第 6 項之任一項之方法，其特徵在於其用於視頻資訊處理。

8. 如申請專利範圍第 1 至第 7 項之任一項之方法，其特徵在於一個乘法運算與另一個乘法運算以管線化實行，此另一個乘法運算開始操作於前一個乘法運算結束之前，此前一個乘法運算至少分為第 1 與第 2 個次運算，每一個次運算於一個管線階段中實行，至少有一個次運算是平行實施於一個管線，第二個乘法運算的次運算開始於第一個乘法運算完成之前。

9. 如申請專利範圍第 1 至第 8 項之任一項之方法，其特徵在於選擇資料路徑是實行於計算裝置，其中對於至少一個資料介面選擇於其他至少兩個資料介面，以連接該至少一個資料介面與所選擇資料介面作為資料選路。

10. 一種使用由一組至少兩個管線階段，至少一個資料輸入介面，及至少一個資料輸出介面所構成的管線化計算裝置內實行運算的系統，該管線階段含至少一個資料輸入介面，及至少一個資料輸出介面，而該計算裝置還包括第一與第二運算用之資料輸入；本系統特徵在於包括一個記憶體(21)以儲存上述至少一個管線階段的第一運算輸出資料，及一個資料取出器(22)將所儲存之資料作為第二運算中管線階段的輸入資料。

11. 如申請專利範圍第 10 項之系統，其特徵在於該計算裝置為一高基數非 Booth 重新編碼乘法器。

12. 如申請專利範圍第 10 項或第 11 項之系統，其特徵在於該運算分成為一個實行於第一管線階段的第一次運算，及複數個實行於其他管線階段的第二次運算；第一個次運算的計算結果被儲存於記憶體(21)，而一個資料取出器，其包括一個多工器連接記憶體之輸出至其他至少一個管線階段的輸入資料介面，將儲存的計算結果使用於上述之複數個第二次運算中。

13. 如申請專利範圍第 10，11 項或第 12 項之系統，其特徵在於第 1 管線階段包括加法器(2)陣列，第 2 管線階段包括選擇區塊(3)，第 3 管線階段包括壓縮陣列(4)，及第 4 管線階段包括進位預測加法器(5)；第一管線階段的輸出資

料介面連接至記憶體之輸入及至資料取出器之一個輸入，記憶體之輸出連接至資料取出器之另一個輸入，而資料取出器之輸出連接至第 2 管線階段的資料輸入介面。

14. 如申請專利範圍第 10, 11, 12 項或第 13 項之系統，其特徵在於該記憶體包括複數個暫存器，每一個暫存器儲存一個值，及包括一個定址單元當於暫存器之一定址時，作為從／至暫存器讀／寫資料。

15. 如申請專利範圍第 10, 11, 12 項或第 13 項之系統，其特徵在於該記憶體包括複數個暫存器，每一個暫存器儲被安排儲存一個值，及包括一個多工器用以選擇記憶體的輸入或暫存器之一的輸出，並將選資料儲存於第一個暫存器，且第一個暫存器的輸出連接至記憶體之輸出。

16. 如申請專利範圍第 10 至第 15 項之任一項之系統，其特徵在於其包括至少一個多工器作為從至少一個第一輸出資料介面及一個第二輸出資料介面選擇至管線階段 (P1, P2, P3, P4) 的輸入資料介面，此第一輸出資料介面是在問題中前一個管線階段的輸出。

17. 如申請專利範圍第 10 至第 16 項之任一項之系統，其特徵在於其包括視頻資訊處理之裝置。

18. 一種使用由一組至少兩個管線階段，至少一個資料輸入介面，及至少一個資料輸出介面所構成的管線化計算裝置內實行運算的裝置，該管線階段含至少一個資料輸入介面，及至少一個資料輸出介面，而該計算裝置還包括第一與第二運算用之資料輸入；本裝置之特徵在於包括一個記憶體(21)以儲存上述至少一個管線階段的第一運算輸出資料，及一個資料取出器(22)將所儲存之資料作為第二運算中管線階段的輸入資料。

19. 如申請專利範圍第 18 項之裝置，其特徵在於該計算裝置為一高基數非 Booth 重新編碼乘法器。

20. 如申請專利範圍第 18 或第 19 項之裝置，其特徵在於該運算分成為一個實行於第一管線階段的第一次運算，及複數個實行於其他管線階段的第二次運算；第一個次運算的計算結果被儲存於記憶體(21)，而一個資料取出器，其包括一個多工器連接記憶體之輸出至其他至少一個管線階段的輸入資料介面，將儲存的計算結果使用於上述之複數個第二次運算中。

21. 如申請專利範圍第 18，19 項或第 20 項之裝置，其特徵在於第 1 管線階段包括加法器(2)陣列，第 2 管線階段包括選擇區塊(3)，第 3 管線階段包括壓縮陣列(4)，及第 4 管線階段包括進位預測加法器(5)；第一管線階段的輸出資

料介面連接至記憶體之輸入及至資料取出器之一個輸入，記憶體之輸出連接至資料取出器之另一個輸入，而資料取出器之輸出連接至第 2 管線階段的資料輸入介面。

22. 如申請專利範圍第 18，19，20 項或第 21 項之裝置，其特徵在於該記憶體包括複數個暫存器，每一個暫存器儲存一個值，及包括一個定址單元當於暫存器之一定址時，作為從／至暫存器讀／寫資料。

23. 如申請專利範圍第 18，19，20 項或第 21 項之裝置，其特徵在於該記憶體包括複數個暫存器，每一個暫存器儲被安排儲存一個值，及包括一個多工器用以選擇記憶體的輸入或暫存器之一的輸出，並將選資料儲存於第一個暫存器，且第一個暫存器的輸出連接至記憶體之輸出。

24. 如申請專利範圍第 18 至第 23 項之任一項之裝置，其特徵在於其包括至少一個多工器作為從至少一個第一輸出資料介面及一個第二輸出資料介面選擇至管線階段 (P1, P2, P3, P4) 的輸入資料介面，此第一輸出資料介面是在問題中前一個管線階段的輸出。

25. 如申請專利範圍第 18 至第 24 項之任一項之裝置，其特徵在於其包括視頻資訊處理之裝置。

26. 如申請專利範圍第 18 至第 25 項之任一項之裝置，其特徵在於一個乘法運算與另一個乘法運算被安排以管線化方式實行；就此，該裝置包括管線暫存器位於至少一個管線階段的輸入資料介面，至少一個多工器位於所述至少一個管線階段的輸出，以及控制輸入作為控制上述之管線暫存器，使得祇有一個管線暫存器是開發於寫入資料至所述管線階段的輸入資料介面；上述之乘法運算被分成至少第一與第二次運算，此每一個第一與第二次運算被執行於一個管線階段，而其中至少一個次運算被安排平行地實行於一管線，其中第二個乘法運算的次運算被安排開始於相應的第一個乘法運算的次運算結束時。

27. 如申請專利範圍第 18 至第 26 項之任一項之裝置，其特徵在於其包括選擇資料路徑之裝置(2, 3, 4, 5)，此選擇裝置包括連接一個資料介面至最少兩個其他資料介面之一作為資料選路。

28. 如申請專利範圍第 18 至第 27 項之任一項之裝置，其特徵在於其包括一個無線通訊裝置。

29. 如申請專利範圍第 18 至第 28 項之任一項之裝置，其特徵在於其為一積體電路。

30. 如申請專利範圍第 18 至第 28 項之任一項之裝置，其特徵在於其為一計算裝置。

9-120873

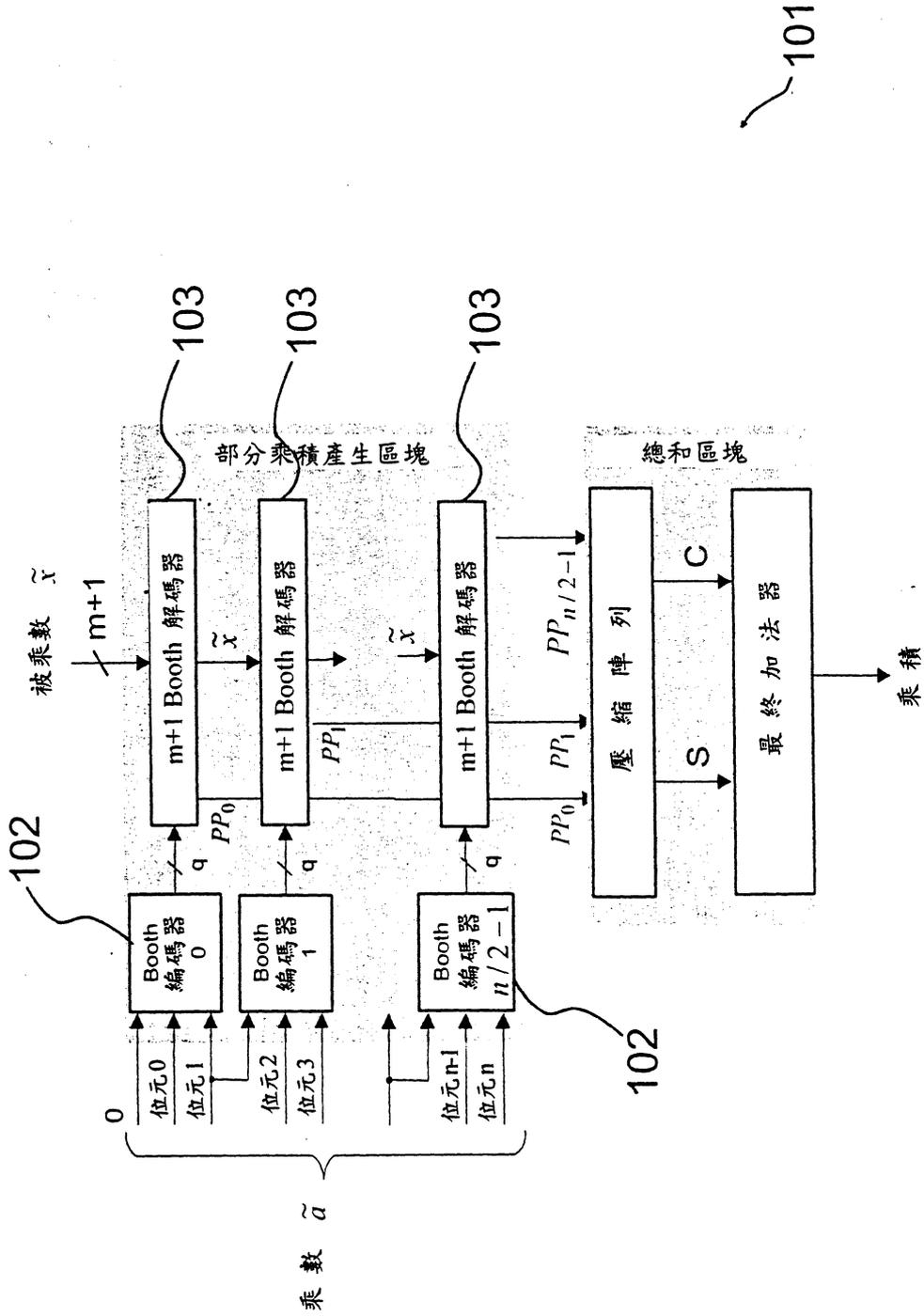


圖 1

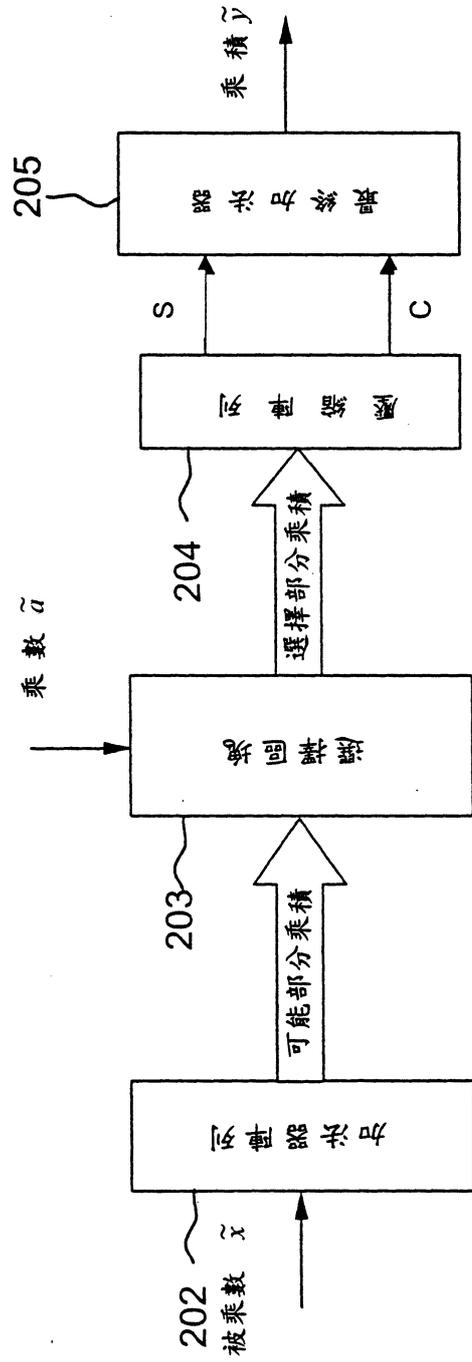


圖 2

201

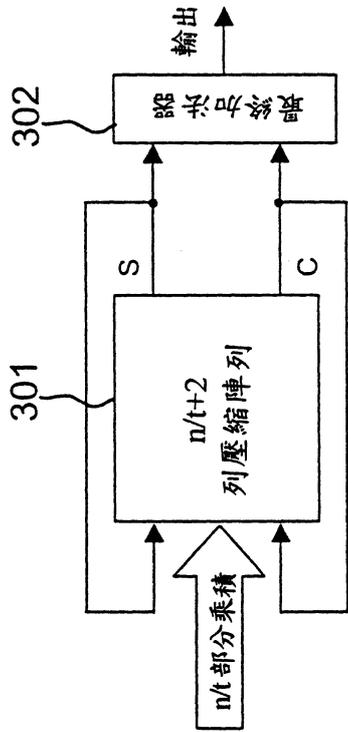


圖 3a

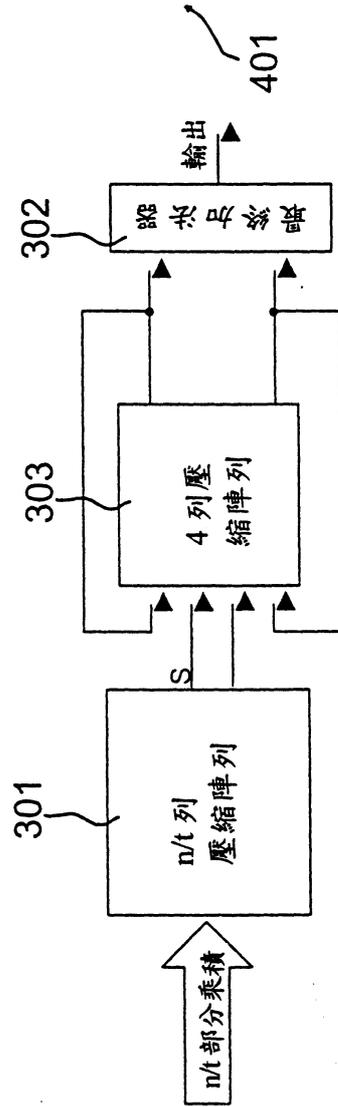


圖 3b

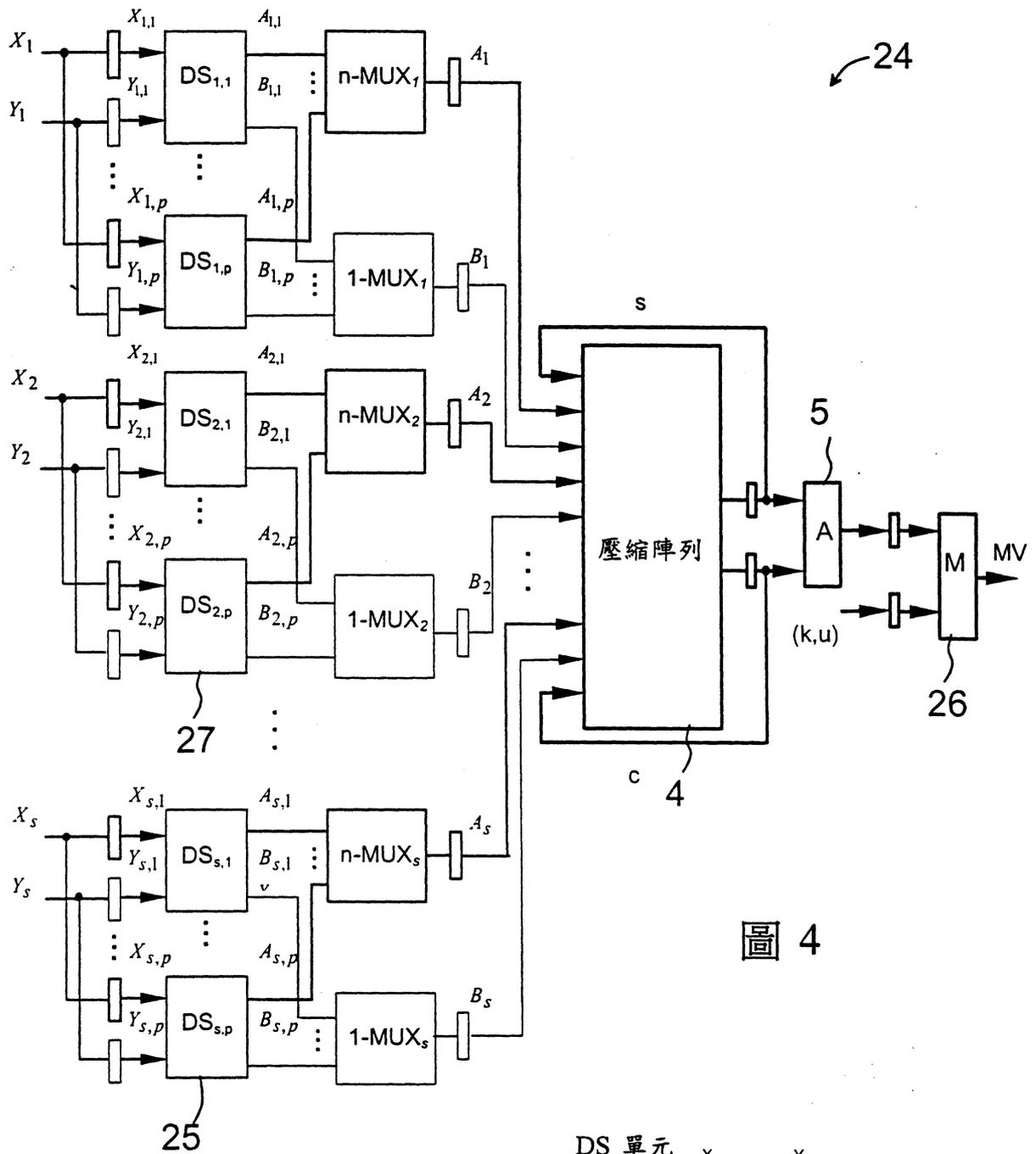


圖 4

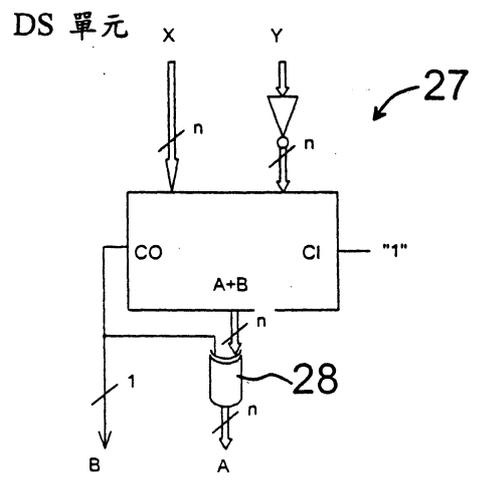


圖 5

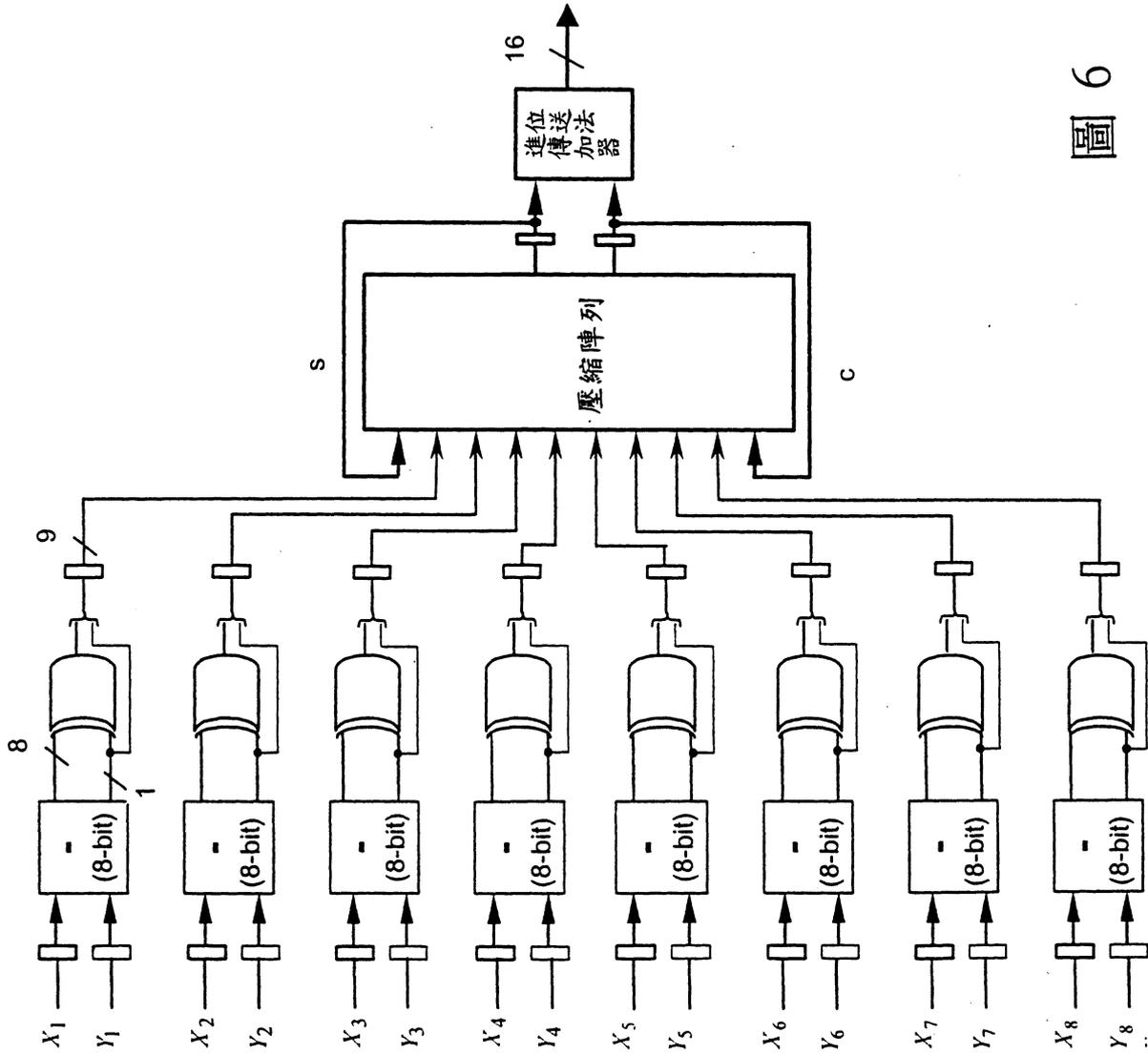


圖 6

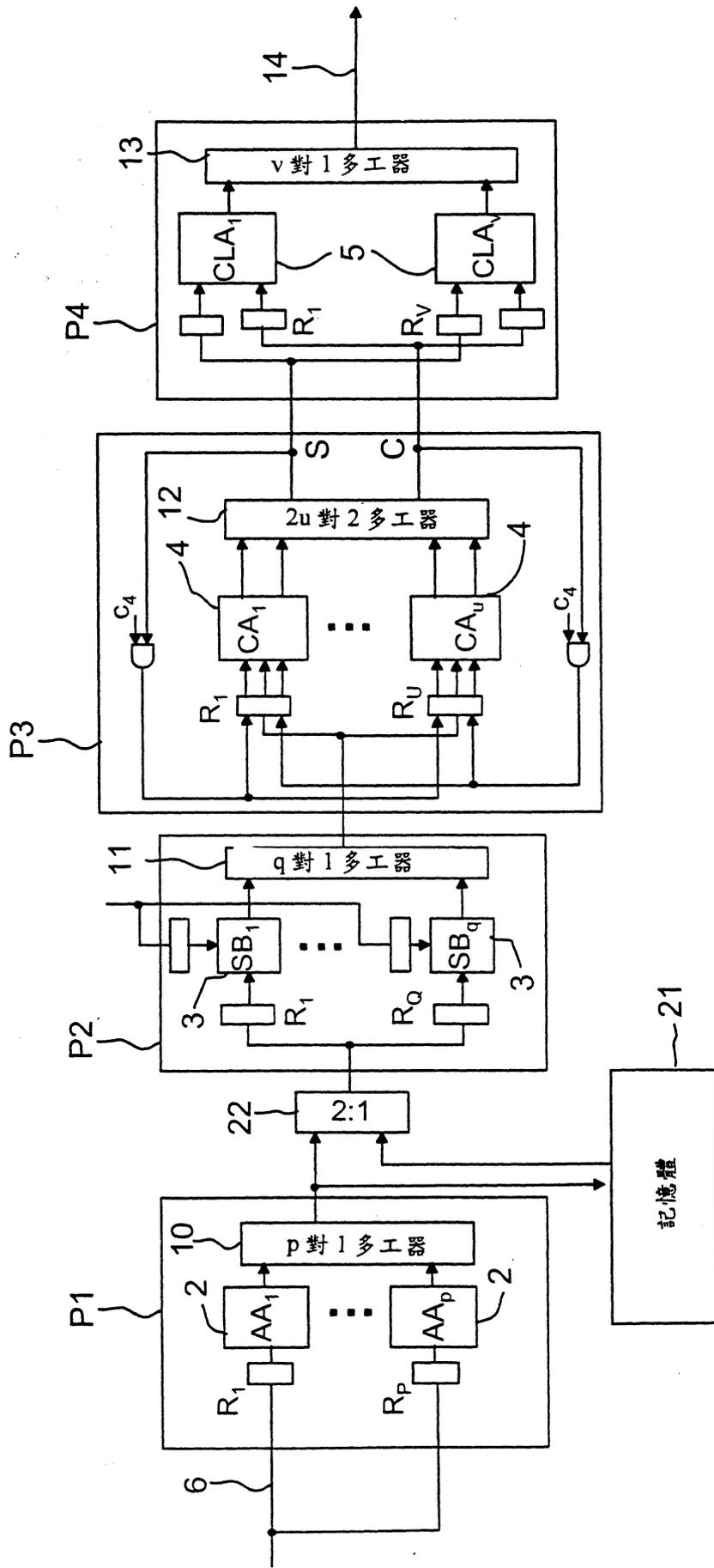


圖 7

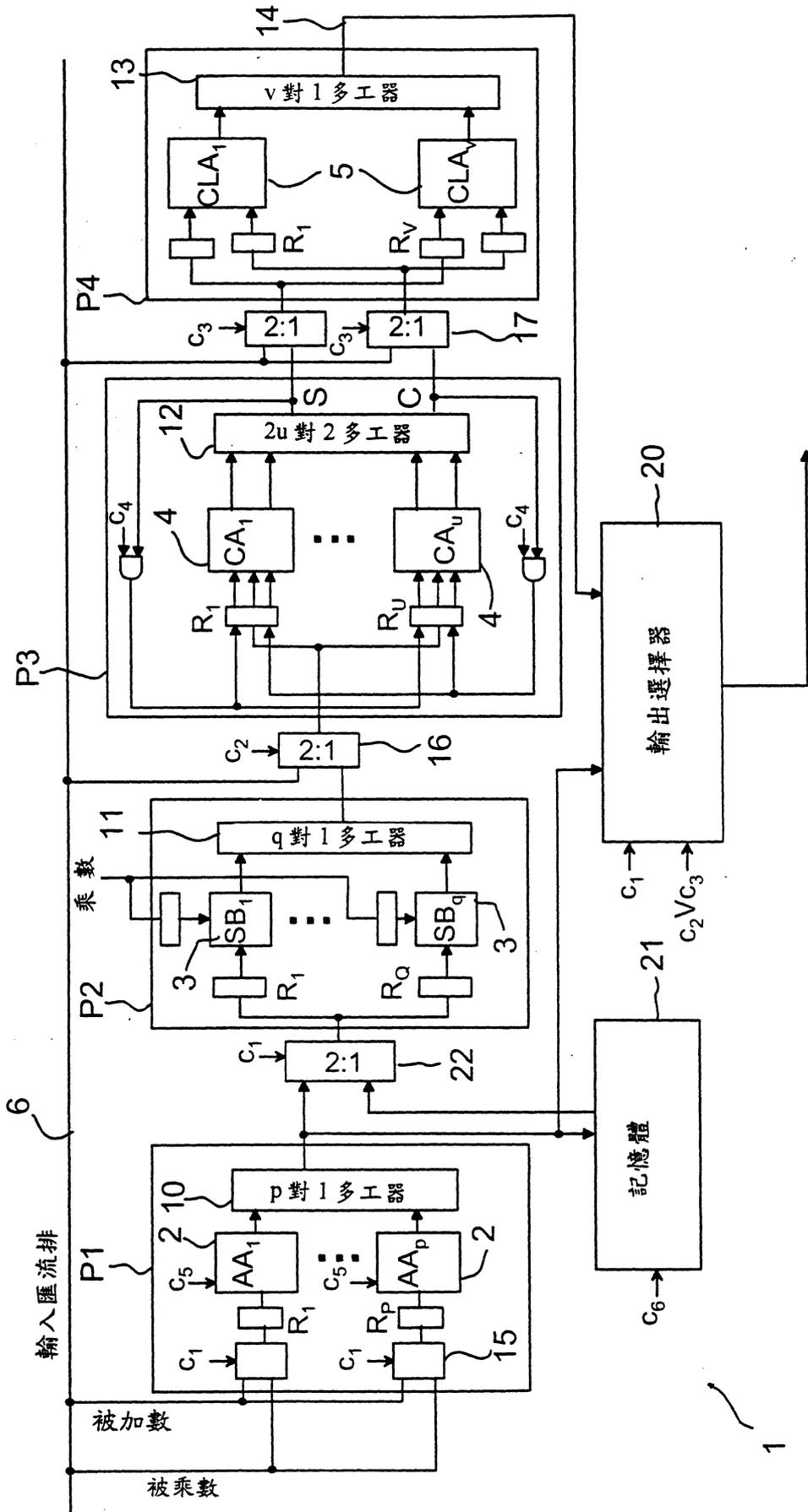


圖 8

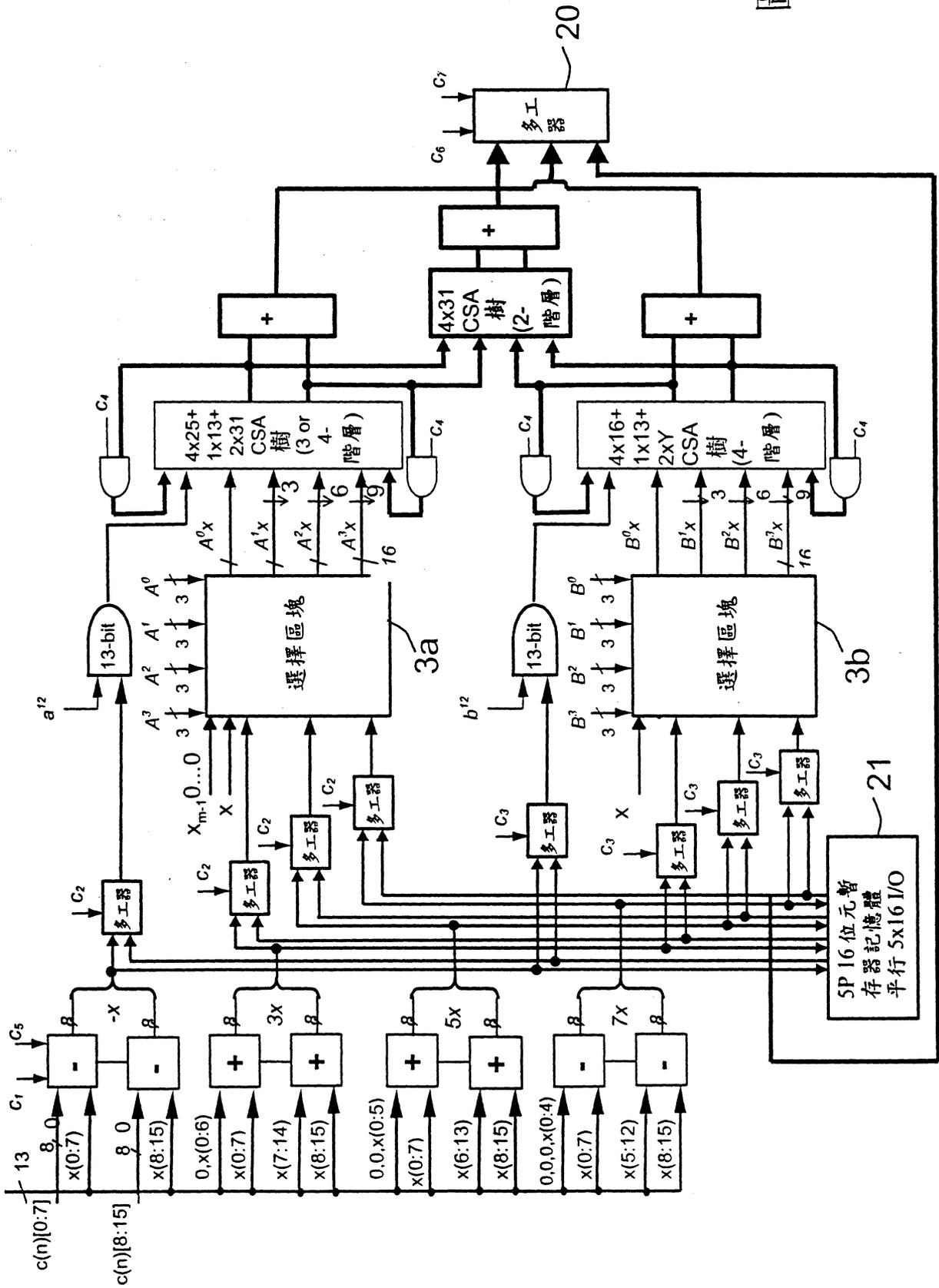


圖 9

21 ↘

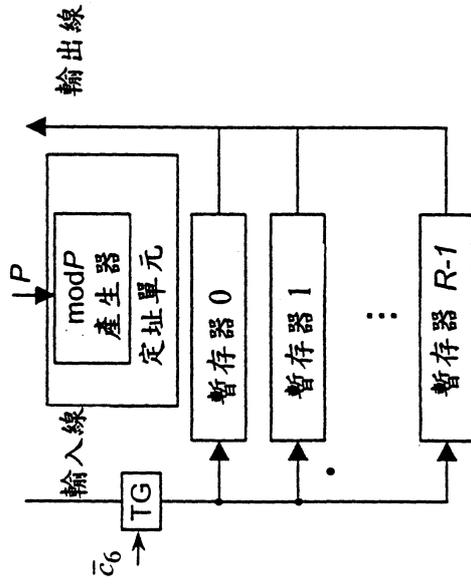


圖 10a

21 ↘

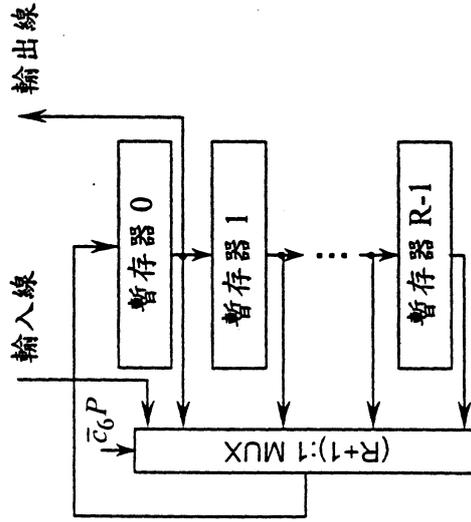


圖 10b

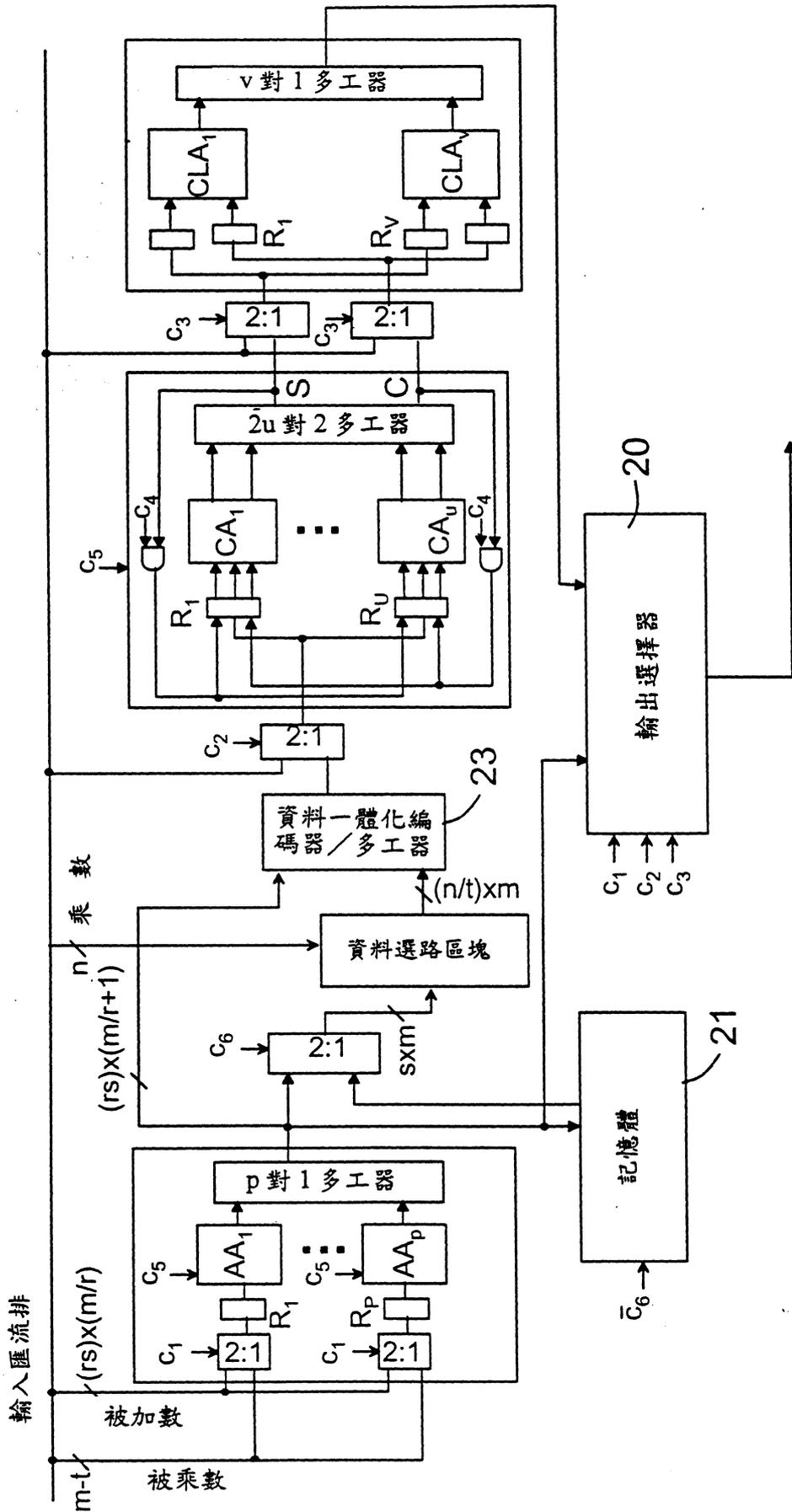


圖 11

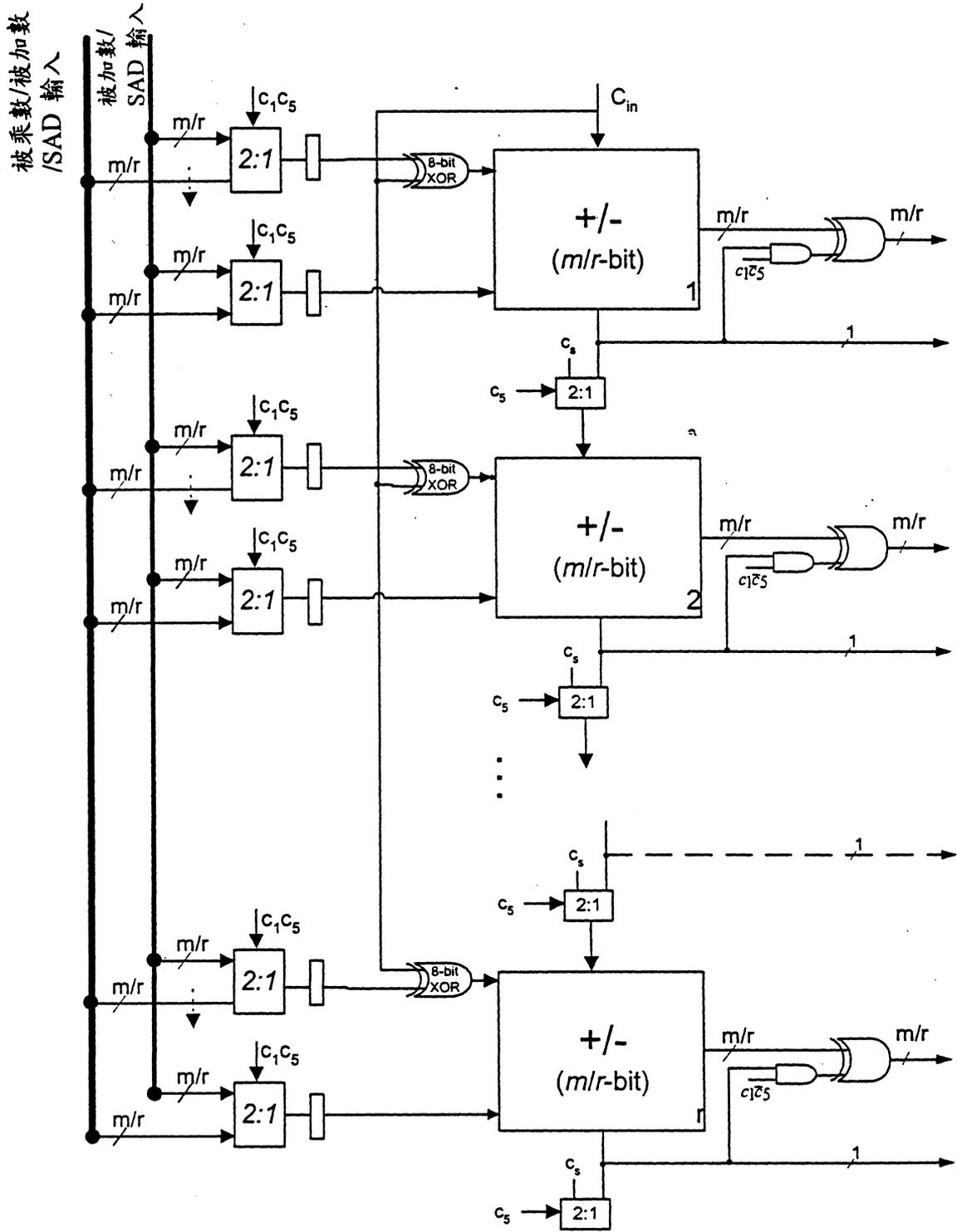


圖 12

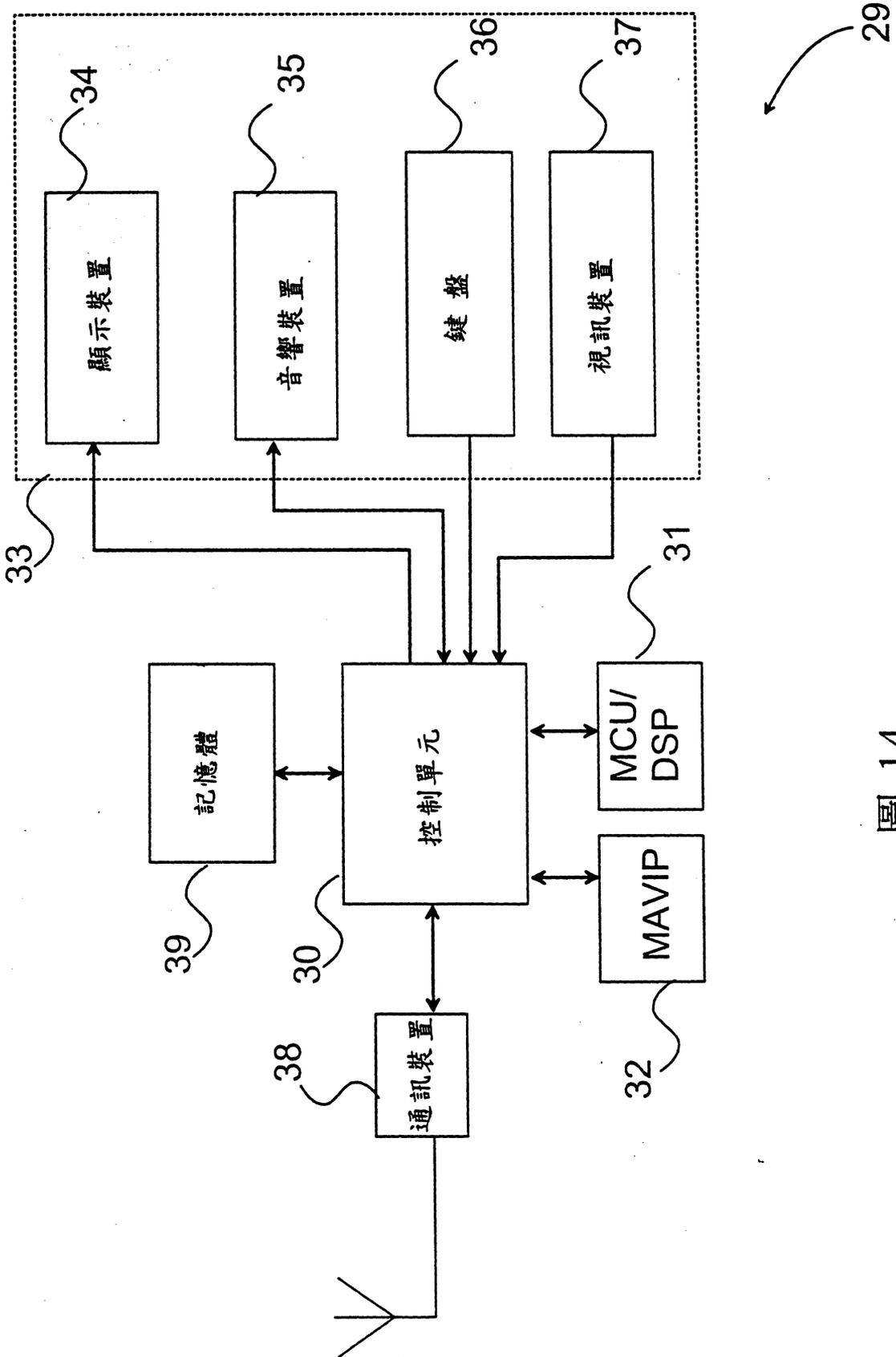


圖 14

柒、指定代表圖：

(一)本案指定代表圖為：第 (7) 圖。

(二)本代表圖之元件代表符號簡單說明：

- 10 p 對 1 多工器
- 11 q 對 1 多工器
- 12 2u 對 2 多工器
- 13 v 對 1 多工器
- 21 記憶體

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：