

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 2 区分  
 【発行日】平成 17 年 5 月 12 日 (2005.5.12)

【公開番号】特開 2004-6833 (P2004-6833A)  
 【公開日】平成 16 年 1 月 8 日 (2004.1.8)  
 【年通号数】公開・登録公報 2004-001  
 【出願番号】特願 2003-116650 (P2003-116650)  
 【国際特許分類第 7 版】

H 0 1 L 27/105

G 1 1 C 11/15

H 0 1 L 43/08

【F I】

H 0 1 L 27/10 4 4 7

G 1 1 C 11/15 1 1 0

H 0 1 L 43/08 Z

【手続補正書】  
 【提出日】平成 16 年 6 月 23 日 (2004.6.23)  
 【手続補正 1】  
 【補正対象書類名】明細書  
 【補正対象項目名】特許請求の範囲  
 【補正方法】変更  
 【補正の内容】  
 【特許請求の範囲】  
 【請求項 1】

幅 (W) 及び長さ (L) を有すると共に 1 ビットのデータを可変磁化方向 (17) として格納するためのデータ層 (11) を有する磁界感应性メモリセル (20) を含む磁気メモリデバイスのための導体構造であって、

幅方向 ( $D_W$ ) に前記メモリセル (20) を横切り、内部に流れる第 1 の電流 ( $I_1$ ) に応じて第 1 の磁界 ( $H_1$ ) を生成するよう機能する第 1 の導体 (21) であって、第 1 の断面積 ( $A_1$ ) を画定する第 1 の幅 ( $W_1$ ) 及び第 1 の厚さ ( $t_1$ ) と、上面 (21t) と、前記メモリセル (20) の前記幅 (W) 内に配置される 2 つの側面 (21s) と、前記メモリセル (20) に隣接して配置される底面 (21b) とを含む、第 1 の導体 (21) と、

長さ方向 ( $D_L$ ) に前記メモリセル (20) を横切り、内部に流れる第 2 の電流 ( $I_2$ ) に応じて第 2 の磁界 ( $H_2$ ) を生成するよう機能する第 2 の導体 (23) であって、第 2 の断面積 ( $A_2$ ) を画定する第 2 の幅 ( $W_2$ ) 及び第 2 の厚さ ( $t_2$ ) と、上面 (23t) と、2 つの側面 (23s) と、前記メモリセル (20) に隣接して配置される底面 (23b) とを含み、前記第 2 の幅 ( $W_2$ ) が実質的に前記メモリセル (20) の前記長さ (L) と等しく又はそれ以上である、第 2 の導体 (23) とを含み、

前記第 1 及び第 2 の磁界 ( $H_1, H_2$ ) が協働して前記データ層 (11) と相互作用して前記可変磁化方向 (17) を回転させ、

前記第 1 の厚さ ( $t_1$ ) 及び前記第 1 の幅 ( $W_1$ ) が、前記第 1 の断面積 ( $A_1$ ) を減少させ及び前記第 1 の導体 (21) 内の電流密度 ( $J_1$ ) を増大させるよう予め選択されて、前記第 2 の磁界 ( $H_2$ ) と協働して前記可変磁化方向 (17) を回転させるだけの十分な大きさの前記第 1 の磁界 ( $H_1$ ) が一層小さな前記第 1 の電流 ( $I_1$ ) により生成される、導体構造。

【請求項 2】

前記第 1 の幅 ( $W_1$ ) が公称幅 ( $W_n$ ) よりも狭く、前記第 1 の厚さ ( $t_1$ ) が第 1 の公称厚さ ( $T1_n$ ) よりも薄い、請求項 1 に記載の導体構造。

【請求項 3】

前記第 1 の幅 ( $W_1$ ) が前記公称幅 ( $W_n$ ) の約 0.60 倍又はそれ未満であり、前記第 1 の厚さ (t

1)が前記第1の公称厚さ( $T_{1n}$ )の約0.50倍又はそれ未満である、請求項2に記載の導体構造。

【請求項4】

前記第1の導体(21)が、複数の互いに隔置された( $S_1$ )セグメント(22)へと分割され、該セグメント(22)が、前記メモリセル(20)の前記幅( $W$ )に対して、該セグメント(22)の全てが前記メモリセル(20)の前記幅( $W$ )内に位置するように、又は前記セグメント(22)のうちの少なくとも1つが前記メモリセル(20)の前記幅( $W$ )内に配置されない部分を有するように、配置される、請求項1に記載の導体構造。

【請求項5】

前記第2の導体(23)の前記2つの側面(23s)が、前記メモリセル(20)の前記長さ( $L$ )内に配置され、前記第2の厚さ( $t_2$ )及び前記第2の幅( $W_2$ )が、前記第2の断面積( $A_2$ )を減少させ及び前記第2の導体(23)内の電流密度( $J_2$ )を増大させるように予め選択されて、前記第1の磁界( $H_1$ )と協働して前記可変磁化方向(17)を回転させるだけの十分な大きさの前記第2の磁界( $H_2$ )が一層小さな前記第2の電流( $I_2$ )により生成される、請求項1に記載の導体構造。

【請求項6】

前記第2の幅( $W_2$ )が公称長( $L_n$ )よりも狭く、前記第2の厚さ( $t_2$ )が第2の公称厚さ( $T_{2n}$ )よりも薄い、請求項5に記載の導体構造。

【請求項7】

前記第2の幅( $W_2$ )が前記公称長( $L_n$ )の約0.60倍又はそれ未満であり、前記第2の厚さ( $t_2$ )が第2の公称厚さ( $T_{2n}$ )の約0.50倍又はそれ未満である、請求項6に記載の導体構造。

【請求項8】

前記第2の導体(23)が、複数の互いに隔置された( $S_2$ )セグメント(24)へと分割され、該セグメント(24)が、前記メモリセル(20)の前記長さ( $L$ )に対して、該セグメント(24)の全てが前記メモリセル(20)の前記長さ( $L$ )内に位置するように、又は前記セグメント(24)のうちの少なくとも1つが前記メモリセル(20)の前記長さ( $L$ )内に配置されない部分を有するように、配置される、請求項5に記載の導体構造。

【請求項9】

前記第1の導体(21)が、複数の互いに隔置されたセグメント(22)へと分割され、該セグメント(22)が、前記メモリセル(20)の前記幅( $W$ )に対して、該セグメント(22)の全てが前記メモリセル(20)の前記幅( $W$ )内に配置されるように、又は前記セグメント(22)のうちの少なくとも1つが前記メモリセル(20)の前記幅( $W$ )内に配置されない部分を有するように、配置される、請求項8に記載の導体構造。

【請求項10】

幅( $W$ )及び長さ( $L$ )を有すると共に1ビットのデータを可変磁化方向(17)として格納するためのデータ層(11)を有する磁界感应性メモリセル(20)を含む磁気メモリデバイスのための導体構造であって、

幅方向( $D_w$ )に前記メモリセル(20)を横切り、内部に流れる第1の電流( $I_1$ )に応じて第1の磁界( $H_1$ )を生成するよう機能する、第1の導体(21)であって、第1の断面積( $A_1$ )を画定する第1の幅( $W_1$ )及び第1の厚さ( $t_1$ )と、上面(21t)と、前記メモリセル(20)の前記幅( $W$ )内に配置される2つの側面(21s)と、前記メモリセル(20)に隣接して配置される底面(21b)とを含む、該第1の導体(21)と、

前記上面(21t)と、前記2つの側面(21s)と、該上面(21t)及び該2つの側面(21s)とからなる群から選択された1つの表面上で前記第1の導体(21)を覆う、第1の被覆層(31)と、

長さ方向( $D_L$ )に前記メモリセル(20)を横切り、内部に流れる第2の電流( $I_2$ )に応じて第2の磁界( $H_2$ )を生成するよう機能する、第2の導体(23)であって、第2の断面積( $A_2$ )を画定する第2の幅( $W_2$ )及び第2の厚さ( $t_2$ )と、上面(23t)と、2つの側面(23s)と、前記メモリセル(20)に隣接して配置される底面(23b)とを含む、第2の導体(23)とを含む、

前記第1及び第2の磁界( $H_1, H_2$ )が協働して前記データ層(11)と相互作用して前記可変

磁化方向(17)を回転させ、

前記第1の厚さ( $t_1$ )が、前記第1の断面積( $A_1$ )を増大させ及び前記第1の導体(21)の抵抗を低減させるよう予め選択され、前記第1の電流( $I_1$ )を一層小さくした場合に、前記第1の磁界( $H_1$ )が、前記第2の磁界( $H_2$ )と協動して前記可変磁化方向(17)を回転させるだけの十分な大きさを有するように、前記第1の幅( $W_1$ )が予め選択される、導体構造。

【請求項11】

前記第1の幅( $W_1$ )が公称幅( $W_0$ )よりも狭く、前記第1の厚さ( $t_1$ )が第1の公称厚さ( $T1_0$ )よりも厚い、請求項10に記載の導体構造。

【請求項12】

前記第1の幅( $W_1$ )が前記公称幅( $W_0$ )の約0.60倍又はそれ未満であり、前記第1の厚さ( $t_1$ )が前記第1の公称厚さ( $T1_0$ )の約1.50倍又はそれ以上である、請求項11に記載の導体構造。

【請求項13】

前記第1の導体(21)が、複数の互いに隔置され( $S_1$ )かつ被覆されたセグメント(22)へと分割され、該被覆されたセグメント(22)が、前記メモリセル(20)の前記幅( $W$ )に対して、該被覆されたセグメント(22)の全てが前記メモリセル(20)の前記幅( $W$ )内に配置されるように、又は該被覆されたセグメント(22)のうちの少なくとも1つが前記メモリセル(20)の前記幅( $W$ )内に配置されない部分を有するように、配置される、請求項10に記載の導体構造。

【請求項14】

前記上面(23t)と、前記2つの側面(23s)と、該上面(23t)及び該2つの側面(23s)とからなる群から選択された1つの表面上で前記第2の導体(23)を覆う第2の被覆層(33)を更に含み、該第2の被覆層(33)が前記第2の磁界( $H_2$ )を高めるよう機能し、

前記第2の導体(23)の前記2つの側面(23s)が前記メモリセル(20)の前記長さ( $L$ )内に配置され、前記第2の厚さ( $t_2$ )が、前記第2の断面積( $A_2$ )を増大させ及び前記第2の導体(23)の抵抗を低減させるよう予め選択され、前記第2の電流( $I_2$ )を一層小さくした場合に、前記第2の磁界( $H_2$ )が、前記第1の磁界( $H_1$ )と協動して前記可変磁化方向(17)を回転させるだけの十分な大きさを有するように、前記第2の幅( $W_2$ )が予め選択される、請求項10に記載の導体構造。

【請求項15】

前記第2の幅( $W_2$ )が公称長( $L_0$ )よりも狭く、前記第2の厚さ( $t_2$ )が第2の公称厚さ( $T2_0$ )よりも厚い、請求項14に記載の導体構造。

【請求項16】

前記第2の幅( $W_2$ )が前記公称長( $L_0$ )の約0.60倍又はそれ未満であり、前記第2の厚さ( $t_2$ )が前記第2の公称厚さ( $T2_0$ )の約1.50倍又はそれ以上である、請求項15に記載の導体構造。

【請求項17】

前記第2の導体(23)が複数の互いに隔置され( $S_2$ )かつ被覆されたセグメント(24)へと分割され、該被覆されたセグメント(24)が、前記メモリセル(20)の前記長さ( $L$ )に対して、該被覆されたセグメント(24)の全てが前記メモリセル(20)の前記長さ( $L$ )内に配置されるように、又は該被覆されたセグメント(24)のうちの少なくとも1つが前記メモリセル(20)の前記長さ( $L$ )内に配置されない部分を有するように、配置される、請求項14に記載の導体構造。

【請求項18】

前記第1の導体(21)が複数の互いに隔置され( $S_1$ )かつ被覆されたセグメント(22)へと分割され、該被覆されたセグメント(22)が、前記メモリセル(20)の前記幅( $W$ )に対して、該被覆されたセグメント(22)の全てが前記メモリセル(20)の前記幅( $W$ )内に配置されるように、又は該被覆されたセグメント(22)のうちの少なくとも1つが前記メモリセル(20)の前記幅( $W$ )内に配置されない部分を有するように、配置される、請求項17に記載の導体構造。