

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6424149号  
(P6424149)

(45) 発行日 平成30年11月14日(2018.11.14)

(24) 登録日 平成30年10月26日(2018.10.26)

(51) Int.Cl.

A63F 7/02 (2006.01)

F 1

A 6 3 F 7/02 3 2 6 Z  
A 6 3 F 7/02 3 2 0

請求項の数 2 (全 33 頁)

(21) 出願番号 特願2015-158678 (P2015-158678)  
 (22) 出願日 平成27年8月11日 (2015.8.11)  
 (62) 分割の表示 特願2014-6494 (P2014-6494)  
 の分割  
 原出願日 平成26年1月17日 (2014.1.17)  
 (65) 公開番号 特開2016-5579 (P2016-5579A)  
 (43) 公開日 平成28年1月14日 (2016.1.14)  
 審査請求日 平成29年1月10日 (2017.1.10)

(73) 特許権者 391010943  
 株式会社藤商事  
 大阪府大阪市中央区内本町一丁目1番4号  
 (74) 代理人 100100376  
 弁理士 野中 誠一  
 (72) 発明者 中村 一寛  
 大阪府大阪市中央区内本町一丁目1番4号  
 株式会社藤商事内

審査官 辻野 安人

最終頁に続く

(54) 【発明の名称】遊技機

## (57) 【特許請求の範囲】

## 【請求項 1】

遊技動作を中心統括的に制御する主制御手段と、前記主制御手段から受けた制御コマンドに基づいて制御動作を実行するサブ制御手段を設けた遊技機であつて、

前記主制御手段、及び / 又は、サブ制御手段には、書き込み動作と読み出し動作とが実行可能な C P U と情報記憶メモリが設けられ、

電源遮断後も動作を継続して、年月日及び時刻を定常的に計時する 電子素子 で構成された計時手段と、

前記計時手段からの指示信号を C P U が受けることに基づいて、前記情報記憶メモリに記憶された記憶データを C P U が読み出して集計し、その集計結果を前記情報記憶メモリに、不揮発的に記憶する 処理手段 と、を有して構成され、

前記計時手段には、電源遮断後の計時動作中も含め、自らへの給電電圧が異常に低下したことを記憶する記憶部が設けられ、

所定の操作に対応して、前記情報記憶メモリの記憶内容に基づく情報が画面表示されるよう構成されていることを特徴とする遊技機。

## 【請求項 2】

前記指示信号は、予め規定されたタイミングで発生する請求項 1 に記載の遊技機。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、スイッチ信号の検出に起因する抽選処理によって大当たり状態を発生させる遊技機に関し、特に、遊技実績を長期間にわたって記憶保持できる遊技機に関する。

【背景技術】

【0002】

パチンコ機などの弾球遊技機は、遊技盤に設けた図柄始動口と、複数の表示図柄による一連の図柄変動態様を表示する画像表示部と、開閉板が開閉される大入賞口などを備えて構成されている。そして、図柄始動口に設けられた検出スイッチが遊技球の通過を検出すると入賞状態となり、遊技球が賞球として払出された後、画像表示部では表示図柄が所定時間変動される。その後、7・7・7などの所定の態様で図柄が停止すると大当たり状態となり、大入賞口が繰返し開放されて、遊技者に有利な遊技状態を発生させている。

10

【0003】

このような遊技状態を発生させるか否かは、図柄始動口に遊技球が入賞したことを条件に実行される大当たり抽選で決定されており、画像表示部で実行される画像演出は、この抽選結果を踏まえたものとなっている。例えば、抽選結果が当選状態である場合には、リーチアクションなどと称される画像演出を20秒前後実行し、その後、特別図柄を整列させている。一方、ハズレ状態の場合にも、同様のリーチアクションが実行されることがある、この場合には、遊技者は、大当たり状態になることを強く念じつつ画像演出の推移を注視することになる。そして、画像演出の終了時に、停止ラインに所定図柄が揃えば、大当たり状態であることが遊技者に保証されたことになる。

【0004】

20

なお、大当たり状態に至るか否かに拘わらず、画像表示部における画像演出時には、遊技者を盛り上げるべく、画像演出に同期したランプ演出や音声演出が実行される。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2013-143999号公報

【特許文献2】特開2012-085733号公報

【特許文献3】特開2009-018021号公報

【特許文献4】特開2006-280442号公報

【特許文献5】特開2006-087500号公報

【特許文献6】特開2005-279086号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0006】

ところで、この種の遊技機は、一般に、遊技制御動作を中心統括的に担う主制御部と、主制御部から受ける制御コマンドに基づいて動作するサブ制御部とで構成されている。そして、サブ制御部には、遊技者に対する払出動作を担当する払出制御部と、画像演出、ランプ演出、音声演出を含んだ各種の演出動作を担当する演出制御部とが含まれている。

【0007】

ここで、主制御部や払出制御部にはバックアップ電源が配置されているので、万一、遊技動作中に停電状態となっても、その時の遊技状態が記憶保持される。そのため、停電前の大当たり状態が停電によって消滅することなく、また、払出されるべき賞球が消滅することもなく、遊技者の利益が確実に担保されている。

40

【0008】

但し、そもそも、停電状態は極めて稀にしか発生しないこと、及び、大当たり状態などを保存する必要性に比べ、演出動作の保存は、遊技者にとって殆ど価値がないことから、サブ制御部にはバックアップ電源を配置しないのが合理的である。

【0009】

しかし、大当たり状態の発生頻度や、賞球数の推移など、その遊技機の過去の遊技実績を長期間にわたって蓄積することができれば、これを遊技者に報知することで顧客サービス

50

を向上させることができる。

【0010】

ここで、書き込み可能な不揮発性メモリを、遊技機に配置すること知られているが（特許文献1～特許文献6）、何れの発明も、フラッシュメモリを使用するものに過ぎない。そのため、フラッシュメモリの宿命として、セクタ単位のデータ消去動作や、その他、データ書き込み動作の特殊性から、通常のRAMと同等の手順でランダムアクセスできないという問題がある。しかも、通常のRAMとは電源電圧が異なる専用のアクセス回路を設ける必要があり、機器構成が複雑化する上に、製造コストも上昇するという致命的な問題もあった。

【0011】

本発明は、上記の問題点に鑑みてなされたものであって、機器構成を複雑化することなく、遊技実績を長期間にわたって記憶保持できる遊技機を提供することを目的とする。

【課題を解決するための手段】

【0012】

上記の目的を達成するため、本発明は、遊技動作を中心統括的に制御する主制御手段と、前記主制御手段から受けた制御コマンドに基づいて制御動作を実行するサブ制御手段を設けた遊技機であって、前記主制御手段、及び／又は、サブ制御手段には、書き込み動作と読み出し動作とが実行可能なCPUと情報記憶メモリが設けられ、電源遮断後も動作を継続して、年月日及び時刻を定的に計時する電子素子で構成された計時手段と、前記計時手段からの指示信号をCPUが受けることに基づいて、前記情報記憶メモリに記憶された記憶データをCPUが読み出して集計し、その集計結果を前記情報記憶メモリに、不揮発的に記憶する処理手段と、を有して構成され、前記計時手段には、電源遮断後の計時動作中も含め、自らへの給電電圧が異常に低下したことを記憶する記憶部が設けられ、所定の操作に対応して、前記情報記憶メモリの記憶内容に基づく情報が画面表示されるよう構成されている。

【発明の効果】

【0017】

上記した本発明の遊技機によれば、機器構成を複雑化することなく、遊技実績を長期間にわたって記憶保持できる遊技機を実現することができる。

【図面の簡単な説明】

【0018】

【図1】実施例に示すパチンコ機の斜視図である。

【図2】図1のパチンコ機の遊技盤を図示した正面図である。

【図3】図1のパチンコ機の全体構成を示すブロック図である。

【図4】払出制御部の強誘電体メモリ回路を示す回路図である。

【図5】払出制御部の強誘電体メモリの内部構成を示す回路ブロック図である。

【図6】払出制御部のシリアルポートの回路構成（a）と回路動作（b）を説明する図面である。

【図7】強誘電体メモリのアクセス動作を説明するタイムチャートである。

【図8】演出制御部の回路構成（a）と、RTC回路を説明する図面である。

【図9】演出制御部の強誘電体メモリの内部構成を示す回路ブロック図である。

【図10】演出制御部のシリアルポートの回路構成（a）と回路動作（b）を説明する図面である。

【図11】電源リセット後の払出制御部の動作を説明するフローチャートである。

【図12】払出制御部のタイム割込み処理を説明するフローチャートである。

【図13】演出制御部の動作を説明するフローチャートである。

【図14】払出制御部や演出制御部の強誘電体メモリの記憶内容を示す図面である。

【発明を実施するための形態】

【0019】

以下、実施例に基づいて本発明を詳細に説明する。図1は、本実施例のパチンコ機GM

を示す斜視図である。このパチンコ機GMは、島構造体に着脱可能に装着される矩形枠状の木製外枠1と、外枠1に固着されたヒンジ2を介して開閉可能に枢着される前枠3とで構成されている。この前枠3には、遊技盤5が、裏側からではなく、表側から着脱自在に装着され、その前側には、ガラス扉6と前面板7とが夫々開閉自在に枢着されている。

【0020】

ガラス扉6の外周には、LEDランプなどによる電飾ランプが、略C字状に配置されている。一方、ガラス扉6の上部左右位置と下側には、全3個のスピーカが配置されている。上部に配置された2個のスピーカは、各々、左右チャネルR,Lの音声を出力し、下側のスピーカは重低音を出力するよう構成されている。

【0021】

前面板7には、発射用の遊技球を貯留する上皿8が装着され、前枠3の下部には、上皿8から溢れ出し又は抜き取った遊技球を貯留する下皿9と、発射ハンドル10とが設けられている。発射ハンドル10は発射モータと連動しており、発射ハンドル10の回動角度に応じて動作する打撃桿によって遊技球が発射される。

【0022】

上皿8の外周面には、チャンスボタン11が設けられている。このチャンスボタン11は、遊技者の左手で操作できる位置に設けられており、遊技者は、発射ハンドル10から右手を離すことなくチャンスボタン11を操作できる。このチャンスボタン11は、通常時には機能していないが、ゲーム状態がボタンチャンス状態となると内蔵ランプが点灯されて操作可能となる。なお、ボタンチャンス状態は、必要に応じて設けられるゲーム状態である。

【0023】

上皿8の右部には、カード式球貸し機に対する球貸し操作用の操作パネル12が設けられ、カード残額を3桁の数字で表示する度数表示部と、所定金額分の遊技球の球貸しを指示する球貸しスイッチと、ゲーム終了時にカードの返却を指令する返却スイッチとが設けられている。

【0024】

図2に示すように、遊技盤5の表面には、金属製の外レールと内レールとからなるガイドレール13が環状に設けられ、その略中央には、中央開口HOが設けられている。そして、中央開口HOには、大型の液晶カラーディスプレイ(LCD)で構成された表示装置DSが配置されている。

【0025】

表示装置DSは、大当たり状態に係わる特定図柄を変動表示すると共に背景画像や各種のキャラクタなどをアニメーション的に表示する装置である。この表示装置DSは、中央部に特別図柄表示部Da～Dcと右上部に普通図柄表示部19とを有している。そして、特別図柄表示部Da～Dcでは、大当たり状態の招来を期待させるリーチ演出が実行されることがあり、特別図柄表示部Da～Dc及びその周りでは、適宜な予告演出などが実行される。

【0026】

遊技球が落下移動する遊技領域には、図柄始動口15、大入賞口16、普通入賞口17、及び、ゲート18が配設されている。これらの入賞口15～18は、それぞれ内部に検出スイッチを有しており、遊技球の通過を検出できるようになっている。

【0027】

図柄始動口15は、左右一対の開閉爪15aを備えた電動式チューリップで開閉されるように構成され、普通図柄表示部19の変動後の停止図柄が当たり図柄を表示した場合には、所定時間だけ、若しくは、所定個数の遊技球を検出するまで、開閉爪15aが開放されるようになっている。

【0028】

なお、普通図柄表示部19は、普通図柄を表示するものであり、ゲート18を通過した遊技球が検出されると、普通図柄が所定時間だけ変動し、遊技球のゲート18の通過時点

10

20

30

40

50

において抽出された抽選用乱数値により決定される停止図柄を表示して停止する。

【0029】

大入賞口 16 は、前後方向に進退する開閉板 16a を有して構成されている。大入賞口 16 の動作は、特に限定されないが、典型的な大当たり状態では、大入賞口 16 の開閉板 16a が開放された後、所定時間が経過し、又は所定数（例えば 10 個）の遊技球が入賞すると開閉板 16a が閉じる。このような動作は、最大で例えば 15 回まで継続され、遊技者に有利な状態に制御される。なお、特別図柄表示部 Da ~ Dc の変動後の停止図柄が特別図柄のうちの特定図柄であった場合には、特別遊技の終了後のゲームが高確率状態（確変状態）となるという特典が付与される。

【0030】

図 3 は、上記した各動作を実現するパチンコ機 GM の全体回路構成を示すブロック図である。図示の通り、このパチンコ機 GM は、AC 24V を受けて各種の直流電圧や、電源異常信号 ABN1、ABN2 やシステムリセット信号（電源リセット信号）SYS などを出力する電源基板 20 と、遊技制御動作を中心統括的に担う主制御基板 21 と、主制御基板 21 から受けた制御コマンド CMD に基づいてランプ演出及び音声演出を実行する演出制御基板 22 と、演出制御基板 22 から受けた制御コマンド CMD' に基づいて表示装置 DS を駆動する画像制御基板 23 と、主制御基板 21 から受けた制御コマンド CMD" に基づいて払出モータ M を制御して遊技球を払い出す払出制御基板 24 と、遊技者の操作に応答して遊技球を発射させる発射制御基板 25 と、を中心に構成されている。

【0031】

但し、この実施例では、主制御基板 21 が出力する制御コマンド CMD は、コマンド中継基板 26 と演出インターフェイス基板 27 を経由して、演出制御基板 22 に伝送される。また、演出制御基板 22 が出力する制御コマンド CMD' は、演出インターフェイス基板 27 と画像インターフェイス基板 28 を経由して、画像制御基板 23 に伝送され、主制御基板 21 が出力する制御コマンド CMD" は、主基板中継基板 32 を経由して、払出制御基板 24 に伝送される。制御コマンド CMD, CMD', CMD" は、何れも 16 ビット長であるが、主制御基板 21 や払出制御基板 24 が関係する制御コマンドは、8 ビット長毎に 2 回に分けてパラレル送信されている。一方、演出制御基板 22 から画像制御基板 23 に伝送される制御コマンド CMD' は、16 ビット長をまとめてパラレル伝送されている。そのため、可動予告演出を含む予告演出を、多様化して多数の制御コマンドを連続的に送受信するような場合でも、迅速にその処理を終えることができ、他の制御動作に支障を与えない。

【0032】

ところで、本実施例では、演出インターフェイス基板 27 と演出制御基板 22 とは、配線ケーブルを経由することなく、雄型コネクタと雌型コネクタとを直結されて二枚の回路基板が積層されている。同様に、画像インターフェイス基板 28 と画像制御基板 23 についても、配線ケーブルを経由することなく、雄型コネクタと雌型コネクタとを直結されて二枚の回路基板が積層されている。そのため、各電子回路の回路構成を複雑高度化しても基板全体の収納空間を最小化できると共に、接続ラインを最短化することで耐ノイズ性を高めることができる。

【0033】

これら主制御基板 21、演出制御基板 22、画像制御基板 23、及び払出制御基板 24 には、ワンチップマイコンを備えるコンピュータ回路がそれぞれ搭載されている。そこで、これらの制御基板 21 ~ 24 とインターフェイス基板 27 ~ 28 に搭載された回路、及びその回路によって実現される動作を機能的に総称して、本明細書では、主制御部 21、演出制御部 22'、画像制御部 23'、及び払出制御部 24 と言うことがある。すなわち、この実施例では、演出制御基板 22 と演出インターフェイス基板 27 とで演出制御部 22' を構成し、画像制御基板 23 と画像インターフェイス基板 28 とで画像制御部 23' を構成している。なお、演出制御部 22'、画像制御部 23'、及び払出制御部 24 の全部又は一部がサブ制御部である。

10

20

30

40

50

## 【0034】

また、このパチンコ機GMは、図3の破線で囲む枠側部材GM1と、遊技盤5の背面に固定された盤側部材GM2とに大別されている。枠側部材GM1には、ガラス扉6や前面板7が枢着された前枠3と、その外側の木製外枠1とが含まれており、機種の変更に拘わらず、長期間にわたって遊技ホールに固定的に設置される。一方、盤側部材GM2は、機種変更に対応して交換され、新たな盤側部材GM2が、元の盤側部材の代わりに枠側部材GM1に取り付けられる。なお、枠側部材1を除く全てが、盤側部材GM2である。

## 【0035】

図3の破線枠に示す通り、枠側部材GM1には、電源基板20と、払出制御基板24と、発射制御基板25と、枠中継基板35と、ランプ駆動基板36とが含まれており、これらの回路基板が、前枠3の適所に各々固定されている。

10

## 【0036】

図示の通り、電源基板20は、接続コネクタC2を通して、主基板中継基板32に接続され、接続コネクタC3を通して、電源中継基板33に接続されている。電源基板20には、交流電源の投入と遮断とを監視する電源監視部MNTが設けられている。電源監視部MNTは、交流電源が投入されたことを検知すると、所定時間だけシステムリセット信号SYSをLレベルに維持した後に、これをHレベルに遷移させる。

## 【0037】

また、電源監視部MNTは、交流電源の遮断を検知すると、電源異常信号ABN1, ABN2を、直ちにLレベルに遷移させる。なお、電源異常信号ABN1, ABN2は、電源投入後に速やかにHレベルとなる。

20

## 【0038】

ところで、本実施例のシステムリセット信号は、交流電源に基づく直流電源によって生成されている。そのため、交流電源の投入（通常は電源スイッチのON）を検知してHレベルに増加した後は、直流電源電圧が異常レベルまで低下しない限り、Hレベルを維持する。したがって、直流電源電圧が維持された状態で、交流電源が瞬停状態となっても、システムリセット信号SYSがCPUをリセットすることはない。なお、電源異常信号ABN1, ABN2は、交流電源の瞬停状態でも出力される。

## 【0039】

電源基板20が出力するシステムリセット信号SYSは、電源基板20に交流電源24Vが投入されたことを示す電源リセット信号であり、この電源リセット信号によって演出制御部22' と画像制御部23' のワンチップマイコンは、その他のIC素子と共に電源リセットされるようになっている。

30

## 【0040】

但し、このシステムリセット信号SYSは、主制御部21と払出制御部24には、供給されておらず、各々の回路基板21, 24のリセット回路RSTにおいて電源リセット信号（CPUリセット信号）が生成されている。そのため、例えば、接続コネクタC2がガタついたり、或いは、配線ケーブルにノイズが重畠しても、主制御部21や払出制御部24のCPUが異常リセットされるおそれはない。なお、演出制御部22' と画像制御部23' は、主制御部21からの制御コマンドに基づいて、従属的に演出動作を実行することから、回路構成の複雑化を回避するために、電源基板20から出力されるシステムリセット信号SYSを利用している。

40

## 【0041】

図3に示す通り、払出制御基板24は、中継基板を経由することなく、電源基板20に直結されており、主制御部21が受けると同様の電源異常信号ABN2や、バックアップ電源BAKを、他の電源電圧と共に直接的に受けている。なお、主制御部21や払出制御部24に設けられたりセット回路RSTは、各々ウォッチドッグタイマを内蔵しており、各制御部21, 24のCPUから、定時的なクリアパルスを受けない限り、各CPUは強制的にリセットされる。

## 【0042】

50

ところで、本実施例の払出制御部24には、強誘電体メモリ回路37が配置されている。ここで、強誘電体メモリ(Ferroelectric Random Access Memory)とは、強誘電体の分極を利用した不揮発性メモリであって、この実施例では、単一電源で動作して、ランダムアクセス可能でRead/Write可能な記憶素子を使用している。そのため、フラッシュメモリを搭載する場合のように回路構成やプログラム処理が複雑化することがない。

#### 【0043】

そして、この実施例では、強誘電体メモリFeRAMに、一日分の賞球実績を記憶する構成を探るので、16Kバイト(=16,384バイト)の記憶容量の素子を使用し、また、SPI(Serial Peripheral Interface)方式で動作する素子を採用している。そのため、メモリ容量が法的に規制されるこの種遊技機の払出制御部において、払出制御部24のSRAMやROMの記憶容量が、強誘電体メモリFeRAMによって侵食されることはなく、本来の払出制御動作に支障を与えることがない。

#### 【0044】

また、この強誘電体メモリFeRAMは、払出制御部24のワンチップマイコンからアクセス(Write)できると共に、演出制御部22のワンチップマイコンからもアクセス(Read)可能に構成されている。すなわち、図3に示す通り、演出制御部22のワンチップマイコンは、演出インタフェイス基板27、枠中継基板34、及び、枠中継基板35を経由して、強誘電体メモリ回路37に対して、双方向通信可能に接続されている。

#### 【0045】

そのため、強誘電体メモリFeRAMに記憶された賞球実績などのデータは、演出制御部22が、必要なタイミングで把握することができ、演出制御部22において、適宜な集計処理や統計処理を施すことができる。また、本実施例において、払出制御部24に付加される作業は、払出に関わる賞球データを、強誘電体メモリFeRAMに記憶(Write)するだけであるので、短時間に処理を終えることができ、本来の払出制御に事実上全く影響を与えない。但し、特にWrite動作に限定されるものではなく、強誘電体メモリFeRAMに対するRead動作を付加しても良い。

#### 【0046】

一方、本実施例において、演出制御部22の動作は、強誘電体メモリFeRAMのReadアクセスに制限されており、強誘電体メモリFeRAMへのWriteアクセスを禁止することでセキュリティ上の問題発生を未然防止している。

#### 【0047】

図4(a)は、強誘電体メモリ回路37と、払出制御部24のワンチップマイコン及び演出制御部22のワンチップマイコンとの接続関係を示す回路図である。なお、払出制御部24のワンチップマイコンについては、パラレル出力ポートPARAaoutと、パラレル入力ポートPARAainと、シリアルポートSERIaのみを記載し、演出制御部22のワンチップマイコンについても、パラレル出力ポートPARAboutと、パラレル入力ポートPARAbinと、シリアルポートSERIbのみを記載している。なお、特に限定されないが、この実施例では、払出制御部24のシリアルポートSERIaは、シリアル出力動作(メモリWrite)のみを実行し、演出制御部22のシリアルポートSERIbは、シリアル出力動作(OUT)とシリアル入力動作(IN)を実行するのは前述した通りである。

#### 【0048】

強誘電体メモリ回路37は、SPI方式で動作する強誘電体メモリFeRAMと、合計6ビットのシリアル信号を1/2選択して3ビット長のシリアル信号を出力する選択回路SELと、選択回路SELの選択動作を規定する制御信号SELLECTを生成するアクセス制御回路DETとを有して構成されている。図示の通り、強誘電体メモリ回路37は、演出制御部22及び払出制御部24から各々3ビットの信号(CSバー, So, CK)を受けている。

#### 【0049】

図5は、SPI方式で動作する強誘電体メモリFeRAMの内部構成を示すブロック図

10

20

30

40

50

である。この強誘電体メモリ F e R A M は、チップセレクト端子 C S バーが L レベルの状態でアクティブとなり、シリアル入力端子 S i にシリアルデータを受け、クロック端子 C K に伝送クロック S C K を受けると、伝送クロック S C K に同期してシリアルデータが 1 ビットずつ取得されるよう構成されている。

#### 【 0 0 5 0 】

強誘電体メモリ F e R A M が取得するシリアルデータには、8 ビット長の動作指示コマンドと、16 ビット長のアドレスデータと、が含まれ、動作指示コマンドには、メモリ W r i t e 動作を許可する S W E ( Set Write Enable ) コマンド ( 0 6 H ) と、メモリ W r i t e 動作を禁止する R W E ( Reset Write Enable ) コマンド ( 0 4 H ) と、メモリ書き込み動作を指示する W R I T E コマンド ( 0 2 H ) と、メモリ読み出し動作を指示する R E A D コマンド ( = 0 3 H ) とが含まれている。

10

#### 【 0 0 5 1 】

そして、メモリ書き込み動作時には、S W E コマンドを先行させた後、W R I T E コマンド ( 8 ビット ) とアドレスデータ ( 16 ビット ) とを供給して、書き込み先アドレスを特定し、その後に書き込みデータを供給することになる。

#### 【 0 0 5 2 】

図 7 ( a ) は、S W E コマンド ( = 0 6 H ) の書き込み時の動作を示すタイムチャートである。図示の通り、チップセレクト信号 C S バーがアクティブレベル ( L ) の状態で、M S B ( Most Significant Bit ) から L S B ( Least Significant Bit ) に向けて 8 ビット長の S W E コマンドを伝送する。そして、各ビットデータは、伝送クロック S C K の立上がりに同期して、強誘電体メモリ F e R A M ( 図 5 のコントロール回路の内部レジスタ ) に取得され、その結果、強誘電体メモリ F e R A M に対して、メモリ W r i t e 動作が可能となる。

20

#### 【 0 0 5 3 】

図 7 ( d ) は、図 7 ( a ) の動作後に実行されるメモリ W r i t e 動作を説明するタイムチャートである。図示の通り、チップセレクト信号 C S バーがアクティブレベル ( L ) の状態で、W R I T E コマンド ( = 0 2 H ) とアドレスデータとが、各々、M S B から L S B に向けて伝送クロック S C K に同期して供給される。なお、実施例の F e R A M の記憶容量は、16 K バイト ( = 1 6 , 3 8 4 ) であるので、アドレスデータの上位 2 ビットはダミーデータ ( x ) である。

30

#### 【 0 0 5 4 】

また、図 7 ( d ) の記載では、書き込みデータが 8 ビットで終わっているが、その後も書き込みデータのシリアル伝送を継続させると、最初に指定したアドレスが順次更新されて ( 自動インクリメント ) 、一連のメモリ領域への書き込み動作が継続される。そして、チップセレクト信号 C S バーを非アクティブレベル ( H ) に戻すと、その後は、自動的に、メモリ W r i t e 動作の禁止状態となる。したがって、本実施例によれば、ノイズなどの影響で、メモリの内容が無闇に書き換えられる誤動作が回避される。

#### 【 0 0 5 5 】

図 7 ( c ) は、メモリ R e a d 動作を説明するタイムチャートであり、チップセレクト信号 C S バーがアクティブレベル ( L ) の状態で、R E A D コマンド ( = 0 3 H ) とアドレスデータとが、各々、M S B から L S B に向けて伝送クロック S C K に同期して供給される状態を示している。ここでも R e a d 動作が 8 ビットで終わっているが、その後も伝送クロック S C K の供給を継続させると、最初に指定したアドレスが順次更新されて、一連のメモリ領域からの読み出し動作が継続される。そして、必要な読み出し動作が終われば、チップセレクト信号 C S バーを非アクティブレベル ( H ) に戻すことになる。

40

#### 【 0 0 5 6 】

一方、図 7 ( b ) は、R W E コマンド ( = 0 4 H ) の書き込み時の動作を示すタイムチャートである。強誘電体メモリ F e R A M は、R W E コマンドを取得した後、メモリ W r i t e 動作が禁止状態となるので、必要時に、R W E コマンドの書き込み動作を実行することで、メモリの内容が誤って書き換えられる誤動作を未然防止することができる。但し、本

50

実施例では、電源リセット時や、W R I T E コマンド(=02H)が実行された後、チップセレクト信号C S バーが非アクティブルレベルに戻ると、メモリW r i t e 動作が自動的に禁止状態なるよう構成されているので、R W E コマンド(=04H)の実行は必ずしも必須ではない。なお、メモリW r i t e 禁止状態でもメモリR e a d 動作が禁止されないのは勿論である。

#### 【0057】

以上、強誘電体メモリF e R A Mについて詳細に説明したので、図4(a)に戻って、強誘電体メモリ回路37の回路構成について説明を続ける。選択回路S E Lは、例えば、S N 7 4 1 5 7 (Quad 2-line to 1-line data selectors)などの汎用I Cを使用して構成される。そして、制御信号S E L E C T = H レベルの場合には、拝出制御部24からの3ビット長のAグループ信号が選択され、制御信号S E L E C T = L レベルの場合には、演出制御部22からの3ビット長のBグループ信号が選択されて、Y信号として出力されるよう回路接続されている。なお、ストローブ端子Gはグランドレベルであり、この選択回路S E Lは、常に動作可能状態となっている。

10

#### 【0058】

選択回路S E Lで選択される3ビット長の信号は、強誘電体メモリF e R A Mをアクティブにするためのチップセレクト信号C S バーと、シリアル伝送タイミングを規定する伝送クロックS C Kと、シリアル入力信号S Iである。ここで、シリアル入力信号S Iは、強誘電体メモリF e R A Mの動作を規定する動作指示コマンドと、メモリアクセス番地を規定するアドレスデータと、書き込みデータとを連結したシリアルデータである。なお、強誘電体メモリF e R A Mのシリアル出力端子S Oからは、メモリR E A D コマンド(=03H)を受けた場合に、アドレスデータで規定される番地からの読み出しだが、伝送クロックS C Kに同期してシリアル出力される。

20

#### 【0059】

図示の通り、拝出制御部24及び演出制御部22のパラレル出力ポートP A R A a<sub>0</sub>~<sub>4</sub>及びP A R A b<sub>0</sub>~<sub>4</sub>からアクセス制御回路D E Tに対して、強誘電体メモリF e R A Mのアクセス許可を要求するL i s t e n 信号と、アクセス制御回路D E Tを初期状態に戻すためのC L R 信号とが供給されている。

#### 【0060】

図4(b)に示す通り、L i s t e n 信号及びC L R 信号は、所定パルス幅の正論理パルスである。なお、図4(a)では、回路構成を簡素化するため、C L R パルスを、拝出制御部24や演出制御部22のC P Uが生成しているが、実際には、ワンショットマルチバイブレータ(1-shot Multi)などによってC L R パルスを自動生成する構成を採ることで、ソフトウェア負担が軽減化される(図4(a)の破線部参照)。

30

#### 【0061】

何れにしても、拝出制御部24及び演出制御部22のパラレル出力ポートP A R A a<sub>0</sub>~<sub>4</sub>及びP A R A b<sub>0</sub>~<sub>4</sub>から選択回路S E Lに対して、強誘電体メモリF e R A Mのチップセレクト信号C S a バー及びC S b バーが供給されている。なお、チップセレクト信号C S a バー(C S b バー)は、所定パルス幅の負論理パルスである。

#### 【0062】

40

一方、パラレル入力ポートP A R A a<sub>1</sub>~<sub>4</sub>及びP A R A b<sub>1</sub>~<sub>4</sub>には、アクセス制御回路D E TからR e s p o n s e 信号が供給されている。ここで、R e s p o n s e 信号は、アクセス許可要求(L i s t e n 信号)に対する回答信号であり、R e s p o n s e 信号=H レベルでアクセス許可、R e s p o n s e 信号=L レベルでアクセス不許可を意味する(図4(b)参照)。

#### 【0063】

また、シリアルポートS E R I a及びS E R I bから選択回路S E Lに対して、クロック信号C K a , C K bと、シリアル信号S o a , S o bが供給されている。ここで、クロック信号C K a , C K bは、何れか一方が選択されて、伝送クロックS C Kとして強誘電体メモリF e R A Mのクロック端子S C Kに供給される。また、シリアル信号S o a , S

50

o b の何れか一方が選択されて、強誘電体メモリ F e R A M のシリアル入力端子 S I に供給される。したがって、各シリアルポート S E R I a , S E R I b から出力されるシリアル信号 S o a , S o b は、強誘電体メモリ F e R A M にとってのシリアル入力信号 S I となる。

【 0 0 6 4 】

先に説明した通り、メモリ W r i t e 時のシリアル入力信号 S I は、メモリ W r i t e 動作を許可設定する S W E コマンド ( 0 6 H ) と、メモリ W r i t e 動作を指示する W R I T E コマンド ( 0 2 H ) と、メモリアクセス番地を規定するアドレスデータと、一連の書き込みデータと、を連結した一群のシリアルデータである。

【 0 0 6 5 】

一方、メモリ R e a d 時のシリアル入力信号 S I は、メモリ R e a d 動作を指示する R E A D コマンド ( 0 3 H ) と、メモリアクセス番地を規定するアドレスデータと、を連結したシリアルデータ ( 8 + 1 6 ビット長 ) である。なお、強誘電体メモリ F e R A M のシリアル出力端子 S O からは、R E A D コマンド ( 0 3 H ) を受けた場合に、アドレスデータで規定される番地からの読み出しデータが、伝送クロック S C K に同期してシリアル出力される。

【 0 0 6 6 】

次に、アクセス制御回路 D E T について説明する。図 4 ( a ) に示す通り、アクセス制御回路 D E T は、2つのD型フリップフロップ F F 1 , F F 2 と、各種のゲート G 1 ~ G 8 を組み合わせて構成されている。各フリップフロップ F F 1 , F F 2 において、D 入力端子には Q バー出力が各々帰還されており、各フリップフロップ F F 1 , F F 2 は、クロック端子 C K への入力信号の立上りエッジに同期してトグル動作を実行するよう構成されている。

【 0 0 6 7 】

また、フリップフロップ F F 1 , F F 2 のクリア端子 C L R には、N O R ゲート G 4 を経由して、払出制御部 2 4 や演出制御部 2 2 のパラレルポート P A R A o u t から出力される正論理の C L R 信号 ( C L R a パルス、C L R b パルス ) が供給されており、何れかの C L R 信号に基づいてフリップフロップ F F 1 , F F 2 がクリア状態となる。

【 0 0 6 8 】

図示の通り、フリップフロップ F F 1 の Q a 出力は、N A N D ゲート G 6 に供給される一方、フリップフロップ F F 2 の Q b 出力は、N O T ゲート G 5 を経由して N A N D ゲート G 6 に供給されている。ここで、N A N D ゲート G 6 の出力は、選択回路 S E L に対する制御信号 S E L E C T であり、上記の構成に基づき、Q a 出力が H レベルで、且つ、Q b 出力が L レベルの場合に限り、制御信号 S E L E C T が L レベルとなり、それ以外は、制御信号 S E L E C T が H レベルとなる。

【 0 0 6 9 】

先に説明した通り、制御信号 S E L E C T = H レベルの場合には、払出制御部 2 4 からの3ビット長の A グループ信号が選択されて、Y 信号として選択回路 S E L から出力される。そのため、本実施例では、フリップフロップ F F 1 の Q a 出力が H レベルで、且つ、フリップフロップ F F 2 の Q b 出力が L レベルの場合に限り、払出制御部 2 4 からの3ビット長の A グループ信号が強誘電体メモリ F e R A M に供給され、それ以外のタイミングでは、演出制御部 2 2 からの B グループの信号が強誘電体メモリ F e R A M に供給されることになる。

【 0 0 7 0 】

後述するように、フリップフロップ F F 1 の Q a 出力が H レベルとなるのは、払出制御部 2 4 からの L i s t e n ( a ) 信号が受け付けられた後、払出制御部 2 4 がクリアパルス C L R a を出力するまでの期間である ( 図 4 ( b ) 参照 ) 。

【 0 0 7 1 】

図 4 ( a ) の回路構成において、A N D ゲート G 1 , G 2 は、A N D ゲート G 3 の出力に基づいて動作して、L i s t e n ( a ) 信号や L i s t e n ( b ) 信号を、各フリップ

10

20

30

40

50

フロップFF1, FF2のクロック端子CKに供給するか否かを制御している。ここで、Listen(a)信号やListen(b)信号は、派出制御部24や演出制御部22が強誘電体メモリFeRAMをアクセスしたい場合に、それが可能か否かを問い合わせる信号である。

【0072】

図示の通り、ANDゲートG3には、フリップフロップFF1, FF2のQバー出力が供給されているので、各Qバー出力が共にHレベルである場合、つまり、各フリップフロップFF1, FF2がリセット状態である場合に限り、Listen信号が、対応するフリップフロップFFiに供給されることになる。

【0073】

そして、Listen信号を受けたフリップフロップFFiは、Listen信号の立ち上がりエッジに同期してトグル動作を実行するので、そのフリップフロップFFiは、リセット状態からセット状態に遷移する。そのため、その後は、ANDゲートG3の出力がLレベルに遷移して、何れのListen信号についても、その受付が遮断される。

【0074】

このような意味において、ANDゲートG1～G3は、Listen(a)信号とListen(b)信号に対して、早いもの勝ちの論理動作をすることになる。なお、セット状態に遷移したフリップフロップFFiは、正論理のCLR信号(CLRaパルス又はCLRbパルス)を受けることでリセット状態になり、ANDゲートG3の出力をHレベルに遷移させる。したがって、CLR信号を受けた後は、ANDゲートG1～G3が、その後に受けるListen(a)信号とListen(b)信号に対して、早いもの勝ちの論理動作を再開する。

【0075】

ところで、XORゲートG7とANDゲートG8は、派出制御部24からのアクセスを優先する優先回路を構成している。すなわち、XORゲートG7には、派出制御部24が出力するListen(a)信号と、演出制御部22が出力するListen(b)信号とが供給されており、仮に、2つのListen信号が同時にHレベルに立ち上がると、XORゲートG7の出力がLレベルになる。そのため、Listen(b)信号は、ANDゲートG8を通過できることになり、フリップフロップFF2をトグル動作させることができない。

【0076】

以上の説明から明らかのように、派出制御部24と演出制御部22が同時にListen信号を立ち上げた場合には、演出制御部22からのListen(b)信号が遮断されることで、派出制御部24からのListen(a)信号だけが受け付けられる。すなわち、派出制御部24からのアクセスが優先されるが、本実施例では、派出制御部24がメモリWrite動作をし、演出制御部22がメモリRead動作をするので、結局、強誘電体メモリFeRAMに対してメモリWrite動作を優先していることになる。

【0077】

このように、本実施例では2つのゲート(G7+G8)を使用した優先回路を設けるので、独立的に非同期で動作する派出制御部24と演出制御部22のメモリアクセスタイミングが衝突しても、正常なメモリRead/メモリWrite動作が常に担保される。

【0078】

図4(b)は、上記の優先動作も含め、強誘電体メモリ回路37の動作を説明するタイムチャートである。2つのフリップフロップFF1, FF2は、初期的には、リセット状態であり、ANDゲートG3の出力は初期状態でHレベルである。そして、この初期状態で、派出制御部24がListen(a)信号を立ち上げると(タイミングT1)、これが受け付けられて、フリップフロップFF1のQa出力がHレベルになることで、Response(a)信号がHレベルになる。

【0079】

この結果、NANDゲートG6の出力はLレベルとなり選択回路SELは、派出制御部

10

20

30

40

50

24からのAグループの信号を通過させて強誘電体メモリF e R A Mに供給することになる。そのため、HレベルのR e s p o n s e ( a )信号を確認した派出制御部では、チップセレクト信号C S aバーを立下げた上で、クロック信号C K aと、シリアル信号S o aとをシリアル出力して、強誘電体メモリF e R A Mに対するデータ書き込み動作を実行する。

#### 【0080】

なお、このような動作中、タイミングT 2で、演出制御部22がL i s t e n ( b )信号を立ち上げるが、このタイミングでは、ゲートG 3の出力がLレベルであるので、L i s t e n ( b )信号が受け付けられることはない。すなわち、R e s p o n s e ( b )信号がHレベルに遷移する事がないので、演出制御部22は、R e s p o n s e ( b )信号のHレベルに基づいて、強誘電体メモリF e R A MがB u s y状態であると把握することができる。したがって、演出制御部22は、若干の待機時間の後に、再度、L i s t e n ( b )信号を立ち上げてB u s y状態が解消されたか否かを問い合わせることになる。

#### 【0081】

この実施例では、派出制御部24は、強誘電体メモリF e R A Mに対するデータ書き込み動作を終えると(タイミングT 3 )、チップセレクト信号C S aバーを立上げると共に、クリアパルスC L R aを出力するよう構成されている(タイミングT 3 ' )。

#### 【0082】

そのため、T 3 'のタイミングで、フリップフロップF F 1のQ a出力がLレベルとなり、その後の、L i s t e n信号を受け付けが許可される。そのため、タイミングT 4で、演出制御部22がL i s t e n ( b )信号を立ち上げた場合には、これが受け付けられて、フリップフロップF F 2のQ b出力がHレベルになることで、R e s p o n s e ( b )信号がHレベルとなる。

#### 【0083】

そのため、HレベルのR e s p o n s e ( b )信号を確認した演出制御部22では、チップセレクト信号C S bバーをLレベルに立下げた上で、クロック信号C K bと、シリアル信号S o bとをシリアル出力して、強誘電体メモリF e R A Mに対するデータ読み出し動作を実行することになる。

#### 【0084】

なお、このようなデータ読み出し動作中、例えば、タイミングT 5で、派出制御部24がL i s t e n ( a )信号を立ち上げても、このL i s t e n ( a )信号が受け付けられることはない。

#### 【0085】

その後、演出制御部22は、強誘電体メモリF e R A Mに対するデータ読み出し動作を終えると(タイミングT 6 )、チップセレクト信号C S bバーをHレベルに立上げると共に、クリアパルスC L R bを出力することで、全ての動作を終える(タイミングT 6 ' )。

#### 【0086】

なお、タイミングT 7では、たまたま、L i s t e n ( a )信号とL i s t e n ( b )信号が重複して出力されている。しかし、この場合には、X O RゲートG 7の出力がHレベルになることで、L i s t e n ( b )信号が無視され、L i s t e n ( a )信号が受け付けられる。つまり、強誘電体メモリF e R A Mに対するメモリR e a d動作より、メモリW r i t e動作が優先されることは先に説明した通りである。

#### 【0087】

図6( a )は、派出制御部24のワンチップマイコンに内蔵されたシリアルポートS E R I aの内部構成を示すブロック図である。図示の通り、シリアルポートS E R I aは、C P Uコアから1バイトデータを受ける送信データレジスタD Rと、送信データレジスタD Rから1バイトデータの転送を受けて、シリアル信号S o aを出力するシフトレジスタS Rと、シリアルポートの内部動作状態を管理する多数の制御レジスタR Gと、カウンタ回路C Tの出力パルスを受けて制御レジスタR Gが指定する分周比のクロック信号C K aを出力するポートレートジェネレータB Gと、を有して構成されている。

10

20

30

40

50

## 【0088】

ここで、制御レジスタRGには、エンプティビットEMPを含んだRead動作可能な制御レジスタが含まれており、送信データレジスタDRが、新規データを受け入れ可能か否かを示している。すなわち、シフトレジスタSRの1バイトデータの送信が完了すると、エンプティビットEMPがHレベル(emptyレベル)に遷移して、送信データレジスタDRに、新規データを書込むことができる事が示される。したがって、CPUコア(以下、CPUと称す)は、エンプティビットEMPがHレベルであることを確認した上で、新規データを送信データレジスタDRに書込むことになる。

## 【0089】

また、制御レジスタRGには、データ出力許可フラグSOEや、受信許可フラグRXEや、送信許可フラグTXEを含んだWrite動作可能な制御レジスタが含まれており、データ出力許可フラグSOEがON(H)レベルの状態で、CPUが送信許可フラグTXEをON(H)レベルに設定すると、シリアルポートの送信動作が許可され、OFFレベルに設定すると送信動作が禁止される。そこで、本実施例では、CPUは、送信処理の開始時に送信許可フラグTXEをON状態にセットし、送信処理の終了時に送信許可フラグTXEをOFFレベルにリセットしている。

10

## 【0090】

同様に、CPUが受信許可フラグRXEをON(H)レベルに設定すると、シリアルポートの受信動作が許可され、OFFレベルに設定すると受信動作が禁止される。但し、本実施例の派出制御部24はシリアル受信動作を実行しないので、データ出力許可フラグSOEをON(H)状態に維持する一方で、受信許可フラグRXEをOFF(L)状態に維持しており、定常的に、シリアル受信動作が禁止される。

20

## 【0091】

図6(b)は、派出制御部24のシリアルポートSERIAについて、送信開始時の動作を示すタイムチャートである。図示の通り、シリアルポートSERIAが送信禁止状態(TXE=L)である場合や、送信データレジスタDRのデータがシリアル出力された後は、クロック信号CKaが固定状態のHレベルである。また、送信データレジスタDRは空であり、エンプティビットEMPもHレベル(emptyレベル)である。

## 【0092】

そして、CPUが送信許可フラグTXEをON状態(送信許可状態)にセットした後、送信データレジスタDRに1バイト目の送信データを書込むと、エンプティビットEMPがLレベルに遷移すると共に、その後、所定時間( )経過後に、1バイト目の送信データがシフトレジスタSRに転送されて、シリアル送信動作が開始される。

30

## 【0093】

また、送信データがシフトレジスタSRに転送されたことで、1ビット目のシリアル送信開始に対応して、その後は、エンプティビットEMPがHレベル(emptyレベル)に遷移する。したがって、CPUは、HレベルのエンプティビットEMPを確認した上で、2バイト目の送信データを、送信データレジスタDRに書込むことになる。

## 【0094】

すると、送信データレジスタDRへのデータ書込み動作に対応して、エンプティビットEMPがLレベル(fullレベル)に遷移する。そして、その後、1バイト目の送信データが全て送信されると、送信データレジスタDRからシフトレジスタSRに2バイト目のデータが転送され、2バイト目のデータ送信が開始されて、エンプティビットEMPがHレベルに遷移する。

40

## 【0095】

このエンプティビットEMPは、送信データレジスタDRへの3バイト目のデータ書込み動作に対応して、Lレベルに変化するが、図示のように、新規データの書き込みがない場合にはHレベルを維持する。また、全てのデータが送信された後は、クロック信号CKaがHレベルを維持して変化しない。

## 【0096】

50

この実施例では、強誘電体メモリF e R A Mの内部動作に対応して、1バイトデータのM S BからL S Bに向けて、クロック信号C K aに同期して送信動作が実行されるよう設定されている(M S Bファースト)。

#### 【0097】

先に説明した通り、シリアルポートS E R I aから出力されるシリアル信号S o aは、S W Eコマンド(=06H)と、W R I T Eコマンド(=02H)と、アドレスデータ(16ビット)と、適当個数の書き込みデータ(8ビット)とが連結された一連のシリアルデータである。

#### 【0098】

なお、このようなメモリW r i t e動作に先行して、パラレル出力ポートP A R A a<sub>0</sub><sub>u</sub><sub>T</sub>からL i s t e n(a)信号(L i s t e nパルス)を出力し、その後、パラレル入力ポートP A R A a<sub>1</sub><sub>N</sub>からR e s p o n s e(a)信号を取得し、これがHレベルであることを条件に、パラレル出力ポートP A R A a<sub>0</sub><sub>u</sub><sub>T</sub>からLレベルのチップセレクト信号C Sバーを出力することは、先に説明した通りである(図7(a)(d)参照)。また、一連のメモリW r i t e動作が終われば、パラレル出力ポートP A R A a<sub>0</sub><sub>u</sub><sub>T</sub>からHレベルのチップセレクト信号C Sバーを出力することも同様である。

#### 【0099】

以上、強誘電体メモリ回路37に関して詳細に説明したので、図3に戻って、本遊技機の全体構成について更に説明する。図3に示すように、強誘電体メモリ回路37を搭載した払出制御部24を有する枠側部材G M 1に対応して、遊技盤5の背面には、主制御基板21、演出制御基板22、画像制御基板23が、表示装置D Sやその他の回路基板と共に固定されている。そして、枠側部材G M 1と盤側部材G M 2とは、一箇所に集中配置された接続コネクタC 1～C 4によって電気的に接続されている。

#### 【0100】

主基板中継基板32は、電源基板20から出力される電源異常信号A B N 1、バックアップ電源B A K、及びD C 5 V, D C 1 2 V, D C 3 2 Vを、そのまま主制御部21に出力している。一方、電源中継基板33は、電源基板20から受けたシステムリセット信号S Y Sや、交流及び直流の電源電圧を、そのまま演出インターフェイス基板27に出力している。演出インターフェイス基板27は、受けたシステムリセット信号S Y Sを、そのまま演出制御部22' と画像制御部23'に出力している。

#### 【0101】

また、この実施例では、R A Mクリア信号C L Rは、主制御部21で生成されて主制御部21と払出制御部24のワンチップマイコンに伝送されている。ここで、R A Mクリア信号C L Rは、各制御部21, 24のワンチップマイコンの内蔵R A Mの全領域を初期設定するか否かを決定する信号であって、係員が操作する初期化スイッチS WのO N / O F F状態に対応した値を有している。

#### 【0102】

主制御部21及び払出制御部24は、電源基板20から電源異常信号A B N 1, A B N 2を受けることによって、停電や営業終了に先立って、必要な終了処理を開始するようになっている。また、バックアップ電源B A Kは、営業終了や停電により交流電源24 Vが遮断された後も、主制御部21と払出制御部24のワンチップマイコンの内蔵R A Mのデータを保持するD C 5 Vの直流電源である。

#### 【0103】

したがって、主制御部21と払出制御部24は、電源遮断前の遊技動作を電源投入後に再開できることになる(電源バックアップ機能)。このパチンコ機では少なくとも数日は、各ワンチップマイコンのR A Mの記憶内容が保持されるよう設計されている。但し、強誘電体メモリ回路37の強誘電体メモリF e R A Mは、強誘電体の分極を利用した不揮発性メモリであるので、バックアップ電源B A Kの給電は全く不要である。

#### 【0104】

図3に示す通り、主制御部21は、主基板中継基板32を経由して、払出制御部24に

10

20

30

40

50

制御コマンドCMD”を送信する一方、払出制御部24からは、遊技球の払出動作を示す賞球計数信号や、払出動作の異常に係わるステータス信号CONや、動作開始信号BGNを受信している。ステータス信号CONには、例えば、補給切れ信号、払出不足エラー信号、下皿満杯信号が含まれる。動作開始信号BGNは、電源投入後、払出制御部24の初期動作が完了したことを主制御部21に通知する信号である。

#### 【0105】

また、主制御部21は、遊技盤中継基板31を経由して、遊技盤5の各遊技部品に接続されている。そして、遊技盤上の各入賞口16～18に内蔵された検出スイッチのスイッチ信号を受ける一方、電動式チューリップなどのソレノイド類を駆動している。ソレノイド類や検出スイッチは、主制御部21から配電された電源電圧VB(12V)で動作するよう構成されている。また、図柄始動口15への入賞状態などを示す各スイッチ信号は、電源電圧VB(12V)と電源電圧Vcc(5V)とで動作するインターフェイスICで、TTLレベル又はCMOSレベルのスイッチ信号に変換された上で、主制御部21に伝送される。

#### 【0106】

また、この実施例では、違法行為を検出可能な複数の検知センサが遊技盤に配置されており、各検知センサからの異常信号は、遊技盤中継基板31を経由して、主制御部21に伝送されている。

#### 【0107】

検出可能な違法遊技としては、(1)磁石や振動によって遊技球を図柄始動口15に誘導しようとする行為、(2)不正電波によって図柄始動口15の検出スイッチを誤動作させようとする行為、(3)閉塞状態の図柄始動口15や大入賞口16を針金などで無理に開放しようとする行為などを例示することができる。

#### 【0108】

そして、これらの異常事態の発生を把握した主制御部21は、把握した異常に対応した異常報知コマンドを演出制御部22'に伝送するよう構成されている。なお、異常報知コマンドは、(4)普通入賞口17やゲート18の検出スイッチの検出頻度が異常に高い場合や、(5)払出制御部24からドア開放を検出したとの通知を受けた場合にも演出制御部22'に伝送される。

#### 【0109】

ところで、演出制御基板22と演出インターフェイス基板27とはコネクタ連結によって一体化されており、演出制御部22'は、電源中継基板33を経由して、電源基板20から各レベルの直流電圧(5V, 12V, 32V)と、システムリセット信号SYSを受けている(図3及び図8参照)。また、演出制御部22'は、コマンド中継基板26を経由して、主制御部21から制御コマンドCMDとストローブ信号STBとを受けている(図3及び図8参照)。

#### 【0110】

そして、演出制御部22'は、演出インターフェイス基板27を経由して、ランプ駆動基板29やランプ駆動基板30に搭載されたドライバに、ランプ駆動データ(シリアル信号)を供給している。特に限定されるものではないが、ランプ駆動基板29, 30に搭載されているドライバは、ランプ駆動基板36に搭載されたドライバと同一構成である。

#### 【0111】

図3及び図8に示す通り、演出制御部22'は、画像制御部23'に対して、制御コマンドCMD'及びストローブ信号STB'と、電源基板20から受けたシステムリセット信号SYSと、2種類の直流電圧(12V, 5V)とを出力している。

#### 【0112】

そして、画像制御部23'では、制御コマンドCMD'に基づいて表示装置DSを駆動して各種の画像演出を実行している。表示装置DSは、LEDバックライトによって発光しており、画像インターフェイス基板28から5対のLVDS(低電圧差動伝送Low voltage differential signaling)信号と、バックライト電源電圧(12V)とを受けて駆動さ

10

20

30

40

50

れている(図8参照)。

【0113】

続いて、上記した演出制御部22' と画像制御部23' の構成を更に詳細に説明する。図8に示す通り、演出インターフェイス基板27は、電源中継基板33を経由して、電源基板20から3種類の直流電圧(5V, 12V, 32V)を受けている。ここで、直流電圧5Vは、デジタル論理回路の電源電圧として、演出インターフェイス基板27、ランプ駆動基板29、ランプ駆動基板30、画像インターフェイス基板28、及び画像制御基板23に配電されて各デジタル回路を動作させている。

【0114】

但し、演出制御基板22には、直流電圧5Vが配電されておらず、12VからDC/DCコンバータで降圧された直流電圧3.3Vと、3.3VからDC/DCコンバータで更に降圧された直流電圧1.8Vだけが、演出インターフェイス基板27から演出制御基板22に配電されている。

【0115】

このように、本実施例の演出制御基板22は、全ての回路が、電源電圧3.3V又はそれ以下の電源電圧で駆動されているので、電源電圧を5Vで動作する場合と比較して大幅に低電力化することができ、仮に、演出制御基板22の直上に演出インターフェイス基板27を配置して積層しても放熱上の問題が生じない。

【0116】

但し、電源基板20から受けた直流電圧12Vは、そのままデジタルアンプ46の電源電圧として使用されると共に、ランプ駆動基板30とランプ駆動基板29に配電されて各ランプ群の電源電圧となる。また、直流電圧32Vは、演出インターフェイス基板のDC/DCコンバータにおいて直流電圧13Vに降圧されて、必要に応じて、演出モータM1~Mnの駆動電源として使用される。

【0117】

図8(a)に示すように、演出制御部22' は、音声演出・ランプ演出・演出可動体による予告演出・データ転送などの処理を16ビット単位で実行するワンチップマイコン40と、ワンチップマイコン40の制御プログラムなどを記憶するROM41と、ワンチップマイコン40からの指示に基づいて音声信号を再生して出力する音声合成回路42と、再生される音声信号の元データである圧縮音声データを記憶する音声用メモリ43と、16ビット単位でRead/Write可能な強誘電体メモリ38と、リアルタイムクロックRTCと、を備えて構成されている。

【0118】

ここで、リアルタイムクロックRTCは、現在年月日や現在時刻を計時する時計ICであり、演出制御部22' の電源電圧VDDで充電される二次電池BTで永続的に動作している。すなわち、遊技機に電源が投入されている状態で、二次電池BTが充電される一方、遊技機の電源が遮断された後は、充電状態の二次電池BTに基づいて、内部回路の計時動作が継続される(バックアップ動作)。

【0119】

図8(b)に示す通り、実施例のリアルタイムクロックRTCは、4ビットのデータバスと、4ビットのデータバスと、Read/Write動作用のコントロールバスRD+WRとを通して、ワンチップマイコン40のCPUに接続されている。そして、CPUは、遊技動作に関する重要な遊技情報や異常情報を、リアルタイムクロックRTCから取得した年月日情報及び曜日情報や時刻情報を付加して、強誘電体メモリ38に記憶するようしている。

【0120】

このリアルタイムクロックRTCは、CS1とCS0バーの2種類のチップセレクト端子を有しており、各端子への入力電圧が正常レベルであることを条件に、CPUからのアクセスを許可するようになっている。ここで、CS0バー端子は、アドレスデコーダの出力を受ける通常のチップセレクト端子である。一方、CS1端子は、電源異常検出部ER

10

20

30

40

50

の出力（電圧降下信号）V<sub>o</sub>を受けており、C S 1端子が異常レベルの出力V<sub>o</sub>を受けた場合には、リアルタイムクロックRTCの異常検出フラグF<sub>o</sub>sが自動的にセットされるようになっている。

【0121】

本実施例の場合、この異常検出フラグF<sub>o</sub>sは、他の異常検出フラグTEMPと共に、電源投入時にワンチップマイコン40のCPUによって判定され、仮に、異常検出フラグF<sub>o</sub>sがセット状態であれば、その時の年月日及び時刻が報知されるようになっている。そのため、もし、時計機能の異常が認められた場合には、これに素早く対処することができる。

【0122】

なお、電源遮断時に二次電池BTの電圧が降下しても、二次電池BTの電圧レベルは、電源復帰によって素早く回復してCS1端子が正常レベルに戻るので、CPUからのアクセスが許可されることになる。したがって、異常検出フラグF<sub>o</sub>sの判定処理を設ける本実施例の構成を採らない場合には、リアルタイムクロックRTCの異常を永続的に検出できないおそれがある。

【0123】

また、実施例のリアルタイムクロックRTCは、一週間に一回、例えば、毎金曜日の21時50分に、割込み信号IRQを出力するよう構成されおり、割込み信号IRQを受けたCPUでは、それまでに強誘電体メモリ38に蓄積した遊技情報や異常情報について、適宜に集計するようにしている。

【0124】

なお、集計する遊技情報は、大当たり状態に関する履歴情報をまとめたものであり、例えば、（1）大当たり状態となるまでに要した図柄始動口への入賞回数、（2）大当たり状態の図柄や、確変か否かの大当たり状態の集計値や統計値、（3）大当たり状態に至った予告演出やリーチ演出の種類、（4）連チャン回数、（5）連チャンによる払出球数の時間的な増加推移、などが含まれる。そして、これらの集計情報や統計情報は、遊技者の求めに応じて適宜に報知される。遊技者の指示は、例えば、デモ演出中のチャンスボタン11の押圧で特定され、報知内容は表示装置DSに表示される。

【0125】

一方、集計する異常情報には、例えば、（1）ドア開放回数、（2）違法行為を検出する検知センサの検出種別や検出回数や検出時刻、（3）閉塞状態の図柄始動口15や大入賞口16を針金などで無理に開放しようとする行為の検出回数や検出頻度や検出時刻などが含まれる。そして、これらの集計情報は、係員による特別な操作に対応して、表示装置DSに表示される。

【0126】

図8（b）～図8（d）に示す通り、実施例のリアルタイムクロックRTCは、Bank0～Bank2の3つの内部レジスタテーブルを有して構成されている。各レジスタテーブルは、4バイト×16個のレジスタで構成されおり、内部回路が計時した現在年月日と現在時刻は、Bank0のレジスタテーブル（図8（c））に書き込まれるよう構成されている。なお、Bank2のレジスタテーブルは、時刻設定や年月日設定に関するものであるので、図8への記載を省略している。

【0127】

図8（c）に示すように、Bank0のレジスタテーブルにおいて、1番レジスタのビット3は、異常検出フラグF<sub>o</sub>sであり、14番レジスタのビット2は、内蔵温度センサが異常温度を検出したことを示す温度異常フラグTEMPである。そして、本実施例では、演出制御部22のCPUリセット時に、異常検出フラグF<sub>o</sub>sの値を判定することで、異常な計時動作の継続を防止している。また、リアルタイムクロックRTCをワンチップマイコン40に近接配置すると共に、適宜な時間間隔で、温度異常フラグTEMPの値を繰り返し判定することで、ワンチップマイコン40の温度異常を素早く検出している。

【0128】

10

20

30

40

50

また、Bank 0 のレジスタテーブルにおいて、15番レジスタのビット0は、レジスタテーブルが更新中であることを示すBusy フラグである。そして、本実施例では、Busy フラグが非Busy 状態（更新完了）であることを条件に、Bank 0 のレジスタテーブルから、現在年月日と現在時刻を取得している。そのため、本実施例では、更新動作中の中途半端、又は不合理な時計情報を取得するおそれがなく、強誘電体メモリ38に記憶される時計情報の正当性が担保される。例えば、1時59分59秒から2時0分0秒に更新中の時計情報を取得すると、1時0分0秒の時計情報を取得してしまうおそれがある。

#### 【0129】

また、Bank 1 のレジスタテーブルは、割込み信号IRQ の発生時刻を設定可能に構成されている。そこで、本実施例では、Bank 1 の1番レジスタのビット0に1をセットすることで割込み発生を指示し（Interrupt Enable）、Bank 1 の0番レジスタ～8番レジスタに、金曜の曜日指定と、21時30分00秒の時刻情報を設定している。

#### 【0130】

以上、リアルタイムクロックRTCについて説明したが、本実施例は、演出制御部22'に、強誘電体メモリ38を備える点にも大きな特徴がある。演出制御部22'に配置される強誘電体メモリ38は、単一電源で動作して、ランダムアクセスが可能な512KバイトのR/W可能なメモリであり、このような強誘電体メモリ38を2個並列接続することで（図10参照）、記憶容量が16ビット×524288の不揮発性メモリを構成している。

#### 【0131】

強誘電体メモリ38の内部構成は、図9に示す通りであり、CE1バー端子=Lレベル、CE2端子=Hレベルにすることで、通常のSRAM（非同期SRAM）と同等に駆動することが可能である。すなわち、この強誘電体メモリ38は、アドレスバス19ビットのアドレス信号A0-A18を変化させた後、チップセレクト信号CE2, CE1バーをアクティブルレベルにすると、アウトプットイネーブル信号OEバーの立下りエッジで、Read動作が開始され、+30nS～+120nSの期間、出力端子I/O1～I/O8に有効な読み出しだデータが現れるので、その期間内にRead動作を完了させることができる。なお、上記の動作は、2つの強誘電体メモリ38において同時に実行されるので、上記したRead動作によって、CPUは16ビットデータをまとめて取得することになる。

#### 【0132】

また、アドレスバスのアドレス信号A0-A18を変化させ、データバス（各強誘電体メモリ38の入力端子I/O1～I/O8）に有意な16ビットデータを出力した後、チップセレクト信号CE2, CE1バーをアクティブルレベルにすると、ライトイネーブル信号WEバーの立下りエッジで、Write動作が開始され、データバスの16ビットデータを50nS程度保持するとWrite動作が完了する。この動作も、2つの強誘電体メモリ38において同時に実行されるので、一連のWrite動作によって、強誘電体メモリ38に16ビットデータが記憶されることになる。

#### 【0133】

以上の通り、本実施例によれば、ワンチップマイコン40のアクセス対象となるメモリ空間中に、他の通常のメモリ（ROMやSRAM）と同様の手順でランダムアクセス可能な524,288番地のR/W可能な不揮発性メモリが配置されることになり、必要な情報をバックアップ電源なく永続的に保存できる利点がある。

#### 【0134】

強誘電体メモリ38に記憶保存される情報には、演出制御部24の強誘電体メモリRAMから読み出した賞球実績、主制御部21から受ける異常報知コマンドの内容、主制御部21から受ける制御コマンド（変動パターンコマンドなど）に基づく遊技情報が含まれる。

#### 【0135】

10

20

30

40

50

このような強誘電体メモリ38をアクセス可能なワンチップマイコン40には、複数のパラレル入出力ポートPIO(Pi+Po+Po')と、シリアルポートSER Ibが内蔵されている。なお、パラレル入出力ポートPo'には、図4に示すパラレル出力ポートPARAb<sub>out</sub>と、パラレル入力ポートPARAb<sub>in</sub>と、が含まれている。また、シリアルポートSER Ibの内部構成は、図10(a)に示す通りであり、図6(a)の回路構成や回路動作と実質的に同じである。

#### 【0136】

すなわち、演出制御部22のシリアルポートSER Ibは、CPUコアから1バイトデータを受ける送信データレジスタDRと、送信データレジスタDRから1バイトデータの転送を受けてシリアル信号Sobを出力する一方、外部から受けるシリアル信号Sinを1ビットずつ受信するシフトレジスタSRと、シフトレジスタSRに格納された1バイト長の受信データをパラレルデータとして受ける受信データレジスタRRと、シリアルポートの内部動作状態を管理する多数の制御レジスタRGと、カウンタ回路CTの出力パルスを受けて制御レジスタRGが指定する分周比のクロック信号CKbを出力するボーレートジェネレータBGと、を有して構成されている。

#### 【0137】

本実施例においてシリアル信号Sinは、払出制御部24に配置された強誘電体メモリFeRAMから読み出されたReadデータであり、データ出力許可フラグSOEと、送信許可フラグTXEと、受信許可フラグRXE(図10(b)参照)を適宜に設定した状態で、シリアルポートSER Ibが出力するクロック信号CKbに同期して伝送される。

#### 【0138】

演出制御部のシリアルポートSER Ibは、上記したフラグSOE, TXE, RXEへの設定値に基づき、READコマンドの送信処理や、読み出しあдресの送信動作に続いて、Readデータを受信する送受信動作モードで動作する。先に説明した通り、データ出力許可フラグSOEや、送信許可フラグTXEや、受信許可フラグRXEは、制御レジスタRGに含まれるフラグの一種である。また、制御レジスタRGには、図10(b)に示す受信完了フラグRDRFも含まれる。

#### 【0139】

但し、シリアルポートSER Ibが上記した送受信動作を開始するに当たっては、これに先行して、払出制御部24の強誘電体メモリFeRAMがBusy状態でないことを確認する必要がある。そして、強誘電体メモリFeRAMが非Busy状態であれば、Lレベルのチップセレクト信号CSbバーを出力する準備動作が必要である。

#### 【0140】

このような準備動作の後、シリアルポートSER Ibは、CPUの制御に基づき、強誘電体メモリFeRAMに対して、READコマンド(=03H)と読み出しあдресデータとをシリアル送信する。そして、その後、強誘電体メモリFeRAMから出力される読み出しだデータをシリアル受信することになる(図7(c)参照)。

#### 【0141】

以上の動作を実現するため、CPUは、先ず、パラレル出力ポートPARAb<sub>out</sub>からListen(b)信号を出力し、パラレル入力ポートPARAb<sub>in</sub>に取得されるResponse(b)信号がHレベルに変化することを確認する(図10、図4(b)参照)。そして、Response(b)=Hレベルであれば、CPUは、次に、パラレル出力ポートPARAb<sub>out</sub>からLレベルのチップセレクト信号CSbバーを出力した上で、図7(c)に示す通信プロトコルにしたがって、シリアル送受信動作を開始することになる。

#### 【0142】

図8(b)は、シリアル送受信動作を説明するタイムチャートであるが、便宜上、メモリRead動作だけを記載している。但し、READコマンド(=03H)と読み出しあdressデータの送信動作は、図6(b)の場合と同じである。

#### 【0143】

10

20

30

40

50

すなわち、シリアル送受信動作では、CPUは、データ出力許可フラグSOE = Hレベル、送信許可フラグTXE = Hレベル、受信許可フラグRXE = Hレベルに設定した状態で、シリアルポートSERIBの送信データレジスタDRに、READコマンド(=03H)と、読み出し先のアドレスデータ(16ビット)とを1バイト毎に書込む。なお、制御レジスタRGのエンプティビットEMPを判定しつつ送信データレジスタDRへの書き込み動作を進行させることは、図6(b)に関して説明した通りである。

#### 【0144】

そして、送受信動作モードでは、上記したシリアル送信動作後も、クロック信号CKbの出力が継続されるので、強誘電体メモリFeRAMが上記3バイトのデータを取得した後、強誘電体メモリFeRAMは、指定されたアドレスからの読み出しだれどをシリアル出力する。そして、この読み出しだれどは、クロック信号CKbの立上りエッジに同期して、シフトレジスタSRに取得(サンプリング)される(図10(b)参照)。

10

#### 【0145】

そして、シフトレジスタSRが、強誘電体メモリFeRAMから8ビット目のデータを取得すると、シフトレジスタSRの1バイトデータが、受信データレジスタRRに転送されると共に、制御レジスタRGの受信完了フラグRDRFがON状態となる。そのため、この動作に対応して、ON状態の受信完了フラグRDRFを把握したCPUが、受信データレジスタRRの1バイトデータを読み出すと、受信完了フラグRDRFがOFF状態に戻る。そして、その後も、次の1バイトデータがシフトレジスタSRから受信データレジスタRRに転送されたタイミングで、再度、受信完了フラグRDRFがON状態となるので、その後も上記と同じ動作を繰り返せば良い。

20

#### 【0146】

そして、必要なデータの取得が終われば、CPUは、データ出力許可フラグSOE = Lレベル、送信許可フラグTXE = Lレベル、受信許可フラグRXE = Lレベルに設定することで、シリアル送受信動作を終了させる。この実施例では、EOFデータ(=00H)を受信すると、必要なデータの取得が完了したと判断している。

#### 【0147】

上記の判断によってシリアル送受信動作が完了すると、続いて、パラレル出力ポートPARAboutから、Hレベルのチップセレクト信号CSbバーを出力した上で、クリアパルスCLRbを出力する(図4(b)参照)。払出制御部24の強誘電体メモリFeRAMに、Hレベルのチップセレクト信号CSbバーが供給されることで、強誘電体メモリFeRAMのアクセス動作が完全に終了することになる。

30

#### 【0148】

以上、図9～図10を参照して、演出制御部22の強誘電体メモリ38と、シリアルポートSERIBについて詳細に説明したので、図8に戻って演出制御部22の他の構成を説明する。図8に示す通り、ランプ駆動基板36、29、30は、パラレル入力ポートPIOのパラレル出力ポートPo'にも接続されており、各ランプ駆動基板36、29、30に搭載されたドライバは、パラレル出力ポートPo'が出力する3ビット長の動作許可信号の何れかに基づいて動作を開始している。

40

#### 【0149】

一方、パラレル入力ポートPIOの入力ポートPiには、主制御部21からの制御コマンドCMD及びストローブ信号STBが入力され、コマンド出力ポートPoからは、制御コマンドCMD'及びストローブ信号STB'が出力されるよう構成されている。

#### 【0150】

具体的には、入力ポートPiには、主制御部21から出力された制御コマンドCMDとストローブ信号(割込み信号)STBとが、演出インタフェイス基板27のバッファ44において、電源電圧3.3Vに対応する論理レベルに変換されて8ビット単位で供給される。割込み信号STBは、ワンチップマイコンの割込み端子に供給され、受信割込み処理によって、演出制御部22'は、制御コマンドCMDを取得するよう構成されている。

#### 【0151】

50

演出制御部 22' が取得する制御コマンド CMD には、(1)異常報知コマンドその他の報知用制御コマンドなどの他に、(2)図柄始動口への入賞に起因する各種演出動作の概要特定する制御コマンド(変動パターンコマンド)や、図柄種別を指定する制御コマンド(図柄指定コマンド)が含まれている。ここで、変動パターンコマンドで特定される演出動作の概要には、演出開始から演出終了までの演出総時間と、大当たり抽選における当否結果とが含まれている。

#### 【0152】

また、図柄指定コマンドには、大当たり抽選の結果に応じて、大当たりの場合には、大当たり種別に関する情報(15R確変、2R確変、15R通常、2R通常など)を特定する情報が含まれ、ハズレの場合には、ハズレを特定する情報が含まれている。変動パターンコマンドで特定される演出動作の概要には、演出開始から演出終了までの演出総時間と、大当たり抽選における当否結果とが含まれている。なお、これらに加えて、リーチ演出や予告演出の有無などを含めて変動パターンコマンドで特定しても良いが、この場合でも、演出内容の具体的な内容は特定されていない。

10

#### 【0153】

そのため、演出制御部 22' では、変動パターンコマンドを取得すると、これに続いて演出抽選を行い、取得した変動パターンコマンドで特定される演出概要を更に具体化している。例えば、リーチ演出や予告演出について、その具体的な内容が決定される。そして、決定された具体的な遊技内容にしたがい、LED群などの点滅によるランプ演出や、スピーカによる音声演出の準備動作を行うと共に、画像制御部 23' に対して、ランプやスピーカによる演出動作に同期した画像演出に関する制御コマンド CMD' を出力する。

20

#### 【0154】

このような演出動作に同期した画像演出を実現するため、演出制御部 22' は、コマンド出力ポート Po を通して、画像制御部 23' に対するストローブ信号(割込み信号) STB' と共に、16ビット長の制御コマンド CMD' を演出インタフェイス基板 27 に向けて出力している。なお、演出制御部 22' は、図柄指定コマンドや、表示装置 DS に関連する報知用制御コマンドや、その他の制御コマンドを受信した場合は、その制御コマンドを、16ビット長に纏めた状態で、割込み信号 STB' と共に演出インタフェイス基板 27 に向けて出力している。

30

#### 【0155】

上記した演出制御基板 22 の構成に対応して、演出インタフェイス基板 27 には出力バッファ 45 が設けられており、16ビット長の制御コマンド CMD' と1ビット長の割込み信号 STB' を画像インタフェイス基板 28 に出力している。そして、これらのデータ CMD' , STB' は、画像インタフェイス基板 28 を経由して、画像制御基板 23 に伝送される。

30

#### 【0156】

また、演出インタフェイス基板 27 には、音声合成回路 42 から出力される音声信号を受けるデジタルアンプ 46 が配置されている。先に説明した通り、音声合成回路 42 は、3.3V と 1.8V の電源電圧で動作しており、また、デジタルアンプ 46 は、電源電圧 1.2V で D 級增幅動作しており、消費電力を抑制しつつ大音量の音声演出を可能にしている。

40

#### 【0157】

そして、デジタルアンプ 46 の出力によって、遊技機上部の左右スピーカと、遊技機下部のスピーカとを駆動している。そのため、音声合成回路 42 は、3 チャネルの音声信号を生成する必要があり、これをパラレル伝送すると、音声合成回路 42 とデジタルアンプ 46 との配線が複雑化する。

#### 【0158】

また、演出インタフェイス基板 27 には、ワンチップマイコン 40 のパラレル出力ポート Po' や、シリアルポート SI や出力される各種の信号を伝送する出力バッファ回路 47, 48, 49 が設けられている。ここで、出力バッファ 47 は、第 0 チャンネルの LE

50

D群に関連しており、ワンチップマイコン40が outputする各種のデータを、枠中継基板34に出力している。そして、出力された3ビットの信号は、枠中継基板34、及び、枠中継基板35を経由して、ランプ駆動基板36のドライバに伝送される。

【0159】

同様に、出力バッファ48は、ワンチップマイコン40が outputする各種のデータを、ランプ駆動基板29のドライバに伝送しており、出力バッファ49は、各種のデータをランプ駆動基板30のドライバに伝送している。

【0160】

次に、以上の構成を有する実施例の遊技機GMについて、払出制御部24と演出制御部22のCPUが実行する制御動作について説明する。

10

【0161】

図11～図12は、払出制御部24の制御動作を説明するフローチャートである。払出制御部24の制御動作は、CPUリセット後に実行されるメインルーチン(図11(a))と、一定時間毎に起動されるタイマ割込みルーチン(図12(a))とを含んで実現されている。

【0162】

メインルーチン(図11(a))の動作内容を説明すると、電源が投入されると、CPUは、自らを割込み禁止状態(DI)に設定した後(ST1)、シリアルポートSERIaを含んで、ワンチップマイコン各部の初期設定を行う(ST2)。

【0163】

次に、主制御部21からRAMクリア信号CLRが供給されているか否かをチェックする(ST3)。この実施例では、遊技ホールの営業開始時であって、特に係員がRAMクリアスイッチをON操作した場合にはRAMクリア信号CLRが供給されるが、停電からの復旧時を含め、通常はRAMクリア信号CLRが供給されない。

20

【0164】

そして、RAMクリア信号CLRが供給されない場合には、電源監視処理(図12(a))の処理で記憶されるバックアップフラグBAKFLGの値をチェックする(ST4)。そして、BAKFLG=5AHであれば、次に、電源監視処理における処理と同様のチェックサム演算を実行してサム値を算出し(ST5)、これが、RAM領域に記憶されているサム値と一致するか否かを確認する(ST6)。そして、メインルーチンで算出したサム値と、電源監視処理(ST31)で記憶されたサム値とが一致する場合には、電源遮断前の処理を再開できると思われる所以、バックアップフラグBAKFLGをクリアする(ST7)。

30

【0165】

一方、(1)ステップST3の判定の結果、RAMクリア信号CLRがON状態であるか、(2)ステップST4の判定の結果、バックアップフラグが5AH以外の値であるか、或いは、(3)ステップST6のサムチェックで異常が認められた場合には、RAM領域を全てクリアする(ST8)。

【0166】

次に、CPUは、強誘電体メモリFeRAM用の書き込みタPNTを、強誘電体メモリFeRAMの先頭アドレス-1の値に初期設定する共に、強誘電体メモリFeRAMの先頭アドレスに、EOFデータ(クリアデータ)を書き込む(ST9)。先に説明した通り、本実施例では、払出制御部24が、毎日、強誘電体メモリFeRAMの先頭アドレスから、順番に、賞球実績データを記憶する一方で(Writeアクセス)、その賞球実績データを、適宜なタイミングで、演出制御部22が読み出すように構成されている(Readアクセス)。

40

【0167】

また、この実施例では、賞球動作として遊技者に払出された払出個数は、その累積値が、変数NUMで管理されており、払出個数NUMが基準値MAX(例えば50個)に達する毎に、賞球実績データとして、払出制御部24の強誘電体メモリFeRAMに順番に記

50

憶されている（図12（c）、図11（c）参照）。なお、強誘電体メモリFeRAMに、賞球実績データが記憶されたことに対応して、払出個数NUMの一部が清算される。具体的には、図12（c）のステップ45で、NUM NUM-MAXの演算を実行する。

#### 【0168】

また、強誘電体メモリFeRAMの書き込みアドレス位置は、払出制御部24の書き込みポインタPNTで管理されており、払出制御部24が賞球実績データを記憶した後は、その次のアドレス位置に、EOFデータを書き込んでいる（図11（c）参照）。そして、強誘電体メモリFeRAMをReadアクセスする演出制御部22は、このEOFデータを確認することで、それ以降のアドレスには賞球実績データが存在しないと判断している。

#### 【0169】

そのため、本実施例では、払出制御部24が、強誘電体メモリFeRAMに、当日分の賞球実績データを書き込む以前に、演出制御部22が、強誘電体メモリFeRAMをReadアクセスする可能性も考慮して、強誘電体メモリFeRAMの先頭アドレス位置にEOFデータを書き込んでいる（図11（a）のST9）。

#### 【0170】

以上のような意義を有する強誘電体メモリFeRAMの書き込み処理（ST9）が終わると、CPUを割込み許可状態に設定して（ST10）、無限ループ処理を繰り返す。CPUが割込み許可状態になると、その後のタイマ割込みによって、図12（a）に示す定期処理（ST30～ST40）が実行される。

#### 【0171】

図11（b）は、強誘電体メモリFeRAMへの書き込み処理（ST9）の動作内容を詳細に示すフローチャートである。具体的に確認すると、CPUは、Listen（a）パルスを出力して（ST11）、所定時間後にResponse（a）信号を取得する（ST12）。そして、Response（a）がHレベルに変化したことで、強誘電体メモリFeRAMがBusy状態でないことが確認されると、LレベルのCSaバー信号を出力する（ST17）。なお、強誘電体メモリFeRAMがBusy状態であれば、繰り返し回数CNTをカウントしつつ、待機時間をおいて再トライする（ST14～ST15）。なお、強誘電体メモリFeRAMがBusy状態を継続する異常時にはエラー処理を実行する（ST16）。

#### 【0172】

一方、強誘電体メモリFeRAMが非Busy状態であった場合には、ステップST17の処理に続いて、強誘電体メモリFeRAMに対して、SWEコマンドの出力処理（ST18）、WRITEコマンドの出力処理（ST19）、書き込みアドレスの出力処理（ST20）を実行した上で、EOFデータの出力処理を実行する（ST21）。

#### 【0173】

この動作によって、強誘電体メモリFeRAMに対して、図11（d）に示す書き込み動作が実現されることになる。なお、前述した通り、この時の書き込みアドレスは、強誘電体メモリFeRAMの先頭番地である（ST9）。そして、以上の処理が終われば、HレベルのCSaバー信号を出力すると共に（ST22）、CLR（a）パルスを出力して処理を終える（ST23）。

#### 【0174】

続いて、図12（a）を参照しつつ、払出制御部24のタイマ割込みルーチンについて、その特徴部分を中心に説明する。タイマ割込みルーチンでは、電圧降下信号ABNを監視する電源監視処理が実行される（ST31）。

#### 【0175】

この電源監視処理（ST31）では、バックアップフラグBAKFLGの設定処理や、ステップST5の場合と同じ演算処理が実行されるが、これらに加えて、図12（b）に示す処理が実行される。

#### 【0176】

すなわち、書き込みアドレスPNTをインクリメントした上で（ST41）、その時の払出

10

20

30

40

50

個数NUMを、強誘電体メモリFeRAMのPNT番地に書込むと共に、その次のアドレスにEOFデータを書込む(ST42)。このような処理を実行するのは、遊技機の電源が遮断される営業終了時に、それまでに強誘電体メモリFeRAMに書込みていなかった(基準値MAXに満たない)賞球実績データを記憶するためである。

#### 【0177】

なお、ステップST42の処理に先行して、図11(b)に示す問合せ処理(ST11～ST16)と、図12(d)に示す送信準備処理(ST17～ST19)が実行され、賞球実績データとEOFデータの書込み後には(ST42)、図12(f)に示す送信終了処理(ST22～ST23)が実行されるのは勿論である。

#### 【0178】

また、電源遮断時に記憶された、当日営業終了時の基準値MAXに満たない賞球実績データは、翌日の電源投入時に実行される、演出制御部22の初期設定処理(図13のST51参照)によってReadアクセスされ、演出制御部22の強誘電体メモリ38に取得される(図14(b)参照)。

#### 【0179】

以上のような意義を有する電源監視処理(ST31)が終われば、通常の払出制御部と同様の払出制御処理が実行されて(ST32～ST40)、タイマ割込み処理が終わる。但し、本実施例では、賞球処理(ST37)として、図12(c)の処理が付加されている。

#### 【0180】

すなわち、遊技者に賞球が払出された場合には、払出個数NUMを累積演算によって増加させ(ST43)、累積値NUMが基準値MAXを超えたか否かを判定する(ST44)。そして、累積値NUMが基準値MAXを超えた場合には、NUM NUM-MAXの演算によって払出個数NUMを清算する(ST45)。

#### 【0181】

次に、書込ポインタPNTをインクリメントした後(ST46)、強誘電体メモリFeRAMのBusy状態を問合せ(ST47)と、図12(d)に示す送信準備処理を実行する(ST48)。そして、その後、データ書込み処理を実行する(ST49)。具体的には、図12(e)に示す通りであり、PNT値である書込みアドレス値を出力し(ST20)、強誘電体メモリFeRAMの該当番地(PNT番地)に規定値(FFFH)を書込み(ST21)、その次のアドレスにEOFデータを書込む(ST21')。そして、最後に、図12(f)に示す送信終了処理が実行する(ST50)。以上の処理によって、図12(g)に示す書込み処理が完了することになる。

#### 【0182】

続いて、図13に基づいて、演出制御部22の動作について、その特徴部分を中心に説明する。演出制御部22の制御動作は、CPUリセット後に実行されるメインルーチン(図13(a))と、一定時間毎に起動されるタイマ割込みルーチン(不図示)と、時計IC(リアルタイムクロック)RTCからの割込みルーチン(図13(b))とを含んで実現されている。

#### 【0183】

本実施例では、強誘電体メモリFeRAM(払出制御部24)の賞球実績データは、演出制御部22によって間欠的に取得され(Readアクセス)、リアルタイムクロックRTC(図8(b))から取得する時刻情報と共に、図14(b)に示す遊技管理リストTBL1(強誘電体メモリ38)に不揮発的に記憶される。この賞球実績データのReadアクセスには、読み出ポインタPT1が使用され、賞球実績データの記憶動作には、書込ポインタPT2が使用されるが、これらポインタの値PT1, PT2は、演出制御部22の強誘電体メモリ38に不揮発的に保存されている。

#### 【0184】

また、主制御部21から受ける異常報知コマンドに基づいて特定されるエラー情報については、図14(c)に示すエラー管理リストTBL2(強誘電体メモリ38)に、リア

10

20

30

40

50

ルタイムクロックRTCから取得する時刻情報と共に不揮発的に記憶される。なお、このときに使用される書込ポインタPT3についても、演出制御部22の強誘電体メモリ38に不揮発的に保存されている。

#### 【0185】

以上を踏まえて、メインルーチン(図13(a))について説明する。遊技機に電源が投入されると、CPUは、シリアルポートSERIBを含んで、ワンチップマイコン40各部を初期設定すると共に、リアルタイムクロックRTCの異常フラグFosを読み出し、万一、異常フラグFosがセット状態であると、時刻異常を報知する(ST51)。

#### 【0186】

先に説明した通り、セット状態の異常フラグFosは、電源遮断時に、リアルタイムクロックRTC用の二次電池BTに電圧降下があったことを意味している。本実施例の場合、異常フラグFosのセット状態は、その後も維持されるよう構成されているので、時刻異常の報知動作に対応して、係員がリアルタイムクロックRTCの時刻情報を再設定するなどの初期処理によって、異常フラグFosをリセットしない限り、その翌日も同じ時刻異常が報知されることになり、この結果として、リアルタイムクロックRTCの時刻情報の正当性が常に担保される。

#### 【0187】

また、初期設定処理として、払出制御部24の強誘電体メモリFeRAMから、前日の電源遮断前の未取得の賞球実績データを取得する(ST51)。具体的には、払出制御部24の強誘電体メモリFeRAMをReadアクセスして、前日の未取得分の払出個数を、読み出ポインタPT1に基づいて取得し、取得した払出個数を、書込ポインタPT2に基づいて、演出制御部22の遊技管理リストTBL1に記憶する(図14(b)の最終欄参照)。なお、時刻情報として、前日の24時00分00秒を、遊技管理リストTBL1の該当欄に格納する。

#### 【0188】

先に説明した通り、読み出ポインタPT1と書込ポインタPT2は、演出制御部22の強誘電体メモリ38に不揮発的に保存されている。そこで、電源投入時の読み出ポインタPT1の値に基づいて、払出制御部24の強誘電体メモリFeRAMの該当アドレスをReadアクセスし、その後、EOFデータを検出するまでRead動作を継続することで、前日の未取得分の払出個数を取得する。

#### 【0189】

なお、このRead動作には、Listen(b)パルスの出力処理と、その後に取得するResponse(b)信号のレベル判定処理と、図13(d)に示す受信準備処理(RT17～RT18)とが先行される。また、Read動作は、具体的には、図13(e)に示す通りであり、読み出アドレス(PT1値)の出力処理(RT20)と、強誘電体メモリFeRAM(払出制御部24)から読み出したデータを、書込ポインタPT2の指示する遊技管理リストTBL1の該当欄に格納する処理(RT21)と、で構成されている。そして、最後に、図13(f)に示す受信終了処理が実行される。

#### 【0190】

図14(b)は、初期処理(ST51)を終えた後の遊技管理リストTBL1を示しており、その最終欄に、24時00分00秒の賞球実績(最終個数)として、初期処理(ST51)で取得した賞球実績データ(137個)が記載されている。本実施例では、このような初期処理(ST51)を設けるので、規定値(例えば50個)毎に、払出制御部24の強誘電体メモリFeRAMに記憶される払出数を、演出制御部22が間欠的にReadアクセスするにも拘わらず、前日の払出個数を、演出制御部22が正確に把握することができる。なお、初期処理(ST51)を終えた後、読み出ポインタPT1は、払出制御部24の強誘電体メモリFeRAMの初期位置を指示するべく初期設定される。

#### 【0191】

その後は、タイマ割込み処理(不図示)による割込み回数が15回を超える毎に、演出制御部22としての通常の演出制御処理(ST53～ST59)を実行する。但し、本実

10

20

30

40

50

施例では、コマンド解析処理（S T 5 4）として、図13（c）の処理が付加されている。

#### 【0192】

すなわち、主制御部21から変動パターンコマンドを受信した場合には、賞球実績を更新するか否かを、所定の更新条件に基づいて判定する。更新条件は、適宜に設定されるが、この実施例では、（1）ハズレ状態の変動パターンコマンドを5回連続で受信すること、または、（2）大当たり状態の変動パターンコマンドを受信すること、を更新条件としている。なお、大当たり状態は、確変当たりと、非確変当たりに区別される。

#### 【0193】

一方、このような更新条件を満たさない場合には、次に、異常報知コマンドを受けた否かを判定する（S T 7 1）。先に説明した通り、この実施例では、（1）磁石や振動を検知する異常時、（2）不正電波を検知する異常時、（3）図柄始動口15などが不合理に解放された異常時、（4）普通入賞口17などの異常検知時、及び（5）ドア開放時などに、主制御部21から、その旨の異常報知コマンドが送信されるよう構成されている。

10

#### 【0194】

そこで、このような異常報知コマンドを受けた演出制御部22では、リアルタイムクロックR T Cをアクセスして時刻情報を取得し、取得した時刻情報と異常報知コマンドを対応させて、強誘電体メモリ38のエラー管理リストT B L 2（図14（c））の該当欄に記憶する。なお、エラー管理リストT B L 2の該当欄は、書き込みポインタP T 3によって特定される。

20

#### 【0195】

また、このとき、遊技管理リストT B L 1の記憶内容を取得して、それまでの累積払出手数を特定して、エラー管理リストT B L 2の該当欄に記憶する。なお、遊技管理リストT B L 1からのデータR e a d動作や、エラー管理リストT B L 2へのデータW r i t e動作は、通常のS R A Mへのランダムアクセスと同様の手順で実行されるので、特別な制御処理（アクセス処理）が必要とされることはない。

#### 【0196】

このように、本実施例では、異常報知コマンドを受ける毎に、それまでの累積払出手数を記憶するので、上記した（1）～（5）の異常報知コマンドを受けた後の払出手数を、その次に異常報知コマンドを受けたタイミングで把握することができる。そして、異常報知コマンドの受信頻度や、最初に異常報知コマンドを受けた後の払出手数などを総合評価して適切な異常報知動作を実行することができる。

30

#### 【0197】

以上、異常報知コマンドについて説明したので、続いて、変動パターンコマンドを受けた場合について説明する。変動パターンコマンドを受けた場合であって、前記した遊技実績データの更新条件を満たす場合には、払出手数T B L 2の強誘電体メモリF e R A Mについて、読み込みポインタP T 1が指示する読み出しアドレスからR e a dアクセスを開始し、E O Fデータを取得するまで、賞球実績データとして、規定値F F Hを繰り返し取得する（S T 6 2）。なお、この取得動作においても、L i s t e n（b）パルスの出力処理と、その後に取得するR e s p o n s e（b）信号のレベル判定処理と、図13（d）に示す受信準備処理（R T 1 7～R T 1 8）とが先行される。

40

#### 【0198】

また、R e a d動作（規定値F F Hの取得処理）は、具体的には、図13（e）と同様に実行されるが、ステップS T 6 2の処理では、取得した規定値F F Hの総和（賞球実績データ）を、適宜なワークエリアに一時保存する。そして、図13（f）に示す受信終了処理を実行した後、読み込みポインタP T 1の値を、規定値F F Hの取得回数に対応して増加更新する（S T 6 3）。

#### 【0199】

次に、リアルタイムクロックR T Cをアクセスして、その時の年月日及び現在時刻を取得する。なお、このアクセス時には、リアルタイムクロックR T CのB u s yフラグを判

50

定して、リアルタイムクロックRTCが時刻更新処理を終えた後の時刻情報を取得する。そして、取得した時刻情報と、賞球実績データの総和値とを対応させて、書込ポインタPT2が指示する遊技管理リストTBL1(強誘電体メモリ38)の記憶位置に記憶する。

#### 【0200】

その後、書込ポインタPT2を更新した上で、書込ポインタPT2と読み出ポインタPT1の値を、強誘電体メモリ38(演出制御部22)の該当領域に記憶する(ST64)。なお、この記憶動作は、通常のSRAMへの書き込み動作と同一であり、演出制御部24の強誘電体メモリFDRAMをアクセスする場合のような手続きは不要である。

#### 【0201】

図14(b)は、演出制御部22の強誘電体メモリ38に配置された遊技管理リストTBL1を例示した図面であり、ある営業日(年月日)の営業途中から営業終了までの賞球実績データを示している。この例では、営業途中から非確変当たりの変動パターンコマンドを受けるまでの払出個数が個となっている(第1記載欄)。そして、その後、ハズレ状態の変動パターンコマンドを10回連続で受けているが、最初の5回の払出個数が個で、次の5回の払出個数が個である(第2~3記載欄)。

10

#### 【0202】

次に、確変当たりの変動パターンコマンドを受けるまでの払出個数が個、ハズレ状態の変動パターンコマンドを5回受けた後の払出個数が個である(第4~5記載欄)。その後、第6記載欄に示される通り、確変当たりの変動パターンコマンドを受けるものの(払出個数個)、ハズレ状態の変動パターンコマンドを5回未満受けた可能性の後、非確変当たりの変動パターンコマンドを受けている(第6記載欄:払出個数個)。そして、その後は、ハズレ状態の変動パターンコマンドを5回未満受けた可能性を含んで、最終の払出個数が137個となっている。

20

#### 【0203】

この遊技管理リストTBL1は、演出制御部22の強誘電体メモリ38に配置されており、上記の記憶データを永続的に保持できるので、賞球払出個数の推移だけでなく、大当たり状態となった回数や、確変当たりと非確変当たりの各回数や、連チャン回数などを、営業日を超えて記憶保存することができる。

#### 【0204】

なお、この遊技機では、確変当たり状態となると、その後の大当たり抽選の当選確率が上がる上に、電動式チューリップの開放時間が長い「電チューサポート」と称される遊技状態に移行するが、電チューサポートの遊技状態は、非確変当たりの変動パターンコマンドを受けると終了する。一般に、遊技者は、この電チューサポート期間を連チャンなどと称するが、本実施例によれば、この連チャン期間での払出個数を正確に記憶することもできる。例えば、図14(b)の場合には、確変当たりの変動パターンコマンドを受けてから、非確変当たりの変動パターンコマンドを受けるまでの払出個数は、+ + 個である。

30

#### 【0205】

本実施例では、遊技者にとって有益な上記のような情報が、演出制御部22の強誘電体メモリ38に長期間にわたって保存されるので、その遊技機の遊技状態の統計的に把握することもできる。図13(b)に示す集計割込み処理は、そのための処理であり、例えば、毎週金曜日の21時50分には、リアルタイムクロックRTCから受ける割込み信号IRQに基づいて適宜な集計処理が実行される(ST60)。

40

#### 【0206】

なお、この集計処理では、図14(b)の遊技管理リストTBL1に基づく統計処理だけでなく、図14(c)のエラー管理リストTBL2に基づく集計処理も実行される。統計処理は、強誘電体メモリ38(演出制御部22)をアクセスして実行されるが、通常のSRAMと同様の手順でランダムアクセスできるので、如何に複雑高度な統計処理を実行しても、そのための処理時間が長引くことはなく、演出制御部22の他の制御動作に悪影響を与えることはない。また、仮に、営業終了直前に、集計割込み処理が開始されても、必要な統計処理を、営業終了までに確実に完了させることができる。

50

## 【0207】

以上の通り、本実施例では、払出制御部と演出制御部にランダムアクセス可能な不揮発性メモリを配置するので、遊技実績を長期間にわたって記憶保持することができる。

## 【0208】

以上、実施例について詳細に説明したが、具体的な記載内容は特に本発明を限定するものではない。例えば、実施例では、ランダムアクセス可能な不揮発性メモリとして、強誘電体メモリ (Ferroelectric Random Access Memory) を使用したが、何ら限定されず、例えば、磁気抵抗メモリ (Magnetoresistive RAM) などを使用するのも好適である。

## 【0209】

また、払出制御部24に、S P I (Serial Peripheral Interface) 方式で動作する素子を配置し、演出制御部22に通常のS R A Mと同等のアクセス手順で動作する素子を配置したが何ら限定されない。すなわち、払出制御部24に通常のS R A Mと同等のアクセス手順で動作する不揮発性メモリを配置し、その記憶内容を、必要時に、演出制御部22が取得する構成を探っても良い。

## 【0210】

なお、演出制御部22が、払出制御部24に配置された不揮発性メモリを直接的にR e a dアクセスする構成を探ると、追加してアドレスバスの配線が必要となるので、演出制御部22からの要求信号 (好適には1ビット信号) に応答して、払出制御部24が不揮発性メモリの内容を読み出し、これを演出制御部22にシリアル送信するのが好適である。

## 【0211】

また、実施例では、エラー報知コマンドについて主制御部21から演出制御部22にパラレル送信しているが、これをシリアル送信するのも好適である。この場合には、演出制御部22に、S P I方式で動作する不揮発性メモリを配置すれば、主制御部がこれを直接的にW r i t eアクセスすることもできる。

## 【0212】

なお、このような場合も含め、同一のメモリ素子を複数のC P Uでアクセスする場合には、異なるC P Uからの同時アクセスの衝突を防止する必要があり、図4と同様のアクセス制御回路が必要となる。しかし、図4のような回路構成において、C L RパルスのC P Uからの供給は必須ではなく、むしろ、チップセレクト信号C Sバーの立ち上げリエッジに同期して機能するワンショットマルチバイブレータなどによってC L Rパルスを自動生成する方が好適である。

## 【0213】

また、上記の実施例は、パチンコ機について説明したが、本発明の適用は、何ら弾球遊技機に限定されず、回胴遊技機 (スロットマシン) に適用するのも好適である。例えば、主制御部とサブ制御部に区分されているスロットマシンであれば、何れか一方又は双方に、ランダムアクセス可能な不揮発性メモリを配置すれば、機器構成を複雑化することなく、主制御部及び/又はサブ制御部に、遊技実績を永続的に保存することができる。

## 【0214】

遊技実績を特定する情報としては、例えば、(1)遊技者の獲得メダル数 (= 扉出メダル数 - 消費メダル数) の履歴情報、(2) ビックボーナスやレギュラーボーナスと称される大当りゲーム (ボーナスゲーム) に関する履歴情報、(3) A T (アシストタイム) やA R T (アシストリプレイタイム) などを含む遊技者支援に関する履歴情報、(4) 疑似ボーナスに関する履歴情報などが含まれる。なお、疑似ボーナスの当選確率に影響を与える遊技状態として、「潜在モード」が設けられている遊技機では、このような遊技状態に関する履歴情報も含まれる。なお、A TやA R Tや疑似ボーナスの当否抽選をサブ制御部で実行する場合には、上記全ての遊技実績をサブ制御部で把握することができ、メモリ容量に法的制限のないサブ制御部に永続的に記憶保持することができる。

## 【0215】

また、上記の各実施例では、専ら、不揮発性メモリを使用したが、必ずしも、このような構成に限定されない。すなわち、例えば、主制御部又はサブ制御部に、図8 (b) に示

10

20

30

40

50

のようなリアルタイムクロックRTCを搭載する場合には、リアルタイムクロックRTCに供給する電源電圧で駆動されるSRAM(Static RAM)に遊技に関する履歴情報に記憶しても良い。なお、DRAM(Dynamic RAM)の使用が禁止されるものではないが、SRAMは、DRAMに比べ記憶保持状態での消費電力を大幅に抑制できるので、リアルタイムクロックRTCを組み合わせてSRAMを使用するのが好適である。

【0216】

なお、何れの場合も、揮発性メモリにバックアップされた履歴情報は、リアルタイムクロックRTCから定期的(例えば、所定曜日の所定時刻)に受ける割込み信号IRQに基づいて、適宜に集計されるのが好ましい(ST60参照)。

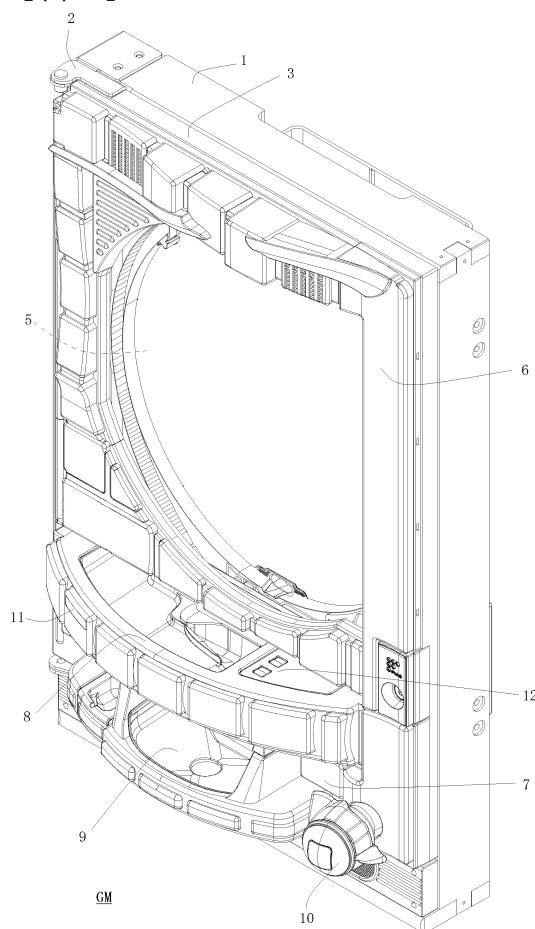
【符号の説明】

【0217】

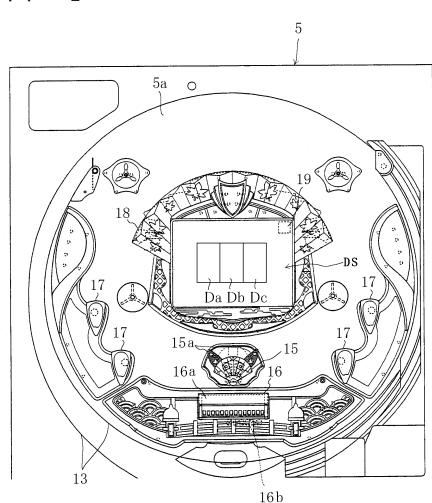
GM	遊技機
21	他の制御手段
ST62	第1手段
ST64	第2手段
FeRAM	不揮発性メモリ

10

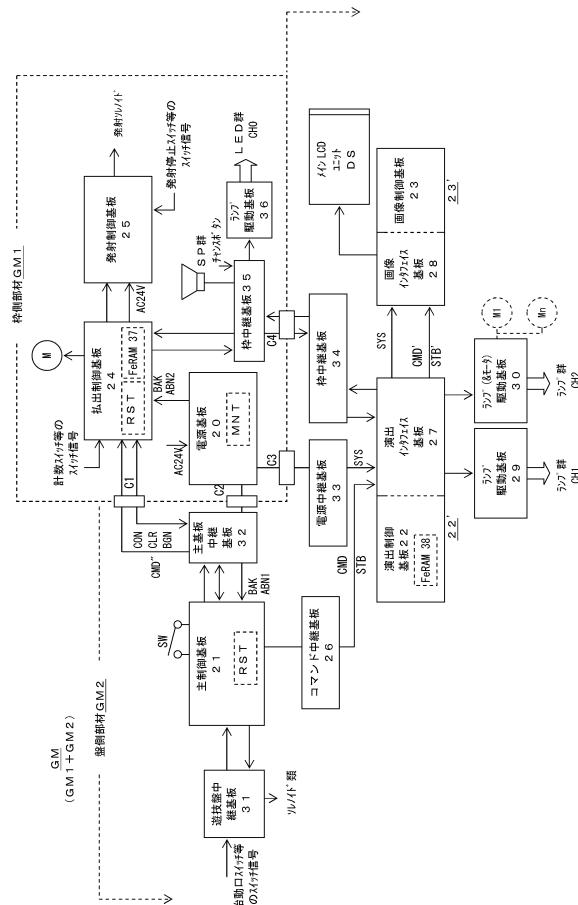
【図1】



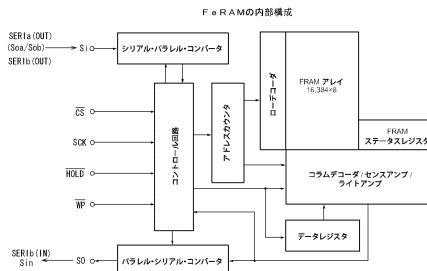
【図2】



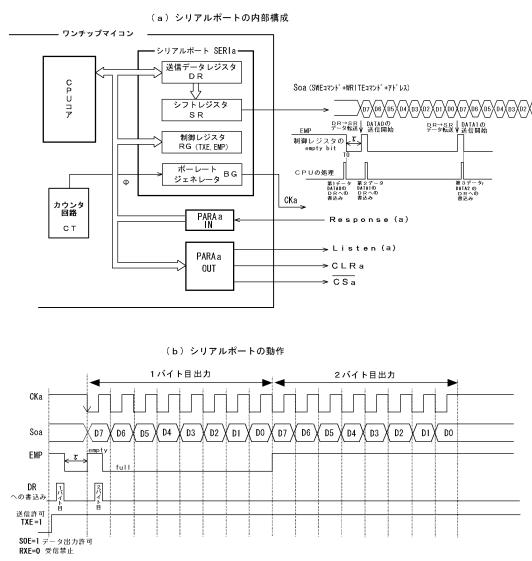
【図3】



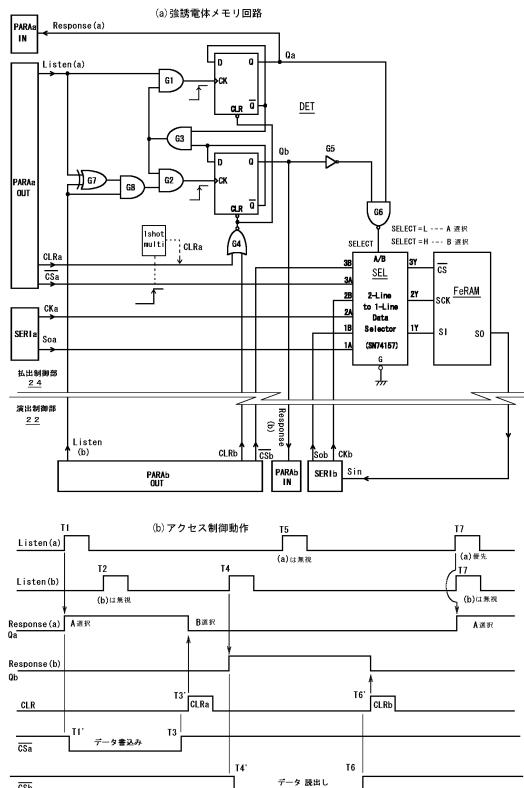
【図5】



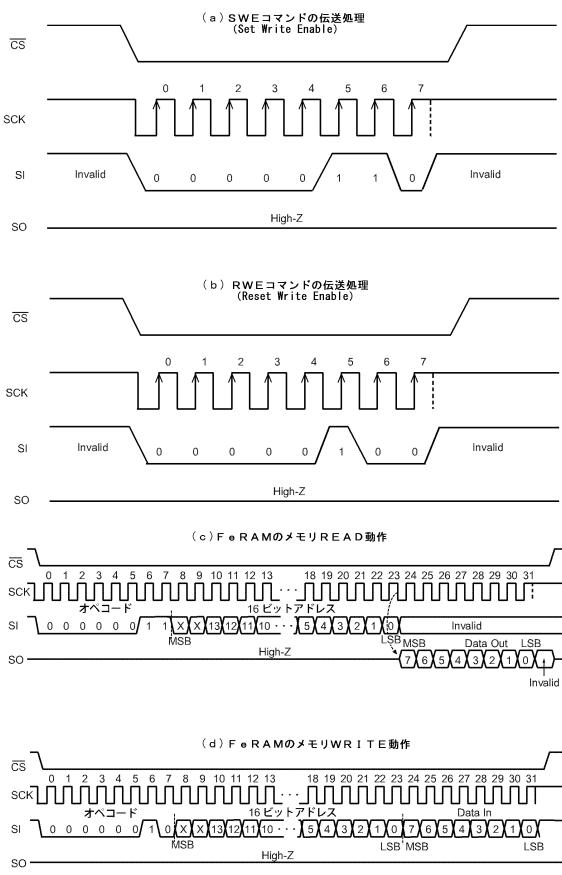
【図6】



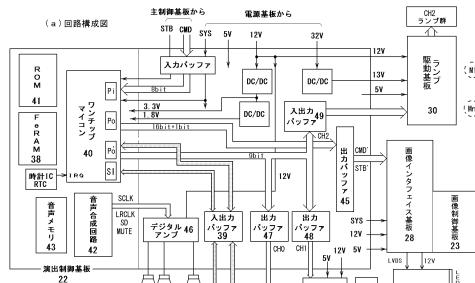
【図4】



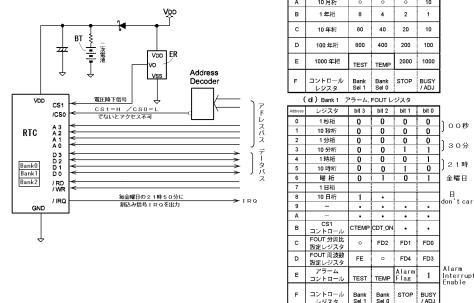
【図7】



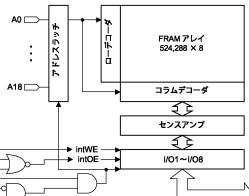
【図8】



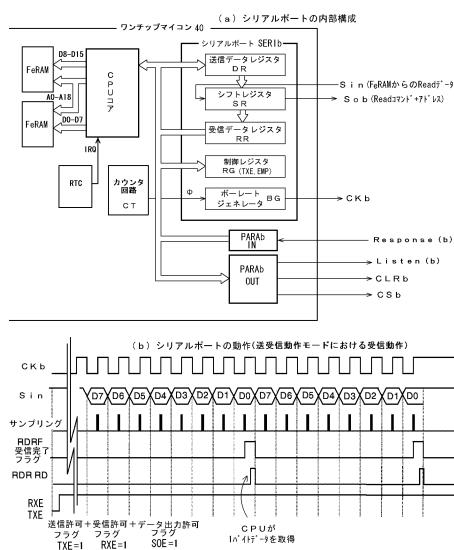
【図8(b)】



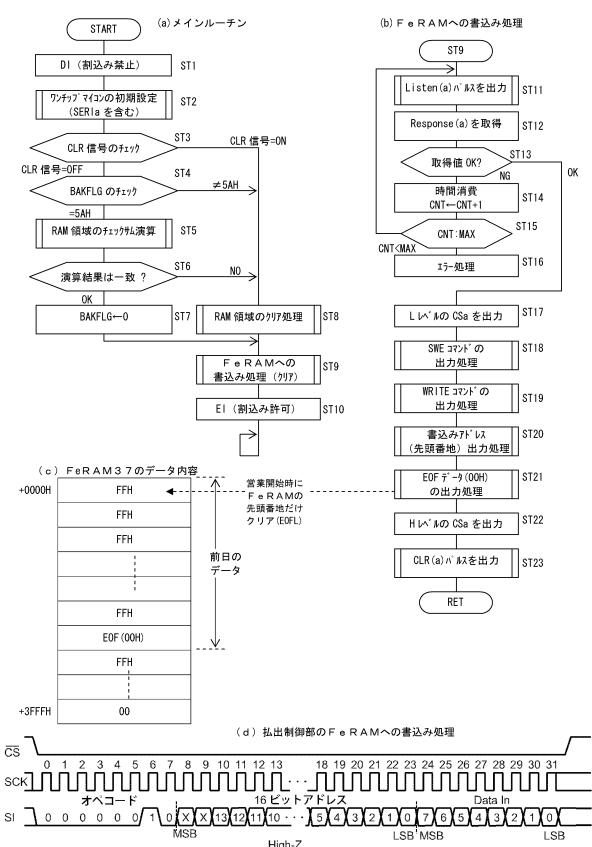
【図9】



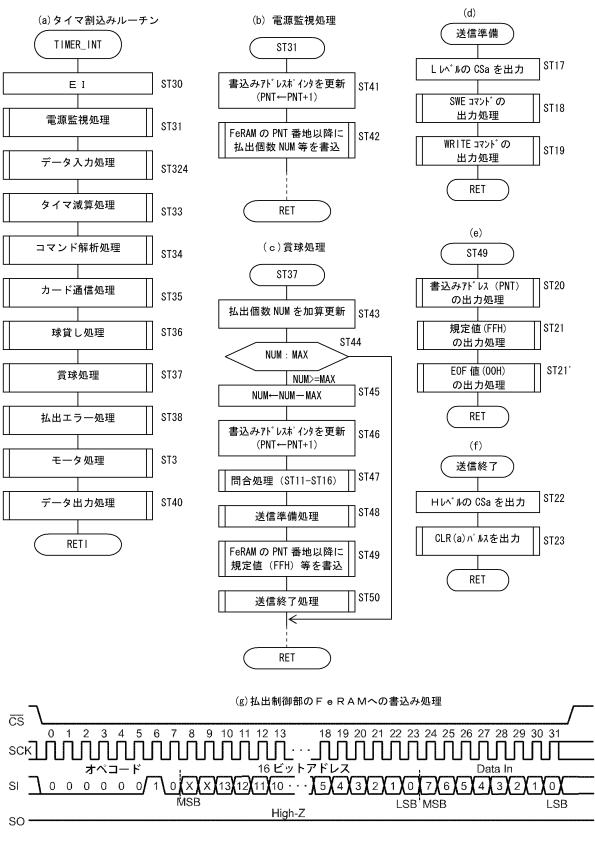
【図10】



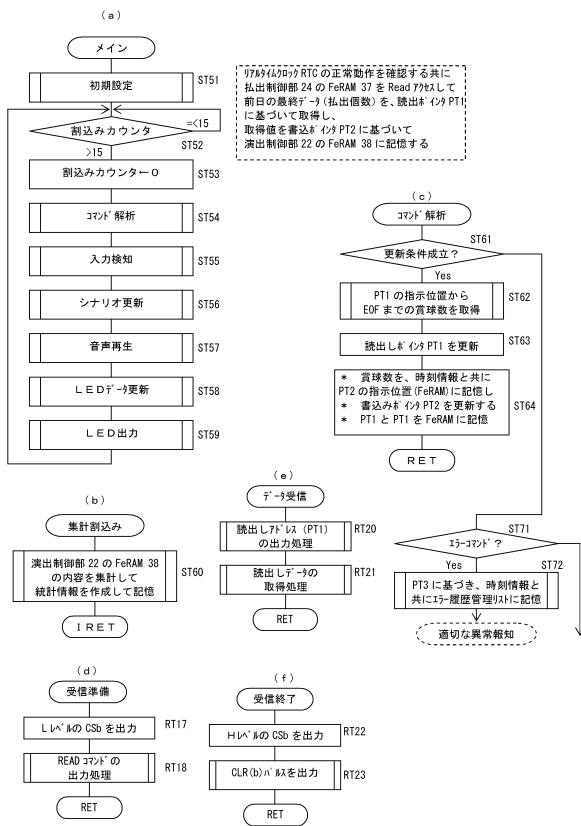
【図11】



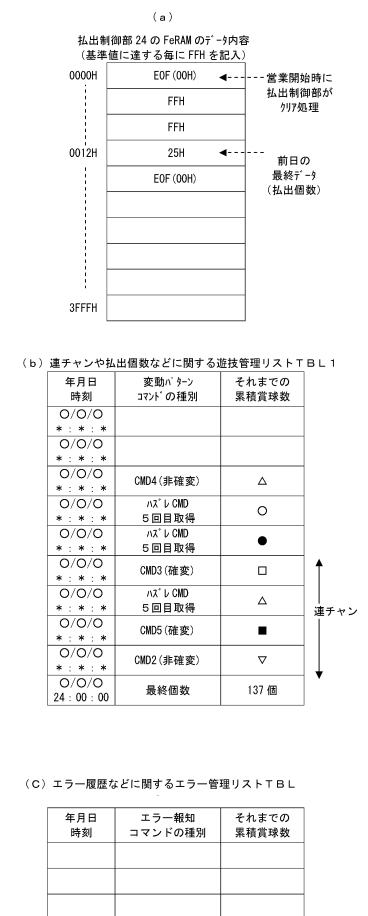
【図12】



【図13】



【図14】



---

フロントページの続き

(56)参考文献 特開2013-236728(JP,A)  
特開2011-015805(JP,A)  
特開2012-090734(JP,A)

(58)調査した分野(Int.Cl., DB名)

A 6 3 F 7 / 0 2