



라, 버스파이드(bus fight)로 인한 손상을 받기가 쉽다. 버스파이트란 출력회로부터의 두 신호가 데이터 버스상에서 일시적으로 상호 충돌 및 간섭하는 현상을 말한다.

상기와 같은 이유로 인해, 통상적으로 저구동능력을 갖는 출력버퍼가 출력회로에 사용되어 고구동능력을 갖는 출력버퍼의 상술한 단점을 상쇄할 수 있다.

제2도는 제1도의 출력회로의 동작을 도시한 타이밍도이다. 어드레스 신호 An는 메모리 셀 어레이(2a)의 데이터를 어드레스하도록 제1클록 펄스의 상승구간에서 어드레스 래치로 래치된다. 어드레스된 메모리 셀로부터 판독된 데이터는 데이터 출력 Dn 신호로서 출력회로(4a)를 통해 출력된다.

도면에 도시된 바와같이, 상기 데이터 출력 신호는 상승 구간 및 하강 구간에서 지연되고 불안정해져 그 결과로서 전달 지연 시간(즉, 메모리 액세스 타임 T)이 길어진다. 이후, 액세스 타임 T는 제2도에 도시된 바와같이, 다음 클록 펄스의 상승 구간에서부터 데이터 출력신호가 안정하게 될 때까지의 기간으로 정의된다. 데이터 출력신호는 저구동능력을 갖는 출력버퍼가 예들들어 이 출력버퍼에 접속된 스트레이 커패시턴스(stray capacitance)를 충전 및 방전시키기 위한 시간을 필요로하기 때문에 상승 구간 및 하강 구간에서 지연되고 불안정해진다.

따라서, 저구동능력을 갖는 출력버퍼로 구성된 종래 기술의 출력회로는 메모리 액세스 타임 T(즉, 전달 지연 시간)이 길어지므로, 이러한 출력회로를 사용하는 메모리 소자 및 기타 다른 논리회로의 처리 속도가 감소된다는 문제점이 있다.

본 발명의 목적은 고속으로 동작하며 전력소모가 적은 출력회로를 제공하는데 있다.

본 발명의 또 다른 목적은 버스파이트에 의한 손상을 방지하여 신뢰성이 높고 장애가 없는 출력회로를 제공하는데 있다.

상술한 목적 및 기타의 목적을 달성하기 위하여, 본 발명은 제1 출력버퍼, 제2 출력버퍼 및 활성화 수단을 포함한다.

이를 더 상세히 설명하면, 입력 단자에 입력되는 입력 신호에 따라 출력 단자에 접속된 부하를 구동시키기 위한 출력회로는, 입력 단자 및 출력 단자에 접속되어 활성화시에 동작하는 제1 출력버퍼와; 상기 제1출력 버퍼와 병렬로 접속되어 활성화시에 제1 출력버퍼보다 더 높은 구동능력으로 동작하는 제2 출력버퍼와; 입력 신호가 입력되는 소정의 기간동안에는 제2 출력버퍼를 활성화시키고 그 기간 이후에는 제1 출력버퍼를 활성화시키는 활성화 수단을 포함한다.

제3도는 본 발명의 원리를 설명하는 출력회로의 블록도이다.

출력회로는 서로 병렬 접속되어 있는 고구동능력의 출력버퍼(5B)와 저구동능력의 출력버퍼(6B)로 구성되어 있다. 제어 신호는 출력버퍼(5B,6B)에 입력되어 두 개의 버퍼중 하나의 버퍼를 선택적으로 활성화시킨다. 데이터 입력 신호는 출력버퍼(5B,6B)에 입력되어 제어 신호에 의해 선택된 출력버퍼에서 증폭된 다음 데이터 출력회로 신호로서 출력된다.

제4도는 본 발명의 원리를 설명하는 타이밍도로서, 제3도에 도시된 출력회로에 입력되는 데이터 입력 신호 및 제어 신호의 파형과, 그 출력회로에서 출력되는 데이터 출력 신호의 파형을 도시하고 있다.

제4도의 (a)는 출력버퍼(6B)가 로우레벨 신호를 갖는 저활성 제어 신호에 의해 선택적으로 활성화될 때의 파형을 도시하고 있다. 데이터 출력 신호의 파형은 상승 구간과 하강 구간에서 지연되어 종래 기술에서와 같이 전달 지연 시간이 증가하게 된다.

제4도의 (b)는 출력버퍼(5B)가 하이레벨 신호를 갖는 제어 신호에 의해 선택적으로 활성화될 때의 파형을 도시하고 있다. 출력버퍼(5B)는 높은 전류에 의해 자신에 접속된 부하를 구동시키기 때문에, 데이터 출력신호의 파형은 급격한 상승 및 하강 곡선을 그리게 되어 전달 지연 시간은 감소된다.

다음에, 제어 신호가 로우레벨로 내려가면, 저구동능력 출력버퍼(6B)가 제4도의 (c)에 도시된 바와 같이 활성화된다. 여기에서, 저구동능력 출력버퍼(6B)는 고구동능력 출력버퍼(5B)에 의해 설정된 데이터 출력 신호 레벨을 유지한다. 이때의 전력 소모량은 출력버퍼(5B)보다도 적다, 따라서, 출력 회로는 데이터 출력 신호의 하강 구간에서 버스파이트가 발생할 때조차도 손상을 입지 않는다.

제5도는 본 발명에 따른 출력회로의 상세도이다. 제6도는 제5도에 도시된 출력회로의 동작을 설명하는 타이밍도이다.

저구동능력 출력버퍼(6B)는 서로 직렬로 접속되어 있는 한쌍의 n 채널 MOS 트랜지스터(Tr1, Tr2)로 구성되어 있으며 보다 큰 오옴 저항을 갖는다. 따라서, 상기 출력버퍼(6B)는 전력소모가 적을 뿐만 아니라 버스파이트에 의한 손상을 입지 않는다.

고구동능력 출력버퍼(5B)는 서로 직렬 접속되어 있는 한쌍의 n 채널 MOS 트랜지스터(Tr3, Tr4)로 구성되어 있으며 작은 오옴 저항을 갖는데, 이로 인하여 출력버퍼(5B)를 통해 큰 전류가 흐르게 된다.

직렬 접속된 p 채널과 n 채널 MOS 트랜지스터(Tr7, Tr8)는 상보형 MOS, 즉 CMOS로 동작하는 인버터를 구성한다. 상기 트랜지스터(Tr1, Tr3)가 p 채널이고 다른 트랜지스터(Tr2, Tr4)가 n 채널이라면, 인버터를 구성하는 트랜지스터(Tr7, Tr8)는 필요치 않다. 한쌍의 n 채널 MOS 트랜지스터(Tr5, Tr6)는 각각 제어 신호가 하이레벨일 때 출력버퍼(5B)를 활성화시키기 위한 게이트로서 동작한다(제어신호는 두 개의 출력버퍼(5B,6B)에 대해 입력되는 것과 실질적으로 동일한 효과를 갖기 때문에 여기서는 출력버퍼(5B)에만 입력되는 것으로하며, 이 점에 관해서는 차후에 설명될 것이다).

제5도에 명확히 도시되어 있는 바와같이, 트랜지스터(Tr1~Tr8)는 각각의 쌍중에서 하나의 트랜지스터만이 한 번에 도통하는 방식으로 접속된다.

제어 신호가 하이레벨로 올라가면, 데이터 입력 신호가 하이레벨 상태인지 로우레벨 상태인지의 여

부(즉, 데이터 입력 신호의 인가 여부)에 따라 트랜지스터(Tr5) 또는 트랜지스터(Tr6)가 도통하게 되고, 그 다음에 트랜지스터(Tr3) 또는 트랜지스터(Tr4)가 도통하게 된다. 그 결과로서, 하이레벨 또는 로우레벨이 각각 데이터 출력 신호로서 출력된다. 예컨대, 제어 신호가 하이레벨이고 데이터 입력 신호도 마찬가지로 하이레벨일 경우, 트랜지스터(Tr5)가 온되어 트랜지스터(Tr3)가 도통한다. 이때 전류는 출력버퍼(5B)의 전원(Vcc)으로부터 트랜지스터(Tr3)를 통해 외부로 흐르게 되어 데이터 출력 신호로서 하이레벨이 출력된다. 제어신호는 하이레벨이지만 데이터 입력 신호가 로우레벨일 경우(즉, 데이터 입력 신호가 인가되지 않은 경우), 트랜지스터(Tr6)가 온되어 트랜지스터(Tr4)가 도통하게 되는데, 이때 전류는 외부로부터 트랜지스터(Tr4)를 통해 출력버퍼(5B)의 접지로 흐르게 되어 데이터 출력 신호로서 로우레벨이 출력된다. 이와같이, 데이터 입력 신호가 인가되고 제어 신호가 하이레벨일 때, 고구동 능력 출력버퍼(5B)가 스트레이 캐패시턴스를 포함하는 부하를 구동시키기 위해 활성화된다. 따라서, 데이터 입력 신호가 데이터 출력 신호로서 신속하게 전달된다(제6도에 굵은 선으로 표시되어 있음).

제어 신호가 로우레벨로 내려가면, 트랜지스터(Tr5, Tr6)가 차단되고 다음에 트랜지스터(Tr3, Tr4)가 차단된다.

한편, 데이터 입력 신호가 하이레벨 또는 로우레벨 상태가 됨에 따라(제어 신호와는 무관), 저구동 능력 출력버퍼(6B)의 트랜지스터(Tr1, Tr2)중 하나가 도통하게 되어 데이터 출력 신호로서 하이레벨 또는 로우레벨이 각각 출력된다. 예컨대, 데이터 입력 신호가 하이레벨일 경우, 트랜지스터(Tr1)가 도통하게 되어 전류는 트랜지스터(Tr1)를 통해 출력버퍼(6B)의 전원(Vcc)에서 외부로 흐른다. 따라서, 데이터 출력 신호로서 하이레벨이 출력된다. 데이터 입력 신호가 로우레벨일 경우, 트랜지스터(Tr2)가 도통하게 되어 전류는 트랜지스터(Tr2)를 통해 외부에서 출력버퍼(6B)의 접지로 흐른다. 따라서, 데이터 출력 신호로서 로우레벨이 출력된다.

이와 같이, 일단 데이터 출력 신호 레벨이 고구동능력 출력버퍼(5B)에 의해 설정되면, 제어신호가 로우레벨로 내려간 후에도 전력을 적게 소비하는 저구동능력 출력버퍼(6B)에 의해 그 레벨이 유지될 수 있다(제6도에 굵은선 다음이 가는선으로 도시됨). 출력버퍼(6B)는 레벨을 유지하는데 필요한 공급 에너지만을 소모하기 때문에 출력회로의 전력소비가 감소된다.

제7도는 본 발명에 따른 출력회로를 포함하는 메모리 소자의 블록도이다.

STRAM(self-timed static RAM) 및 내부 제어를 위한 클록 신호를 입력하는 어드레스래치 내장형 스태틱 RAM(SRAM)을 포함하는 동기형 SRAM의 경우, 이 클록 신호는 출력버퍼(5B)를 활성화시키기 위한 전술된 제어 신호로 사용될 수 있다.

동기형 SRAM 칩이 메모리 소자의 한 예로서 본 명세서에 제시되어 있다. 이해를 돕기 위해, 두 개의 칩(칩1, 칩2)만이 제시되어 있는데, 이들 각각의 칩은 어드레스 래치(11,21), 메모리 셀 어레이(12,22), 출력 데이터 래치(13,23) 및 출력회로(14,24)를 포함하고 있다. 출력회로(14)는 고구동능력 출력버퍼(15) 및 저구동능력 출력버퍼(16)를 포함하며, 출력회로(24)는 고구동능력 출력버퍼(25) 및 저구동능력 출력버퍼(26)를 포함한다.

저활성 칩선택 신호 \*CS(\*표시는 부정을 나타냄)는 로우레벨일 경우, 두 개의 메모리 칩중에서 하나의 칩만을 선택한다. 메모리 어드레스 신호는 두 개의 메모리 칩에 입력되고 메모리 셀 어레이(12 또는 22)를 구성하는 복수의 메모리 셀중 하나의 셀을 어드레스하여 판독하도록 어드레스 래치(11 또는 21)에 래치된다. 어드레스 래치(11 또는 21)에 의해 어드레스된 셀로부터 판독된 데이터는 출력 데이터 래치(13 또는 23)에 래치된 후 출력회로(14 또는 24)를 통해 출력된다. 출력회로(14,24)의 출력은 데이터 버스를 형성하도록 와이어-OR 접속되어 있다.

제8도는 본 발명에 따른 메모리 소자의 동작을 나타내는 타이밍도이다.

(1) 칩1에 대한 칩선택 신호 \*CS(\*CS#1으로 표시)가 로우레벨로 내려갈 경우, 입력 메모리 어드레스 신호는 클럭신호의 상승구간에서 어드레스 래치(11)에 래치되며 메모리 판독 동작은 메모리 셀 어레이(12)에서 개시된다.

(2) 그 다음에, \*CS#2가 로우레벨로 내려갈 경우, 메모리 어드레스 신호는 클럭신호의 상승구간에서 어드레스 래치(21)에 래치되며 메모리 판독 동작은 메모리 셀 어레이(22)에서 개시된다.

(3) 대략 한 클럭 사이클 후에, 칩1으로부터 판독된 데이터는 출력 데이터 래치(13)에 래치되며 데이터 출력 신호(데이터 #1로서 표시됨)는 출력회로(14)를 거쳐 데이터 버스로 출력된다. 데이터 #1은 클럭 신호가 하이레벨(굵은 선으로 표시)인 동안에는 고구동능력 출력버퍼(15)를 거쳐 출력되며, 클럭신호가 로우레벨(가는선으로 표시)인 동안에는 저구동능력 출력버퍼(16)를 통해 출력된다.

(4) 다른 한 클럭 사이클 후에 \*CS#1이 하이레벨인 경우, 출력회로(14)는 클럭펄스의 상승구간에서 출력 할 수 없게 된다(아니면 3상의 출력을 제공함)

(5) 칩2에 있어서, 칩1의 경우에서 처럼 데이터 #2는 출력 데이터 래치(23)에 래치되어 출력회로(24)를 거쳐 데이터 버스로 출력된다. 데이터 #2는 클럭신호가 하이레벨(굵은선으로 표시)인 동안에는 고구동능력 출력버퍼(25)를 거쳐 출력되지만, 클럭신호가 로우레벨(가는선으로 표시)인 동안에는 저구동능력 출력버퍼(26)를 거쳐 출력된다.

(6) 따라서, 제8도의 (6)으로 표시된 구간 동안은, 데이터 #1 및 데이터 #2는 데이터 버스에서 서로 충돌하여 버스파이트가 발생한다.

그러나, 버스파이트가 출력회로(14,24)에 손상을 가하는 원인이 되지는 않는다. 그 이유는, 이 경우에 있어서, 저구동능력 출력버퍼(16)와 고구동능력 출력버퍼(25)가 함께 활성화되지만, 두 개의 고구동능력 출력버퍼(15,25)는 절대로 동시에 활성화되지 않기 때문이다.

데이터 #1이 논리 1(하이)이고 데이터 #2 논리 0(로우)일 때 최대전류가 발생한다. 즉, 제5도 및 제7도에 있어서, 칩2의 트랜지스터( $Tr_3$ ), 데이터 버스 및 칩1의 트랜지스터( $Tr_2$ )를 통해 칩2의 전원( $V_{cc}$ )으로부터 칩1의 접지로 최대전류가 흐른다. 즉, 전원( $V_{cc}$ )이 +5V이고, 구동능력 출력버퍼용 트랜지스터(예컨대  $Tr_3$ )의 오옴 저항이 5 $\Omega$ , 저구동능력 출력버퍼용 트랜지스터(예컨대  $Tr_2$ )의 오옴 저항이 95 $\Omega$ 이라고 가정하면, 불과 50mA의 전류만이 트랜지스터를 통해 흐르게 되므로 트랜지스터에 손상을 입히지 않는다.

반면에 두 개의 고구동능력 출력버퍼에 의해 버스파이트가 발생할 경우, 고구동능력 출력 버퍼에 사용되는 트랜지스터는 대량의 전류가 흐를 수 있도록 본래 작은 오옴 저항을 갖고 있기 때문에, 각 출력버퍼의 두 개의 트랜지스터를 통해 대량의 전류가 전원( $V_{cc}$ )으로부터 접지로 흐르게 된다. 즉, 고구동능력의 출력버퍼용 트랜지스터의 오옴 저항이 5 $\Omega$ 이라고 가정하면, 대략 500mA 정도의 큰 전류가 트랜지스터를 통해 흐르게 되어 트랜지스터에 손상을 줄 수 있다.

전술한 설명으로 명백한 바와 같이, 본 발명의 출력회로는 먼저 고구동능력 출력버퍼로 부하를 구동시켜 출력 레벨을 신속하게 설정한 다음에 저구동능력 출력버퍼로서 그 레벨을 유지시킴으로서 전력 소모가 적으며 버스파이트에 의해 손상없이 신호의 고속 전달을 가능하게 된다.

## (57) 청구의 범위

### 청구항 1

입력 단자에 입력되는 입력 신호에 따라 출력 단자에 접속되어 있는 부하를 구동시키는 출력회로에 있어서, 상기 입력단자 및 출력단자에 접속되어 활성화시에 동작하는 제1 출력버퍼와; 상기 제1 출력버퍼에 병렬로 접속되어 활성화시에 상기 제1 출력버퍼의 구동능력보다 더 높은 구동능력으로 동작하는 제2 출력버퍼와; 입력신호가 입력되면 소정 기간동안 상기 제2 출력버퍼를 선택적으로 활성화시키고 그 기간 이후에는 상기 제1 출력버퍼를 선택적으로 활성화시키는 활성화 수단을 구비하는 것을 특징으로 하는 출력회로.

### 청구항 2

제1항에 있어서, 상기 출력회로는 클럭 신호를 입력하는 동기형 메모리 소자에 포함되고; 상기 활성화 수단은 클럭신호의 신호레벨이 하이레벨인지 또는 로우레벨인지에 따라서 동작하는 것을 특징으로 하는 출력회로.

### 청구항 3

입력단자에 입력되는 입력 신호에 따라 출력단자에 접속되어 있는 부하를 구동시키는 출력회로에 있어서, 상기 입력단자 및 출력단자에 접속된 제1 출력버퍼와; 상기 제1 출력버퍼에 병렬로 접속되어 활성화시에 상기 제1 출력버퍼의 구동 능력보다 더 높은 구동능력으로 동작하는 제2 출력버퍼와; 입력신호가 입력된 후 소정 기간동안 제어신호를 발생하는 수단과; 상기 제어신호에 응답하여 상기 소정 기간동안 상기 제2 출력버퍼를 선택적으로 활성화시키는 활성화수단을 구비하는 것을 특징으로 하는 출력회로.

### 청구항 4

제3항에 있어서, 상기 출력회로는 클럭신호를 입력하는 동기형 메모리 소자에 포함되고, 상기 클럭 신호는 제어신호를 제공하며, 상기 활성화 수단을 클럭신호의 신호 레벨이 하이레벨인지 또는 로우레벨인지에 따라서 동작하는 것을 특징으로 하는 출력회로.

### 청구항 5

제3항에 있어서, 상기 입력신호는 정(+)논리입력신호 및 부(-) 논리입력신호를 포함하고, 상기 제어신호는 클럭 신호이며, 상기 활성화 수단은 제5 및 제6 트랜지스터를 포함하는데, 상기 제5 트랜지스터는 클럭신호 및 정(+) 논리입력신호에 응답하고 상기 제6 트랜지스터는 클럭신호 및 부(-) 논리입력신호에 응답하며; 상기 제1 출력버퍼는 제1 전원과 제2 전원 사이에 직렬로 접속된 제1 및 제2 트랜지스터를 포함하고 상기 제1 및 제2 트랜지스터 사이에 있는 중간점을 출력단으로서 가지며, 상기 제1 및 제2 트랜지스터는 각각 정(+) 논리입력신호 및 부(-) 논리입력신호에 응답하고; 상기 제2 출력버퍼는 제1 전원과 제2 전원 사이에 직렬로 접속된 제3 및 제4 트랜지스터를 포함하고 상기 제3 및 제4 트랜지스터 사이에 있는 중간점을 출력단으로서 가지며, 상기 제3 및 제4 트랜지스터는 각각 상기 제1 및 제2 트랜지스터 보다 더작은 오옴 저항을 갖고 각각 상기 제5 및 제6 트랜지스터에 응답하는 것을 특징으로 하는 출력회로.

### 청구항 6

입력단자에 입력되는 입력신호에 따라 출력단자에 접속되어 있는 부하를 구동시키는 출력회로에 있어서, 상기 입력 단자에 접속되는 제1 출력버퍼와; 상기 제1 출력버퍼보다 더 높은 구동능력을 가지며, 상기 입력단자에 접속된 제2 출력버퍼와; 입력신호가 입력된 후 소정 기간 동안 제어신호를 발생하는 수단과; 상기 제어 신호에 응답하여 상기 소정의 기간동안 출력단자를 상기 제2 출력버퍼에 선택적으로 접속시키고 그 기간 이후에는 상기 제1 출력버퍼에 선택적으로 접속시키는 접속 수단을 구비하는 것을 특징으로 하는 출력회로.

### 청구항 7

제6항에 있어서, 상기 출력회로 클럭신호를 입력하는 동기형 메모리 소자에 포함되고; 상기 접속 수단은 클럭신호의 신호 레벨이 하이레벨인지 또는로우레벨인지 따라서 동작하는 것을 특징으로 하는 출력회로.

**청구항 8**

입력단자에 입력되는 입력신호에 따라 출력단자에 접속되어 있는 부하를 구동시키는 출력회로에 있어서, 상기 입력단자 및 출력단자에 접속된 제1 출력버퍼와; 상기 제1 출력버퍼보다 더 높은 구동능력을 가지며, 상기 입력단자에 접속되어 있는 제2 출력버퍼와; 입력신호가 입력된 후 소정 기간동안 제어신호를 발생하는 수단과; 상기 제어신호에 응답하여 상기 소정의 기간동안 상기 출력단자를 상기 제2 출력 버퍼에 선택적으로 접속시키는 접속 수단을 구비하는 것을 특징으로 하는 출력회로.

**청구항 9**

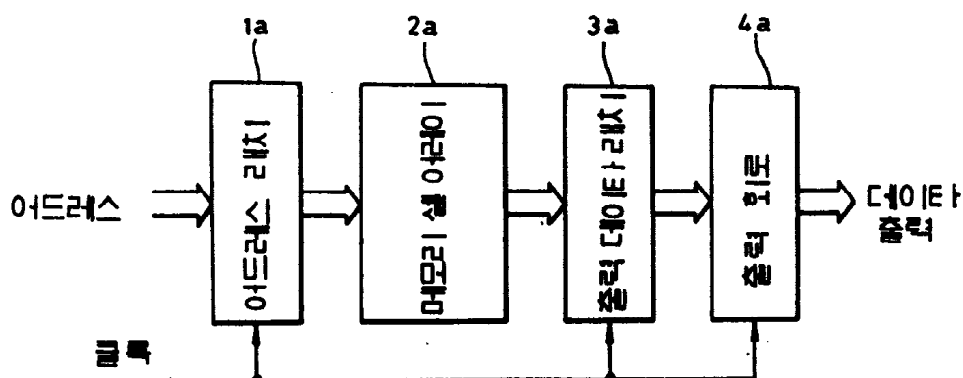
제8항에 있어서, 상기 출력회로는 클럭 신호를 입력하는 동기형 메모리 소자에 포함되고, 상기 클럭 신호는 상기 제어신호를 제공하며, 상기 접속 수단은 클럭신호의 신호 레벨이 하이레벨인지 또는 로우레벨인지에 따라서 동작하는 것을 특징으로 하는 출력회로.

**청구항 10**

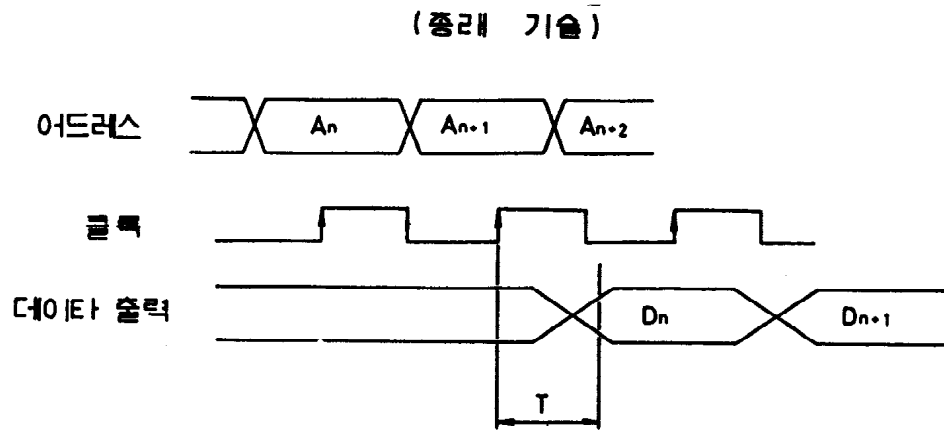
입력단자에 입력되는 입력신호에 따라 출력단자에 접속되어 있는 부하를 구동시키는 출력회로에 있어서, 상기 입력단자 및 출력단자에 접속되어 활성화시에 고구동능력 또는 저구동능력으로 선택적으로 동작할 수 있는 출력버퍼와; 입력 신호가 입력될 때 제어신호를 발생하는 수단과; 상기 제어신호에 응답하여 선택된 기간동안에는 고구동능력으로 동작하고 상기 선택된 기간 이후에는 저구동능력으로 동작하도록 상기 출력버퍼를 활성화시키는 활성화 수단을 구비하는 것을 특징으로 하는 출력회로.

**청구항 11**

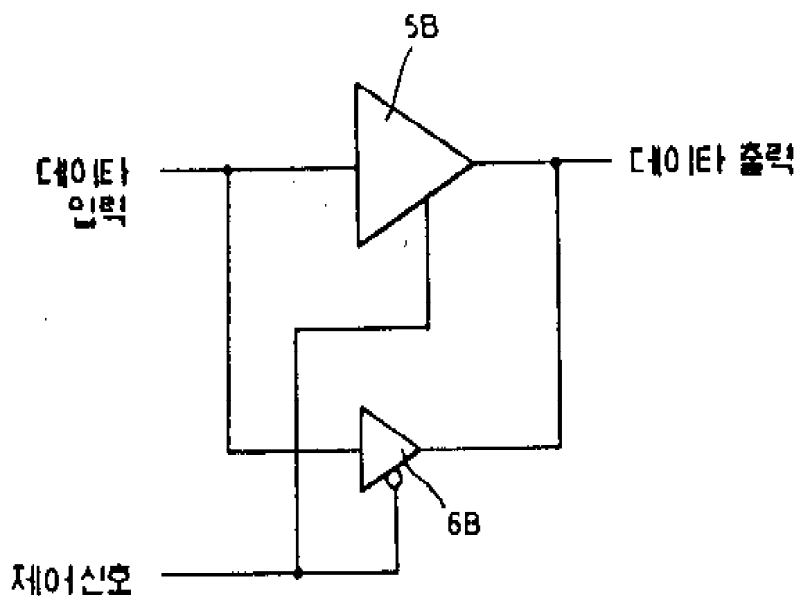
제10항에 있어서, 상기 출력회로는 클럭신호를 입력하는 동기형 메모리 소자에 포함되고; 상기 클럭 신호는 상기 제어신호를 제공하며, 상기 활성화 수단은 클럭신호의 신호 레벨이 하이레벨인지 또는 로우레벨인지에 따라 동작하는 것을 특징으로 하는 출력회로.

**도면****도면1****(종래 기술)**

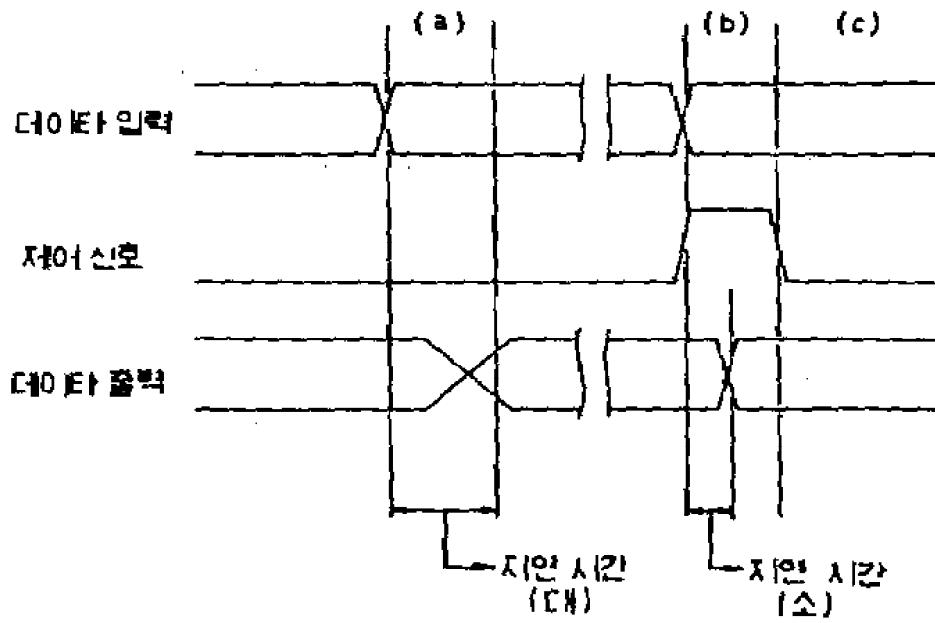
도면2



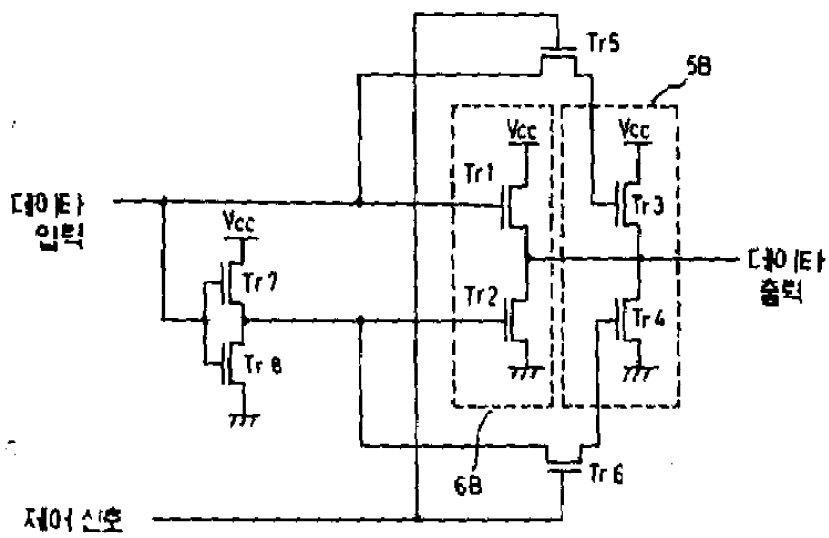
도면3



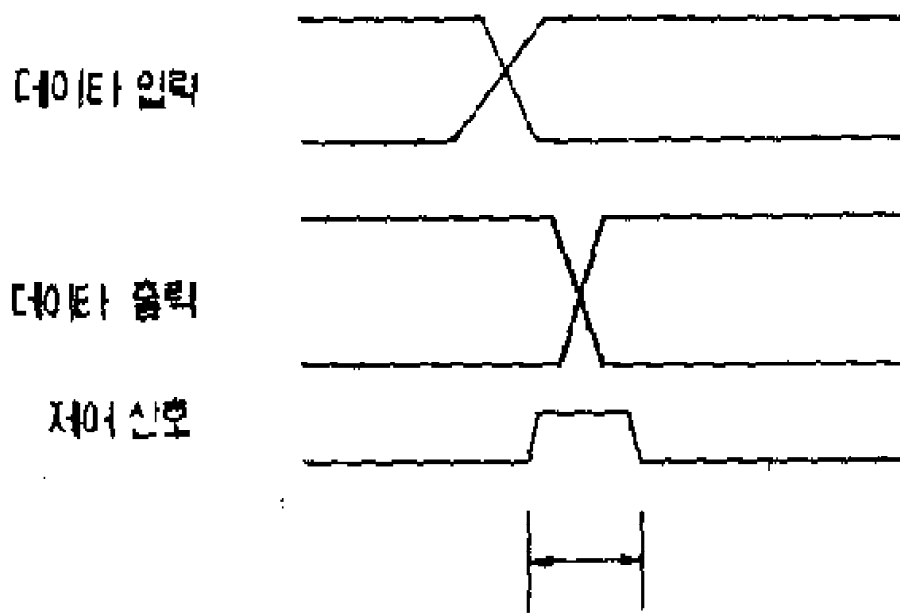
도면4



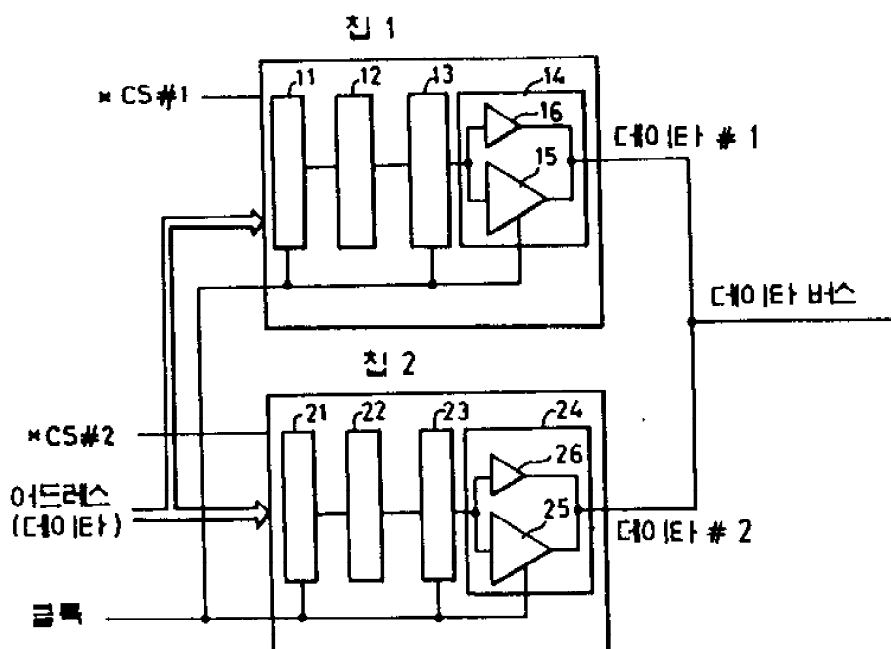
도면5



도면6



도면7





## 도면8

