(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[5]
G11C 11/407

(11) 공개번호 특1993-0018585
(43) 공개일자 1993년09월22일

(21) 출원번호 특1993-0002522
(22) 출원일자 1993년02월23일

(30) 우선권주장 92-037859 1992년02월25일 일본(JP)
(71) 출원인 미쓰비시덴키 가부시키가이샤 시키 모리야
일본국 도쿄토 지요다쿠 마루노우치 2초메 2-3
(72) 발명자 이노우에 요시노리
일본국 효고켄 이타미시 미즈하라 4초메 1 미쓰비시덴키 가부시키가이샤 기타아타미 세이사쿠쇼나이
(74) 대리인 정우훈, 박태경

심사청구 : 있음

(54) 균등화되는 입출력선이 있으며 블럭으로 분할된 반도체 기억장치 및 그 조작방법

요약

다수의 블럭(101)~(108)으로 분할되고 블럭기준으로 동작하는 DRAM에 있어서, 각 균등화회로(4)(18)는 입출력선의 균등화해제를 데이터판독을 위하여 데이터가 판독될 메모리셀이 있는 블럭내에서만 실시되도록 제어된다.

입출력선(2)을 각각 구성하는 2개의 입출력선(201)(202)간에 설치되고 이들선을 균등화 및 해제하는 MOS 트랜지스터(40)가 비경계적으로 절환되지 않으므로 MOS 트랜지스터(40) 게이트의 충방전을 위하여 소모되는 전류가 종래에 비하여 현저히 감소된다.

대표도

도1

명세서

[발명의 명칭]

균등화되는 입출력선이 있으며 블럭으로 분할된 반도체 기억장치 및 그 조작방법

[도면의 간단한 설명]

제1도는 이 발명의 한실시예에 의한 DRAM의 전체구성을 표시하는 개략블럭도, 제2도는 제1도에서 하나의 균등화(equalizing)회로 및 그 부근의 구성을 표시하는 회로도, 제4도는 이 발명의 다른 실시예에 의한 DRAM의 전체구성을 표시하는 개략블럭도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

다수의 메모리셀(MC)를 각각 포함하는 다수의 블럭(101)~(108)과, 상기 다수의 블럭(101)~(108)에 대응하여 설치되고 대응블럭으로부터 외부로 상보데이터신호를 전달하는 제1및 제2의 입출력선(201)(202)을 각각 포함하는 다수의 입출력선(2)과, 주소신호에 응답하여 상기 다수의 블럭(101)~(108)중 어느하나를 선택하는 선택수단(8)(9)과, 상기 다수의 블럭(101)~(108)에 대응하여 설치되고 대응하는 블럭의 제1및 제2의 입출력선을 각각 균등화하는 다수의 균등화수단(4)(18)과, 데이터판독시 상기 주소신호의 절환에 응답하여 상기 선택수단(8)(9)으로 선택된 블럭에 대응하여 설치된 균등화 수단에 의하여 균등화를 해제하는 균등화제어수단(5)(16)(17)(19)(20)으로 구성된 것을 특징으로 하는 반도체 기억장치.

청구항 2

제1항에 있어서, 상기 각 다수의 균등화수단(4)(18)은 대응하는 한쌍의 입출력선을 구성하는 제1및 제2의 입출력선에 각각 접속된 제1및 제2의 도통단자와 제어단자가 있는 전계효과반도체소자(40)을 포함하며, 상기 균등화제어수단(5)(16)(17)(19)(20)은 상기 전계효과 반도체소자의 제어단자 전위를 제어하는 것을 특징으로 하는 반도체 기억장치.

청구항 3

제1항에 있어서, 상기 균등화제어수단(5)(10)(17)(19)(20)은 상기 주소신호의 절환을 검지하는 주소변환검지수단(10)과, 상기 주소변화검지수단(10)의 검지출력에 응답하여 소정의 타이밍에서 상기 균등화의 해제를 지시하는 지시신호를 발생하는 지시신호발생수단(5)과, 상기 다수의 블럭(101)~(108)에 대응하여 설치되고 상기 선택블럭(8)(9)의 출력에 응답하여 대응하는 블럭의 선택된 블럭여부를 각각판별하는 다수의 판별수단(17)으로 구성된 것을 특징으로 하는 반도체 기억장치.

청구항 4

제3항에 있어서, 상기 각 다수의 균등화수단(18)은 대응하는 판별수단의 판별출력과 상기 지시신호에 응답하여 대응하는 입출력선을 구성하는 제1및 제2의 출력선간의 전기적접속을 제어하는 것을 특징으로 하는 반도체 기억장치.

청구항 5

제4항에 있어서, 상기 각 다수의 균등화수단(18)은 대응하는 출력선을 구성하는 제1및 제2의 입출력선간에 접속된 스위칭소자(40)와, 대응하는 판별수단의 판별출력과 상기 지시신호에 응답하여 상기 스위칭소자(40)의 “오프”를 제어하는 제어신호를 발생하는 제어신호발생수단(181)(182)으로 구성된 것을 특징으로 하는 반도체 기억장치.

청구항 6

제5항에 있어서, 상기 제어신호발생수단(181)(182)은 대응하는 판별수단의 판별출력이 대응블럭이 상기 선택블럭임을 표시할때에는 상기 지시신호에 응답하여 대응하는 스위칭소자를 “오프”하는 제1제어신호를 발생하고, 대응하는 판별수단의 판별출력이 대응블럭이 상기 선택블럭이 아님을 표시할때에는 상기 지시신호에 관계없이 대응하는 스위칭소자를 “온”시키는 제2제어신호를 발생하는 논리회로(181)(182)으로 구성된 것을 특징으로 하는 반도체 기억장치.

청구항 7

제6항에 있어서, 상기 논리회로수단(181)(182)은 상기 지시신호를 반전하는 인버터수단(181)과, 상기 인버터수단(181)의 출력과 대응하는 판별수단의 판별출력을 받는 제2입력NAND게이트수단(182)을 포함하고, 상기 지시신호는 제1논리레벨을 표시하며, 상기 각 다수의 판별수단(17)은 대응하는 블럭이 상기 선택블럭인 경우에는 제2논리레벨의 판별출력을 발생하고 대응하는 블럭이 상기 선택블럭이 아닌 경우에는 상기 제1논리레벨의 판별출력을 발생하는것을 특징으로 하는 반도체 기억장치.

청구항 8

제6항에 있어서, 상기 스위칭소자(40)는 대응하는 논리회로수단의 출력을 받는 제어단자와, 대응하는 제1출력선에 접속된 제1도통단자와, 대응하는 제2출력선에 접속된 제2도통단자가 있는 전계효과반도체소자로 구성된 것을 특징으로 하는 반도체 기억장치.

청구항 9

제1항에 있어서, 상기 균등화제어수단(5)(10)(17)(18)(20)은 상기 주소신호의 절환을 검지하는 주소변환검지수단(10)과, 상기 선택수단(8)(9)의 출력에 응답하여 상기 다수의 블럭(101)~(108)중에서 어느 것이 선택블럭인가를 판별하는 판별수단(19)과, 상기 판별수단(19)의 판별출력 및 상기 주소변화검지수단(10)의 검지출력에 응답햐여 상기 다수의 균등화수단(4)을 각각 제어하는 다수의 제어신호를 발생하는 제어신호발생수단(20)으로 구성된 것을 특징으로 하는 반도체 기억장치.

청구항 10

제9항에 있어서, 상기 선택블럭에 대응하는 제어신호는 상기 주소변화 검지수단(10)의 검지출력에 응답하여 소정타이밍에서 대응하는 균등화수단이 불능화되는 레벨로되고, 다른 각 제어신호는 상기 주소변화검지수단(10)의 검지출력에 관계없이 대응하는 균등화수단이 능동화되는 레벨로 유지되는 것을 특징으로 하는 반도체 기억장치.

청구항 11

제10항에 있어서, 상기 판별수단(19)의 판별출력을 상기 다수의 블럭(101)~(108)에 대응하여 발생되고, 대응하는 블럭의 상기 선택블럭여부를 각각 표시하는 다수의 판별신호를 포함하고, 상기 제어신호 발생수단(20)은 상기 주소변화검지수단(10)의 검지출력에 응답하여 상기 소정타이밍에서 상기 균등화의 해제를 지시하는 지시신호를 발생하는 지시신호발생수단(21)과, 상기 다수의 균등화수단(4)에 대응하여 설치되고 대응하는 판별신호 및 상기 지시신호에 응답하여 대응하는 제어신호를 각각 발생하는 다수의 논리회로수단(22)(23)으로 구성된 것을 특징으로 하는 반도체 기억장치.

청구항 12

제11항에 있어서, 상기 각 다수의 균등화수단(4)은 대응하는 제1및 제2의 출력선간에 접속되고 대응하는 제어신호에 의하여 제어되는 스위칭소자(40)를 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 13

제11항에 있어서, 상기 스위칭소자(40)는 대응하는 제1출력선에 접속된 제1도통단자와 대응하는 제2출력선에 접속된 제2도통단자와, 대응하는 제어신호를 수신하는 제어단자를 갖춘 전계효과반도체소자로 구성

된 것을 특징으로 하는 반도체 기억장치.

청구항 14

다수의 메모리셀(MC)를 각각 포함하는 다수의 블럭(101)~(108)과, 상기 다수의 블럭(101)~(108)에 대응하여 설치되고, 대응블럭으로부터 외부로 상보데이터신호를 전달하는 제1및 제2의 입출력선(201)(202)을 각각 포함하는 다수의 입출력선(2)과, 주소신호에 응답하여 상기 다수의 블럭(101)~(108)중 어느하나를 선택하는 선택수단(8)(9)과, 상기 다수의 블럭(101)~(108)에 대응하여 설치되고 대응하는 블럭의 제1및 제2의 입출력선을 각각 균등화하는 다수의 균등화수단(40)과, 상기 주소신호의 절환을 검지하는 검지수단(10)과, 데이터판독시에 상기 선택수단(8)(9)에 의하여 선택된 블럭에 대응하여 설치된 균등화수단을 상기 검지수단(10)의 검지출력에 응답하여 소정시간동안 능동화한 다음 이를 불능화하고, 다른 균등화수단을 상기 검지출력에 관계없이 계속 능동화하는 균등화제어수단(5)(16)(17)(19)(20)으로 구성된 것을 특징으로 하는 반도체 기억장치.

청구항 15

제14항에 있어서, 상기 다수의 균등화수단(18)은 각각 대응하는 제1및 제2의 입출력선간에 접속된 스위칭소자를 포함하고, 상기 균등화제어수단(5)(17)(19)(20)(181)(182)은 상기 선택수단(8)(9)의 출력 및 상기 주소변환검지수단(10)의 출력에 응답하여 상기 스위칭소자의 “온” “오프”를 제어하는 신호를 발생하는 논리회로수단을 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 16

다수의 메모리셀(MC)를 각각 포함하는 다수의 블럭(101)~(108)과, 상기 메모리셀블럭(101)~(108)에 대응하여 설치되고 대응하는 메모리셀 블럭의 선택된 메모리셀로부터 판독된 데이터를 기준하여 상보 데이터신호를 각각 전달하는 다수의 입출력선(2)과, 상기 다수의 입출력선(2)에 대응하여 설치되고, 상기 다수의 메모리셀블럭(101)~(108)중 어느하나를 선택하는 블럭선택신호에 기준한 제어신호에 응답하여 대응하는 입출력선을 각각 균등화하는 다수의 균등화수단(4)(18)으로 구성된 것을 특징으로 하는 반도체 기억장치.

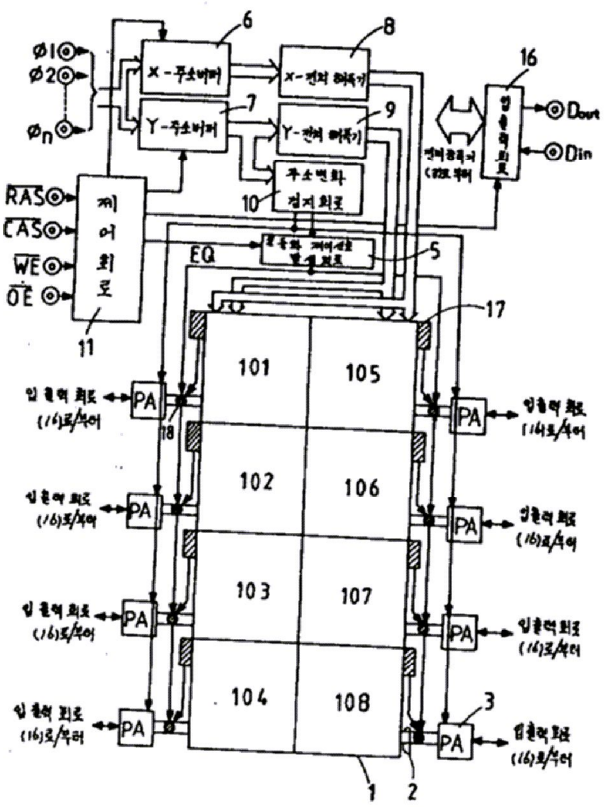
청구항 17

다수의 메모리셀(MC)를 각각 포함하는 다수의 블럭(101)~(108)과 상기 다수의 블럭(101)~(108)에 대응하여 설치되고, 대응블럭으로부터 외부로 상보데이터신호를 전달하는 제1및 제2의 입출력선(201)(202)을 각각 포함하는 다수의 입출력선(2)을 구비한 반도체기억장치의 데이터판독시에 있어서, 주소신호에 응답하여 상기 다수의 블럭(101)~(108)중 어느하나를 선택하는 스텝과, 상기 주소신호의 절환을 검지하는 스텝과, 상기 선택된 블럭에 대응하여 설치된 제1및 제2의 입출력선을 상기 검지에 응답하여 일정기간 균등화하는 스텝과, 상기 선택블럭을 제외한 블럭에 각각 대응하여 설치된 제1및 제2의 입출력선을 상기 검지에 관계없이 계속 균등화하는 스텝으로 구성된 것을 특징으로 하는 반도체 기억장치의 조작방법.

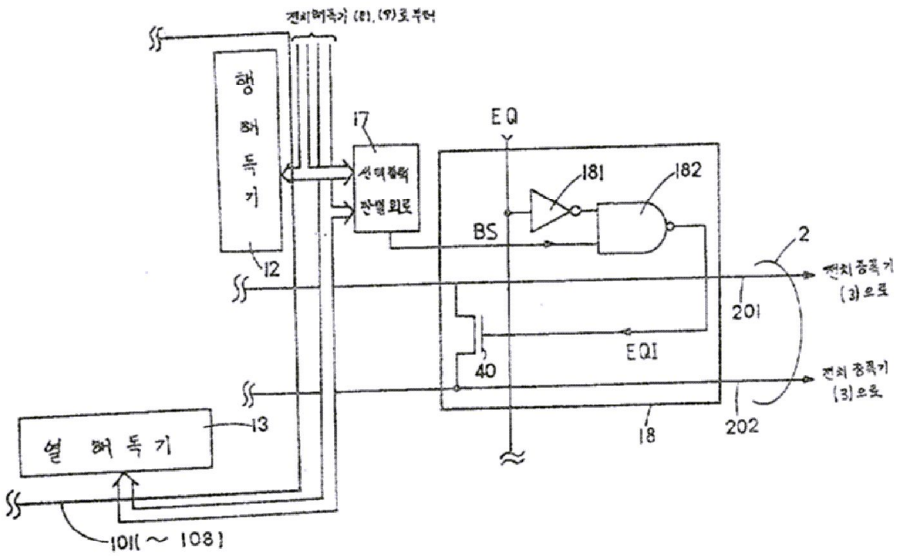
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

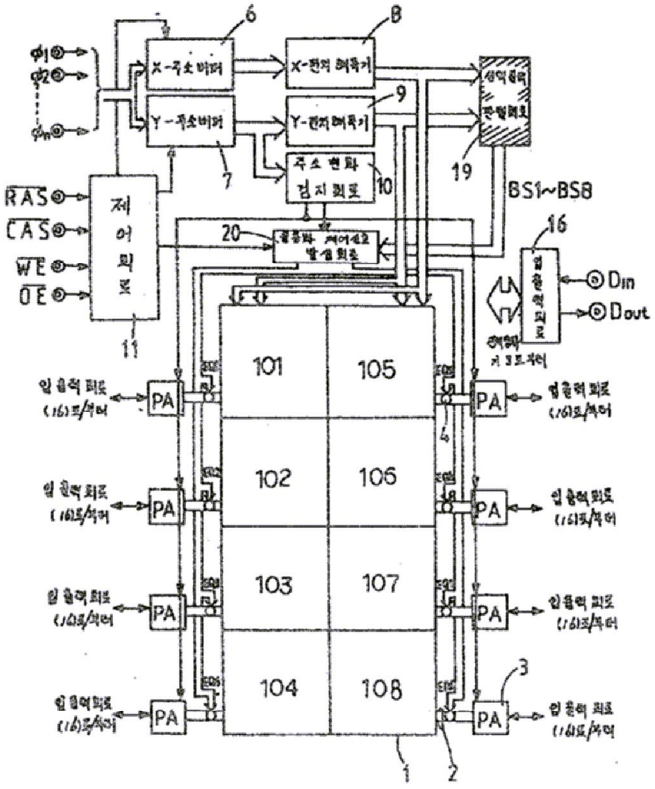
도면1


Ø1
Ø2
Øn
X-주소버퍼
Y-주소버퍼
X-전치 해독기
Y-전치 해독기
주소변화 검지 회로
입출력 회로
Dout
Din
RAS
CAS
WE
OE
제어회로
EQ
101
102
103
104
105
106
107
108
PA
입출력 회로 (16)로/부터
입출력 회로 (16)로/부터
입출력 회로 (16)로/부터
입출력 회로 (16)로/부터
입출력 회로 (16)로/부터
입출력 회로 (16)로/부터
1
2
3
5
6
7
8
9
10
11
16
17
18

도면2


전치해독기 (8), (9)로부터
행 해 독 기
17
EQ
181
182
BS
2
전치증폭기 (3)으로
201
EQI
40
전치 증폭기 (3)으로
202
18
열 해 독 기
13
12
101(~ 108)

도면4


RAS
CAS
WE
OE
제어회로
X-주소버퍼
Y-주소버퍼
X-판독해독기
Y-판독해독기
주소변화검지회로
BS1~BS8
Din
Dout
PA
101
102
103
104
105
106
107
108
1
2
3
4
6
7
8
9
10
11
16
19
20