



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

237726

(11) (B1)

(51) Int. Cl.⁴

H 03 K 19/00

(22) Přihlášeno 14 06 83
(21) PV 4309-83

(40) Zveřejněno 19 11 84

(45) Vydáno 15 04 87

(75)
Autor vynálezu

ČÍŽEK PETR RNDr., KOSTELEČ nad Labem, ENGLICH JIŘÍ RNDr. CSc.,
PFEFFER MILOŠ ing., PRAHA

(54) Zařízení pro číslicovou syntézu kmitočtů v oblasti 0 až 1 MHz

Účelem zařízení je generace harmonických kmitočtů s vysokou stabilitou a s jemným frekvenčním krokem.

Dosažení tohoto účelu je umožněno zvýšením operační rychlosti dekadické sčítačky pracující v BCD /1 248/ kódu a modulárním uspořádání střádače. Podstata spočívá v tom, že se využije dekadické sčítačky pracující v paralelním BCD kódu se zvýšenou operační rychlostí, která se zajistí tím, že se signál dekadického přenosu vyhodnocuje mimo binární sčítačku BS přivedením na vstup B detektoru mimo-kódových kombinací MK a na vstup C₀ korekční sčítačky KS. Zařízení sestává ze střádače /S/ pracujícího v paralelním BCD kódu, který má modulární uspořádání, na jehož ovládací vstupy jsou připojeny obvody volby kmitočtu /K/ a generátor hodinového kmitočtu /H/ a jehož výstup je připojen na vstup dekodéru /D/, jehož výstup je připojen na vstup paměti typu ROM, jejíž výstup je spojen se vstupem digitálně analogového převodníku /D/A/, jehož výstup je přiveden na dolnoproúst a zesilovač /DP/Z/.

Zařízení lze snadno připojit do rozsáhlejších číslicově řízených systémů a může nahradit doposud vyráběné nízkofrekvenční generátory.

Zařízení nemusí být výlučně použito pro generování pouze harmonické funkce. Tvar výstupního signálu je závislý na obsahu paměti ROM a v závislosti na něm lze zařízení použít jako generátor obecných funkcí s řiditelnou periodou.

237726

Vynález řeší způsob číslicové syntézy kmitočtu v oblasti 0 až 1 MHz a konkrétní zařízení k provádění tohoto způsobu, umožňené zvýšením operační rychlosti dekadické sčítačky pracující v BCD /1 248/ kódu a modulárním uspořádáním střadače.

Syntézou kmitočtů rozumíme obvykle postup, kterým se z vysoce stabilního kmitočtu referenčního, odvozuje požadovaný kmitočet, pokud možno stejně stabilní a přesný. Metodicky lze dosavadní používané způsoby syntézy rozdělit na syntézu přímou a nepřímou. V případě přímé syntézy se žádaný kmitočet vytváří směřováním, násobením a dělením kmitočtu referenčního s následující filtrací.

Nepřímá syntéza používá techniky fázového závěsu, kdy se kmitočet napětím řízeného oscilátoru pro dosažení stability nastavení srovnává s kmitočtem generátoru. Modernější systémy používají číslicové řízené děliče kmitočtu, fázové diskriminátory a oscilátory, nicméně základní princip syntézy, tj. směšování, dělení a násobení kmitočtů, spolu s technikou fázového závěsu zůstává zachován. Realizace syntezátoru pracujícího v širším kmitočtovém pásmu s jemným krokem je při využití výše zmíněných možností složitým technickým problémem.

Způsob číslicové syntézy kmitočtů podle vynálezu do značné míry odstraňuje potíže, vznikající při využití techniky klasické kmitočtové syntézy, celý problém značně zjednodušuje a představuje moderní řešení na bázi výlučně číslicové techniky.

Podstatou zařízení je, že sestává ze střadače, pracujícího v paralelním BCD kódu, který má modulární uspořádání a v každém modulu obsahuje sumátor a dekadickou sčítačku se zvýšenou operační rychlostí. Na jeho ovládací vstupy jsou připojeny výstupy jednotky volby kmitočtu a generátor hodinového kmitočtu. Výstup střadače je připojen na vstup dekodéru, jehož výstup je připojen na vstup paměti typu ROM, jejíž výstup je spojen se vstupem digitálně analogového převodníku, jehož výstup je zapojen na dolnoproput a zesilovač.

Vstupy každého modulu střadače jsou tvořeny vstupy dekadické sčítačky se zvýšenou operační rychlostí. Její výstupy jsou připojeny na vstupy střadače, jehož výstupy jsou připojeny na vstupy dekadické sčítačky a zároveň na výstupy modulu. Na řídicí vstupy střadače je přes invertor připojen výstup generátoru hodinového kmitočtu.

Dekadická sčítačka se zvýšenou operační rychlostí je tvořena binární sčítačkou, korekční sčítačkou a detektorem mimokódových kombinací. Vstupní signál je připojen na vstupy binární sčítačky, jejíž vstup přenosu je uzemněn a výstup přenosu je připojen na první vstup detektoru mimokódových kombinací. Korekční sčítačka má čtyři dvojice vstupů. První až čtvrtý výstup binární sčítačky je po řadě připojen vždy na jeden z dvojice prvního až čtvrtého vstupu korekční sčítačky. První až třetí výstup binární sčítačky je připojen po řadě na druhý až čtvrtý vstup dekodéru mimokódových kombinací, přičemž výstup binární sčítačky je připojen zároveň na druhý, třetí až čtvrtý vstup detektoru mimokódových kombinací, na jehož druhý vstup je též připojen výstup přenosu předcházejícího modulu. Výstup detektoru mimokódových kombinací je spojen jednak přes první invertor na druhý z dvojice druhého a třetího vstupu korekční sčítačky a jednak přes druhý invertor na výstup přenosu dekadické sčítačky. Druhý z dvojice prvního a čtvrtého vstupu korekční sčítačky je uzemněn. Výstup korekční sčítačky tvoří výstupy signálu dekadické sčítačky.

Výhodou řešení podle vynálezu je v oblasti realizační modulové struktura střadače, malý počet a snadná realizovatelnost ostatních číslicových bloků s využitím běžně dostupných součástek. Přístroj má v ověřeném prototypu 11 desek číslicových bloků, z toho 8 těchto desek střadače.

V oblasti funkční je zařízení schopno ve všech běžných aplikacích nahradit dosud užívané konvenční generátory kmitočtů. Je stabilnější a má velmi jemný krok kmitočtu. Kromě toho má i ostatní výhody číslicové techniky, jako je vyšší provozní spolehlivost a možnost zapojení do rozsáhlejších, číslicově řízených systémů.

Vynález je blíže objasněn na příkladu provedení pomocí připojeného blokového schéma na obr. 1 a schéma uspořádání modulu střadače je na obr. 2 a schéma zapojení dekadické sčítačky se zvýšenou operační rychlostí je na obr. 3.

Zařízení k provádění číslicové syntézy kmitočtů podle vynálezu sestává ze střadače S, na jehož vstupy jsou připojeny obvody volby kmitočtu K a generátor hodinového kmitočtu H. Výstup střadače je připojen na dekodér D z kódu BCD do binárního kódu. Výstup dekodéru je připojen na vstup paměti ROM, jejíž výstup je připojen na digitálně analogový převodník D/A.

Výstup převodníku D/A je připojen na dolnoproúst a nízkofrekvenční zesilovač DP/Z, z jehož výstupu se odebírá požadovaný signál. Činnost všech číslicových bloků je řízena hodinovým kmitočtem. Střadač S má modulární strukturu a je v něm využito sčítaček se zvýšenou operační rychlostí.

Samostatný modul střadače S podle vynálezu je znázorněn na obr. 2. Vznikne z dekadické sčítačky DS se zvýšenou operační rychlostí podle vynálezu předáním čtyřbitového střadače ST. Vstupy a, b, c, d modulu střadače ST jsou připojeny na vstupy A1, A2, A3, A4 dekadické sčítačky DS, vstupy D1, D2, D3, D4 střadače ST jsou připojeny na výstupy S1, S2, S3, S4 dekadické sčítačky DS.

Výstupy Q1, Q2, Q3, Q4 střadače ST jsou připojeny jednak na výstupy modulu a', b', c', d' a jednak na vstupy B1, B2, B3, B4 dekadické sčítačky DS. Přenos P_{n-1} až P_n je uskutečněn způsobem popsaným níže. Hodinový signál je přes invertor I1 připojen na řídicí vstupy C1 střadače ST. Spojením osmi takovýchto modulů vznikne střadač s kapacitou 1.10^8 .

Rozšíření kapacity lze provést připojením čítače na výstup přenosu nejvyšší dekadiky. Prakticky lze dosáhnout při sčítání 8-cíferných čísel operační rychlostí vyšší než 5 MHz. Zapojení dekadické sčítačky se zvýšenou operační rychlostí je znázorněno na obr. 3. Na vstupy A1, A2, A3, A4 a B1, B2, B3, B4 binární sčítačky BS je připojen vstupní signál a1, a2, b1, b2, c1, c2, d1, d2, vstup přenosu C sčítačky BS je uzemněn. Výstup S1 sčítačky BS je přiveden na vstup B detektoru mimokódových kombinací MK a zároveň na vstup A1 korekční sčítačky KS. Výstup S2 sčítačky BS je přiveden na vstup C detektoru MK a zároveň na vstup A2 sčítačky KS.

Výstup S3 sčítačky BS je připojen na vstup D detektoru MK a zároveň na vstup A3 sčítačky KS. Konečně výstup S4 sčítačky BS je připojen na vstupy B, C, D detektoru MK a zároveň na vstup A4 sčítačky KS. Výstup přenosu C4 sčítačky BS je zapojen na vstup A detektoru MK. Vstupy B1 a B4 korekční sčítačky KS jsou uzemněny, vstupy B2 a B3 jsou spojeny s výstupem detektoru MK přes invertor I1.

Výstupní signál S_a, S_b, S_c, S_d /součet/ se získá na výstupech S1, S2, S3, S4 korekční sčítačky KS. Signál přenosu P_{n-1} / $n-1$ /, bloku je připojen na vstup B detektoru mimokódových kombinací MK a zároveň na vstup přenosu C korekční sčítačky KS. Výstup C4 korekční sčítačky KS není připojen. Výstupní signál přenosu P_n získáme na výstupu detektoru mimokódových kombinací MK přes invertor I2. Použitím rychlých Schottkyho obvodů bude zhoždění signálu přenosu maximálně 10 nsec.

Funkce zařízení podle vynálezu spočívá v periodickém vybavování /čtení/ harmonického průběhu z pevně naprogramované paměti typu "read only memory /ROM/", přičemž rychlost čtení určuje požadovaný kmitočet. Je-li f_h pevný hodinový kmitočet, je minimální a maximální kmitočet zařízení určen vztahy:

$$f_{\min} = f_h / C$$

$$f_{\max} = /0,1 - 0,25/ f_h$$

kde C je kapacita střádače /viz dále/. Velikost maximálního kmitočtu v naznačeném rozmezí závisí na filtrační schopnosti a na přípustné hodnotě zkreslení. V každé periodě hodinového kmitočtu dojde ve střádači k přičtení čísla N , vytvoření adresy, přečtení hodnoty funkce $\sin$ a převedení číslíkového údaje na analogový /podrobněji viz dále/. Z toho vyplývá, že hodinový kmitočet f_h nelze volit libovolně vysoký, ale že je omezen operační rychlostí číslíkové části zařízení. Při použití současné součástkové základy je operační rychlost omezena operační rychlostí střádače.

Samotný střádač ST se skládá jednak z obvodů, které zajišťují v každé hodinové periodě operaci sčítání /dekadické sčítačky DS/, a jednak z obvodů, které výsledný součet uchovávají. Při běžné paralelní struktuře dekadické sčítačky DS v kódu BCD, je operační rychlost omezena zpožděním signálu dekadického přenosu při průchodu sčítačkou a detektorem mimokódových kombinací MK.

Způsob zvýšení operační rychlosti sčítačky uvedené ve vynálezu zkracuje mnohonásobně zpoždění signálu dekadického přenosu, čímž umožňuje zvýšení hodinového kmitočtu f_h a tím i zvýšení maximálního kmitočtu zařízení. Jeho podstata spočívá v tom, že signál dekadického přenosu se vyhodnocuje mimo dekadické sčítačky v rychlém detektoru mimokódových kombinací. Správná funkce zařízení je zajištěna zapojením signálu přenosu též do vstupu korekční sčítačky. Lze ukázat, že pro binární přenos do následující dekády P_n a zároveň pro pravdivostní provedení korekce platí /v Booleově algebře/:

$$/1/ \quad P_n = adP_{n-1} + bd + cd + P$$

kde S je číslo v BCD kódu dané obecně ve tvaru $S = a+2b+4c+8d$

P je binární přenos čísla S

P_{n-1} je binární přenos od předchozí dekády.

Příklad využití vynálezu:

Generátor hodinového kmitočtu /H/ má kmitočet například $f_h = 5 \cdot 10^6 \text{ Hz}$. Pro správnou činnost zařízení je zapotřebí zajistit stabilitu a přesnost nastavení hodinového kmitočtu f_h lepší než $1 \cdot 10^{-9}$. Střádač /S/ má kapacitu /C/ například $C = 5 \cdot 10^8$. Jednotka volby kmitočtu K udává číslo, které se v pravidelných intervalech $t = 1/f_h$ přičítá do střádače S . Číslo N , určující výsledný kmitočet, se zadává na panelu buď manuálně, nebo je tvořeno automaticky v jednotce volby kmitočtu K . Po /k/ opakováních je ve střádači S zobrazeno číslo:

$$/2/ \quad Z = k \cdot N + N_0 - 1 \cdot C, \quad k, l = 0, 1, 2, \dots,$$

kde N_0 je počáteční stav střádače ST a l udává, kolikrát byla již překročena kapacita C střádače ST. Číslo Z se používá pro vytvoření adresy A , ze které je v daném časovém okamžiku přečtena hodnota naprogramované harmonické funkce. Je-li tato funkce naprogramována v P bodech, například $P = 100$, je pro vytvoření adresy přiřazena ve střádači ST oblast čísel o velikosti C/P , například $C/P = 5 \cdot 10^6$. Konkrétní adresa A se vytvoří například tím, že se číslo Z dělí velikostí oblasti C/P a zaokrouhlí se na první dvě cifry vždy dolů, takže:

$$/3/ \quad A = \frac{Z}{C} \cdot P \quad A = 00, 01, 02, \dots, 99,$$

kde Z , C , P mají výše uvedený význam. Harmonická funkce zapsaná v paměti ROM má například tvar:

$$/4/ \quad B_1 + B_2 \sin \frac{2}{P} \cdot A,$$

kde konstanty B_1 a B_2 jsou určeny konkrétními vlastnostmi paměti ROM a D/A převodníku, například $B_1 = 127$, $B_2 = 1/127$. Digitálně analogový převodník D/A převede v daném okamžiku číselný údaj z paměti ROM na údaj analogový, tj. proudový, resp. napěťový. Z toho je zřejmé, že okamžitá hodnota fáze φ analogového signálu na výstupu převodníku D/A je dána vztahem:

$$/5/ \quad \varphi = 2\pi \cdot \frac{Z}{C}$$

kde Z , C mají výše uvedený význam.

Základní kmitočet signálu je dán časovou změnou fáze, tj.:

$$/6/ \quad \nu \frac{1}{2\pi} \frac{d\varphi}{dt} = \frac{1}{2\pi} \cdot \frac{\Delta\varphi}{\Delta t} = \frac{N}{C} \cdot f_h$$

kde význam proměnných je podle výše uvedeného.

V dolhopropusti a zesilovači DP/Z se odfiltrují vyšší harmonické kmitočty, zanášející nežádoucí zkreslení signálu a provede se potřebné zesílení. Ze vztahu /6/ vyplývá, že číslo N udává přímo požadovaný kmitočet signálu v násobcích nejmenšího kroku kmitočtu Δf , v tomto případě:

$$/7/ \quad \Delta f = \frac{f_h}{C} = \frac{5 \cdot 10^6}{5 \cdot 10^8} = 0,01 \text{ Hz}$$

Popsané zařízení bylo provozně vyzkoušeno a pracuje spolehlivě v pásmu kmitočtů 0 až 1 MHz se zkreslením výstupního signálu menším než 2 %. Při realizaci byly použity následující součástky:

Binární sčítačka BS a korekční sčítačka KS - MH 7 483, detektor mimokódových kombinací MK - MH 74S64, strádač ST - 2 x MH 7 474.

Zařízení nemusí být použito výlučně pro generování pouze harmonické funkce. Tvar výstupního signálu je závislý na obsahu paměti ROM. V závislosti na tomto obsahu lze zařízení použít jako generátor obecných funkcí s řiditelnou periodou.

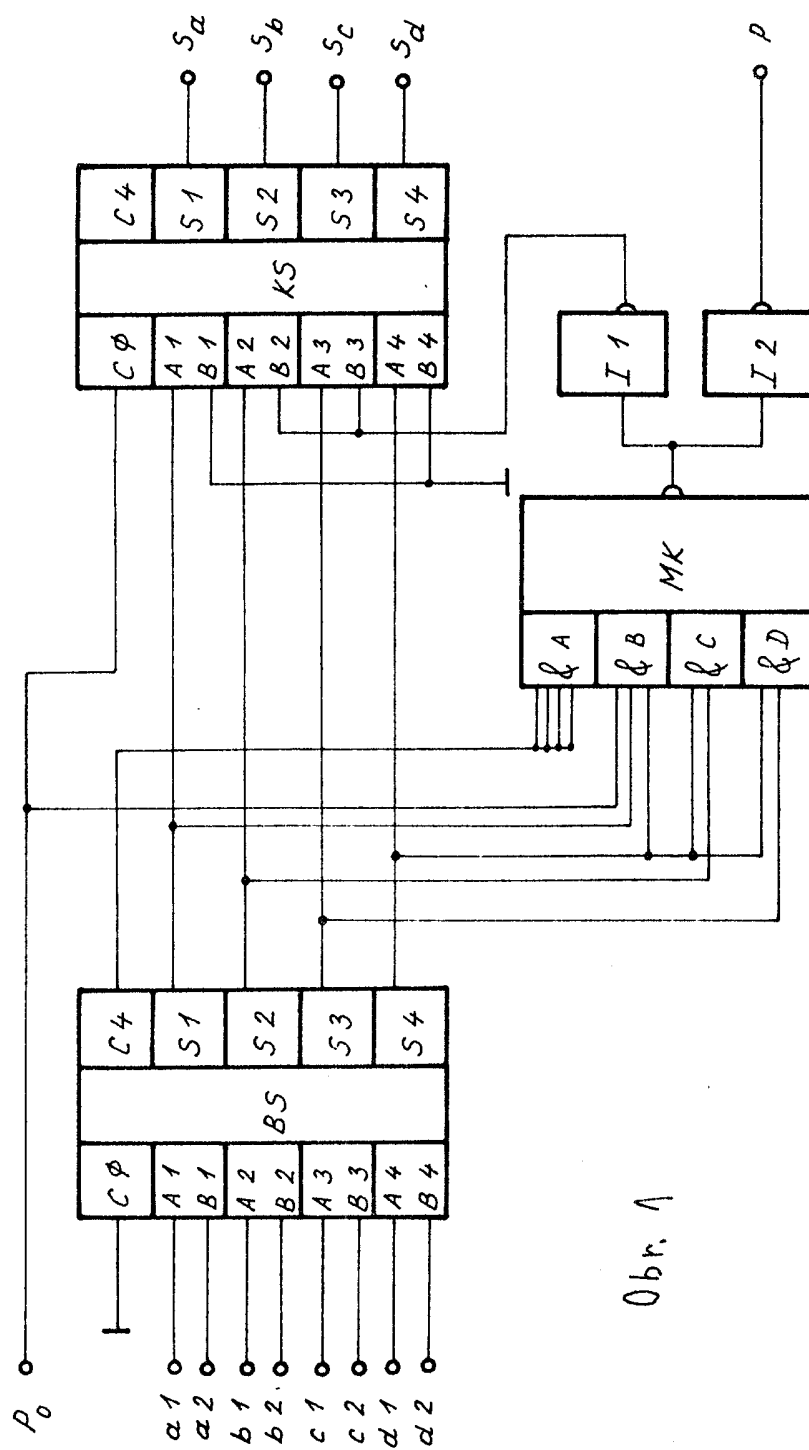
Zařízení je možné připojit do rozsáhlejších číslicově řízených systémů a může nahradit dosud vyráběné nízkofrekvenční generátory.

PŘEDMĚT VYNÁLEZU

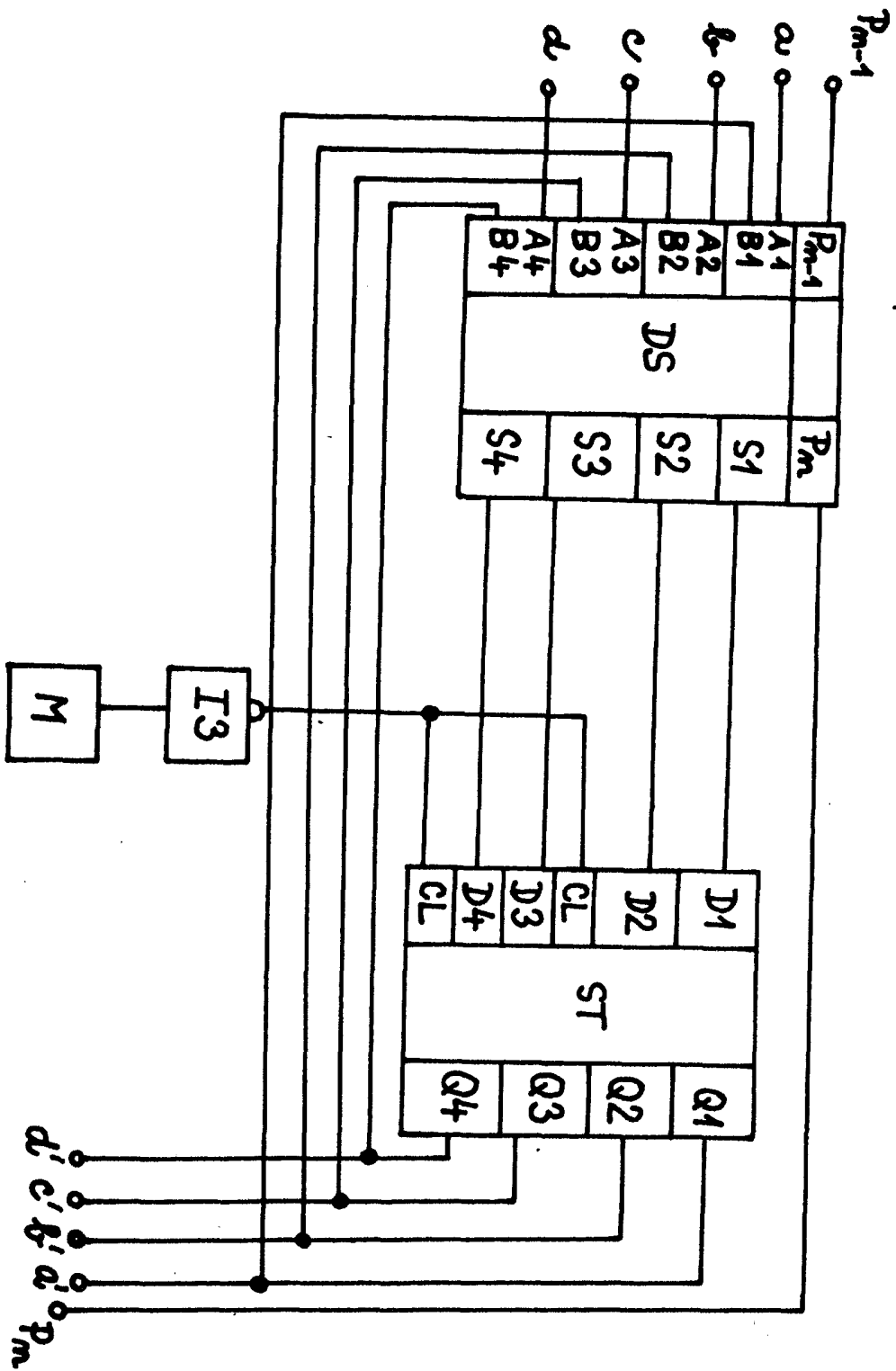
1. Zařízení k provádění číslicové syntézy kmitočtů v oblasti 0 až 1 MHz, vyznačující se tím, že sestává ze střadače /S/ pracujícího v paralelním BCD kódu, který má modulární uspořádání a v každém modulu obsahuje sumátor a dekadickou sčítačku se zvýšenou operační rychlostí, na jehož ovládací vstupy jsou připojeny výstupy jednotky volby kmitočtu /K/ a generátor hodinového kmitočtu /H/ a jehož výstup je připojen na vstup dekodéru /D/, jehož výstup je připojen na vstup paměti typu ROM, jejíž výstup je spojen se vstupem digitálně analogového převodníku /D/A/, jehož výstup je připojen na dolnopropust a zesilovač /DP/Z/.

2. Zařízení podle bodu 1, vyznačující se tím, že vstupy /a, b, c, d/ každého modulu střadače /S/, jsou tvořeny vstupy /A1, A2, A3, A4/ dekadické sčítačky se zvýšenou operační rychlostí /DS/, jejíž výstupy /S1, S2, S3, S4/ jsou připojeny na vstupy /D1, D2, D3, D4/ střadače /ST/, jehož výstupy /Q1, Q2, Q3, Q4/ jsou připojeny na vstupy /B1, B2, B3, B4/ dekadické sčítačky /DS/ a zároveň na výstupy modulu /a', b', c', d'/, přičemž na vstupy /CL/ střadače /ST/ je přes invertor /I3/ připojen výstup generátoru hodinového kmitočtu /H/.

3. Zařízení podle bodu 1 a 2, vyznačující se tím, že dekadická sčítačka se zvýšenou operační rychlostí /DS/ je tvořena binární sčítačkou /BS/, korekční sčítačkou /KS/ a detektorem mimokódových kombinací /MK/, kde vstupní signál je připojen na vstupy /A1, A2, A3, A4/ a /B1, B2, B3, B4/ binární sčítačky /BS/, vstup přenosu /C_g/ binární sčítačky /BS/ je uzemněn, výstup přenosu /C4/ je připojen na vstup /A/ detektoru mimokódových kombinací /MK/, výstup /S1/ sčítačky /BS/ je připojen na vstup /B/ detektoru /MK/ a zároveň na vstup /A1/ korekční sčítačky /KS/, výstup /S2/ sčítačky /BS/ je připojen na vstup /C/ detektoru /MK/ a zároveň na vstup /A2/ korekční sčítačky /KS/, výstup /S3/ sčítačky /BS/ je připojen na vstup /D/ detektoru /MK/ a zároveň na vstup /A3/ korekční sčítačky /KS/, výstup /S4/ binární sčítačky /BS/ je připojen na vstupy /B, C, D/ detektoru /MK/ a zároveň na vstup /A4/ korekční sčítačky /KS/, vstupy /B1/ a /B4/ korekční sčítačky /KS/ jsou uzemněny, na vstupy /B2/ a /B3/ je přes invertor /I1/ připojen výstup detektoru mimokódových kombinací /MK/, který je zároveň přes invertor /I2/ připojen na výstup přenosu /P_n/ dekadické sčítačky, přičemž výstup přenosu /P_{n-1}/ předcházejícího modulu je připojen na vstup /B/ detektoru mimokódových kombinací /MK/ a zároveň na vstup přenosu /C_g/ korekční sčítačky /KS/, jejíž výstupy /S1, S2, S3, S4/ tvoří výstupy signálu /Sa, Sb, Sc, Sd/ dekadické sčítačky.



Obv. 7



Obr.2

237726

