

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5607243号
(P5607243)

(45) 発行日 平成26年10月15日(2014.10.15)

(24) 登録日 平成26年9月5日(2014.9.5)

(51) Int.Cl.	F I
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 R
HO 1 L 21/768 (2006.01)	HO 1 L 21/28 3 O 1 R
HO 1 L 23/532 (2006.01)	HO 1 L 21/285 S
HO 1 L 21/28 (2006.01)	
HO 1 L 21/285 (2006.01)	

請求項の数 4 (全 15 頁)

(21) 出願番号	特願2013-512683 (P2013-512683)	(73) 特許権者	000231464
(86) (22) 出願日	平成24年9月21日 (2012.9.21)		株式会社アルバック
(86) 国際出願番号	PCT/JP2012/074242		神奈川県茅ヶ崎市萩園2500番地
(87) 国際公開番号	W02013/047375	(74) 代理人	100064908
(87) 国際公開日	平成25年4月4日 (2013.4.4)		弁理士 志賀 正武
審査請求日	平成25年3月18日 (2013.3.18)	(74) 代理人	100126664
(31) 優先権主張番号	特願2011-217017 (P2011-217017)		弁理士 鈴木 慎吾
(32) 優先日	平成23年9月30日 (2011.9.30)	(72) 発明者	濱口 純一
(33) 優先権主張国	日本国(JP)		静岡県裾野市須山1220-1 株式会社
前置審査		(72) 発明者	小平 周司
			静岡県裾野市須山1220-1 株式会社
			アルバック 半導体電子技術研究所内
			アルバック 半導体電子技術研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

基体に溝部を形成する溝部形成工程と、少なくとも前記溝部の内壁面を覆うバリア層を形成するバリア層形成工程と、前記バリア層を覆うシード層を形成するシード層形成工程と、前記シード層の内側領域に導電材料を埋め込む埋込工程と、を備え、

前記シード層はCuからなり、前記導電材料はCuからなり、前記シード層形成工程及び前記埋込工程はスパッタリング法により行われ、

前記埋込工程における製造条件は、前記導電材料の厚さを前記シード層の厚さで除してなる値を と定義した場合、前記基体の温度が300 かつ前記 が0.8~2.4、または、前記基体の温度が250 ~300 かつ前記 が1.6であることを特徴とする半導体装置の製造方法。

【請求項2】

前記シード層形成工程は、前記バリア層を覆うCu薄膜を形成する工程であり、前記シード層形成工程における基体温度は前記埋込工程よりも低温であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】

前記バリア層は、Ta、Ti、W、Ru、V、Co、Nbのうち、少なくとも一種を含む材料からなることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】

前記基体は、半導体基板と、前記半導体基板の一面に形成された絶縁層とからなること

を特徴とする請求項 1 記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法に関し、詳しくは微細な配線を高精度に形成する技術に関する。

本願は、2011年9月30日に、日本に出願された日本国特願2011-217017号に基づき優先権を主張し、その内容をここに援用する。

【背景技術】

【0002】

従来、基板に形成した半導体素子等の微細な配線材料として、アルミニウムやアルミニウム合金が用いられていた。しかし、アルミニウムは融点が低く、かつ耐マイグレーション性に劣るため、半導体素子の高集積化、高速化への対応が困難であった。

【0003】

このため、近年は配線材料として、銅が用いられるようになってきている。銅はアルミニウムより融点が高く、かつ電気抵抗率も低いため、LSI配線材料として有力である。しかし、配線材料として銅を用いる際には微細加工が困難であるという課題があった。例えば、特許文献1には、絶縁層に溝を形成し、この溝の内部に銅を埋め込み、その後、溝からはみ出した余分な銅を除去することにより、微細な溝内に銅配線を形成する方法が提案されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】日本国特公平6-103681号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1に記載された発明では、溝の内部に隙間無く銅を埋め込むことが困難であるという課題があった。

即ち、溝の内部にスパッタリングによって銅を積層する場合、微細な溝の内部まで銅が堆積せず、溝の内部は空洞のまま溝の開口端付近だけ銅が堆積してしまう。

また、リフロー法によって溝の内部を溶融した銅によって埋め込む場合、溝の内壁面に予め形成されるバリアメタル層に対して、溶融した銅との濡れ性が悪く、溝の内部に空洞が生じた状態で銅が固化するという課題があった。

このように溝の内部に形成した銅配線に空洞が生じると、銅配線の抵抗値が高くなり、断線の虞もある。

【0006】

本発明に係る態様は上記課題を解決するためになされたものであり、微細な溝部の内部に隙間無く導電材料を埋め込み、導電性に優れた配線を得ることが可能な半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

上記課題を解決するために、本発明は次のような半導体装置の製造方法を採用した。

(1) 本発明に係る一態様の半導体装置の製造方法は、基体に溝部を形成する溝部形成工程と、少なくとも前記溝部の内壁面を覆うバリア層を形成するバリア層形成工程と、前記バリア層を覆うシード層を形成するシード層形成工程と、前記シード層の内側領域に導電材料を埋め込む埋込工程と、を備え、

前記シード層はCuからなり、前記導電材料はCuからなり、前記シード層形成工程及び前記埋込工程はスパッタリング法により行われ、

前記埋込工程における製造条件は、前記導電材料の厚さを前記シード層の厚さで除して

10

20

30

40

50

なる値を t_2 と定義した場合、前記基体の温度が 300 から 250 かつ前記 t_2 が $0.8 \sim 2.4$ 、または、前記基体の温度が $250 \sim 300$ かつ前記 t_2 が 1.6 である。

【0008】

(2) 上記(1)の態様において、前記シード層形成工程は、前記バリア層を覆うCu薄膜を形成する工程であり、前記シード層形成工程における基体温度は前記埋込工程よりも低温としてもよい。

【0010】

(3) 上記(1)の態様において、前記バリア層は、Ta、Ti、W、Ru、V、Co、Nbのうち、少なくとも一種を含む材料からなる構成を採用してもよい。

(4) 上記(1)の態様において、前記基体は、半導体基板と、前記半導体基板の一面に形成された絶縁層とからなる構成を採用してもよい。

【0011】

(5) 上述した本発明に係る製造方法により形成される半導体装置としては、たとえば、基体に形成された溝部と、前記溝部の内壁面を覆うバリア層と、前記バリア層の内側領域に埋め込まれた導電体と、を備え、前記導電体は、前記バリア層を覆うCuからなる第一導電層と、前記第一導電層の内側領域に埋め込まれたCuからなる第二導電層とから構成される半導体装置であって、前記溝部の底部の幅をW、前記バリア層の厚みを t_1 、前記シード層の厚みを t_2 、と定義したとき、前記シード層は、関係式 $t_2 \geq (W - 2t_1) / 2$ を満たすものが挙げられる。

【発明の効果】

【0012】

本発明に係る上記態様の半導体装置の製造方法および半導体装置によれば、導電材料の埋込工程の前に、シード層形成工程において、予めバリア層を覆うシード層を形成しておくことによって、導電材料とシード層との接触面で濡れ性が高められる。

即ち、酸化物や窒化物など、主に金属化合物からなるバリア層は、表面に微細な凹凸が生じやすく表面平滑性に乏しい。かつ、導電材料であるCuは、主に化合物からなるバリア層に対して濡れ性、流動性に乏しい。

【0013】

このため、本発明に係る上記態様のように、Cuからなるシード層を、バリア層を覆うように形成することによって、導電材料のCuに対する濡れ性、流動性が大幅に改善される。したがって、高アスペクト比の溝部であっても、導電材料のCuが溝部の隅々まで内部に空洞を生じることなく均一に行き渡り、局所的な断線部分のない高精度な導電体を得ることができる。

【図面の簡単な説明】

【0014】

【図1】本発明に係る一実施形態の半導体装置を示す要部拡大断面図である。

【図2】本発明に係る一実施形態の半導体装置の製造方法を段階的に示した要部拡大断面図である。

【図3】本発明に係る一実施形態の半導体装置の製造方法を段階的に示した要部拡大断面図である。

【図4】本発明に係る実施形態で用いられるスパッタリング装置(成膜装置)の一例を示す模式図である。

【発明を実施するための形態】

【0015】

以下、本発明に係る実施形態の半導体装置の製造方法および半導体装置について、図面に基づき説明する。なお、本実施形態は発明の趣旨をより良く理解させるために、一例を挙げて説明するものであり、特に指定のない限り、本発明を限定するものではない。また、以下の説明で用いる図面は、本発明の特徴をわかりやすくするために、便宜上、要部となる部分を拡大して示している場合があり、各構成要素の寸法比率などが実際と同じであ

10

20

30

40

50

るとは限らない。

【0016】

(半導体装置)

図1は、本発明に係る一実施形態の半導体装置を示す要部拡大断面図である。

半導体装置10は、基体11を備えている。基体11は、絶縁性基板、例えばガラス基板、樹脂基板などから構成される。なお、この基体11の一部に、例えば半導体素子等が形成されていてもよい。

【0017】

基体11の一面11aには、溝部(トレンチ)12が形成されている。溝部12は、例えば、基体11の一面11aから基体11の厚み方向に掘り下げられた幅が細く、かつ深い微細な溝からなる。溝部12の底部の幅Wは、例えば20nm~50nm程度になるように形成される。また、溝部12の深さDは、例えば80nm~200nm程度になるように形成される。このような溝部12の内側領域に、例えば半導体素子の回路配線を構成する導電体が形成される。

10

【0018】

溝部12には、内壁面12aを覆うように、バリア層(バリアメタル)13が形成されている。バリア層13は、例えば、Ta(タンタル)窒化物、Ta珪化物、Ta炭化物、Ti(チタン)窒化物、Ti珪化物、Ti炭化物、W(タングステン)窒化物、W珪化物、W炭化物、Ru(ルテニウム)、およびRu酸化物、V(バナジウム)酸化物、Co(コバルト)酸化物、Nb(ニオブ)酸化物などから構成される。

20

バリア層(バリアメタル)13は、厚みt1が例えば1nm~3nm程度になるように形成される。

【0019】

更に、バリア層(バリアメタル)13の内側領域には、導電材料からなる導電体14が形成されている。導電体14は、バリア層(バリアメタル)13を覆うように形成された第一導電層15と、第一導電層15の内側領域に形成された第二導電層16とから構成されている。

導電体14は、例えば、基体11に形成された半導体素子の回路配線となる。

【0020】

第一導電層(シード層)15は、Cu(銅)から構成される。第一導電層15は、この第一導電層15の内側に形成されるCu(銅)からなる第二導電層16に対する濡れ性を高める。

30

第一導電層15は、厚みt2が3nm~8nmになるように形成することが好ましく、5nm~6nmになるように形成することがより好ましい。

第一導電層15の厚みt2が3nm未満では、第二導電層16を形成しても、基体11の溝部12の内側領域を導電体14で完全に満たすことができない虞がある。一方、第一導電層15の厚みt2が $(W - 2t_1) / 2$ を超えると、第二導電層16を形成できなくなる虞がある。ゆえに、シード層15は、関係式 $t_2 < (W - 2t_1) / 2$ を満たす構成が好ましい。

【0021】

40

第二導電層16は、溝部12における第一導電層15の内側領域に形成されている。第二導電層16は、Cu(銅)から構成されている。この第二導電層16は、第一導電層15の内側領域に、スパッタリング法によって導電材料(Cu)を堆積させて形成する。

第二導電層16は、基体11の一面11a上において、厚みが10nm以上になるように形成することが好ましく、15nm~55nmになるように形成することがより好ましい。

第二導電層16の基体11の一面11a上における厚みが10nm未満では、第一導電層15の内側領域に、完全に第二導電層16を充填することができない虞がある。

【0022】

このような構成の半導体装置10によれば、バリア層(バリアメタル)13の内側領域

50

に、Cuからなる第一導電層15とCuからなる第二導電層16から構成される導電体14を形成することによって、導電体14の形成時に、導電材料が溝部12の内側を隙間無く埋め込まれる。よって、電気抵抗が均一で、かつ断線などの懸念の無いCuからなる導電体(回路配線)14を備えた半導体装置10が実現できる。

【0023】

(半導体装置の製造方法)

図2、図3は、本発明に係る一実施形態の半導体装置の製造方法を段階的に示した要部拡大断面図である。

本発明に係る実施形態の半導体装置を製造する際には、まず、基体11を用意する(図2(a)参照)。基体11としては、絶縁性基板、半導体基板が用いられる。絶縁性基板としては、例えば、ガラス基板、樹脂基板が挙げられる。また、半導体基板としては、例えば、シリコンウェーハ、SiCウェーハなどが挙げられる。基体11には、例えば、予め半導体素子(図示略)が形成されている。

【0024】

次に、この基体11の一面11aに、所定の深さの溝部12を形成する(図2(b)参照：溝部形成工程)。溝部12は、例えば、半導体素子の回路配線を象ったパターンとなるように形成される。基体11の一面11aに溝部12を形成する方法としては、例えば、フォトリソグラフィによるエッチング加工や、レーザー光による加工を用いることができる。

【0025】

次に、溝部12の内壁面12aを含む基体11の一面11aに、所定の厚みのバリア層(バリアメタル)13を形成する(図2(c)参照：バリア層形成工程)。バリア層(バリアメタル)13は、例えば、Ta、Ti、W、Ru、V、Co、Nbのうちの少なくとも1種を含む材料を用いて形成する。バリア層13の形成は、例えば、スパッタリング法を用いることが好ましい。また、バリア層(バリアメタル)13は、厚みt1が例えば1nm~3nm程度になるように形成される。

【0026】

図4は、バリア層の形成に用いるスパッタリング装置(成膜装置)の一例を示している。

スパッタリング装置(成膜装置)1は、真空槽2と、真空槽2内部にそれぞれ配置された基板ホルダ7およびターゲット5とを有している。

【0027】

真空槽2には真空排気系9とガス供給系4とが接続されており、真空槽2内部を真空排気し、真空排気しながらガス供給系4からスパッタガスと、化学構造中に窒素又は酸素を含む反応ガスを導入し(例えば反応ガスが酸素の場合、流量が0.1sccm以上5sccm以下)、真空槽2内部に大気圧よりも低い成膜雰囲気(例えば全圧が 10^{-1} Pa以下)を形成する。

【0028】

そして、基体11に溝部12が形成された一面11a側をターゲット5に向けた状態で基板ホルダ7に保持させておく。真空槽2の外部にはスパッタ電源8とバイアス電源6がそれぞれ配置され、ターゲット5はスパッタ電源8に、基板ホルダ7はバイアス電源6にそれぞれ接続されている。

【0029】

真空槽2の外部に磁界形成手段3が配置されており、真空槽2を接地電位に置き、真空槽2内部の成膜雰囲気を維持しながら、ターゲット5に負電圧を印加するとターゲット5はマグネトロンスパッタされる。ターゲット5は、上述したバリア層(バリアメタル)13の形成材料が主成分とされる。

そして、ターゲット5がマグネトロンスパッタされると、バリア層13の形成材料がスパッタ粒子として放出される。

【0030】

放出されたスパッタ粒子と、反応ガスは基体 1 1 に溝部 1 2 が形成された一面 1 1 a に入射し、溝部 1 2 の内壁面 1 2 a を含む基体 1 1 の一面 1 1 a を覆うようにバリア層 1 3 が形成される。

【0031】

次に、バリア層 1 3 を覆うようにシード層（第一導電層）1 5 を形成する（図 3（a）参照：シード層（第一導電層）形成工程）。シード層 1 5 は、Cu から構成される。シード層 1 5 は、上述したバリア層 1 3 と同様に、スパッタリング法によって形成される。

【0032】

スパッタリング装置（成膜装置）1 を用いたシード層 1 5 の形成方法について説明する。

まず、基板ホルダ 7 上に基体 1 1 を配置した状態で、真空排気系 9 により真空槽 2 内部を真空排気し、真空排気しながらガス供給系 4 からスパッタガスと、化学構造中に窒素又は酸素を含む反応ガスを導入し（例えば反応ガスが酸素の場合、流量が 0.1 sccm 以上 5 sccm 以下）、真空槽 2 内部に大気圧よりも低い成膜雰囲気（例えば全圧が 10^{-1} Pa 以下）を形成する。

【0033】

スパッタガスを導入し、真空槽 2 内が所定の圧力（例えば $4.0 \times 10^{-2} \text{ Pa}$ 程度の圧力）に安定した後、スパッタ電源 8 を起動して、カソード電極（図示略）に負電圧を印加することにより、放電が開始され、ターゲット 5 を Cu として、ターゲット 5 の表面近傍にプラズマを発生させる。

そして、スパッタリングによる成膜を所定時間行い、バリア層 1 3 を覆うように銅薄膜を形成した後、真空槽 2 から基体 1 1 を搬出する。

【0034】

なお、上述のスパッタリング装置 1 の基板ホルダ 7 内には温度調節手段（図示略）が設けられており、銅薄膜を形成する際、基体 1 1 の温度を所定の温度に調節しておく（例えば -20 ）。

【0035】

スパッタリング装置 1 では、磁界形成手段 3 がターゲット 5 表面と平行に移動・回転できるように構成されており、ターゲット 5 表面のスパッタされる領域（エロージョン領域）をターゲット上の任意の位置に形成させることができる。

【0036】

次に、シード層 1 5 の内側領域に導電材料を埋め込むことにより、第二導電層 1 6 を形成する（図 3（b）参照：第二導電層形成工程、埋込工程）。第二導電層 1 6 は、Cu から構成される。第二導電層 1 6 は、上述したシード層 1 5 と同様に、スパッタリング法によって形成される。

スパッタリング法によって、シード層 1 5 の内側領域に導電材料を埋め込む場合、図 4 に示すスパッタリング装置（成膜装置）1 を用いてターゲット 5 を Cu として、シード層 1 5 の内側領域を含む基体 1 1 の一面 1 1 a 側に Cu からなる導電材料を堆積させる。

【0037】

なお、第二導電層 1 6 を形成する際に、基板ホルダ 7 内に設けられた温度調節手段（図示略）により、基体 1 1 の温度を $100 \sim 400$ にしておく。

このようなスパッタリング法によって導電材料を埋め込む場合であっても、Cu からなるシード層 1 5 の形成によって、堆積される Cu とシード層 1 5 との密着性が高められ、シード層 1 5 の内側に Cu を、均一に空洞を生じさせることなく堆積させることが可能になる。

【0038】

この後、溝部 1 2 を除いた基体 1 1 の一面 1 1 a に積層されているバリア層 1 3、シード層 1 5 および第二導電層 1 6 を除去する（図 3（c）参照）。これによって、それぞれの溝部 1 2 ごとに、溝部 1 2 を埋め込む導電体 1 4、即ち回路配線が形成される。

【実施例】

10

20

30

40

50

【0039】

以下、実験例により本発明に係る実施形態をさらに具体的に説明するが、本発明は以下の実験例に限定されるものではない。

【0040】

「実験例1」

基体として厚み0.775mmのシリコン酸化膜付シリコン基板を用意した。

次に、この基体の一面に、フォトリソグラフィーによるエッチング加工により、深さ100nmの溝部を形成した。

次に、溝部の内壁面含む基体の一面に、スパッタリング法により、厚みの3nmのTaからなるバリア層を形成した。

次に、バリア層を覆うように、スパッタリング法により、厚み15nmのCuからなるシード層（第一導電層）銅薄膜を形成した。銅薄膜を形成する際、基体の温度を-20に調節した。

次に、シード層の内側領域に、スパッタリング法により、Cuを埋め込むことにより、第二導電層を形成した。第二導電層を形成する際、基体の温度を400に調節した。

ここでは、基体の一面上に形成される第二導電層の厚みが0nmとなるように、第二導電層を形成した。

第二導電層を形成した後、シード層（第一導電層）および第二導電層からなる導電体が形成された基体について、走査型電子顕微鏡（SEM）を用いて、溝部の充填率（溝部が、第一導電層および第二導電層からなる導電体によって充填されている割合、体積%）を調べた。

なお、充填率が90%以上の場合を○、充填率が80%以上90%未満の場合を△、充填率が80%未満の場合を×と評価した。

結果を表1に示す。

【0041】

「実験例2」

基体の一面上に形成される第二導電層の厚みが20nmとなるように、第二導電層を形成したこと以外は実験例1と同様にして、基体の溝部内に導電体を充填した。

また、実験例1と同様にして、溝部の充填率を調べた。

結果を表1に示す。

【0042】

「実験例3」

基体の一面上に形成される第二導電層の厚みが40nmとなるように、第二導電層を形成したこと以外は実験例1と同様にして、基体の溝部内に導電体を充填した。

また、実験例1と同様にして、溝部の充填率を調べた。

結果を表1に示す。

【0043】

「実験例4」

基体の一面上に形成される第二導電層の厚みが60nmとなるように、第二導電層を形成したこと以外は実験例1と同様にして、基体の溝部内に導電体を充填した。

また、実験例1と同様にして、溝部の充填率を調べた。

結果を表1に示す。

【0044】

「実験例5」

第二導電層を形成する際、基体の温度を300に調節した以外は実験例1と同様にして、基体の溝部内に導電体を充填した。

また、実験例1と同様にして、溝部の充填率を調べた。

結果を表1に示す。

【0045】

「実験例6」

10

20

30

40

50

第二導電層を形成する際、基体の温度を300に調節し、基体の一面上に形成される第二導電層の厚みが20nmとなるように、第二導電層を形成したこと以外は実験例1と同様にして、基体の溝部内に導電体を充填した。

また、実験例1と同様にして、溝部の充填率を調べた。

結果を表1に示す。

【0046】

「実験例7」

第二導電層を形成する際、基体の温度を300に調節し、基体の一面上に形成される第二導電層の厚みが40nmとなるように、第二導電層を形成したこと以外は実験例1と同様にして、基体の溝部内に導電体を充填した。

また、実験例1と同様にして、溝部の充填率を調べた。

結果を表1に示す。

【0047】

「実験例8」

第二導電層を形成する際、基体の温度を300に調節し、基体の一面上に形成される第二導電層の厚みが60nmとなるように、第二導電層を形成したこと以外は実施例1と同様にして、基体の溝部内に導電体を充填した。

また、実施例1と同様にして、溝部の充填率を調べた。

結果を表1に示す。

ここで、前記埋込工程における製造条件のうち、前記導電材料の厚さを前記シード層の厚さで除してなる値を と定義した場合、表1(シードの厚さが15nm)における第二導電層(導電材料)の厚みが20nm、40nm、60nmは順に、前記 が約1.33、約2.66、4、と表記される。

【0048】

「実験例9」

厚み25nmのシード層(第一導電層)を形成したこと以外は実験例1と同様にして、基体の溝部内に導電体を充填した。

また、実験例1と同様にして、溝部の充填率を調べた。

結果を表2に示す。

【0049】

「実験例10」

厚み25nmのシード層(第一導電層)を形成し、基体の一面上に形成される第二導電層の厚みが20nmとなるように、第二導電層を形成したこと以外は実験例1と同様にして、基体の溝部内に導電体を充填した。

また、実験例1と同様にして、溝部の充填率を調べた。

結果を表2に示す。

【0050】

「実験例11」

厚み25nmのシード層(第一導電層)を形成し、基体の一面上に形成される第二導電層の厚みが40nmとなるように、第二導電層を形成したこと以外は実験例1と同様にして、基体の溝部内に導電体を充填した。

また、実験例1と同様にして、溝部の充填率を調べた。

結果を表2に示す。

【0051】

「実験例12」

厚み25nmのシード層(第一導電層)を形成し、基体の一面上に形成される第二導電層の厚みが60nmとなるように、第二導電層を形成したこと以外は実験例1と同様にして、基体の溝部内に導電体を充填した。

また、実験例1と同様にして、溝部の充填率を調べた。

結果を表2に示す。

10

20

30

40

50

【 0 0 5 2 】

「実験例 1 3」

厚み 25 nm のシード層（第一導電層）を形成し、第二導電層を形成する際、基体の温度を 300 に調節したこと以外は実験例 1 と同様にして、基体の溝部内に導電体を充填した。

また、実験例 1 と同様にして、溝部の充填率を調べた。

結果を表 2 に示す。

【 0 0 5 3 】

「実験例 1 4」

厚み 25 nm のシード層（第一導電層）を形成し、第二導電層を形成する際、基体の温度を 300 に調節し、基体の一面上に形成される第二導電層の厚みが 20 nm となるように、第二導電層を形成したこと以外は実験例 1 と同様にして、基体の溝部内に導電体を充填した。

また、実験例 1 と同様にして、溝部の充填率を調べた。

結果を表 2 に示す。

【 0 0 5 4 】

「実験例 1 5」

厚み 25 nm のシード層（第一導電層）を形成し、第二導電層を形成する際、基体の温度を 300 に調節し、基体の一面上に形成される第二導電層の厚みが 40 nm となるように、第二導電層を形成したこと以外は実験例 1 と同様にして、基体の溝部内に導電体を充填した。

また、実験例 1 と同様にして、溝部の充填率を調べた。

結果を表 2 に示す。

【 0 0 5 5 】

「実験例 1 6」

厚み 25 nm のシード層（第一導電層）を形成し、第二導電層を形成する際、基体の温度を 300 に調節し、基体の一面上に形成される第二導電層の厚みが 60 nm となるように、第二導電層を形成したこと以外は実験例 1 と同様にして、基体の溝部内に導電体を充填した。

また、実験例 1 と同様にして、溝部の充填率を調べた。

結果を表 2 に示す。

【 0 0 5 6 】

「実験例 1 7」

厚み 25 nm のシード層（第一導電層）を形成し、第二導電層を形成する際、基体の温度を 250 に調節し、基体の一面上に形成される第二導電層の厚みが 20 nm となるように、第二導電層を形成したこと以外は実験例 1 と同様にして、基体の溝部内に導電体を充填した。

また、実験例 1 と同様にして、溝部の充填率を調べた。

結果を表 2 に示す。

【 0 0 5 7 】

「実験例 1 8」

厚み 25 nm のシード層（第一導電層）を形成し、第二導電層を形成する際、基体の温度を 250 に調節し、基体の一面上に形成される第二導電層の厚みが 40 nm となるように、第二導電層を形成したこと以外は実験例 1 と同様にして、基体の溝部内に導電体を充填した。

また、実験例 1 と同様にして、溝部の充填率を調べた。

結果を表 2 に示す。

【 0 0 5 8 】

「実験例 1 9」

厚み 25 nm のシード層（第一導電層）を形成し、第二導電層を形成する際、基体の温

10

20

30

40

50

度を250 に調節し、基体の一面上に形成される第二導電層の厚みが60 nmとなるように、第二導電層を形成したこと以外は実施例1と同様にして、基体の溝部内に導電体を充填した。

また、実施例1と同様にして、溝部の充填率を調べた。

結果を表2に示す。

ここで、前記埋込工程における製造条件のうち、前記導電材料の厚さを前記シード層の厚さで除してなる値を と定義した場合、表2（シードの厚さが25 nm）における第二導電層（導電材料）の厚みが20 nm、40 nm、60 nmは順に、前記 が0.8、1.6、2.4、と表記される。

【0059】

10

「実験例20」

厚み35 nmのシード層（第一導電層）を形成したこと以外は実験例1と同様にして、基体の溝部内に導電体を充填した。

また、実験例1と同様にして、溝部の充填率を調べた。

結果を表3に示す。

【0060】

「実験例21」

厚み35 nmのシード層（第一導電層）を形成し、基体の一面上に形成される第二導電層の厚みが20 nmとなるように、第二導電層を形成したこと以外は実験例1と同様にして、基体の溝部内に導電体を充填した。

20

また、実験例1と同様にして、溝部の充填率を調べた。

結果を表3に示す。

【0061】

「実験例22」

厚み35 nmのシード層（第一導電層）を形成し、基体の一面上に形成される第二導電層の厚みが40 nmとなるように、第二導電層を形成したこと以外は実験例1と同様にして、基体の溝部内に導電体を充填した。

また、実験例1と同様にして、溝部の充填率を調べた。

結果を表3に示す。

【0062】

30

「実験例23」

厚み35 nmのシード層（第一導電層）を形成し、基体の一面上に形成される第二導電層の厚みが50 nmとなるように、第二導電層を形成したこと以外は実験例1と同様にして、基体の溝部内に導電体を充填した。

また、実験例1と同様にして、溝部の充填率を調べた。

結果を表3に示す。

【0063】

「実験例24」

厚み35 nmのシード層（第一導電層）を形成し、基体の一面上に形成される第二導電層の厚みが60 nmとなるように、第二導電層を形成したこと以外は実験例1と同様にして、基体の溝部内に導電体を充填した。

40

また、実験例1と同様にして、溝部の充填率を調べた。

結果を表3に示す。

【0064】

「実験例25」

厚み35 nmのシード層（第一導電層）を形成し、第二導電層を形成する際、基体の温度を300 に調節したこと以外は実験例1と同様にして、基体の溝部内に導電体を充填した。

また、実験例1と同様にして、溝部の充填率を調べた。

結果を表3に示す。

50

【 0 0 6 5 】

「実験例 2 6」

厚み 3 5 n m のシード層（第一導電層）を形成し、第二導電層を形成する際、基体の温度を 3 0 0 に調節し、基体の一面上に形成される第二導電層の厚みが 2 0 n m となるように、第二導電層を形成したこと以外は実験例 1 と同様にして、基体の溝部内に導電体を充填した。

また、実験例 1 と同様にして、溝部の充填率を調べた。

結果を表 3 に示す。

【 0 0 6 6 】

「実験例 2 7」

厚み 3 5 n m のシード層（第一導電層）を形成し、第二導電層を形成する際、基体の温度を 3 0 0 に調節し、基体の一面上に形成される第二導電層の厚みが 4 0 n m となるように、第二導電層を形成したこと以外は実験例 1 と同様にして、基体の溝部内に導電体を充填した。

また、実験例 1 と同様にして、溝部の充填率を調べた。

結果を表 3 に示す。

【 0 0 6 7 】

「実験例 2 8」

厚み 3 5 n m のシード層（第一導電層）を形成し、第二導電層を形成する際、基体の温度を 3 0 0 に調節し、基体の一面上に形成される第二導電層の厚みが 5 0 n m となるように、第二導電層を形成したこと以外は実験例 1 と同様にして、基体の溝部内に導電体を充填した。

また、実験例 1 と同様にして、溝部の充填率を調べた。

結果を表 3 に示す。

【 0 0 6 8 】

「実験例 2 9」

厚み 3 5 n m のシード層（第一導電層）を形成し、第二導電層を形成する際、基体の温度を 3 0 0 に調節し、基体の一面上に形成される第二導電層の厚みが 6 0 n m となるように、第二導電層を形成したこと以外は実施例 1 と同様にして、基体の溝部内に導電体を充填した。

また、実施例 1 と同様にして、溝部の充填率を調べた。

結果を表 3 に示す。

ここで、前記埋込工程における製造条件のうち、前記導電材料の厚さを前記シード層の厚さで除してなる値を と定義した場合、表 3（シードの厚さが 3 5 n m）における第二導電層（導電材料）の厚みが 2 0 n m、4 0 n m、5 0 n m、6 0 n m は順に、前記 が約 0 . 5 7、約 1 . 1 4、約 1 . 4 2、約 1 . 7 1、と表記される。

【 0 0 6 9 】

【表 1】

第二導電層 形成温度 (°C)	第二導電層の厚み(nm)			
	0	20	40	60
400	×	×	×	×
300	×	×	×	×

【 0 0 7 0 】

10

20

30

40

【表 2】

第二導電層 形成温度 (°C)	第二導電層の厚み (nm)			
	0	20	40	60
400	×	×	×	×
300	×	△	○	○
250	—	×	△	×

10

【0071】

【表 3】

第二導電層 形成温度 (°C)	第二導電層の厚み (nm)				
	0	20	40	50	60
400	△	△	○	○	○
300	×	△	○	△	○

20

【0072】

表 1 の結果から、シード層（第一導電層）の厚みが 15 nm では、溝部に対して、第一導電層および第二導電層からなる導電体を十分に充填できないことが分かった。

表 2 の結果から、シード層（第一導電層）の厚みを 25 nm とし、第二導電層を形成する際の基体の温度を 400 とした場合、溝部に対して、第一導電層および第二導電層からなる導電体を十分に充填できないことが分かった。また、シード層（第一導電層）の厚みを 25 nm とし、第二導電層を形成する際の基体の温度を 300 とした場合、基体の一面上に形成される第二導電層の厚みが 40 nm 以上となるように、第二導電層を形成することにより、溝部に対して、第一導電層および第二導電層からなる導電体を十分に充填できることが分かった。より詳細には、表 2 に示したマーク（印、印）から、「溝部に対して、第一導電層および第二導電層からなる導電体を充填することが可能となる、埋込工程における製造条件」は、導電材料（第二導電層）の厚さをシード層（第一導電層）の厚さで除してなる値を と定義した場合、基体の温度が 300 かつ が 0.8 ~ 2.4、または、基体の温度が 250 ~ 300 かつ が 1.6 である、ことが明らかとなった。

30

表 3 の結果から、シード層（第一導電層）の厚みを 35 nm とし、第二導電層を形成する際の基体の温度を 400 とした場合、基体の一面上に形成される第二導電層の厚みが 40 nm 以上となるように、第二導電層を形成することにより、溝部に対して、第一導電層および第二導電層からなる導電体を十分に充填できることが分かった。また、シード層（第一導電層）の厚みを 35 nm とし、第二導電層を形成する際の基体の温度を 300 とした場合、基体の一面上に形成される第二導電層の厚みが 40 nm 以上となるように、第二導電層を形成することにより、溝部に対して、第一導電層および第二導電層からなる導電体を十分に充填できることが分かった。

40

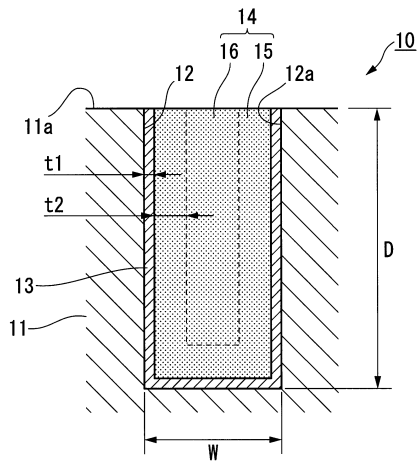
【符号の説明】

50

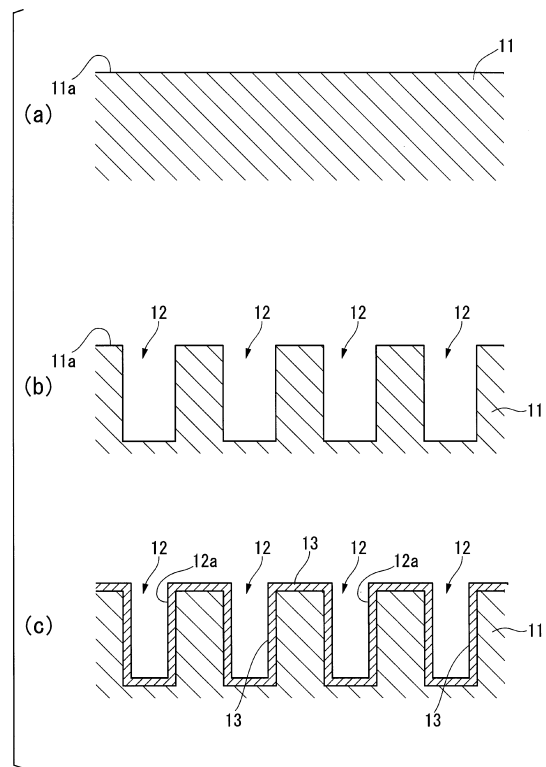
【 0 0 7 3 】

- 1 0 半導体装置
- 1 1 基体
- 1 2 溝部 (トレンチ)
- 1 3 バリア層 (バリアメタル)
- 1 4 導電体 (回路配線)
- 1 5 第一導電層
- 1 6 第二導電層

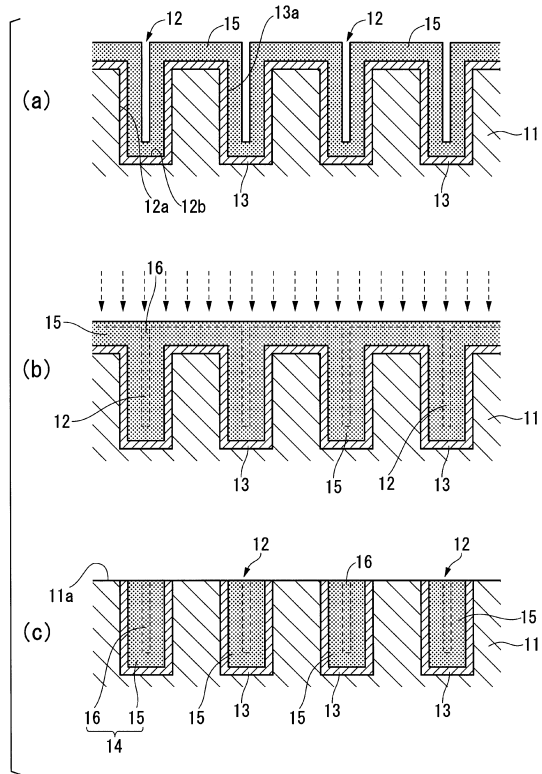
【 図 1 】



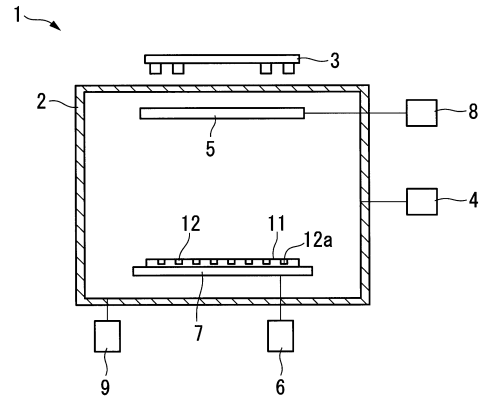
【 図 2 】



【 図 3 】



【 図 4 】



フロントページの続き

- (72)発明者 坂本 勇太
静岡県裾野市須山1220-1 株式会社アルバック 半導体電子技術研究所内
- (72)発明者 佐野 昭文
静岡県裾野市須山1220-1 株式会社アルバック 半導体電子技術研究所内
- (72)発明者 鎌田 恒吉
静岡県裾野市須山1220-1 株式会社アルバック 半導体電子技術研究所内
- (72)発明者 門倉 好之
静岡県裾野市須山1220-1 株式会社アルバック 半導体電子技術研究所内
- (72)発明者 廣石 城司
静岡県裾野市須山1220-1 株式会社アルバック 半導体電子技術研究所内
- (72)発明者 沼田 幸展
静岡県裾野市須山1220-1 株式会社アルバック 半導体電子技術研究所内
- (72)発明者 鈴木 康司
静岡県裾野市須山1220-1 株式会社アルバック 半導体電子技術研究所内

審査官 河合 俊英

- (56)参考文献 特開2002-252175(JP,A)
特開2010-165935(JP,A)
特開2002-075995(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/3205
H01L 21/28
H01L 21/285
H01L 21/768
H01L 23/532